

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4640916号
(P4640916)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 1 R 31/02 (2006.01)

G O 1 R 31/02

G O 2 F 1/13 (2006.01)

G O 2 F 1/13 1 O 1

G O 9 F 9/00 (2006.01)

G O 9 F 9/00 3 5 2

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 3 (全 24 頁)

(21) 出願番号 特願2004-46808 (P2004-46808)
 (22) 出願日 平成16年2月23日(2004.2.23)
 (65) 公開番号 特開2005-234492 (P2005-234492A)
 (43) 公開日 平成17年9月2日(2005.9.2)
 審査請求日 平成18年8月10日(2006.8.10)

前置審査

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101214
 弁理士 森岡 正樹
 (72) 発明者 長瀬 洋二
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内

審査官 廣田 かおり

最終頁に続く

(54) 【発明の名称】 表示装置用基板、液晶表示パネル及び液晶表示装置並びにリペア用配線の欠陥検査方法

(57) 【特許請求の範囲】

【請求項1】

データバスラインの断線欠陥を修復するリペア用配線と、
 前記リペア用配線を静電気から保護する静電気保護素子部と、
 前記静電気保護素子部を介して前記リペア用配線に接続され、所定の電圧を維持する共
 通導電配線と

を有し、

前記静電気保護素子部は、前記リペア用配線と前記共通導電配線との間に互いに直列接
 続された第1及び第2の高抵抗素子を有しており、

前記第1及び第2の高抵抗素子の接続点からゲートドライバICとの接続部又は電圧測
 定用パッドまで延伸して形成され、前記リペア用配線の短絡を検出する短絡欠陥検出用配
 線をさらに有すること

を特徴とする表示装置用基板。

【請求項2】

請求項1記載の表示装置用基板と、

前記表示装置用基板に対向配置された対向基板と、

前記表示装置用基板と前記対向基板との間に封止された液晶と

を有することを特徴とする液晶表示パネル。

【請求項3】

データバスラインの断線欠陥を修復するリペア用配線に生じた欠陥を検査する欠陥検査

10

20

方法において、

前記リペア用配線を静電気から保護する静電気保護素子部に備えられて直列接続された第1及び第2の高抵抗素子の接続点からゲートドライバICとの接続部又は電圧測定用パッドまで延伸して形成され、前記リペア用配線の短絡欠陥検出に用いる短絡欠陥検出用配線に印加されている電圧値に基づいて、前記リペア用配線の短絡を検出すること

を特徴とするリペア用配線の欠陥検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上にゲートバスライン、データバスライン及びスイッチング素子を備えた表示装置用基板及びそれを用いた液晶表示パネル並びにそれを用いた液晶表示装置（Liquid Crystal Display；LCD）に関し、特に、データバスラインに生じた断線欠陥を修復するリペア用配線を備えた表示装置用基板及びそれを用いた液晶表示パネル並びにそれを用いた液晶表示装置に関する。

【背景技術】

【0002】

近年、アクティブマトリクス型の液晶表示装置（AM-LCD）はパーソナルコンピュータを初めとするオフィスオートメーション（OA）機器に広く利用されている。また、エンジニアリングワークステーション（EWS）等の表示装置に利用するため、AM-LCDの画面の大型化や高精細化が進んでいる。しかしながら、AM-LCDの画面の大型化や高精細化に伴い、薄膜トランジスタ（TFT）基板上に形成されるデータバスラインやゲートバスライン等のパターン密度は増加するため、AM-LCDの製造工程における不具合の発生確率は高くなる。特に、高開口率化のために、データバスラインは太さを一定にするか若しくは細くすることが求められている。このため、データバスラインに断線欠陥の発生する確率は高くなり、当該断線欠陥の増加が深刻な問題になっている。製造歩留まりを向上させるために、データバスラインに生じた断線欠陥の救済処理は益々重要度を増している。データバスラインの断線欠陥を救済するために、断線の生じたデータバスラインと断線修復用のリペア用配線とを表示領域外で接続する断線リペア処理が広く用いられている。

【0003】

ところで、TFT基板や液晶表示パネルの製造工程において、TFT基板や液晶表示パネルは種々の要因で生じる静電気に曝されやすい。従って、静電気による障害からTFT基板上に形成されたデータバスラインやTFT素子等を保護するための工夫が必要になる。特に、電氣的に独立した状態（浮遊状態）にあるデータバスライン等の導電パターンは静電気による電荷で高電圧が発生し易く、導電パターンの短絡や破壊等の障害に至り易い。前述のデータバスライン修復用のリペア用配線もデータバスラインの断線欠陥の修復に用いるまでは浮遊状態にあるので、何らかの静電気対策が必要である。そこで、リペア用配線の電位を安定させるために、リペア用配線は高抵抗素子を介して共通電位供給導電パターンに接続され、静電気によって生じた電荷を放出できるようになっている。

【0004】

一般的に高抵抗素子には、TFT等の非線形抵抗特性を有する素子が用いられている。当該素子にパターン不良や静電気破壊等による層間短絡等が生じると、リペア用配線と共通電位供給導電パターンとが短絡してしまう可能性がある。リペア用配線と共通電位供給導電パターンとが短絡すると修復処理を施したデータバスラインの電位が共通電位に引上げられてしまうため線欠陥となってしまう。一般に共通電極はデータ電圧（階調電圧）のほぼ中心電位に設定されるので、ノーマリ・ブラック型のAM-LCDの場合は暗線の線欠陥になる。

【0005】

断線修復失敗の原因としては、リペア用配線をデータバスラインに接続したために負荷が増大し、データバスラインを駆動するデータドライバICの駆動能力が不足して、デー

10

20

30

40

50

タ信号に遅延が生じてしまうことが挙げられる。また、断線したデータバスラインとリペア用配線とを接続する際にリペア用配線の一部が共通電極（対向電極）に接触し、リペア用配線と対向電極とが短絡してしまうことが挙げられる。何れの場合も結果として暗線の線欠陥になるので、表示画面を見ただけでは、リペア用配線の負荷増大による線欠陥なのか、リペア用配線と対向電極との短絡による線欠陥なのか判別し難いという問題がある。

【0006】

図12は、リペア用配線を用いてデータバスラインの断線欠陥を修復するAM-LCD 201の概略構成を示している。データバスラインが断線した場合、データドライバ集積回路（IC）実装側と非実装側の表示領域外でデータバスラインとリペア用配線が交差している部分をレーザ処理などによって結線し、データドライバICから出力されるデータ信号をゲートバスライン／データバスライン用プリント回路基板（PCB）を経由してデータドライバIC非実装側から供給する。データドライバIC非実装側のリペア用配線は静電気対策のために高抵抗体を介して共通電位供給導電パターンに接続されている。図12（a）に示すように、AM-LCD 201は、画素電極やTFT等が画素領域毎に形成されたTFT基板203と、カラーフィルタ（CF）層や共通電極等が形成された対向基板205とを対向させて貼り合わせ、その間に液晶を封止した構造を有している。

【0007】

TFT基板203には、複数のゲートバスラインを駆動する複数のゲートドライバIC 213が実装されたゲートバスライン用PCB 209と、複数のデータバスラインを駆動する複数のデータドライバIC 211が実装されたデータバスライン用PCB 207とが設けられている。ゲートドライバIC 213はTFT基板203の図中左側端部に形成されたゲートバスライン引き出し線217に接続されている。データドライバIC 211はTFT基板203の図中下側端部に形成されたデータバスライン引き出し線215に接続されている。両PCB 207、209は、制御回路（不図示）から出力された所定の信号に基づいて、ゲートパルスやデータ電圧を所定のゲートバスラインあるいはデータバスラインに出力するようになっている。

【0008】

さらに、AM-LCD 201は、データバスラインの短絡欠陥を修復するリペア配線223を有している。リペア配線223は、リペア用配線223a～223gで構成されている。TFT基板203上には、図中基板上側端部に左右方向に延びるリペア用配線223aと、図中基板下側端部に左右方向に延びるリペア用配線223bとが形成されている。なお、図12（a）では、リペア用配線223bは図中右から2番目のデータドライバIC 211近傍に図示されているが、他のデータドライバIC 211近傍にも同様にそれぞれ形成されている。

【0009】

各データドライバIC 211には、図中上下方向に延びるリペア用配線223cが形成されている。データバスライン用PCB 207上には、図中左右方向に延びるリペア用配線223dが形成されている。各ゲートドライバIC 213には、図中左右方向に延びるリペア用配線223eが形成されている。ゲートバスライン用PCB 209上には、図中上下方向に延びるリペア用配線223fが形成されている。リペア用配線223dとリペア用配線223fとを接続するリペア用配線223gは不図示のフレキシブルプリント回路基板（FPC）上に形成されている。AM-LCD 201を組み立てることによりリペア用配線223a～223gが接続されてリペア配線223が形成される。また、リペア用配線223aは、リペア用配線223aを静電気から保護するESD保護素子である高抵抗素子219を介して共通電極に電位を供給する共通電位供給導電パターン225に接続されている。

【0010】

次に、図12（b）、（c）を用いて断線欠陥の生じたデータバスライン227の修復方法について説明する。図12（b）は、データバスライン227とリペア用配線223bとの交差部の拡大図である。図12（c）は、図12（b）のA-A線で切断した断面

10

20

30

40

50

を示している。図12(c)に示すように、ガラス基板244上には、リペア用配線223b、絶縁膜235、データバスライン227及び最終保護膜237がこの順に積層して形成されている。図12(b)に示すように、データバスライン227、229のうちの断線欠陥の生じたデータバスライン227には、リペア用配線223bと交差する交差部の四隅にレーザ光が照射される。レーザ光の照射によりデータバスライン227とリペア用配線223bとは接続部231において接続される。データバスライン227とリペア用配線223aも同様の方法で接続される。これにより、データドライバIC211から出力されたデータ信号は、リペア用配線223b、リペア用配線223c、リペア用配線223d、リペア用配線223g、リペア用配線223f、リペア用配線223e及びリペア用配線223aをこの順に通ってデータバスライン227に供給される。

10

【0011】

図13は、リペア配線を用いてデータバスラインの断線欠陥を修復する別のAM-LCD201の概略構成を示している。図13(a)はAM-LCD201の概略構成を示し、図13(b)はリペア用配線223bとリペア用配線223b'との交差部の拡大図であり、図13(c)は、図13(b)のB-B線で切断した断面を示している。図13(a)に示すように、リペア配線223はさらに2種のリペア用配線223a'、223b'を有している。リペア用配線223a'は、リペア用配線223a近傍で、基板平面内でリペア用配線223bに対向してリペア用配線223a'に対しほぼ平行にリペア用配線223bとほぼ同じ長さ形成されている。リペア用配線223b'は、図中基板下側端部からリペア用配線223bの図中左側端部に交差するまで延びて形成されている。

20

【0012】

図13(c)に示すように、リペア用配線223b'とリペア用配線223bとは絶縁膜235を介して交差している。図13(b)に示すように欠陥修復の際、リペア用配線223b'にはリペア用配線223b'と交差する交差部の四隅にレーザ光が照射され、リペア用配線223b'とリペア用配線223bとは接続部231において接続される。リペア用配線223a'はリペア用配線223aに同様の方法で接続される。また、データバスライン227とリペア用配線223a、223bとは上述した方法により接続される。これにより、データドライバIC211から出力されたデータ信号は、リペア用配線223b、リペア用配線223b'、リペア用配線223c、リペア用配線223d、リペア用配線223g、リペア用配線223f、リペア用配線223e、リペア用配線223a及びリペア用配線223a'をこの順に通ってデータバスライン227に供給される。

30

【0013】

図14は、データドライバIC211非実装側のリペア用配線223aのゲートドライバIC213非実装辺側端と共通電位供給導電パターン225の間に設けたESD保護素子である高抵抗素子219の拡大図である。高抵抗素子219は3つのTF T239、241、243で構成されており、何らかの理由で製造工程中にリペア用配線223aに電荷が流入した際には共通電位供給導電パターン225への放電経路として作用する。図14に示すように、ガラス基板244上に、第1乃至第3のTF T239、241、243のゲート電極(G)が形成されている。第2及び第3のTF T241、243のゲート電極(G)は他の配線構造から電氣的に孤立して形成されている。ゲート電極(G)及びガラス基板244上にはゲート絶縁膜(不図示)が形成されている。

40

【0014】

第1乃至第3のTF T239、241、243の各ゲート電極(G)上に形成されたゲート絶縁膜上にはa-Siからなる動作半導体層245がそれぞれパターンニングされている。各動作半導体層245を挟んで両側には、ソース電極(S)とドレイン電極(D)とが形成されている。各ソース電極(S)／ドレイン電極(D)の端部は各動作半導体層245に乗り上がり、基板面方向に見て各ソース電極(S)／ドレイン電極(D)の端部と下層のゲート電極(G)とがオーバーラップする領域が形成されている。

【0015】

50

第2及び第3のTF T 2 4 1、2 4 3のドレイン電極(D)を含む導電体2 5 3にはコンタクトホール2 4 7が形成されている。導電体2 5 3の下層にゲート絶縁膜を介して配置されている第1のTF T 2 3 9のゲート電極(G)の一端部にはコンタクトホール2 4 9が形成されている。2つのコンタクトホール2 4 7、2 4 9を介して、第2及び第3のTF T 2 4 1、2 4 3のドレイン電極(D)と第1のTF T 2 3 9のゲート電極(G)とはITO層2 5 1で接続されている。第1のTF T 2 3 9のドレイン電極(D)及び第2のTF T 2 4 1のソース電極(S)はリペア用配線2 2 3 a(図1 4では不図示)に接続されている。第1及び第3のTF T 2 3 9、2 4 3のソース電極(S)は共通電位供給導電パターン2 2 5(図1 4では不図示)に接続されている。

【0 0 1 6】

高抵抗素子2 1 9は、TF T基板2 0 3の製造工程中にリペア用配線2 2 3 aに流入した電荷の共通電位供給導電パターン2 2 5への放電経路として作用する。高抵抗素子2 1 9はAM-LCD 2 0 1の製造完成後にリペア用配線2 2 3 aと共通電位供給導電パターン2 2 5とが電氣的絶縁状態を維持する程度に高抵抗値を有している必要がある。第1乃至第3のTF T 2 3 9、2 4 1、2 4 3の導通状態の抵抗値は約1 MΩ程度である。この値はリペア用配線2 2 3 aに生じた静電気による電荷を放電することと、AM-LCD 2 0 1の製造完成後にリペア用配線2 2 3 aと共通電位供給導電パターン2 2 5とを絶縁することのいずれにも適した値である。このため、高抵抗素子2 1 9のようにTF Tを有する高抵抗素子は静電気保護素子として広く利用されている。

【0 0 1 7】

しかしながら、TF Tの導通時の抵抗値を約1 MΩにするためにソース電極とドレイン電極との間隔は数〜十数μm程度にしなければならないが、一般に、TF Tのソース電極とドレイン電極とは同層に同一金属材料で形成されるので、TF Tのパターン不良により両者が短絡してしまう可能性は決して低くない。また、TF Tには異なる導電層の重なり部も多く存在するので、静電気による高電圧に曝されてESD保護素子自体が短絡してしまうこともある。このような場合、リペア用配線2 2 3 aの電位は共通電極に印加されている電位になってしまうか、又は短絡の程度によって本来のデータ電圧と共通電位との中間的な電位になってしまう。いずれにしても画素電極と対向電極との電位差は所望の値より小さくなるので、ノーマリ・ブラック型のAM-LCD 2 0 1では暗線になってしまう。

【0 0 1 8】

ところで、断線欠陥の修復処理を行ったデータバスラインが暗線になる理由は他にもある。例えば、何らかの要因でリペア配線2 2 3に容量が付加されたり、リペア配線2 2 3とデータドライバIC 2 1 1との間の抵抗値が増加したりすると、リペア配線2 2 3を介してデータバスライン2 2 7に供給されるデータ信号は本来のデータ信号に比べて鈍ってしまい、画素電極にデータ信号を十分に書き込むことができなくなる。また、データバスライン2 2 7とリペア用配線2 2 3 aとの間にレーザー光を照射してデータバスライン2 2 7とリペア用配線2 2 3 aとを接続してデータバスライン2 2 7の断線を修復する際に、TF T基板2 0 3上に形成されたデータバスライン2 2 7等の導電層の一部が突出して対向電極に接触することがある。また、データバスライン2 2 7のパターニング不良により、データバスライン2 2 7が対向電極に接触していることもある。いずれの場合も結果として暗線となる。

【特許文献1】特開平1 1-2 7 1 7 2 2号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 9】

このように、断線修復処理を行ってもデータバスライン2 2 7が暗線等の線欠陥になっている場合には、その原因を特定するために詳細な不良解析が必要になり、当該不良解析に多大な時間と労力を要するという問題がある。

【0 0 2 0】

本発明の目的は、静電気破壊の防止に優れ、特に、リペア用配線が短絡した場合にはリペア処理を施したデータバスラインを顕在化させ、他の原因で生じる線欠陥との識別を容易に行える表示装置用基板、液晶表示パネル及び液晶表示装置並びにリペア用配線の欠陥検査方法を提供することにある。

【課題を解決するための手段】

【0021】

上記目的は、データバスラインの断線欠陥を修復するリペア用配線と、前記リペア用配線を静電気から保護する静電気保護素子部と、前記静電気保護素子部を介して前記リペア用配線に接続され、所定の電圧を維持する共通導電配線とを有することを特徴とする表示装置用基板によって達成される。

10

【発明の効果】

【0022】

本発明によれば、パネル製造工程におけるバスラインやスイッチング素子の静電気破壊を防止することができ、さらに、リペア用配線が短絡した場合にはリペア処理を施したデータバスラインを顕在化させ、他の原因で生じる線欠陥との識別を容易に行えるようになる。

【発明を実施するための最良の形態】

【0023】

〔第1の実施の形態〕

本発明の第1の実施の形態による表示装置用基板、液晶表示パネル及び液晶表示装置並びにリペア用配線の欠陥検査方法について図1乃至図4を用いて説明する。まず、本実施の形態によるAM-LCD1の概略構成について図1を用いて説明する。図1は、冗長構造の静電気保護素子部20を有するAM-LCD1の概略構成を示している。図1に示すように、AM-LCD1は、画素電極やTFT等が画素領域毎に形成されたTFT基板（表示装置用基板）3と、CF層や共通電極等が形成された対向基板5とを対向させて貼り合わせ、その間に液晶を封止した液晶表示パネルを有している。

20

【0024】

TFT基板3には、複数のゲートバスラインを駆動する複数のゲートドライバIC13が実装されたゲートバスライン用PCB9と、複数のデータバスラインを駆動する複数のデータドライバIC11が実装されたデータバスライン用PCB7とが設けられている。ゲートドライバIC13はTFT基板3の図中左側端部に形成されたゲートバスライン引き出し線17に接続されている。データドライバIC11はTFT基板3の図中下側端部に形成されたデータバスライン引き出し線15に接続されている。両PCB7、9は、制御回路（不図示）から出力された所定の信号に基づいて、ゲートパルスやデータ電圧を所定のゲートバスラインあるいはデータバスラインに出力するようになっている。

30

【0025】

対向基板5は、画素領域毎に赤色（R）、緑色（G）、青色（B）のうちいずれか1色が形成されたCF層を有している。両基板3、5の対向面には、液晶分子を所定方向に配向させる配向膜が形成されている。

【0026】

40

TFT基板3の素子形成面と反対側の表面には、不図示の偏光板が貼り付けられている。偏光板のTFT基板3と反対側には、例えば線状の一次光源と面状導光板とからなるバックライトユニット（不図示）が配置されている。一方、対向基板5のCF形成面と反対側の表面には、偏光板（不図示）が貼り付けられている。

【0027】

さらに、AM-LCD1は、データバスラインの短絡欠陥を修復するリペア配線23を有している。リペア配線23はリペア用配線23a～23gで構成されている。TFT基板3上には、図中基板上側端部に左右方向に延びるリペア用配線23aと、図中基板下側端部に左右方向に延びるリペア用配線23bとが表示領域外に形成されている。なお、図1では、リペア用配線23bは図中右から2番目のデータドライバIC11近傍に図示さ

50

れているが、他のデータドライバ I C 1 1 近傍にも同様にそれぞれ形成されている。

【0028】

データドライバ I C 1 1 には、図中上下方向に延びるリペア用配線 2 3 c が形成されている。データバスライン用 P C B 7 上には、図中左右方向に延びるリペア用配線 2 3 d が形成されている。各ゲートドライバ I C 1 3 には、図中左右方向に延びるリペア用配線 2 3 e が形成されている。ゲートバスライン用 P C B 9 上には、図中上下方向に延びるリペア用配線 2 3 f が形成されている。リペア用配線 2 3 d とリペア用配線 2 3 f とを接続するリペア用配線 2 3 g は不図示の F P C 上に形成されている。A M - L C D 1 を組み立てることによりリペア用配線 2 3 a ~ 2 3 g が接続されてリペア配線 2 3 が形成される。また、リペア用配線 2 3 a は、リペア用配線 2 3 a を静電気から保護する E S D 保護素子を備えた静電気保護素子部 2 0 を介して共通電極に電位を供給する共通電位供給導電パターン 2 5 に接続されている。静電気保護素子部 2 0 は直列接続された第 1 及び第 2 の高抵抗素子 1 9、2 1 を有する冗長構造を有している。

10

【0029】

A M - L C D 1 のデータバスラインの断線欠陥の修復方法は従来の A M - L C D 2 0 1 に対する修復方法と同様である。T F T 基板 3 上に形成されたデータバスライン 2 7 に断線欠陥が生じたら、データバスライン 2 7 とリペア用配線 2 3 a、2 3 b との交差部の四隅にレーザ光を照射して、データバスライン 2 7 とリペア用配線 2 3 a、2 3 b とを接続する。これにより、データドライバ I C 1 1 から出力されたデータ信号はリペア用配線 2 3 b、リペア用配線 2 3 c、リペア用配線 2 3 d、リペア用配線 2 3 g、リペア用配線 2 3 f、リペア用配線 2 3 e 及びリペア用配線 2 3 a をこの順に通って断線によりデータドライバ I C 1 1 と電氣的に切り離されたデータバスライン 2 7 側に供給される。

20

【0030】

次に、静電気保護素子部 2 0 の概略構成について図 2 を用いて説明する。図 2 (a) は静電気保護素子部 2 0 近傍の模式図であり、図 2 (b) は静電気保護素子部 2 0 の拡大図であり、図 2 (c) は静電気保護素子部 2 0 の等価回路を示している。図 2 (a) に示すように、静電気保護素子部 2 0 は直列接続された第 1 及び第 2 の高抵抗素子 1 9、2 1 を有している。第 1 の高抵抗素子 1 9 はリペア用配線 2 3 a に接続されている。第 2 の高抵抗素子 2 1 は共通電位供給導電パターン 2 5 に接続されている。第 2 の高抵抗素子 2 1 は共通電位供給導電パターン 2 5 のように所定の電圧を維持する共通導電配線に接続されていけばよく、基準電位（グラウンド）に接続されていてもよい。

30

【0031】

次に、第 1 及び第 2 の高抵抗素子 1 9、2 1 の回路構成について図 2 (b)、(c) を用いて説明する。図 2 (b)、(c) に示すように、第 1 の高抵抗素子 1 9 は第 1 乃至第 3 の T F T 2 9、3 1、3 3 を有している。また、第 2 の高抵抗素子 2 1 は第 1 乃至第 3 の T F T 4 9、5 1、5 3 を有している。第 1 の T F T 2 9、4 9 はリペア用配線 2 3 a に静電気により生じた電荷を共通電位供給導電パターン 2 5 に放出するために用いられる。第 2 及び第 3 の T F T 3 1、3 3、5 1、5 3 は第 1 の T F T 2 9、4 9 のゲート電圧を制御するために用いられる。

【0032】

まず、第 1 の高抵抗素子 1 9 の回路構成について説明する。ガラス基板 4 4 上に、第 1 乃至第 3 の T F T 2 9、3 1、3 3 のゲート電極（G）は形成されている。第 2 及び第 3 の T F T 3 1、3 3 のゲート電極（G）は他の配線構造から電氣的に孤立して形成されている。ゲート電極（G）及びガラス基板 4 4 上にはゲート絶縁膜（不図示）が形成されている。

40

【0033】

第 1 乃至第 3 の T F T 2 9、3 1、3 3 の各ゲート電極（G）上に形成されたゲート絶縁膜上には a - S i からなる動作半導体層 3 5 がそれぞれパターンニングされている。各動作半導体層 3 5 を挟んで両側には、ソース電極（S）とドレイン電極（D）とが形成されている。各ソース電極（S）／ドレイン電極（D）の端部は各動作半導体層 3 5 に乗り上

50

がり、基板面方向に見て各ソース電極（S）／ドレイン電極（D）の端部と下層のゲート電極（G）とがオーバーラップする領域が形成されている。

【0034】

第2及び第3のTF T 3 1、3 3のドレイン電極（D）を含む導電体4 7にはコンタクトホール4 1が形成されている。導電体4 7の下層にゲート絶縁膜を介して配置されている第1のTF T 2 9のゲート電極（G）の一端部にはコンタクトホール4 3が形成されている。2つのコンタクトホール4 1、4 3を介して、第2及び第3のTF T 3 1、3 3のドレイン電極（D）と第1のTF T 2 9のゲート電極（G）とがITO層3 9で接続されている。第1のTF T 2 9のドレイン電極（D）及び第2のTF T 3 1のソース電極（S）はリペア用配線2 3 a（図2（a）参照）に接続されている。第1及び第3のTF T 2 9、3 3のソース電極（S）は第2の高抵抗素子2 1を構成する第1のTF T 4 9のドレイン電極（D）及び第2のTF T 5 1のソース電極（S）に接続されている。

10

【0035】

第2の高抵抗素子2 1は第1の高抵抗素子1 9と同様の回路構成を有している。ガラス基板4 4上に、第1乃至第3のTF T 4 9、5 1、5 3のゲート電極（G）は形成されている。第2及び第3のTF T 5 1、5 3のゲート電極（G）は他の配線構造から電気的に孤立して形成されている。ゲート電極（G）上にはゲート絶縁膜が形成されている。

【0036】

第1乃至第3のTF T 4 9、5 1、5 3の各ゲート電極（G）上に形成されたゲート絶縁膜上にはa-Siからなる動作半導体層5 5がそれぞれパターニングされている。各動作半導体層5 5を挟んで両側には、ソース電極（S）とドレイン電極（D）とが形成されている。各ソース電極（S）／ドレイン電極（D）の端部は各動作半導体層5 5に乗り上がり、基板面方向に見て各ソース電極（S）／ドレイン電極（D）の端部と下層のゲート電極（G）とがオーバーラップする領域が形成されている。

20

【0037】

第2及び第3のTF T 5 1、5 3のドレイン電極（D）を含む導電体6 7にはコンタクトホール6 1が形成されている。導電体6 7の下層にゲート絶縁膜を介して配置されている第1のTF T 4 9のゲート電極（G）の一端部にはコンタクトホール6 3が形成されている。2つのコンタクトホール6 1、6 3を介して、第2及び第3のTF T 5 1、5 3のドレイン電極（D）と第1のTF T 4 9のゲート電極（G）とがITO層5 9で接続されている。第1のTF T 4 9のドレイン電極（D）及び第2のTF T 5 1のソース電極（S）は第1の高抵抗素子1 9を構成する第1及び第3のTF T 2 9、3 3のソース電極（S）に接続されている。第1及び第3のTF T 4 9、5 3のソース電極（S）は共通電位供給導電パターン2 5（図2（a）参照）に接続されている。

30

【0038】

次に、静電気保護素子部2 0の動作について説明する。図2（c）に示すように、静電気により第1及び第2の高抵抗素子1 9、2 1の接続点に対して正の高電圧がリペア用配線2 3 aに発生すると、第2及び第3のTF T 3 1、3 3のゲート電極（G）にはそれぞれ寄生容量（ C_{2gs} 、 C_{2gd} 、 C_{3gs} 、 C_{3gd} ）によって内分された高電圧が印加されて第2及び第3のTF T 3 1、3 3でチャネルが形成される。その結果、第2及び第3のTF T 3 1、3 3を通して電流が流れ、導電体4 7の電位も上昇する。それにより第1のTF T 2 9にチャネルが形成されて導電率が大きくなるため静電気による電荷が解放される。

40

【0039】

リペア用配線2 3 aから開放された電荷は第1のTF T 2 9を通過して第1及び第2の高抵抗素子1 9、2 1の接続点に流入する。これにより、第1及び第2の高抵抗素子1 9、2 1の接続点には共通電位供給導電パターン2 5に対して正の高電圧が発生する。こうなると、第2及び第3のTF T 5 1、5 3のゲート電極（G）にはそれぞれ寄生容量（ C_{2gs} 、 C_{2gd} 、 C_{3gs} 、 C_{3gd} ）によって内分された高電圧が印加されて第2及び第3のTF T 5 1、5 3でチャネルが形成される。その結果、第2及び第3のTF T 5 1、5 3を

50

通して電流が流れ、導電体 67 の電位も上昇する。それにより第 1 の T F T 49 にチャンネルが形成されて導電率が大きくなるため静電気による電荷が解放される。

【0040】

第 1 及び第 2 の高抵抗素子 19、21 の抵抗値はそれぞれ数 100 k Ω ～数 M Ω 程度である。このため、第 1 及び第 2 の高抵抗素子 19、21 は単体でもリペア用配線 23a と共通電位供給導電パターン 25 とを電氣的に開放できる十分な抵抗値を有している。従って、第 1 及び第 2 の高抵抗素子 19、21 のいずれか一方に短絡等の欠陥が生じて、正常に動作する他方の高抵抗素子でリペア用配線 23a との間の抵抗値は十分に確保される。このように、静電気保護素子部 20 は静電気破壊等でリペア用配線 23a と共通電位供給導電パターン 25 とが短絡するのを十分に防止することができる。

10

【0041】

図 3 は、別の高抵抗素子の回路構成例を示している。図 3 (a) は高抵抗素子 68 の拡大図であり、図 3 (b) は高抵抗素子 68 の等価回路を示している。図 3 に示すように、高抵抗素子 68 は第 1 及び第 2 の T F T 69、71 を有している。不図示のガラス基板上に、第 1 及び第 2 の T F T 69、71 のゲート電極 (G) は形成されている。ゲート電極 (G) 及びガラス基板上にはゲート絶縁膜 (不図示) が形成されている。

【0042】

第 1 及び第 2 の T F T 69、71 の各ゲート電極 (G) 上に形成されたゲート絶縁膜上には a-Si からなる動作半導体層 73 がそれぞれパターンニングされている。各動作半導体層 73 を挟んで両側には、ソース電極 (S) とドレイン電極 (D) とが形成されている。各ソース電極 (S) / ドレイン電極 (D) の端部は各動作半導体層 73 に乗り上がり、基板面方向に見て各ソース電極 (S) / ドレイン電極 (D) の端部と下層のゲート電極 (G) とがオーバーラップする領域が形成されている。

20

【0043】

第 1 の T F T 69 のドレイン電極 (D) と第 2 の T F T 71 のソース電極 (S) とを含む導電体 75 の第 1 の T F T 69 のドレイン電極 (D) 近傍にはコンタクトホール 81 が形成されている。第 1 の T F T 69 のゲート電極 (G) の一端部にはコンタクトホール 79 が形成されている。2つのコンタクトホール 79、81 を介して、第 1 の T F T 69 のドレイン電極 (D) とゲート電極 (G) とは I T O 層 77 で接続されている。

【0044】

30

第 1 の T F T 69 のソース電極 (S) と第 2 の T F T 71 のドレイン電極 (D) とを含む導電体 76 の第 2 の T F T 71 のドレイン電極 (D) 近傍にはコンタクトホール 87 が形成されている。第 2 の T F T 71 のゲート電極 (G) の一端部にはコンタクトホール 85 が形成されている。2つのコンタクトホール 85、87 を介して、第 2 の T F T 71 のドレイン電極 (D) とゲート電極 (G) とは I T O 層 83 で接続されている。

【0045】

次に、高抵抗素子 68 の動作について説明する。図 3 (b) に示すように、導電体 76 に対して正の高電圧が導電体 75 に発生すると、第 1 の T F T 69 のゲート電極 (G) には高電圧が印加されて第 1 の T F T 69 でチャンネルが形成される。その結果、第 1 の T F T 69 の導電率は大きくなるため導電体 75 に充電された電荷が解放される。また、導電体 75 に対して正の高電圧が導電体 76 に発生した場合には、第 2 の T F T 71 により導電体 76 に充電された電荷が解放される。

40

【0046】

このように、高抵抗素子 68 は導電体 75、76 のいずれかに電荷が充電されて所定の電位差が生じると、当該電荷を開放することができる。従って、導電体 75 と導電体 76 とを接続した 2つの高抵抗素子 68 は静電気保護素子部 20 に用いることができる。

【0047】

図 4 は、さらに別の高抵抗素子の回路構成例を示している。図 4 (a) は高抵抗素子 89 の拡大図であり、図 4 (b) は高抵抗素子 89 の等価回路を示している。図 4 に示すように、高抵抗素子 89 は 1つの T F T を有している。不図示のガラス基板上に、T F T の

50

ゲート電極（G）は形成されている。ゲート電極（G）は他の配線構造から電氣的に孤立して形成されている。ゲート電極（G）及びガラス基板にはゲート絶縁膜（不図示）が形成されている。

【0048】

TFTのゲート電極（G）上に形成されたゲート絶縁膜上にはa-Siからなる動作半導体層90がパターンニングされている。動作半導体層90を挟んで両側には、ソース電極（S）とドレイン電極（D）とが形成されている。各ソース電極（S）／ドレイン電極（D）の端部は各動作半導体層90に乗り上がり、基板面方向に見て各ソース電極（S）／ドレイン電極（D）の端部と下層のゲート電極（G）とがオーバーラップする領域が形成されている。

10

【0049】

次に、高抵抗素子89の動作について説明する。図4（b）に示すように、ドレイン電極（D）に対して正の高電圧がソース電極（S）に発生すると、ゲート電極（G）には寄生容量（ C_{gs} 、 C_{gd} ）によって内分された高電圧が印加されてチャンネルが形成される。その結果、TFTの導電率が大きくなるためソース電極（S）に充電された電荷が解放される。

【0050】

このように、高抵抗素子89はソース電極（S）／ドレイン電極（D）のいずれかに電荷が充電されて所定の電位差が生じると、当該電荷を開放することができる。従って、ソース電極（S）とドレイン電極（D）とを接続した2つの高抵抗素子89は静電気保護素子部20に用いることができる。

20

【0051】

本実施の形態によれば、AM-LCD1の製造工程においてリペア用配線23aに静電気による電荷が発生しても、静電気保護素子部20で当該電荷を開放できるので、リペア用配線23aの静電気破壊を防止することができる。また、静電気保護素子部20は第1及び第2の高抵抗素子19、21を有しているので、第1及び第2の高抵抗素子19、21のいずれか一方が静電気により破損しても、正常動作する他方の高抵抗素子でリペア用配線23aと共通電位供給導電パターン25との短絡を防止できる。このように、静電気保護素子部20は静電気破壊に対する優れた防止機能を発揮するので、AM-LCD1の製造歩留まりが向上し、製造コストの低減及びAM-LCD1の低コスト化を図ることができる。

30

【0052】

〔第2の実施の形態〕

本発明の第2の実施の形態による表示装置用基板、液晶表示パネル及び液晶表示装置並びにリペア用配線の欠陥検査方法について図5乃至図11を用いて説明する。まず、本実施の形態によるAM-LCD1の概略構成について図5を用いて説明する。図5は、本実施の形態のAM-LCD1の概略構成を示している。図5（a）はAM-LCD1の概略構成を示し、図5（b）は静電気保護素子部20の拡大図である。図5に示すように、AM-LCD1は、第1及び第2の高抵抗素子19、21の接続点に接続されてリペア用配線23aの短絡を検出するために用いる短絡欠陥検出用配線91を備えている点に特徴を有している。図1に示す構成と同一の機能作用を奏する構成には同一の符号を付してその説明は省略する。

40

【0053】

短絡欠陥検出用配線91はTFT基板3上に形成されている。短絡欠陥検出用配線91は第1及び第2の高抵抗素子19、21の接続点から図中基板上側端部を右方向に延びて基板左側端部まで延伸して形成されている。短絡欠陥検出用配線91はゲートドライバIC13を介してゲートバスライン用PCB9に配置された短絡欠陥検査用の検査信号を出力する検査信号供給回路93に接続されている。

【0054】

図5（b）に示すように、リペア用配線23aは第1の高抵抗素子19を介して短絡欠

50

陥検出用配線 9 1 に接続されている。短絡欠陥検出用配線 9 1 はさらに第 2 の高抵抗素子 2 1 を介して共通電位供給導電パターン 2 5 に接続されている。短絡欠陥検出用配線 9 1 端部にはコンタクトホール 9 9、1 0 3 が形成されている。第 1 の高抵抗素子 1 9 の第 1 及び第 3 の T F T 2 9、3 3 のソース電極 (S) 端部にはコンタクトホール 9 7 が形成されている。2 つのコンタクトホール 9 7、9 9 を介して、短絡欠陥検出用配線 9 1 と第 1 及び第 3 の T F T 2 9、3 3 のソース電極 (S) とが I T O 層 9 5 で接続されている。第 2 の高抵抗素子 2 1 の第 1 の T F T 4 9 のドレイン電極 (D) 及び第 2 の T F T 5 1 のソース電極 (S) の端部にはコンタクトホール 1 0 5 が形成されている。2 つのコンタクトホール 1 0 3、1 0 5 を介して短絡欠陥検出用配線 9 1 と第 1 の T F T 5 3 のドレイン電極 (D) 及び第 2 の T F T 4 9 のソース電極 (S) とが I T O 層 1 0 1 で接続されている。このように、短絡欠陥検出用配線 9 1 は第 1 及び第 2 の高抵抗素子 1 9、2 1 の接続点に接続されている。

10

【0055】

検査信号供給回路 9 3 の出力端子にはスイッチ (共に不図示) が設けられている。当該スイッチをオン状態にすると短絡欠陥検出用配線 9 1 は検査信号供給回路 9 3 の出力端子に電氣的に接続され、当該スイッチをオフ状態にすると短絡欠陥検出用配線 9 1 は検査信号供給回路 9 3 の出力端子から電氣的に切り離される。短絡欠陥検出用配線 9 1 は検査信号供給回路 9 3 の出力端子から切り離されるとフローティング状態になる。検査信号供給回路 9 3 は所定の電圧を抵抗分割する複数の抵抗や可変抵抗を有し、短絡欠陥検出用配線 9 1 に直流電圧の検査信号を供給できるようになっている。また、検査信号供給回路 9 3 は不図示の制御部から出力される制御信号に基づいて、データバスラインに供給されるデータ信号の位相や周期と異なる検査信号を短絡欠陥検出用配線 9 1 に供給できるようになっている。

20

【0056】

第 1 及び第 2 の高抵抗素子 1 9、2 1 の抵抗値はそれぞれ数 1 0 0 k Ω ~ 数 M Ω 程度である。このため、第 1 及び第 2 の高抵抗素子 1 9、2 1 は単体でもリペア用配線 2 3 a と共通電位供給導電パターン 2 5 とを電氣的に開放できる十分な抵抗値を有している。しかし、第 1 及び第 2 の高抵抗素子 1 9、2 1 の抵抗値を数 1 0 0 k Ω ~ 数 M Ω にするためには、各 T F T 2 9、3 1、3 3、4 9、5 1、5 3 のチャンネル長 (ソース電極 (S) とドレイン電極 (D) との間隔) を 3 ~ 1 0 μ m 程度にする必要がある。このようにチャンネル長が短いため、T F T 基板 2 のフォトリソグラフィ工程等における T F T のパターニング不良や導電性異物の付着等でソース電極 (S) とドレイン電極 (D) とが短絡してしまう可能性がある。

30

【0057】

第 1 の高抵抗素子 1 9 に短絡欠陥が生じると、リペア用配線 2 3 a と短絡欠陥検出用配線 9 1 とが短絡してしまう。A M - L C D 1 の使用時には短絡欠陥検出用配線 9 1 は検査信号供給回路 9 3 から切り離されてフローティング状態にされる。この場合、短絡欠陥検出用配線 9 1 は高インピーダンスになっているので、リペア用配線 2 3 a と短絡欠陥検出用配線 9 1 との短絡の影響はリペア用配線 2 3 a に生じない。また、第 2 の高抵抗素子 2 1 は正常に動作しているので、リペア用配線 2 3 a は共通電位供給導電パターン 2 5 から電氣的に切り離されている。従って、短絡欠陥検出用配線 9 1 と電氣的に接続されたリペア用配線 2 3 a でデータバスライン 2 7 の断線欠陥を修復しても、データバスライン 2 7 に線欠陥は発生しない。

40

【0058】

また、第 2 の高抵抗素子 2 1 に短絡欠陥が生じると、共通電位供給導電パターン 2 5 と短絡欠陥検出用配線 9 1 とが短絡してしまう。第 1 の高抵抗素子 1 9 は正常に動作しているので、リペア用配線 2 3 a と共通電位供給導電パターン 2 5 とは電氣的に切り離されている。従って、短絡欠陥検出用配線 9 1 と電氣的に接続されたリペア用配線 2 3 a でデータバスライン 2 7 の断線欠陥を修復しても、データバスライン 2 7 に線欠陥は発生しない。

50

【0059】

このように、静電気保護素子部20に短絡欠陥検出用配線91が接続されていても、静電気保護素子部20は静電気破壊に対する優れた防止機能を発揮できる。また、本実施の形態の静電気保護素子部20は上記実施の形態の静電気保護素子部と同様の回路構成を有しているので、静電気保護素子部20はリペア用配線23aに生じた静電気による電荷を解放できる。

【0060】

一方、外部回路の事情等により短絡欠陥検出用配線91をフローティング状態にできない場合でも、短絡欠陥検出用配線91に接続電極を通じて外部回路から対向電位と独立な検査用信号を印加することで、リペア用配線短絡の有無を容易に判別することができる。まず、所定のデータ電圧をデータバスラインに供給する。次に、検査信号供給回路93から短絡欠陥検出用配線91に検査信号を入力する。検査信号の電圧値は当該データ信号の所定電圧や共通電極（対向電極）に印加されている電圧と異なる値にする。一般的に、対向電位はデータ信号の中心電位に対しておおよそ1～2V程度低い値に設定されている。そこで、検査信号の電圧を対向電極の電圧に対して数V程度高い値又は低い値に設定する。

【0061】

例えば、検査信号の電圧を対向電極及びデータ信号の電圧より高い値に設定する。リペア用配線23aと短絡欠陥検出用配線91とが短絡していると、リペア用配線23aにより修復されたデータバスライン27の電圧値はデータ信号と検査信号との間の電圧になる。この場合、正極性での液晶に印加される実効電圧は大きくなり、負極性での液晶に印加される実効電圧は小さくなる。これにより、データバスライン27に印加されている実効電圧は他のデータバスラインに印加されている実効電圧と異なる。従って、データバスライン27に接続されている画素は他の画素と異なる輝度になり、リペア用配線23aと短絡欠陥検出用配線91とが短絡していることを検出できる。

【0062】

また、リペア用配線23aに入力する検査信号の電圧値とデータバスラインに入力するデータ信号の電圧値との関係で、データバスライン27の線欠陥の状態を変えることができる。例えば、検査信号の電圧がデータ信号の電圧より高くなるように画面全体を暗めの中間調にすると、データバスライン27は相対的に輝線になる。また、検査信号の電圧がデータ信号の電圧より低くなるように画面全体を明るめの中間調にすると、データバスライン27は相対的に暗線になる。こうすると、データバスライン27の欠陥修復処理の成否を容易に判別することができる。なお、欠陥検査時に限らず、AM-LCD1の使用中でも短絡欠陥検出用配線91に検査信号を印加しておけば、リペア用配線23aと短絡欠陥検出用配線91との短絡を検出できる。

【0063】

さらに、検査信号供給回路93から出力する検査信号は直流信号に限られず、交流信号であってもよい。例えば、データ信号の振幅、位相又は周波数の異なる検査信号を短絡欠陥検出用配線91に入力すると、データバスライン27に接続されている画素の輝度は検査信号に基づいて変化するので、データバスライン27の欠陥修復処理の成否を容易に判別することができる。また、検査信号の電圧値を変えても輝線又は暗線のままでデータバスライン27の状態に変化がないと、リペア用配線23aはデータバスライン27には接触していないことが分かる。この場合はデータバスライン27の欠陥修復処理により、リペア用配線23a又はデータバスライン27導電層の一部が突出して共通電極等に接触していることが分かる。

【0064】

検査信号を短絡欠陥検出用配線91に入力せずに短絡欠陥検出用配線91の電圧値や電圧波形をモニタしてリペア用配線23aの欠陥を検査することができる。例えば、データバスライン27aに入力されているデータ信号と同じ信号が短絡欠陥検出用配線91で検出されれば、リペア用配線23aと短絡欠陥検出用配線91とが短絡していることが分かる。また、画面全体が白表示になるように各データバスラインにデータ信号を入力し、デ

ータバスライン27に所定の階調信号の電圧を印加する。短絡欠陥検出用配線91で当該階調信号の電圧が検出されれば、短絡欠陥検出用配線91とリペア用配線23aとが短絡していることが分かる。このように、データバスライン27のみに他のデータバスラインと異なるデータ信号を入力すると、リペア用配線23aと短絡欠陥検出用配線91との短絡を容易に判別することができる。

【0065】

TFT基板2の製造工程では画面を表示することができないので、当該検査方法は特に有効である。TFT基板2を製造するアレイ工程や液晶表示パネルを製造するセル工程では、当該電圧は短絡欠陥検出用配線91とゲートドライバIC13との接続部で測定される。液晶表示パネルと両PCB7、9を接続するモジュール工程では、当該電圧はゲートバスライン用PCB9上に設けられた検査パッド（不図示）を用いて測定される。上記のリペア用配線の欠陥検査方法で、リペア用配線23aと短絡欠陥検出用配線91との短絡を検出したら、リペア用配線23aと第1の高抵抗素子19との接続部にレーザ光を照射して、リペア用配線23aと第1の高抵抗素子19とを切断分離する。これにより、データバスライン27の線欠陥を修復することができる。

10

【0066】

本実施の形態によれば、静電気保護素子部20は第1及び第2の高抵抗素子19、21を有する冗長構造であるので静電気破壊に対する優れた防止機能を発揮する。また、断線修復処理を行ってもデータバスライン27が暗線等の線欠陥になっていても、短絡欠陥検出用配線91を用いてリペア用配線23aの短絡を検出できる。これにより製造工程において不良箇所のリペアを行うことができる。従って、線欠陥の原因を特定するための詳細な不良解析が不要になり、不良解析に掛かる多大な時間と労力を削減でき、AM-LCD1の製造コストの低減及びAM-LCD1の低コスト化を図ることができる。

20

【0067】

次に、本実施の形態の第1の変形例について図6及び図7を用いて説明する。上記実施の形態では、短絡欠陥検出用配線91の電圧は短絡欠陥検出用配線91とゲートドライバIC13との接続部やゲートバスライン用PCB9上に設けられた検査パッドを用いて測定されている。これに対して本変形例では、当該電圧を測定する電圧測定用パッドを備えている点に特徴を有している。図6及び図7は、TFT基板2とゲートバスライン用PCB9との接続部の拡大図である。図6に示すように、短絡欠陥検出用配線91はTFT基板2端部に形成されたゲートドライバIC13を接続する接続端子111aに接続されている。短絡欠陥検出用配線91にはTFT基板2端部で枝分かれした電圧測定用パッド107が形成されている。電圧測定用パッド107は1～2mmの線幅に形成されている。

30

【0068】

TFT基板2端部にはリペア用配線23aに接続された接続端子111bと、ゲートバスライン引き出し線17に接続された接続端子111cとが形成されている。接続端子111a、111b、111c上には不図示の異方性導電膜（ACF）を介してゲートドライバIC13が熱圧着されている。ゲートドライバIC13はICチップ13aと、テープキャリアパッケージ（TCP）フィルム13bとを有している。ICチップ13aはTCPフィルム13b上に実装されている。TCPフィルム13bにはICチップ13aと接続端子111cとを接続するリード線113bが形成されている。

40

【0069】

また、TCPフィルム13bにはICチップ13aとゲートバスライン用PCB9上に設けられた接続端子109cとを接続するリード線113aが形成されている。さらにTCPフィルム13bには、接続端子111aとゲートバスライン用PCB9上に設けられた接続端子109aとを接続するリード線92が形成されている。接続端子109aは検査信号供給回路93（図6では不図示）に接続されている。また、TCPフィルム13b上には、リペア用配線23eが形成され、リペア用配線23eは接続端子111bとゲートバスライン用PCB9上に設けられた接続端子109bとを接続している。接続端子109bはリペア用配線23f（図6では不図示）に接続されている。ゲートドライバIC

50

13はゲートバスライン用PCB9に熱圧着又は半田付けにより接続されている。

【0070】

電圧測定用パッド107は、TF T基板2に対向基板5を貼り合せ、ゲートドライバIC13を圧着しても露出している。このため、AM-LCD1のアレイ工程、セル工程及びモジュール工程のいずれの工程でも、短絡欠陥検出用配線91の電圧を測定することができる。電圧測定用パッド107で短絡欠陥検出用配線91の電圧を測定すれば、短絡欠陥検出用配線91上にプロービングする必要がなくなるので、短絡欠陥検出用配線91はプロービングで傷ついたり断線したりすることはなくなる。また、ゲートバスライン用PCB9の制約により検査信号供給回路93、検査パッド又は接続端子109aを設けることができない場合に、電圧測定用パッド107で電圧を測定したり検査信号を入力したり

10

【0071】

図7に示すように、短絡欠陥検出用配線91は接続端子111aに接続されていなくても、リペア用配線23aの短絡欠陥を検出することができる。電圧測定用パッド107は各工程において露出しているので、AM-LCD1の製造工程中に短絡欠陥検出用配線91の電圧を測定したり、短絡欠陥検出用配線91に検査信号を入力したりすることができる。

【0072】

上記実施の形態はいずれもリペア用配線が1本の場合であるが、パネル内で複数本のデータバスラインの断線を修復することができるような構造の場合には複数のリペア用配線が存在する。そのような場合でも上記実施の形態を適用することは可能である。図1に示す第1の実施の形態はそのまま適用可能である。図6に示す第2の実施の形態の場合は短絡欠陥検出用配線の一部を接続端子部まで引き出すために同層の導電層パターンを乗り越える必要があるが、例えば5枚マスク構造の場合、画素電極層(ITO層)を用いた繋ぎ換えを行えば適用は可能である。

20

【0073】

以上説明したように本変形例によれば、検査信号供給回路93や検査パッドを設けることができない場合にも電圧測定用パッド107を用いて短絡欠陥検出用配線91の電圧を測定したり、短絡欠陥検出用配線91に検査信号を入力したりできる。これにより、AM-LCD1の製造工程においてリペア用配線23aの短絡を検出できるので、不良解析に掛かる多大な時間と労力を削減でき、AM-LCD1の製造コストを低減することができる。

30

【0074】

次に、本実施の形態の第2の変形例について図8乃至図11を用いて説明する。上記実施の形態では、リペア用配線23aと第1の高抵抗素子19の組は1つ備えられている。これに対し本変形例では、リペア用配線23aと第1の高抵抗素子19の組を複数(本例では4つ)備えている点に特徴を有している。図8は、本変形例のAM-LCD1の概略構成を示している。図9は、静電気保護素子部20の拡大図である。AM-LCD1は複数(本例では4本)のデータバスラインの断線欠陥を修復することができるようになって

40

【0075】

図8に示すように、AM-LCD1は4本のリペア用配線23a、24a、26a、28aと、1本の短絡欠陥検出用配線91と、4つの第1の高抵抗素子19a、19b、19c、19dと、1つの第2の高抵抗素子21とを有している。リペア用配線23aの一端部は第1の高抵抗素子19aに接続され、リペア用配線23aの他端部はリペア用配線23eに接続されている。リペア用配線24aの一端部は第1の高抵抗素子19bに接続され、リペア用配線24aの他端部はリペア用配線24bに接続されている。リペア用配線26aの一端部は第1の高抵抗素子19cに接続され、リペア用配線26aの他端部はリペア用配線26bに接続されている。リペア用配線28aの一端部は第1の高抵抗素子

50

19dに接続され、リペア用配線28aの他端部はリペア用配線28bに接続されている。

【0076】

短絡欠陥検出用配線91は第1の高抵抗素子19a～19dと第2の高抵抗素子21との接続点に接続されている。第2の高抵抗素子21は共通電位供給導電パターン25に接続されている。従って、短絡欠陥検出用配線91は第2の高抵抗素子21を介して共通電位供給導電パターン25に接続されている。

【0077】

図8において図示は省略したが、リペア用配線24b、26b、28bには、ソースバスライン用PCB9、両PCB7、9を接続するFPC（不図示）、データバスライン用PCB7、データドライバIC11及びデータドライバIC11近傍のTFT基板2上にそれぞれ形成されたリペア用配線がこの順に接続されている。

【0078】

図9に示すように、短絡欠陥検出用配線91は第1の高抵抗素子19a～19dの各第1及び第3のTFT29、33のソース電極（S）に接続されている。さらに短絡欠陥検出用配線91は、第2の高抵抗素子21の第1のTFT49のドレイン電極（D）及び第2のTFT51のソース電極（S）に接続されている。短絡欠陥検出用配線91、第1の高抵抗素子19a～19d及び第2の高抵抗素子21の同じ層に形成されている各導電層配線は交差していない。従って、短絡欠陥検出用配線91と、第1の高抵抗素子19a～19dの第1及び第3のTFT29、33のソース電極（S）と、第2のTFT51のソ

【0079】

ところで、第1の高抵抗素子19a～19dのいずれか2つ以上が静電気破壊で短絡すると、断線欠陥を修復したデータバスライン同士が短絡してしまう。こうなると、短絡したデータバスラインに入力されているデータ信号同士が影響し合っ

【0080】

短絡欠陥検出用配線91にリペア用配線23a、24a、26a、28aのいずれか2本以上が短絡している場合、短絡しているデータバスラインに入力されているデータ信号の極性が異なっていると、互いにデータ信号の電圧振幅を小さくするように作用するので、データ信号は共通電極の電圧値に近づく。この場合、ノーマリ・ブラック（NB）型の液晶を用いたAM-LCD1では当該データバスラインは暗線になる。一方、短絡しているデータバスラインに入力されているデータ信号の極性が同じ場合、全面同一色表示では正常に見えてしまう。また、層間の短絡によりデータバスライン自体が共通電極に短絡すると、このデータバスラインは暗線として見える。従って、データバスライン同士の短絡やデータバスラインと共通電極との短絡の場合と異なる表示になるように短絡欠陥検出用配線91に検査信号を入力する必要がある。

【0081】

図10は、本変形例におけるリペア用配線の欠陥検査方法を説明するための各電圧波形の一例を示している。図10に示すように、データバスライン27に入力されているデータ信号Vsigは一水平周期毎に極性反転している。データ信号Vsigの正極性の電圧は11.6Vであり、データ信号Vsigの負極性の電圧は0.2Vである。また、データ信号Vsigの中心電圧Vsigcは5.9Vである。共通電極に印加されている共通電圧Vcomは中心電圧Vsigcよりやや低めの5.1Vである。ゲートパルスVgの電圧が24Vの間では画素TFTはオン状態になり、データバスライン27に入力されているデータ信号Vsigが画素電極に入力される。ゲートパルスVgの電圧が-5Vの間では画素TFTはオフ状態になる。ゲートパルスVgが24Vから-5Vに切り替わる際

に画素TFTにフィードスルー現象が生じて画素電極に保持される保持電圧 V_p は印加電圧11.6Vよりやや低下する。

【0082】

検査信号 V_e はデータ信号 V_{sig} の正極性の電圧値11.6Vより高い15Vの直流電圧である。短絡部を介して検査信号 V_e がデータバスラインに入力されると、NB型のAM-LCD1ではデータバスラインは常に輝線となる。これにより、短絡欠陥検出用配線91に短絡しているリペア用配線23a、24a、26a、28aを検出できる。

【0083】

また、検査信号 V_e はデータバスラインに入力するデータ信号と周波数の異なる交流信号であってもデータバスライン同士の短絡やデータバスラインと共通電極との短絡等によるリペア用配線23a、24a、26a、28aの欠陥を検出できる。例えば、検査信号 V_e の極性反転の周波数をデータ信号の極性反転の周波数より低くすると、短絡欠陥検出用配線91に短絡しているデータバスラインはちらつきの目立つ線として検出できる。人間の目にとってちらつきが目立つのは60Hz以下であるので検査信号 V_e の周波数は30Hz程度にすればよい。

【0084】

短絡欠陥検出用配線91に検査信号を入力してリペア用配線23a、24a、26a、28aと短絡欠陥検出用配線91との間の短絡を検出するには、検査時のみならず、常に検査信号を短絡欠陥検出用配線91に印加してもよい。短絡欠陥検出用配線91は第2の高抵抗素子21を介して共通電位供給導電パターン25に接続されているので、短絡欠陥検出用配線91に印加されている電圧が共通電位供給導電パターン25に影響することはない。また、短絡欠陥検出用配線91に電圧を印加して共通電位供給導電パターン25の電圧が変化する場合は、第2の高抵抗素子21が短絡してことを検出できる。検査信号を常時入力しておけば、検査のために検査信号の設定や接続状態を変える必要はなくなるので、不良原因の特定までの時間の短縮と検査工程数の削減を図ることができる。

【0085】

以上説明したように本変形例によれば、リペア用配線23a、24a、26a、28aを有するAM-LCD1でも短絡欠陥検出用配線91の電圧を測定したり短絡欠陥検出用配線91に検査信号を入力したりして、リペア用配線23a、24a、26a、28aの短絡を検出できる。このように、AM-LCD1の製造工程においてリペア用配線23a、24a、26a、28aの短絡を検出できるので、不良解析に掛かる多大な時間と労力を削減でき、AM-LCD1の製造コストの低減及びAM-LCD1の低コスト化を図ることができる。

【0086】

次に、上記変形例の変形例について図11を用いて説明する。上記変形例のAM-LCD1は、リペア用配線23a、24a、26a、28aと第1の高抵抗素子19a、19b、19c、19dとの4つの組と、1本の短絡欠陥検出用配線91と、1つの第2の高抵抗素子21とを有している。これに対し本変形例では、リペア用配線と第1及び第2の高抵抗素子と短絡欠陥検出用配線との組を複数（本例では4つ）備えている点に特徴を有している。図11は、本変形例の静電気保護素子部20の拡大図である。

【0087】

図11に示すように、静電気保護素子部20は直列接続された第1及び第2の高抵抗素子を4つ有している。リペア用配線23aは第1及び第2の高抵抗素子19a、21aを介して共通電位供給導電パターン25に接続されている。第1及び第2の高抵抗素子19a、21aの接続点には短絡欠陥検出用配線91aが接続されている。リペア用配線24aは第1及び第2の高抵抗素子19b、21bを介して共通電位供給導電パターン25に接続されている。第1及び第2の高抵抗素子19b、21bの接続点には短絡欠陥検出用配線91bが接続されている。リペア用配線26aは第1及び第2の高抵抗素子19c、21cを介して共通電位供給導電パターン25に接続されている。第1及び第2の高抵抗素子19c、21cの接続点には短絡欠陥検出用配線91cが接続されている。リペア用

10

20

30

40

50

配線 28 a は第 1 及び第 2 の高抵抗素子 19 d、21 d を介して共通電位供給導電パターン 25 に接続されている。第 1 及び第 2 の高抵抗素子 19 d、21 d の接続点には短絡欠陥検出用配線 91 d が接続されている。図示は省略したが、短絡欠陥検出用配線 91 a、91 b、91 c、91 d にはそれぞれ検査信号供給回路が接続されている。

【0088】

短絡欠陥検出用配線 91 a は、第 2 の高抵抗素子 21 b、21 c、21 d と共通電位供給導電パターン 25 との接続配線と同層に形成されているので、各導電層配線の交差部は画素電極層やコンタクトホール（共に不図示）で繋ぎ換えて接続されている。同様に、短絡欠陥検出用配線 91 b は、第 2 の高抵抗素子 21 c、21 d と共通電位供給導電パターン 25 との接続配線と同層に形成されているので、各導電層配線の交差部は画素電極層やコンタクトホール（共に不図示）で繋ぎ換えて接続されている。さらに同様に、短絡欠陥検出用配線 91 c は、第 2 の高抵抗素子 21 d と共通電位供給導電パターン 25 との接続配線と同層に形成されているので、各導電層配線の交差部は画素電極層やコンタクトホール（共に不図示）で繋ぎ換えて接続されている。

【0089】

本変形例によれば、短絡欠陥検出用配線 91 a、91 b、91 c、91 d はリペア用配線 23 a、24 a、26 a、28 a 毎に備えられている。これにより、各短絡欠陥検出用配線 91 a、91 b、91 c、91 d の電圧を測定したり、各短絡欠陥検出用配線 91 a、91 b、91 c、91 d 毎に異なる検査信号を入力したりして、リペア用配線 23 a、24 a、26 a、28 a の短絡を検出できる。このように、AM-LCD1 の製造工程においてリペア用配線 23 a、24 a、26 a、28 a の短絡を検出できるので、不良解析に掛かる多大な時間と労力を削減でき、AM-LCD1 の製造コストの低減及び AM-LCD1 の低コスト化を図ることができる。

【0090】

本実施の形態によれば、第 1 の高抵抗素子 19 を介してリペア用配線 23 a と短絡欠陥検出用配線 91 を接続し、さらに第 2 の高抵抗素子 21 を介して短絡欠陥検出用配線 91 と共通電位供給導電パターン 25 を接続することによってリペア用配線 23 a と共通電位供給導電パターン 25 との直接の短絡を回避できる。リペア用配線 23 a と短絡欠陥検出用配線 91 との間が短絡している場合には、短絡欠陥検出用配線 91 に共通電位と独立した検査信号を供給することによってリペア処理を施したデータバスラインを顕在化させ、他の原因で生じる線欠陥との識別を容易に行うことができる。

【0091】

以上説明した実施の形態による表示装置用基板、液晶表示パネル及び液晶表示装置並びにリペア用配線の欠陥検査方法は、以下のようにまとめられる。

(付記 1)

データバスラインの断線欠陥を修復するリペア用配線と、
前記リペア用配線を静電気から保護する静電気保護素子部と、
前記静電気保護素子部を介して前記リペア用配線に接続され、所定の電圧を維持する共通導電配線と
を有することを特徴とする表示装置用基板。

(付記 2)

付記 1 記載の表示装置用基板において、
前記静電気保護素子部は、直列接続された第 1 及び第 2 の高抵抗素子を有することを特徴とする表示装置用基板。

(付記 3)

付記 2 記載の表示装置用基板において、
前記第 1 及び第 2 の高抵抗素子は、薄膜トランジスタを有することを特徴とする表示装置用基板。

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の表示装置用基板において、

前記共通導電配線は、共通電極に共通電位を供給する共通電位供給導電パターンを有することを特徴とする表示装置用基板。

(付記 5)

付記 2 乃至 4 のいずれか 1 項に記載の表示装置用基板において、

前記第 1 及び第 2 の高抵抗素子の接続点に接続され、前記リペア用配線の短絡を検出する短絡欠陥検出用配線を有することを特徴とする表示装置用基板。

(付記 6)

付記 5 記載の表示装置用基板において、

前記短絡欠陥検出用配線は、印加電圧を測定する電圧測定用パッドを有していることを特徴とする表示装置用基板。

10

(付記 7)

付記 1 乃至 6 のいずれか 1 項に記載の表示装置用基板と、

前記表示装置用基板に対向配置された対向基板と、

前記表示装置用基板と前記対向基板との間に封止された液晶と

を有することを特徴とする液晶表示パネル。

(付記 8)

付記 7 記載の液晶表示パネルと、

短絡欠陥検査用の検査信号を前記短絡欠陥検出用配線に供給する検査信号供給回路とを有することを特徴とする液晶表示装置。

(付記 9)

20

データバスラインの断線欠陥を修復するリペア用配線に生じた欠陥を検査する欠陥検査方法において、

短絡欠陥検出に用いる短絡欠陥検出用配線に印加されている電圧値に基づいて、前記リペア用配線の短絡を検出すること

を特徴とするリペア用配線の欠陥検査方法。

(付記 10)

付記 9 記載のリペア用配線の欠陥検査方法において、

前記短絡欠陥検出用配線に短絡欠陥検査用の検査信号を入力し、

前記リペア用配線に印加されている電圧値又は画面の表示状態に基づいて、前記リペア用配線の短絡を検出すること

30

を特徴とするリペア用配線の欠陥検査方法。

【図面の簡単な説明】

【0092】

【図 1】本発明の第 1 の実施の形態による AM-LCD1 の概略構成を示す図である。

【図 2】本発明の第 1 の実施の形態による AM-LCD1 に形成された静電気保護素子部 20 の拡大図である。

【図 3】本発明の第 1 の実施の形態による AM-LCD1 に用いられる別の高抵抗素子の回路構成例を示す図である。

【図 4】本発明の第 1 の実施の形態による AM-LCD1 に用いられるさらに別の高抵抗素子の回路構成例を示す図である。

40

【図 5】本発明の第 2 の実施の形態による AM-LCD1 の概略構成を示す図である。

【図 6】本発明の第 2 の実施の形態による第 1 の変形例の AM-LCD1 であって、TF T 基板 2 とゲートバスライン用 PCB9 との接続部の拡大図である。

【図 7】本発明の第 2 の実施の形態による第 1 の変形例の AM-LCD1 であって、TF T 基板 2 とゲートバスライン用 PCB9 との接続部の拡大図である。

【図 8】本発明の第 2 の実施の形態による第 2 の変形例の AM-LCD1 の概略構成を示す図である。

【図 9】本発明の第 2 の実施の形態による第 2 の変形例の AM-LCD1 であって、静電気保護素子部 20 の拡大図である。

【図 10】本発明の第 2 の実施の形態による第 2 の変形例の AM-LCD1 であって、リ

50

ペア用配線の欠陥検査方法を説明するための各電圧波形の一例を示す図である。

【図11】本発明の第2の実施の形態による第2の変形例の変形例であって、静電気保護素子部20の拡大図である。

【図12】従来のリペア用配線を用いてデータバスラインの断線欠陥を修復するAM-LCD201の概略構成を示す図である。

【図13】従来のリペア用配線を用いてデータバスラインの断線欠陥を修復する別のAM-LCD201の概略構成を示す図である。

【図14】従来のAM-LCD201に形成されている高抵抗素子219の拡大図である。

【符号の説明】

10

【0093】

1、201 AM-LCD

3、203 TFT基板

5、205 対向基板

7、207 データバスライン用PCB

9、209 ゲートバスライン用PCB

11、211 データドライバIC

13、213 ゲートドライバIC

13a ICチップ

13b TCPフィルム

20

15、215 データバスライン引き出し線

17、217 ゲートバスライン引き出し線

19、19a～19d 第1の高抵抗素子

20 静電気保護素子部

21、21a～21d 第2の高抵抗素子

23、223 リペア配線

23a～23f、24a、24b、26a、26b、28a、28b、223a～223g、223a'、223b' リペア用配線

25、225 共通電位供給導電パターン

27、227、229 データバスライン

30

29、49、69、239 第1のTFT

31、51、71、241 第2のTFT

33、53、243 第3のTFT

35、55、73、90、245 動作半導体層

39、59、77、83、251 ITO層

41、43、61、63、79、81、85、87、247、249 コンタクトホール

44、244 ガラス基板

47、67、75、76、253 導電体

68、89、219 高抵抗素子

91、91a～91d 短絡欠陥検出用配線

40

93 検査信号供給回路

92、113a、113b リード線

107 電圧測定用パッド

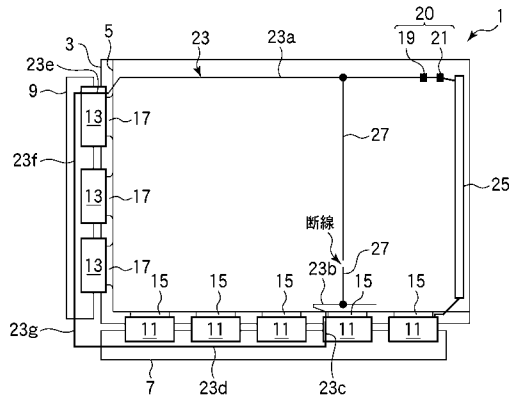
109a、109b、109c、111a、111b、111c 接続端子

231 接続部

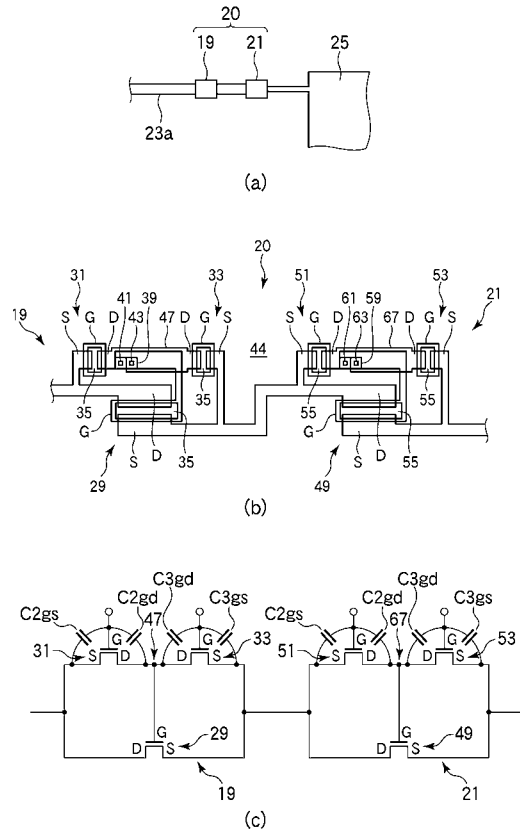
235 絶縁膜

237 最終保護膜

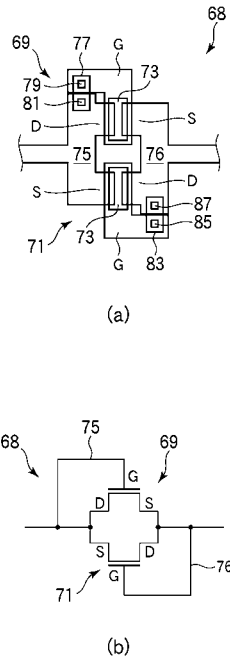
【図 1】



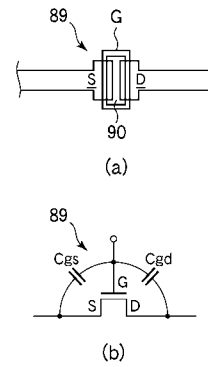
【図 2】



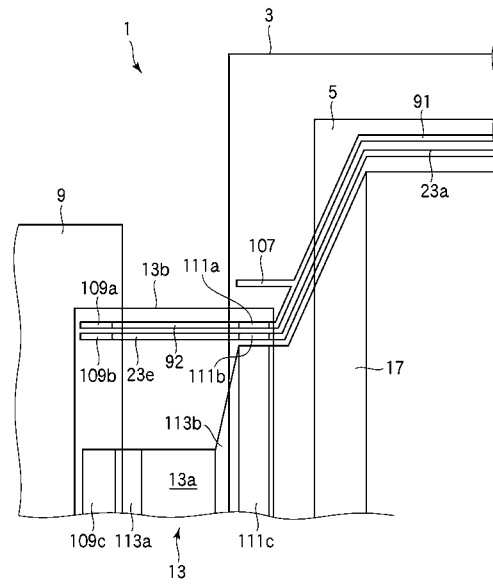
【図 3】



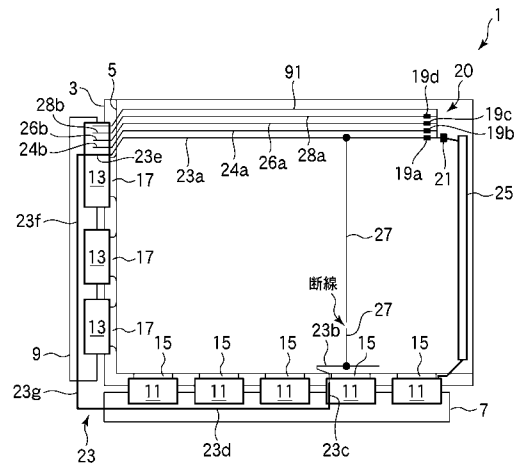
【図 4】



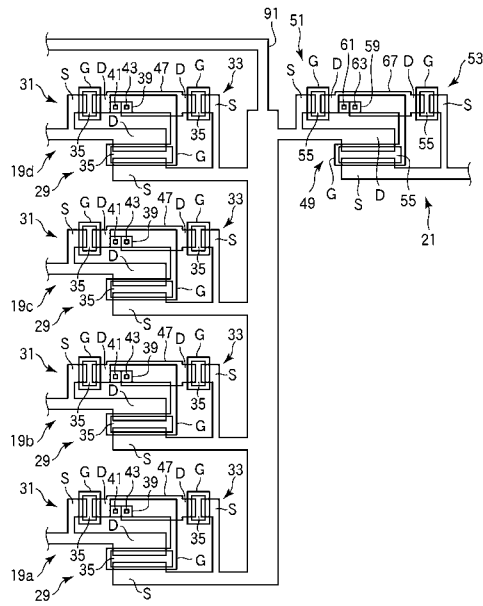
【図 6】



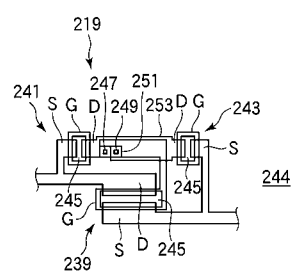
【図 8】



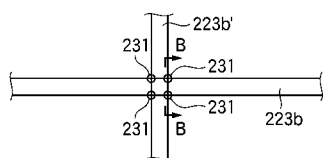
【図 9】



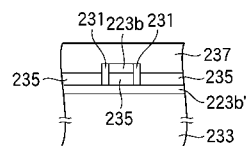
【図 14】



(a)



(b)



(c)

フロントページの続き

- (56)参考文献 特開平07-056191 (JP, A)
特開2001-075120 (JP, A)
特開平08-146460 (JP, A)
特開平05-333370 (JP, A)
特開2001-100229 (JP, A)
特開平11-271722 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3
G 0 1 R	3 1 / 0 2
G 0 9 F	9 / 0 0
G 0 9 F	9 / 3 0

专利名称(译)	显示基板，液晶显示面板，液晶显示装置和修复布线的缺陷检查方法		
公开(公告)号	JP4640916B2	公开(公告)日	2011-03-02
申请号	JP2004046808	申请日	2004-02-23
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	長瀬洋二		
发明人	長瀬 洋二		
IPC分类号	G02F1/1368 G01R31/02 G02F1/13 G09F9/00 G09F9/30		
FI分类号	G02F1/1368 G01R31/02 G02F1/13.101 G09F9/00.352 G09F9/30.338 G01R31/50 G01R31/52 G01R31/56		
F-TERM分类号	2G014/AA03 2G014/AB21 2G014/AC18 2H088/FA11 2H088/FA14 2H088/HA02 2H088/HA08 2H088/MA20 2H092/GA64 2H092/JA24 2H092/JB73 2H092/JB74 2H092/JB77 2H092/JB79 2H092/MA52 2H092/MA56 2H092/NA12 2H092/NA14 2H092/NA29 2H092/NA30 2H192/AA24 2H192/FA48 2H192/FB13 2H192/FB46 2H192/GA15 2H192/GA31 2H192/HB13 2H192/HB14 2H192/HB23 2H192/HB38 2H192/HB43 2H192/HB50 5C094/AA32 5C094/AA42 5C094/BA03 5C094/BA43 5C094/DB08 5C094/EA10 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK10		
代理人(译)	盛冈正树		
其他公开文献	JP2005234492A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为显示设备提供板，其包括用于修复的布线以恢复在数据总线中发生的断开缺陷，当修复的布线短路时实现修复的数据总线，并且容易执行区分由于其他原因而发生线路缺陷，并提供液晶显示面板和装置以及用于修理的布线的缺陷检查方法。ŽSOLUTION：AM-LCD1具有用于修复的布线23a，其恢复发生断开的的数据总线27，通过静电保护元件部分20与公共电位馈送导电图案25连接。静电保护元件部分20具有第一和第二高电阻元件19,21串联连接。用于检测用于修理的布线23a的短路的短路缺陷检测布线91连接在第一和第二高电阻元件19,21的连接点处。

【图 1】

