

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4626664号
(P4626664)

(45) 発行日 平成23年2月9日 (2011.2.9)

(24) 登録日 平成22年11月19日 (2010.11.19)

(51) Int. Cl.

F 1

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 5 (全 19 頁)

(21) 出願番号 特願2008-94421 (P2008-94421)
 (22) 出願日 平成20年3月31日 (2008.3.31)
 (65) 公開番号 特開2009-244818 (P2009-244818A)
 (43) 公開日 平成21年10月22日 (2009.10.22)
 審査請求日 平成21年9月30日 (2009.9.30)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町 1 丁目 6 番 2 号
 (74) 代理人 100082876
 弁理士 平山 一幸
 (74) 代理人 100109807
 弁理士 篠田 哲也
 (74) 代理人 100148127
 弁理士 小川 耕太
 (72) 発明者 中村 やよい
 東京都八王子市石川町 2 9 5 1 番地の 5
 カシオ計算機株式会社
 八王子技術センター内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示画素は、互いの画素電極が分離された第一副画素と第二副画素とを有し、
 前記第一副画素と前記第二副画素のそれぞれが、
 前記画素電極と共通電極との間に液晶が挟持された液晶容量と、
 前記画素電極と補助容量線との間に固体からなる誘電体が挟持された補助容量と、
 を有していると共に、
 前記第一副画素及び前記第二副画素の何れか一方は、前記画素電極と降圧用容量線との
 間に固体からなる誘電体が挟持された降圧用容量を有しており、
 前記共通電極と前記補助容量線とに共通の第一電圧として所定の振幅幅で振幅する矩形
 交流電圧を印加する第一電圧印加手段と、
 前記降圧用容量線に前記第一電圧とは異なる第二電圧として前記矩形交流電圧よりも振
 幅幅の小さい矩形交流電圧を印加する第二電圧印加手段と、
 を備えた、液晶表示装置。

【請求項 2】

前記第一電圧としての矩形交流電圧と前記第二電圧としての矩形交流電圧とが、同位相
 の関係になっている、請求項 1 記載の液晶表示装置。

【請求項 3】

前記第一電圧としての矩形交流電圧と前記第二電圧としての矩形交流電圧とが、逆位相
 の関係になっている、請求項 1 記載の液晶表示装置。

10

20

【請求項 4】

前記第一副画素は、当該第一副画素の画素電極に第一スイッチング素子が接続され、
前記第二副画素は、当該第二副画素の画素電極に第二スイッチング素子が接続され、
前記第一スイッチング素子及び前記第二スイッチング素子は、同一のデータ信号線及び
走査信号線に接続されている、請求項 1 から 3 の何れかに記載の液晶表示装置。

【請求項 5】

前記降圧用容量は、前記第一副画素と前記第二副画素とのうち前記降圧用容量線に対し
て前記画素電極が重ねられている方の副画素の液晶に印加される実効電圧を降圧させる、
請求項 1 から 4 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示画素に、互いの画素電極が分離された第一副画素と第二副画素とを有する液晶表示装置に関する。

【背景技術】

【0002】

従来の液晶表示装置は、表示画素に設けられた薄膜トランジスタ（TFT）などのスイッチング素子を介して液晶へ電圧が印加される。

図20は、従来の液晶表示装置の1画素分300を模式的に示す図である。画素電極（Pix）301は、トランジスタ302を介してソース電位に充電される。共通電極（COM）303には共通電圧（Vcom）が印加され、共通電極303と画素電極301との電位差が液晶への印加電圧（Vlc）となる。ここで、共通電極303と画素電極301との間に挟持された液晶が液晶容量C1cを形成すると共に、画素電極301と補助容量線305との間に挟持された固体の誘電体が補助容量Ccsを形成している。

20

【0003】

そして、補助容量Ccsは、液晶容量C1cと並列になるように形成されると共に、補助容量線305が共通電極303と同電位になるように接続されることで、トランジスタ302のゲート電位変動やオフ時のリーク電流に起因して画素電極301に生じる電位変動を緩和させる。なお、液晶表示装置は、表示状態の焼き付きや液晶の電気分解を防ぐため、液晶に印加される電圧の極性が所定の周期で切り換わるように交流駆動される。

30

【0004】

ところで、液晶表示装置では、表示状態の視野角依存性を改善するために、例えば特許文献1や特許文献2に示すように一つの画素を複数の領域に分割し、それぞれの領域で、液晶に印加される実行電圧が異なるように構成する技術が知られている。

【0005】

即ち、特許文献1には、分割された画素電極の何れか一つにTFTを接続すると共に、このTFTに接続された画素電極に印加された電圧を当該画素電極との間に形成される容量を介して他の画素電極に印加することで、画素内の複数の領域で、液晶に印加される実行電圧が異なるように構成した液晶表示装置が記載されている。

【0006】

40

特許文献2には、TFTに接続された画素電極に対向配置される共通電極を複数に分割し、それぞれに異なる電圧を印加することで、画素内の複数の領域で、液晶に印加される実行電圧が異なるように構成したアクティブマトリクス液晶ディスプレイが記載されている。

【0007】

【特許文献1】特開平7-028091号公報

【特許文献2】特開平8-015723号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

50

しかし、特許文献 1 に記載された液晶表示装置では、TFT に接続された画素電極と他の画素電極との間に形成される容量が、例えば誘電体（絶縁膜）の厚さの違いにより、液晶表示装置毎にバラツキが生じた場合には、複数の液晶表示装置間で視野角依存性が異なってしまうという問題が生じる。

【0009】

一方、特許文献 2 に記載されたアクティブマトリクス液晶ディスプレイでは、画素サイズレベルでの電極のパターニングを、液晶パネルを構成する両方の基板に対して行う必要があることから、製造工程数の増大を招き、さらには、2 枚の基板を貼り合わせる際に、高い貼り合わせ精度を必要とし、良品率の低下を招くことが問題になっていた。

【0010】

本発明は、上記課題に鑑み、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の機差を液晶パネルの製造後においても容易に補正可能な液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【0011】

上記目的を達成するため、請求項 1 に記載の発明に係る液晶表示装置において、表示画素は、互いの画素電極が分離された第一副画素と第二副画素とを有し、前記第一副画素と前記第二副画素のそれぞれが、前記画素電極と共通電極との間に液晶が挟持された液晶容量と、前記画素電極と補助容量線との間に固体からなる誘電体が挟持された補助容量と、を有していると共に、前記第一副画素及び前記第二副画素の何れか一方は、前記画素電極と降圧用容量線との間に固体からなる誘電体が挟持された降圧用容量を有しており、前記共通電極と前記補助容量線とに共通の第一電圧として所定の振幅幅で振幅する矩形交流電圧を印加する第一電圧印加手段と、前記降圧用容量線に前記第一電圧とは異なる第二電圧として前記矩形交流電圧よりも振幅幅の小さい矩形交流電圧を印加する第二電圧印加手段と、を備えたことを特徴とする。

【0013】

請求項 2 に記載の発明は、請求項 1 に記載の液晶表示装置において、第一電圧としての矩形交流電圧と第二電圧としての矩形交流電圧とが同位相の関係になっていることを特徴とする。

【0014】

請求項 3 に記載の発明は、請求項 1 に記載の液晶表示装置において、第一電圧としての矩形交流電圧と第二電圧としての矩形交流電圧とが逆位相の関係になっていることを特徴とする。

【0015】

請求項 4 に記載の発明は、請求項 1 から 3 の何れかに記載の液晶表示装置において、第一副画素の画素電極には第一スイッチング素子が接続され、第二副画素の画素電極には第二スイッチング素子が接続され、第一スイッチング素子及び第二スイッチング素子が、同一のデータ信号線及び走査信号線に接続されていることを特徴とする。

【0016】

請求項 5 に記載の発明は、請求項 1 から 4 の何れかに記載の液晶表示装置において、降圧用容量は、第一副画素と第二副画素とのうち降圧用容量線に対して画素電極が重ねられている方の副画素の液晶に印加される実効電圧を降圧させることを特徴とする。

【発明の効果】

【0018】

本発明によれば、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の機差を液晶パネルの製造後においても容易に補正できる。

【発明を実施するための最良の形態】

【0019】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

図 1 に示すように、本発明の液晶表示装置 1 は、例えば外部から入力されてくる画像デ

10

20

30

40

50

ータを一時記憶する画像メモリ 10 と、画像メモリ 10 に記憶された画像データに基づく画像が表示される表示パネル 11 と、表示パネル 11 の走査信号線を走査するための走査信号線駆動回路 12 と、表示パネル 11 のデータ信号線に画像データに基づいた表示信号電圧を供給するためのデータ信号線駆動回路 13 と、表示パネル 11 の共通電極及び補助容量線に所定の電圧を印加するための共通電圧発生回路 14 と、表示パネル 11 の降圧用容量線に画素電圧を降下させる電圧を印加するための降圧電圧発生回路 15 と、降圧電圧発生回路 15 が印加する電圧値が予め記憶された固有情報記憶部 16 と、詳細は後述するが各種制御信号を出力して各駆動部の同期を得る制御部 17 等を備えて構成されている。

【0020】

表示パネル 11 は、図 2 に示すように対向配置され、シール材 111 により接着された 2 枚の基板 112、113 間に液晶 LC が挟持された構成となっている。そして、一方の基板 112 はその表示領域 114 に、行方向に延伸配設された複数の走査信号線（例えば n 本の走査信号線）と、同じく行方向に延伸配設された複数の補助容量線（例えば、 n 本 $\times$ 2 の補助容量線）と、同じく行方向に延伸配設された複数の降圧用容量線（例えば、 n 本の降圧用容量線）と、列方向に延伸配設された複数のデータ信号線（例えば m 本のデータ信号線）とを備え、走査信号線 $G(j)$ とデータ信号線 $S(i)$ との各交点近傍に図 3、図 4 に示す表示画素 $P(i, j)$ が設けられている。ここで、 $i = 1, 2, 3, \dots, m$ で、 $j = 1, 2, 3, \dots, n$ 、である。また、他方の基板 113 には、一方の基板 112 との対向面側に各表示画素 $P(i, j)$ で共通の電位になる共通電極 115 が形成されている。例えば、一方の基板 112 との対向面側に透明な電極が一面に亘って形成

【0021】

各表示画素 $P(i, j)$ には、第一の副画素 $P1(i, j)$ と第二の副画素 $P2(i, j)$ とが設けられている。

【0022】

第一の副画素 $P1(i, j)$ には第一の画素電極 $E1(i, j)$ や第一のスイッチング素子としての TFT1(i, j) 等が形成されている。TFT1(i, j) のドレイン電極には第一の画素電極 $E1(i, j)$ が接続され、TFT1(i, j) のソース電極にはデータ信号線 $S(i)$ が接続され、TFT1(i, j) のゲート電極には走査信号線 $G(j)$ が接続されている。そして、共通電極 115 と第一の画素電極 $E1(i, j)$ とそれらの間に挟持される液晶とによって第一の液晶容量 $C1c1(i, j)$ が形成されている。また、第一の画素電極 $E1(i, j)$ の下層側には固体からなる誘電体を介して補助容量線 $C1(j)$ が配設され、第一の画素電極 $E1(i, j)$ と誘電体と補助容量線 $C1(j)$ とにより第一の補助容量 $Ccs1(i, j)$ が形成されている。

【0023】

一方、第二の副画素 $P2(i, j)$ には第一の画素電極 $E1(i, j)$ とは分離された第二の画素電極 $E2(i, j)$ や第二のスイッチング素子としての TFT2(i, j) 等が形成されている。TFT2(i, j) のドレイン電極には第二の画素電極 $E2(i, j)$ が接続され、TFT2(i, j) のソース電極にはデータ信号線 $S(i)$ が接続され、TFT2(i, j) のゲート電極には走査信号線 $G(j)$ が接続されている。そして、共通電極 115 と第二の画素電極 $E2(i, j)$ とそれらの間に挟持される液晶とによって第二の液晶容量 $C1c2(i, j)$ が形成されている。また、第二の画素電極 $E2(i, j)$ の下層側には固体からなる誘電体を介して補助容量線 $C2(j)$ と降圧用容量線 $D(j)$ が配設され、第二の画素電極 $E2(i, j)$ と誘電体と補助容量線 $C2(j)$ とにより第二の補助容量 $Ccs2(i, j)$ が形成されると共に、第二の画素電極 $E2(i, j)$ と誘電体と降圧用容量線 $D(j)$ とにより降圧用容量 $Cd(i, j)$ が形成される。

【0024】

そして、各表示画素 $P(i, j)$ は、それぞれの副画素 $P1(i, j)$ 、 $P2(i, j)$ において画素電極と共通電極 115 との間に配されることとなる液晶の配向状態を、画素電極と共通電極 115 との間の電位差に基づいて変化させることによって、その表示状

態の制御が可能になるように構成されている。

【0025】

なお、共通電極115と補助容量線C1(j)、C2(j)は、表示領域114の外部で電氣的に接続されることによって、同一の共通電圧Vcが印加される。また、降圧用容量線D(j)には共通電圧Vcとは異なる降圧電圧Vdが印加される。

【0026】

ここで、図5(a)及び図5(b)に基づいて各表示画素P(i, j)の具体的な断面構成について説明する。

一方の基板112上にはゲート電極51を含む走査信号線G(j)が設けられている。そして、この走査信号線G(j)と同一層に補助容量線C1(j)、C2(j)及び降圧用容量線D(j)が設けられている。つまり、走査信号線G(j)と補助容量線C1(j)、C2(j)と降圧用容量線D(j)とは一括形成される。そして、それらの上面全体にはゲート絶縁膜52が設けられている。ゲート絶縁膜52の上面には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面ほぼ中央部にはチャネル保護膜54が設けられている。チャネル保護膜54の上面両側及びその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55、56が設けられている。

【0027】

一方のコンタクト層55の上面にはドレイン電極57が設けられている。他方のコンタクト層56の上面及びゲート絶縁膜52の上面にはソース電極58を含むデータ信号線S(i)が設けられている。

【0028】

そして、ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャネル保護膜54、コンタクト層55、56、ドレイン電極57及びソース電極58により、TFT1(i, j)が構成されている。なお、TFT2(i, j)もTFT1(i, j)と同様に構成されている。

【0029】

TFT1(i, j)及びTFT2(i, j)等を含むゲート絶縁膜52の上面全体には絶縁材料からなる平坦化膜59が設けられている。平坦化膜59には、ドレイン電極57の所定の箇所に対応する部分にコンタクトホール60が設けられている。また、平坦化膜59の上面の所定の個所には、ITOからなる画素電極E1(i, j)、E2(i, j)が設けられている。そして、画素電極E1(i, j)、E2(i, j)はコンタクトホール60を介してそれぞれに対応するTFTのドレイン電極57に接続されている。

【0030】

なお、補助容量線C1(j)のうちの第一の画素電極E1(i, j)と重ね合わされた部分は補助容量電極となっている。そして、この重ね合わされた部分によって上述したように第一の補助容量Ccs1(i, j)が形成される。また、補助容量線C2(j)のうちの第二の画素電極E2(i, j)と重ね合わされた部分は補助容量電極となっている。この重ね合わされた部分によって上述したように第二の補助容量Ccs2(i, j)が形成される。さらに、降圧用容量線D(j)のうちの第二の画素電極E2(i, j)と重ね合わされた部分は降圧用容量電極となっている。この重ね合わされた部分によって上述したように降圧用容量Cd(i, j)が形成される。なお、各表示画素P(i, j)において、第一の補助容量Ccs1(i, j)と第二の補助容量Ccs2(i, j)とは、その大きさが等しくなるように構成されている。

【0031】

走査信号線駆動回路12は、図6に示すように、制御部17から出力される垂直同期信号Vsや、水平同期信号Hsとしての第1ゲートクロック信号GCK1及び第2ゲートクロック信号GCK2に基づいて、各走査信号線G(j)に走査信号を出力する。なお、第1ゲートクロック信号GCK1と第2ゲートクロック信号GCK2とは互いに逆位相の矩形信号である。

10

20

30

40

50

【 0 0 3 2 】

走査信号線駆動回路 1 2 の主要部における概略構成は、例えば走査信号線数分 (n 段) の保持回路 1 2 1、1 2 2、1 2 3、1 2 4、・・・が直列に配置されて構成される。それぞれの保持回路 1 2 1 等は、入力端子 I N と、出力端子 O U T と、リセット端子 R S T と、クロック信号入力端子 C K と、高電位電源入力端子 T h と、低電位電源入力端子 T l とを有している。そして、1 段目の保持回路 1 2 1 の入力端子 I N には 1 段目の入力信号として垂直同期信号 V s が供給される。また、2 段目以後の保持回路の入力端子 I N には前段の保持回路の出力信号が供給される。また、各保持回路のリセット端子 R S T には次段も保持回路の出力信号が供給される。なお、最終段 (例えば y 段目) の保持回路 (図示せず) のリセット端子 R S T には、別途リセット信号 E N D が供給される構成としてもよいし、1 段目の保持回路 1 2 1 の出力信号が供給される構成としてもよい。

10

【 0 0 3 3 】

さらに、奇数段目の保持回路のクロック信号入力端子 C K には、第 1 ゲートクロック信号 G C K 1 が供給され、偶数段目の保持回路のクロック信号入力端子 C K には、第 1 ゲートクロック信号 G C K 1 に対して逆位相となっている第 2 ゲートクロック信号 G C K 2 が供給される。また、各保持回路の高電位電源入力端子 T h には所定の高電圧 V g h が供給され、各保持回路の低電位電源入力端子 T l には所定の低電圧 V g l が供給される。

【 0 0 3 4 】

各保持回路 1 2 1、1 2 2、1 2 3、1 2 4、・・・は、図 8 に示すように、それぞれ、6 個の M O S 型電界効果トランジスタ (以下、M O S トランジスタと記す) T 1 1 ~ T 1 6 とコンデンサ C とを有している。

20

【 0 0 3 5 】

このような走査信号線駆動回路 1 2 は、図 6 に示すように、垂直同期信号 V s に応じて当該フレームでの走査を開始すると共に、第 1 ゲートクロック信号 G C K 1 及び第 2 ゲートクロック信号 G C K 2 に応じて、所定の期間だけローレベル電圧 V g l からハイレベル電圧 V g h に切り換えるといった電圧出力を、最前段の走査信号線 G (1) から順に最後段の走査信号線 G (n) まで、走査信号線毎に行う。

【 0 0 3 6 】

つまり、走査信号線駆動回路 1 2 は、走査信号線 G (j) 毎に、当該走査信号線 G (j) に対応する T F T 1 (i , j) 及び T F T 2 (i , j) を順次オン状態にし、このときにデータ信号線 S (i) に出力されている表示信号電圧を対応する第一の副画素 P 1 (i , j) 及び第二の副画素 P 2 (i , j) に書き込む。

30

【 0 0 3 7 】

データ信号線駆動回路 1 3 は、制御部 1 7 から出力される水平同期信号 H s、垂直同期信号 V s、画像データ D a t a、基準クロック信号 C L K、及び極性反転信号 P o l に基づいて、表示パネル 1 1 に設けられた各データ信号線 S (i) に対して、各データ信号線 S (i) に対応する表示信号電圧を所定のタイミングで出力する。

【 0 0 3 8 】

データ信号線駆動回路 1 3 の機能ブロック構成は、図 9 に示すように、サンプリングメモリ 1 3 1、データラッチ部 1 3 2、D / A 変換回路 (D A C) 1 3 3、及び表示信号電圧生成回路 1 3 4 からなる。

40

【 0 0 3 9 】

サンプリングメモリ 1 3 1 は、制御部 1 7 から出力される水平同期信号 H s 及び基準クロック信号 C L K に同期して、走査信号線一本分の表示画素に対応する画像データ (1 水平期間分の画像データ) 単位で、各表示画素に対応する画像データを前段側の走査信号線に対応するものから順に、画像メモリ 1 0 から取り込むためのものであり、データ信号線 S (i) の数と同数のデータ格納領域を備えている。つまり、サンプリングメモリ 1 3 1 は、走査信号線毎に当該走査信号線に対応した画像データを取り込むと共に、当該取り込んだ画像データのそれぞれを、対応するデータ信号線 S (i) のデータ格納領域に格納する。ここで、画像データには、各表示画素に表示すべき階調レベルが含まれ、この階調レ

50

ベルは、表示画素毎に例えば8ビットのデジタルデータとして表される。各データ格納領域には、この8ビットのデジタルデータが格納される。

【0040】

サンプリングメモリ131が取り込んだ一水平期間分の画像データは、後段のデータラッチ部132からの要求にしたがって、サンプリングメモリ131からデータラッチ部132に転送される。データラッチ部132に画像データが転送されると、サンプリングメモリ131は、次の水平期間分の画像データとして次の行の走査信号線に対応した画像データの取り込み状態に移る。これは、水平同期信号Hsに同期して行われる。

【0041】

データラッチ部132は、水平同期信号Hsに基づいて、サンプリングメモリ131から一水平期間分の画像データを一齐に取得すると共に、取得した画像データを後段のD/A変換回路133に出力する。

【0042】

D/A変換回路133は、複数のDAC部241及び出力アンプ回路242で構成され、DAC部241により表示信号電圧生成回路134から供給される表示信号電圧が選択されることで、データラッチ部132から出力されてくるそれぞれの画像データが、対応するアナログ信号としての表示信号電圧に変換され、出力アンプ回路242によりデータ信号線S(i)へ出力される。

【0043】

このとき、D/A変換回路133は、制御部17から出力される極性反転信号Polに対応するように、データラッチ部132から出力されたデジタル形式の画像データをアナログ電圧としての表示信号電圧に変換する。具体的には、D/A変換回路133は、極性反転信号Polがハイ状態Vshであれば、データラッチ部132から出力された画像データが正極性の表示信号電圧になるようにD/A変換し、極性反転信号Polがロー状態Vslであれば、データラッチ部132から出力された画像データが負極性の表示信号電圧になるようにD/A変換する。換言すると、D/A変換回路133は、極性反転信号Polがハイ状態Vshであるときは、液晶に印加される電圧が正極性となるようにD/A変換し、極性反転信号Polがロー状態Vslであるときは、液晶に印加される電圧が負極性となるようにD/A変換する。

【0044】

表示信号電圧生成回路134は、図10に示すように、それぞれが、端子255(電圧VH)と端子256(電圧VL)との間の電圧を画像データのビット数p(本実施の形態では8ビット)に応じた複数の抵抗で分圧する2組のラダー抵抗器31, 32と、何れか一方のラダー抵抗器に切り換えるための複数のスイッチSY0, SY1, ..., SY255と、切り換えられたラダー抵抗器に対応するようにラダー抵抗器へ印加する電圧の極性を切り換えるためのスイッチSYa, SYbなどから構成される。そして、表示信号電圧生成回路134は、制御部17から出力される極性反転信号Polに基づいて各スイッチSY0, SY1, ..., SY255によりラダー抵抗器を選択すると共に、ラダー抵抗器に印加する電圧の極性をスイッチSYa, SYbにより切り換え、ラダー抵抗器によって分圧されたそれぞれの電圧をこれに対応する階調レベルの表示信号電圧として電圧印加ラインV0, V1, ..., V255に印加する。

【0045】

具体的には、ラダー抵抗器31は、制御部17からの極性反転信号PolがハイレベルVshのときに各スイッチSY0, SY1, ..., SY255により当該ラダー抵抗器31が選択されると共に、スイッチSYa, SYbにより端子255a(電圧VH)と端子256b(電圧VL)が選択されることで、端子255a(電圧VH)と端子256b(電圧VL)の間の電圧を画像データのビット数(本実施の形態では8ビット)に応じた複数の抵抗RA1, RA2, ..., RA254で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が正極性になる表示信号電圧として電圧印加ラインV0, V1, ..., V255に印加する。

10

20

30

40

50

【 0 0 4 6 】

また、ラダー抵抗器 3 2 は、制御部 1 7 からの極性反転信号 P o l がローレベル V s l のときに各スイッチ S Y 0 , S Y 1 , . . . , S Y 2 5 5 により当該ラダー抵抗器 3 2 が選択されると共に、スイッチ S Y a , S Y b により端子 2 5 6 a (電圧 V L) と端子 2 5 5 b (電圧 V H) が選択されることで、端子 2 5 6 a (電圧 V L) と端子 2 5 5 b (電圧 V H) の間の電圧を画像データのビット数 (本実施の形態では 8 ビット) に応じた複数の抵抗 R B 1 , R B 2 , . . . , R B 2 5 4 で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が負極性になる表示信号電圧として電圧印加ライン V 0 , V 1 , . . . , V 2 5 5 に印加する。

【 0 0 4 7 】

各 D A C 部 2 4 1 は、デコーダ 2 4 3 と、各電圧印加ライン V 0 , V 1 , . . . , V 2 5 5 に接続される選択スイッチ S W 0 , S W 1 , . . . , S W 2 5 5 とを備えて構成されている。デコーダ 2 4 3 は、データラッチ部 1 5 2 から出力された画像データを入力してデコードし、階調レベル数 (ビット数) に応じたデータ信号を出力する。各選択スイッチ S W 0 , S W 1 , . . . , S W 2 5 5 はデコーダ 2 4 3 から出力されるデータ信号に基づいてオン / オフが制御される。そして選択された電圧印加ライン V 0 , V 1 , . . . , V 2 5 5 と電圧出力ライン S L とが導通されて、選択された電圧印加ライン V 0 , V 1 , . . . , V 2 5 5 に印加されている表示信号電圧が電圧出力ライン S L に印加される。電圧出力ライン S L に印加された表示信号電圧は、出力アンプ回路 2 4 2 を介してデータ信号線 S (i) に供給される。

【 0 0 4 8 】

共通電圧発生回路 1 4 は、制御部 1 7 から出力される極性反転信号 P o l に基づいて共通電極 1 1 5 及び各補助容量線 C 1 (j)、C 2 (j) に同一の共通電圧 V c を印加するものである。極性反転信号 P o l がハイレベル V s h のときには液晶に印加される電圧が正極性になるように第一の共通電圧 V c l を印加し、極性反転信号 P o l がローレベル V s l のときには液晶に印加される電圧が負極性になるように第二の共通電圧 V c h を印加する。つまり、共通電圧発生回路 1 4 は、共通電極 1 1 5 及び各補助容量線 C 1 (j)、C 2 (j) に矩形交流電圧を印加する。

【 0 0 4 9 】

なお、制御部 1 7 は、極性反転信号 P o l を、隣接する走査信号線に対応する表示画素間 (画素列方向に隣接する表示画素間) で液晶に印加される電圧の極性が反転するように、さらには、フレーム毎に液晶に印加される電圧の極性が反転するように出力する。

これにより、各表示画素 P (i , j) において第一の副画素 P 1 (i , j) では、図 1 1 に示されるような電圧 V l c 1 が 1 フレームの大凡全期間に亘って液晶に印加される。また、図 1 1 において、 ΔV は、走査信号線と画素電極との間の寄生容量の影響により表示画素への表示信号電圧書き込み終了時に発生する引き込み電圧を示している。共通電圧 V c の振幅中心電圧は、表示信号電圧の振幅中心電圧に対して ΔV の発生方向に ΔV だけシフトした電圧に設定することが好ましい。

【 0 0 5 0 】

降圧電圧発生回路 1 5 は、制御部 1 7 から出力される極性反転信号 P o l と固有情報記憶部 1 6 に記憶されている固有情報 I n f とに基づいて降圧用容量線 D (j) に降圧電圧 V d を印加するもので、共通電圧 V c の中心電圧 $V c l + (V c h - V c l) / 2$ になっている降圧電圧、または、共通電圧 V c の中心電圧 $V c l + (V c h - V c l) / 2$ をその中心電圧にすると共に、その電圧値が極性反転信号 P o l に同期して変化する降圧電圧を印加する。

【 0 0 5 1 】

即ち、降圧電圧発生回路 1 5 は、第二の画素電極 E 2 (i , j) と降圧用容量線 D (j) との間に形成される降圧用容量 C d (i , j) によって、第二の画素電極 E 2 (i , j) の電位変動量が共通電極 1 1 5 での電位変動量よりも小さい電位変動量となるように、降圧用容量線 D (j) に電圧を印加する。

これにより、各表示画素 $P(i, j)$ において第二の副画素 $P_2(i, j)$ では、図 12 に示されるような電圧 V_{1c1} 、 V_{1c2} が液晶に印加され、1 フレームの間に液晶に印加される平均電圧 $(V_{1c1} + V_{1c2}) / 2$ は第一の副画素 $P_1(i, j)$ で液晶に印加される電圧 V_{1c1} よりも小さくなる。

【0052】

具体的には、各フレームにおいて、共通電極 115 の電位が、 $TFT_2(i, j)$ を介して第二の画素電極 $E_2(i, j)$ に表示信号電圧が書き込まれた際の当該共通電極 115 の電位と等しい期間 T_1 には、第二の副画素 $P_2(i, j)$ で液晶に印加される電圧は、第一の副画素 $P_1(i, j)$ で液晶に印加される電圧 V_{1c1} と等しくなる。また、共通電極 115 の電位が、 $TFT_2(i, j)$ を介して第二の画素電極 $E_2(i, j)$ に表示信号電圧が書き込まれた際の共通電極 115 の電位と異なる期間 T_2 には、第二の副画素 $P_2(i, j)$ で液晶に印加される電圧は、第一の副画素 $P_1(i, j)$ で液晶に印加される電圧 V_{1c1} よりも小さい電圧 V_{1c2} になる。

【0053】

従って、第一の副画素 $P_1(i, j)$ における表示信号電圧と透過強度との関係 VT_1 に対して、第二の副画素 $P_2(i, j)$ における表示信号電圧と透過強度との関係 VT_2 を図 13 に示すようにシフトさせることができ、これによって、各表示画素 $P(i, j)$ に複数の表示信号電圧と透過強度との関係が得られ、液晶表示装置 1 における視野角依存性を改善することができる。

【0054】

なお、電圧 V_{1c1} と電圧 V_{1c2} との差分値 ΔV_{1c} は、例えば、下記 (1) 式 ~ (4) 式に基づいて導出することが可能である。

$$\Delta V_{1c} = (A - B) / R \quad (1) \text{ 式}$$

$$A = \{C_{1c2}(i, j) + C_{cs2}(i, j)\} \times V_{cl} \quad (2) \text{ 式}$$

$$B = \{C_{1c2}(i, j) + C_{cs2}(i, j)\} \times V_{ch} \quad (3) \text{ 式}$$

$$R = C_{1c2}(i, j) + C_{cs2}(i, j) + C_d \quad (4) \text{ 式}$$

【0055】

また、図 14 (a) に示すように、第二の副画素 $P_2(i, j)$ での表示信号電圧と透過強度との関係 VT_2 を第一の副画素 $P_1(i, j)$ での表示信号電圧と透過強度との関係 VT_1 に比較的近づけるような場合には、図 15 (a) に示すように、共通電圧発生回路 14 から出力される共通電圧 V_c と同位相になるように、降圧電圧 V_d を振幅させる。つまり、共通電圧 V_c との電位差が小さくなるように降圧電圧 V_d を振幅させる。

【0056】

さらに、図 14 (b) に示すように、第二の副画素 $P_2(i, j)$ での表示信号電圧と透過強度との関係 VT_2 を第一の副画素 $P_1(i, j)$ での表示信号電圧と透過強度との関係 VT_1 から比較的遠ざけるような場合には、図 15 (b) に示すように、共通電圧発生回路 14 から出力される共通電圧 V_c に対して逆位相になるように、降圧電圧 V_d を振幅させる。つまり、共通電圧 V_c との電位差が大きくなるように降圧電圧 V_d を振幅させる。

【0057】

このように、本実施の形態では、降圧用容量線 $D(j)$ に印加する降圧電圧 V_d を調整することによって、表示信号電圧と透過強度との関係を容易にシフトさせることができることから、簡易な回路構成で視野角依存性を改善、さらには、その度合いを調整することができる。

【0058】

例えば、表示パネル 11 の製造後に、他の表示パネル 11 の視野角依存性と同程度に制御可能な降圧電圧 V_d の値を固有情報 Inf として固有情報記憶部 16 に記憶させ、降圧電圧発生回路 15 が、当該固有情報記憶部 16 に記憶された固有情報 Inf に基づいた振幅の降圧電圧 V_d を降圧用容量線 $D(j)$ に印加するように構成すれば、複数の表示パネル 11 間での視野角依存性に対する機差の発生を防止することができる。また、降圧電

10

20

30

40

50

圧発生回路 15 は、降圧電圧 V_d の振幅幅を調整すればよいだけなので、降圧電圧発生回路 15 を簡単な回路構成にすることができる。例えば、副画素毎に異なるデータ信号線を備え、副画素毎に異なる表示信号電圧をそれぞれに対応するデータ信号線及び TFT を介して印加するような場合には、各副画素に対応する上述したような比較的規模の大きな表示信号電圧生成回路を複数備える必要があるが、本実施の形態ではその必要がなく、このようなものと比較すると、より簡易な回路構成で視野角依存性を調整することができる。しかも、本実施の形態では、共通電極 115 を 1 表示画素内でそれぞれの領域に対応するように分離させる必要もないことから、製造工程数の増大を招くこともない。また、本実施の形態では、対応する TFT を介して各副画素の画素電極に表示信号電圧が直接的に印加されることから、容量のみを介して画素電極に電圧が印加される構成のものと比較して、より安定的に電圧を液晶に印加させることができる。

10

【0059】

ところで、固有情報記憶部 16 は、例えば、不揮発性メモリの一つである EEPROM (Electrically Erasable Programmable Read Only Memory) を用いることができ、当該液晶表示装置 1 の製造当初は情報が書き込まれていない所謂、「白地」の状態になっている。そして、当該液晶表示装置 1 の製造後に、例えば、書き込み用信号端子 161 に EEPROM 書き込み用システム装置が接続されることにより、当該液晶表示装置 1 の仕上がり具合に応じた所定の情報を固有情報記憶部 16 に記憶させることができる。

なお、固有情報記憶部 16 への書き込み電圧 V_{pp} は、当該液晶表示装置 1 のための電源調整回路に入力される基準電源 V_{cc} よりも高い電圧が必要のように構成し、固有情報記憶部 16 に記憶された情報が基準電源 V_{cc} の影響を受けて不用意に消去されてしまうことを防止するように構成することが好ましい。

20

【0060】

上述の実施の形態では、第一の副画素 $P_1(i, j)$ における第一の画素電極 $E_1(i, j)$ と第二の副画素 $P_2(i, j)$ における第二の画素電極 $E_2(i, j)$ との形状や面積が等しい場合について説明したが、表示画素 $P(i, j)$ における第一の副画素 $P_1(i, j)$ 及び第一の副画素 $P_1(i, j)$ の配置についての変形例を説明する。

図 16 は、表示画素 $P(i, j)$ における第一の副画素 $P_1(i, j)$ 及び第 2 の副画素 $P_2(i, j)$ の配置の第一例を示す部分拡大平面図である。

図 16 に示すように、第一の画素電極 $E_1(i, j)$ と第二の画素電極 $E_2(i, j)$ との形状や面積は異なってもよい。この場合、第一の副画素 $P_1(i, j)$ のそれぞれは互いに同じ大きさ及び形状であり、第二の副画素 $P_2(i, j)$ のそれぞれも互いに同じ大きさ及び形状である。従って、表示画素 $P(i, j)$ は、走査線 $G(j)$ の前行、つまり $j - 1$ 行側に配設された第一の副画素 $P_1(i, j)$ と走査線 $G(j)$ の後行、つまり、 $j + 1$ 行側に配設された第二の副画素 $P_2(i, j)$ とからなる 2 つの画素を 1 画素パターンとすると、このパターンが各行及び各列の交差点全てに配設されている。

30

【0061】

破線で囲まれた領域が 1 行 3 列分の画素であり、第一の副画素 $P_1(i, j)$ が、第一スイッチング素子 TFT1(i, j) を介して走査線 $G(j)$ 側に配設されている。第二の副画素 $P_2(i, j)$ が、第二スイッチング素子 TFT2(i, j) を介して走査線 $G(j)$ の下側に配設されている。

40

【0062】

図 16 において、走査線 $G(j)$ の前行側に配設された第一の副画素 $P_1(i, j)$ のそれぞれが、前行側の表示画素 $P(i, j)$ の走査線 $G(j - 1)$ の下側に配設された第二の副画素 $P_2(i, j)$ に隣接して配設されている。走査線 $G(j)$ の下側に配設された第二の副画素 $P_2(i, j)$ のそれぞれが、後行側の表示画素 $P(i, j)$ の上側、つまり、後行側の走査線 $G(j + 1)$ の上側に配設された第一の副画素 $P_1(i, j)$ に隣接して配設されている。

【0063】

第一の画素 $P_1(i, j)$ の補助容量線 $C_1(j)$ は、走査線 $G(j)$ の上行側に配設

50

され、走査線 $G(j)$ の方向に平行となっている。

【0064】

第二の副画素 $P_2(i, j)$ の補助容量線 $C_2(j)$ は、走査線 $G(j)$ の下側に配設され、走査線 $G(j)$ の方向に平行となっている。第二の副画素 $P_2(i, j)$ の降圧用容量線 $D(j)$ は補助容量線 $C_2(j)$ の上側に配設され、走査線 $C_2(j)$ に対して平行となっている。

【0065】

また、上述の実施の形態では、第二の副画素 $P_2(i, j)$ において、降圧用容量線 $D(j)$ が補助容量線 $C_2(j)$ よりも走査信号線 $G(j)$ 側に配置されている場合について説明したが、図16とは逆に、補助容量線 $C_2(j)$ が降圧用容量線 $D(j)$ よりも走査信号線 $G(j)$ 側に配置されている構成としてもよい。

10

【0066】

また、上述の実施の形態では、走査信号線 $G(j)$ や降圧用容量線 $D(j)$ の延伸方向に隣接する表示画素間で、第一の副画素 $P_1(i, j)$ と第二の副画素 $P_2(i, j)$ との配置関係が等しくなるように配置されている場合について説明したが、図17や図18に示すように、走査信号線 $G(j)$ や降圧用容量線 $D(j)$ の延伸方向に隣接する表示画素間で、第一の副画素 $P_1(i, j)$ と第二の副画素 $P_2(i, j)$ との配置関係が反転するように配置される構成としてもよい。

【0067】

図17は、表示画素 $P(i, j)$ における第一の副画素 $P_1(i, j)$ 及び第2の副画素 $P_2(i, j)$ の配置の第二例を示す部分拡大平面図である。

20

図17に示すように、表示画素 $P(i, j)$ は、面積の小さい第一の副画素 $P_1(i, j)$ と面積の大きい第二の副画素 $P_2(i, j)$ とから構成されている。表示画素 $P(i, j)$ と同じ列の画素、例えば $P(i, j-1)$ 、 $P(i, j+1)$ の配置関係は、表示画素 $P(i, j)$ とは同じである。一方、表示画素 $P(i, j)$ と同じ行で隣り合う列の画素、例えば $P(i-1, j)$ 、 $P(i+1, j)$ の配置関係は、表示画素 $P(i, j)$ とは逆の配置関係となっている。つまり、 $P(i-1, j)$ 及び $P(i+1, j)$ においては、第二の副画素 $P_2(i-1, j)$ が、第二スイッチング素子 $TFT_2(i-1, j)$ を介して走査線 $G(j)$ の上側に配設され、第一の副画素 $P_1(i-1, j)$ が、第一スイッチング素子 $TFT_1(i-1, j)$ を介して走査線 $G(j)$ の下側に配設されている。

30

【0068】

第一の副画素 $P_1(i, j)$ の補助容量線 $C_1(j)$ と、 j 行に隣接する他の列に配設された第二の副画素 $P_2(i-1, j)$ 及び $P_2(i+1, j)$ の補助容量線 $C_2(j)$ とが共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0069】

第二の副画素 $P_2(i, j)$ の補助容量線 $C_2(j)$ と、 j 行に隣接する他の列に配設された第一の副画素 $P_1(i-1, j)$ 及び $P_1(i+1, j)$ の補助容量線 $C_1(j)$ と、が共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0070】

40

第二の副画素 $P_2(i, j)$ の降圧用容量線 $D(j)$ と、 j 行に隣接する他の列に配設された第二の副画素 $P_2(i-1, j)$ 及び第二の副画素 $P_2(i+1, j)$ の降圧用容量線 $D(j)$ と、が共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0071】

図18は、表示画素 $P(i, j)$ における第一の副画素 $P_1(i, j)$ 及び第2の副画素 $P_2(i, j)$ の配置の第三例を示す部分拡大平面図である。

図18に示すように、画素配置は、第一の副画素 $P_1(i, j)$ と第二の副画素 $P_2(i, j)$ との面積がほぼ同じであることと、第二の副画素 $P_2(i, j)$ の降圧用容量線 $D(j)$ の配線が異なること以外は、図17と同様の配置である。

50

【 0 0 7 2 】

第二の副画素 $P2(i, j)$ の降圧用容量線 $D(j)$ は、前列及び後列 ($i - 1$ 列及び $i + 1$ 列) でかつ後行の降圧用容量線 $D(j + 1)$ と、走査線 $G(j)$ の後行側への配線部と、を含む。図示の場合、配線部は、手違いかすがいのような形状を有している。従って、第二の副画素 $P2(i, j)$ の降圧用容量線 $D(j)$ は、走査線 21 方向に平行な折れ曲がり線形状や列毎に波状に屈曲して、当該行の第二の副画素 $P2(i, j)$ 及び後行の第二の副画素 $P2(i, j + 1)$ を交互に通過することになる。

【 0 0 7 3 】

上述の実施の形態では、表示画素 $P(i, j)$ 毎に、2本の補助容量線を備える構成について説明したが、図19に示すように、所定の副画素間で補助容量線を共有するように配置する構成としてもよい。

10

図19は、表示画素 $P(i, j)$ における第一の副画素 $P1(i, j)$ 及び第二の副画素 $P2(i, j)$ の配置の第四例を示す部分拡大平面図である。図19の画素15が、図16の画素15と異なるのは、第一の副画素 $P1(i, j)$ の補助容量線 $C1(j)$ が前行の走査線 $G(j - 1)$ 側に配設されている第二の副画素 $P2(i, j - 1)$ の補助容量線 $C2(j - 1)$ と共通に形成されている点にある。

同様に、走査線 $G(j)$ の後行側に配設される第二の副画素 $P1(i, j)$ の補助容量線 $C2(j)$ と、走査線 $G(j)$ の後行、つまり走査線 $G(j + 1)$ 側に配設された第一の副画素 $P1(i, j + 1)$ の補助容量線 $C1(j + 1)$ と、共通配線となり、走査線 $G(j)$ の方向に対して平行に配設されている。

20

【 0 0 7 4 】

以上のような電極及び配線構造によって、補助容量線 $C1$ 及び $C2$ を形成するためのマスク形状が単純化され、コストが低減できる。

【 0 0 7 5 】

図16～図19に示す画素配置によれば、表示信号電圧と透過強度との関係が異なる2つの領域を面内でより平均化されるように配置することができて好ましい。

【 0 0 7 6 】

本発明によれば、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の液晶パネル毎の差を、液晶パネルの製造後においても容易に補正できる。

【 0 0 7 7 】

30

本発明は上記実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

【図面の簡単な説明】

【 0 0 7 8 】

【図1】本発明の液晶表示装置の構成を示すブロック図である。

【図2】本発明の液晶表示装置の断面を示す図である。

【図3】表示画素の等価回路を示す図である。

【図4】表示画素の拡大平面図である。

【図5】表示画素の断面を示し、(a)は図4におけるX-X'断面図、(b)は図4におけるY-Y'断面図である。

40

【図6】走査信号及び共通電圧を示す図である。

【図7】走査信号線駆動回路の構成を示すブロック図である。

【図8】保持回路の構成を示すブロック図である。

【図9】データ信号線駆動回路の構成を示すブロック図である。

【図10】表示信号電圧生成回路の構成を示すブロック図である。

【図11】第一の副画素における液晶に印加される電圧を示す図である。

【図12】第二の副画素における液晶に印加される電圧を示す図である。

【図13】各画素における表示信号電圧と透過強度との関係を示す図である。

【図14】各画素における表示信号電圧と透過強度との関係を示す図であり、(a)は共通電圧との電位差が小さくなるように降圧電圧を振幅させた場合、(b)は共通電圧との

50

電位差が大きくなるように降圧電圧を振幅させた場合である。

【図 1 5】共通電圧と降圧電圧との関係を示す図であり、(a) は共通電圧との電位差が小さくなるように降圧電圧を振幅させた場合、(b) は共通電圧との電位差が大きくなるように降圧電圧を振幅させた場合である。

【図 1 6】表示画素における第一の副画素及び第二の副画素の配置の第一例を示す部分拡大平面図である。

【図 1 7】表示画素における第一の副画素及び第二の副画素の配置の第二例を示す部分拡大平面図である。

【図 1 8】表示画素における第一の副画素及び第二の副画素の配置の第二例を示す部分拡大平面図である。

10

【図 1 9】表示画素における第一の副画素及び第二の副画素の配置の第二例を示す部分拡大平面図である。

【図 2 0】従来の液晶表示装置の 1 画素分の構造を模式的に示す図である。

【符号の説明】

【 0 0 7 9 】

1 : 液晶表示装置

1 0 : 画像メモリ

1 1 : 表示パネル

1 2 : 走査信号線駆動回路

1 3 : データ信号線駆動回路

20

1 4 : 共通電圧発生回路

1 5 : 降圧電圧発生回路

1 6 : 固有情報記憶部

1 7 : 制御部

C 1 (j) , C 2 (j) : 補助容量線

D (j) : 降圧用容量線

G (j) : 走査信号線

S (i) : データ信号線

P (i , j) : 表示画素

P 1 (i , j) : 第一の副画素

30

P 2 (i , j) : 第二の副画素

E 1 (i , j) : 第一の画素電極

E 2 (i , j) : 第二の画素電極

C 1 c 1 (i , j) : 第一の液晶容量

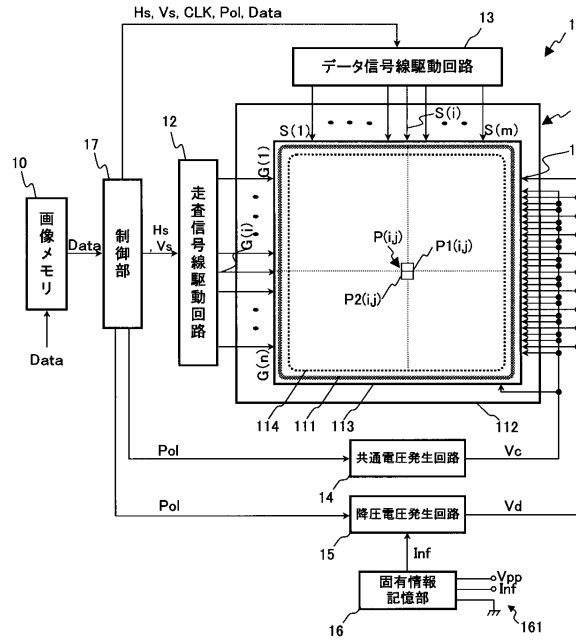
C 1 c 2 (i , j) : 第二の液晶容量

C c s 1 (i , j) : 第一の補助容量

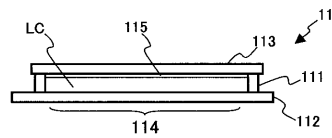
C c s 2 (i , j) : 第二の補助容量

C d (i , j) : 降圧用容量

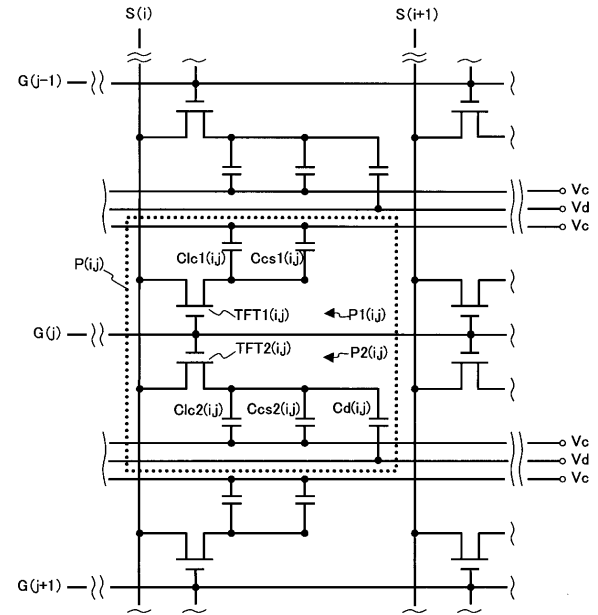
【図 1】



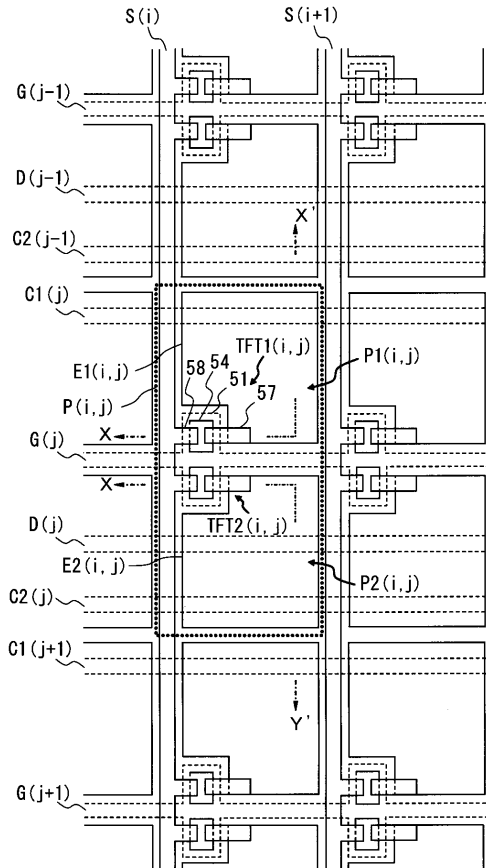
【図 2】



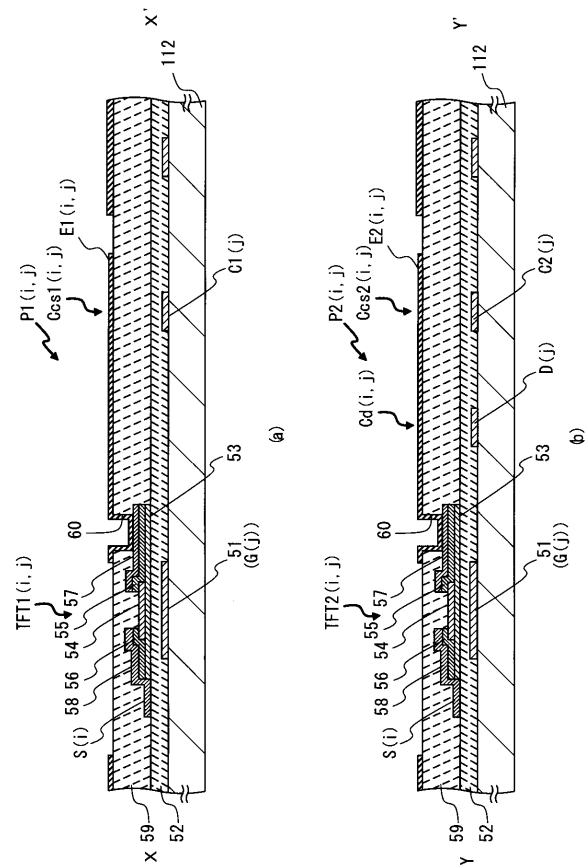
【図 3】



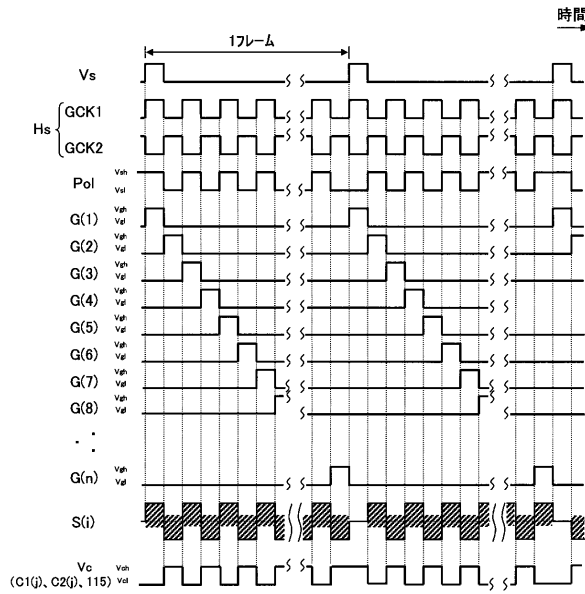
【図 4】



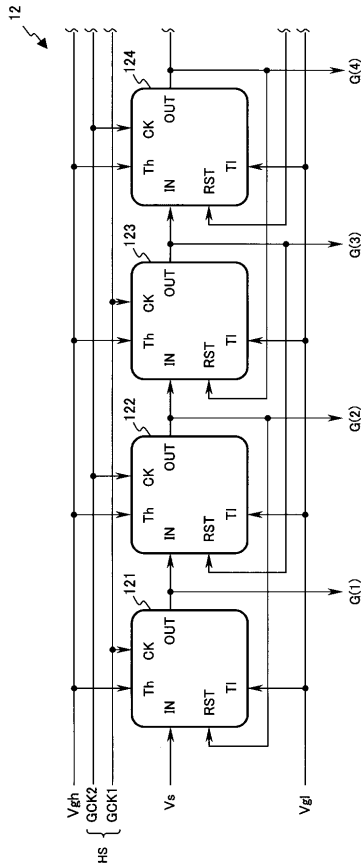
【図 5】



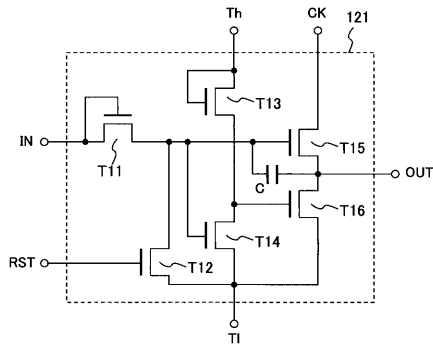
【図 6】



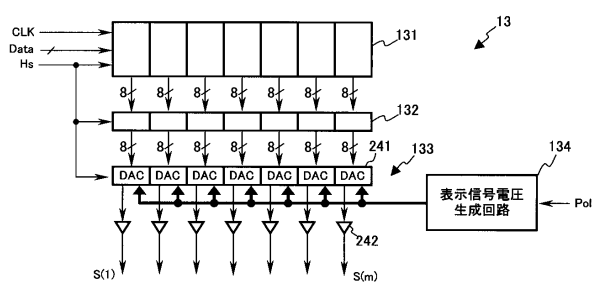
【図 7】



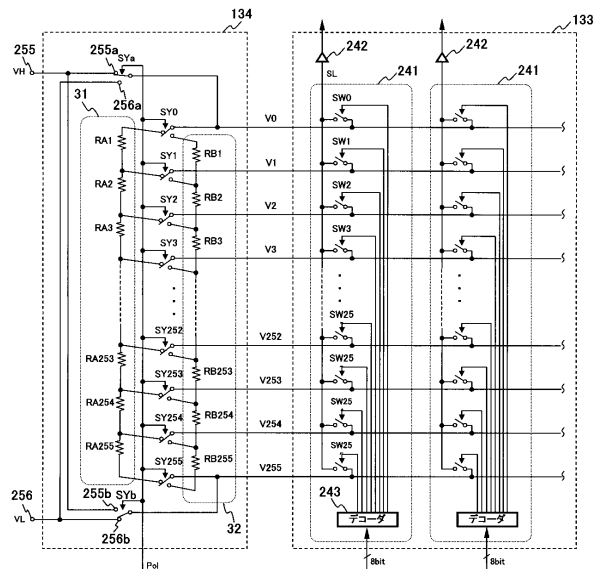
【図 8】



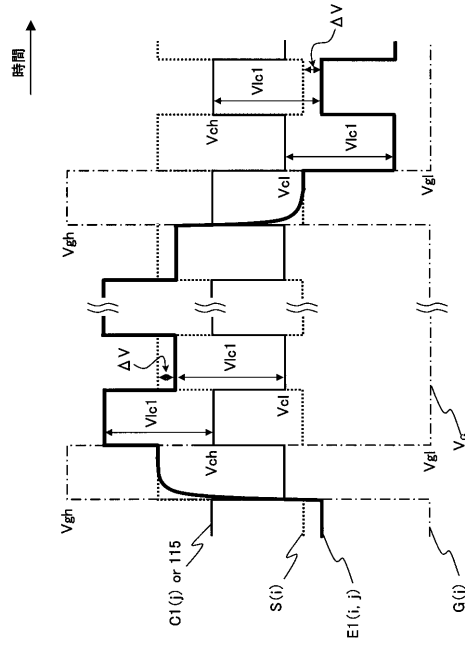
【図 9】



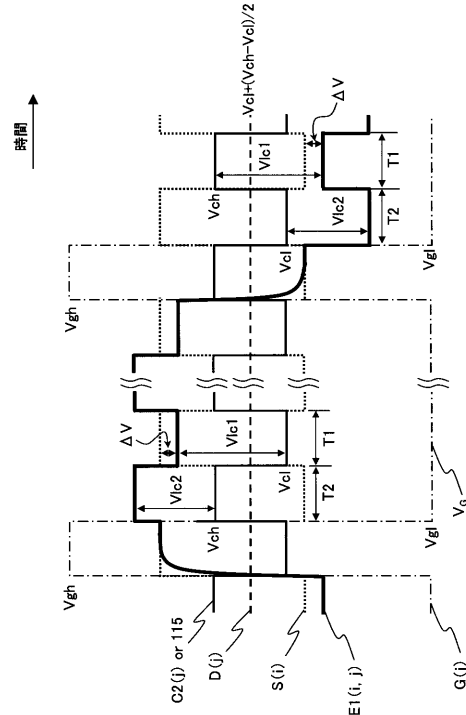
【図 10】



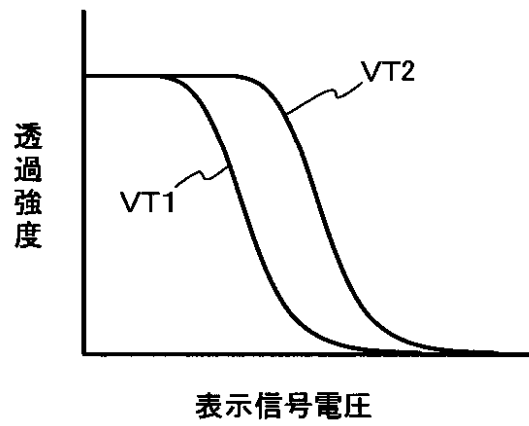
【図 1 1】



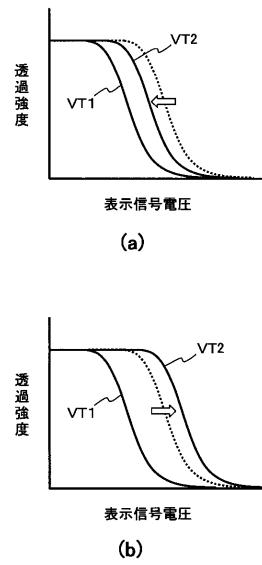
【図 1 2】



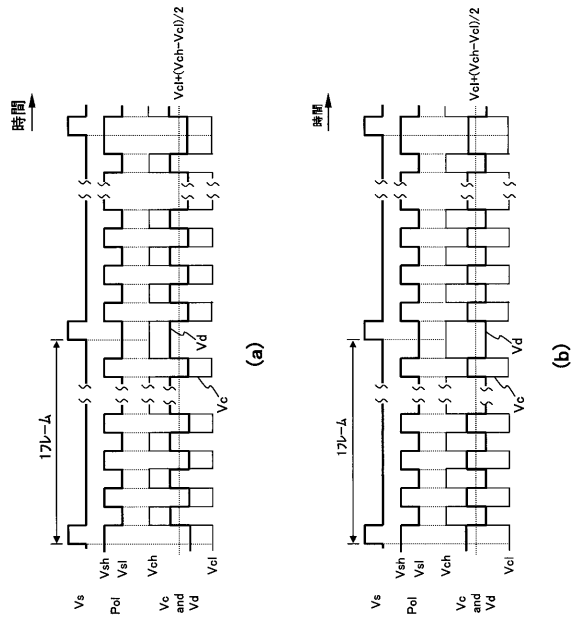
【図 1 3】



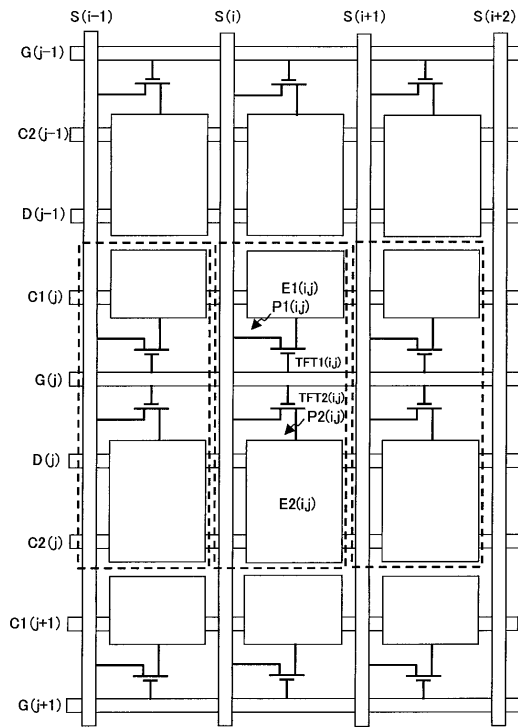
【図 1 4】



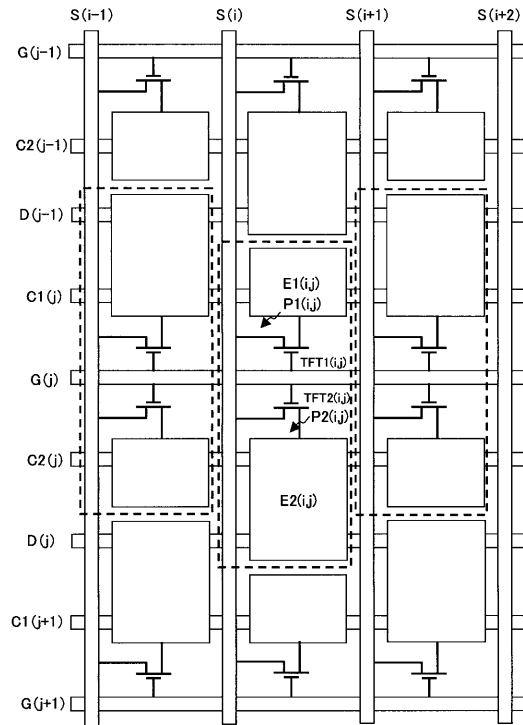
【図 15】



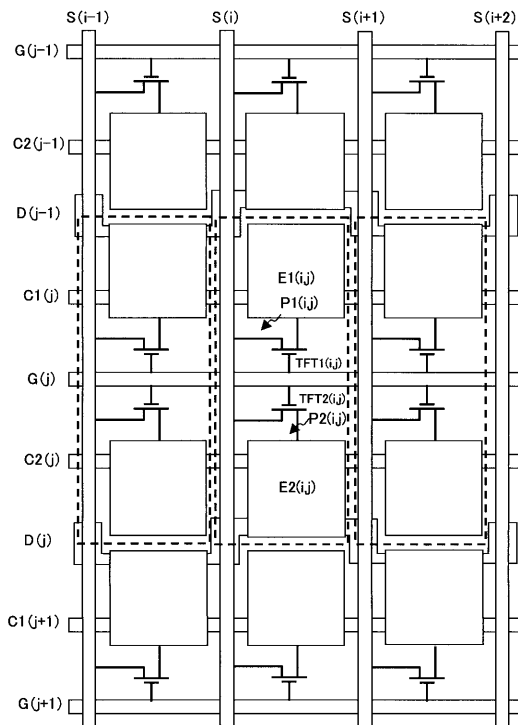
【図 16】



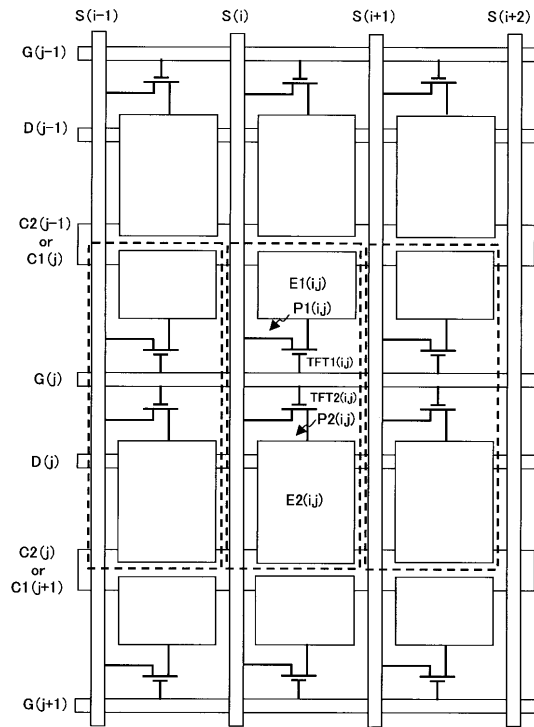
【図 17】



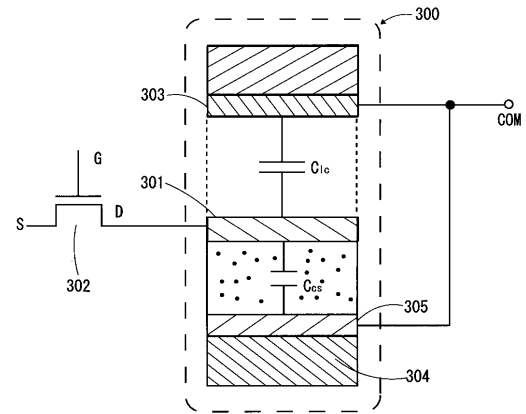
【図 18】



【図 19】



【図 20】



フロントページの続き

(72)発明者 石井 裕満

東京都八王子市石川町2 9 5 1 番地の5 カシオ計算機株式会社
術センター内

八王子技

審査官 福田 知喜

(56)参考文献 特開2 0 0 8 - 0 3 3 2 1 8 (J P , A)

特開2 0 0 6 - 1 3 3 5 7 7 (J P , A)

特開2 0 0 4 - 0 7 8 1 5 7 (J P , A)

国際公開第2 0 0 8 / 0 1 8 5 5 2 (W O , A 1)

国際公開第2 0 0 7 / 0 9 1 3 6 5 (W O , A 1)

(58)調査した分野(Int.Cl. , D B名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

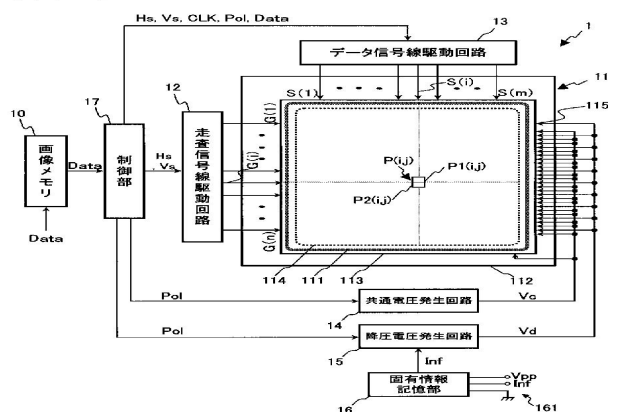
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP4626664B2	公开(公告)日	2011-02-09
申请号	JP2008094421	申请日	2008-03-31
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい 石井裕満		
发明人	中村 やよい 石井 裕満		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136213 G02F1/134309 G02F1/13624 G02F2001/134345		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB66 2H092/JB69 2H092/NA01 2H192/AA24 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB56 2H192/CB71 2H192/DA14 2H192/DA65 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB07 2H193/ZB14 2H193/ZB16 2H193/ZC16 2H193/ZC25 2H193/ZD23 2H193/ZF04 2H193/ZF05 2H193/ZF21 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZP01 2H193/ZP02 2H193/ZP03		
代理人(译)	平山和幸 筱田哲也 小川哥打		
审查员(译)	福田 知喜		
其他公开文献	JP2009244818A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在制造液晶面板之后也容易校正视角依赖性的机器差异，而不增加液晶面板的制造步骤的数量。ŽSOLUTION：设备包括显示像素P (i和j)。每个显示像素分别包括第一子像素P1 (i , j) 和第二子像素P2 (i , j)，第一子像素和第二子像素中的每一个包括第一液晶电容形成有夹在公共电极和像素电极之间的液晶，以及由夹在像素电极和辅助电容线之间的固体介电材料形成的辅助电容，并且第一子像素或第二子像素包括由夹在像素电极和降压电容线之间的固体介电材料形成的降压电容。该装置还包括：第一电压施加装置14，用于向公共电极和辅助电容线施加公共第一电压;以及第二电压施加装置15，用于向第一电压施加不同于第一电压的第二电压。 - 电容线。 Ž

【 図 1 】



【 図 2 】

