

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4592384号
(P4592384)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.

F I

GO2F	1/1343	(2006.01)	GO2F	1/1343	
GO2F	1/133	(2006.01)	GO2F	1/133	525
GO2F	1/1368	(2006.01)	GO2F	1/133	550
GO9G	3/20	(2006.01)	GO2F	1/133	575
GO9G	3/36	(2006.01)	GO2F	1/1368	

請求項の数 4 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-309837 (P2004-309837)
 (22) 出願日 平成16年10月25日(2004.10.25)
 (65) 公開番号 特開2006-119539 (P2006-119539A)
 (43) 公開日 平成18年5月11日(2006.5.11)
 審査請求日 平成19年3月2日(2007.3.2)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (72) 発明者 秋山 泰人
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層と、前記液晶層に電圧を印加する複数の電極と、トランジスタを介して供給される表示信号電圧に応じて輝度に変化する画素を有し、前記画素が、供給されたある1つの表示信号電圧に対して、第1輝度となる第1副画素と、前記第1輝度よりも低い第2輝度となる第2副画素とを有する液晶表示装置であって、

前記第1副画素および前記第2副画素のそれぞれは、対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、

前記副画素電極に電気的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、

前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素および前記第2副画素ごとに電気的に独立であり、

前記第1副画素および前記第2副画素のそれぞれに対応して設けられた第1トランジスタおよび第2トランジスタを有し、

前記第1トランジスタおよび前記第2トランジスタは、共通のゲートバスラインに供給される走査信号電圧によってオン/オフ制御され、前記第1トランジスタおよび前記第2トランジスタがオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通のソースバスラインから表示信号電圧が供給され、前記第1トランジスタおよび前記第2トランジスタがオフ状態とされ

た後に、前記第 1 副画素および前記第 2 副画素のそれぞれの前記補助容量対向電極の電圧が変化し、その変化の方向および変化の大きさによって規定される変化量が前記第 1 副画素と前記第 2 副画素とで異なり、

前記第 1 副画素の引き込み電圧と前記第 2 副画素の引き込み電圧との差が小さくなるように、前記第 1 副画素と前記第 2 副画素とにおいて、

(1) 前記トランジスタのドレインがゲートバスラインと重なる面積が異なっている、
 (2) 前記副画素電極が前記共通のソースバスラインと重なる面積が異なっている、
 (3) 前記副画素電極が行方向に隣接する画素に接続されたソースバスラインと重なる面積が異なっている、

(4) 前記補助容量の静電容量が異なっている、
 (5) 前記補助容量対向電極に接続されたCSバスラインが前記副画素電極と重なる面積が異なっている、

(6) 前記液晶層の厚さが異なっている、
 の内の少なくとも 1 つを満足する、液晶表示装置。

【請求項 2】

前記液晶層は垂直配向型液晶層である、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 副画素の面積は前記第 2 副画素の面積よりも小さい、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記 (1) から (6) のうちの少なくとも 1 つは、前記第 1 副画素の引き込み電圧を小さくするように調整されている、請求項 3 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置およびその駆動方法に関する。

【背景技術】

【0002】

従来、TNモードの液晶表示装置が使用されていたが、TNモードよりも視角特性の優れたVAモードやIPSモードの液晶表示装置の利用が広がっている。近年、さらに視角特性を改善したMVAモードやS-IPSモードの液晶表示装置が、TVやモニターに使用されている。

【0003】

垂直配向型液晶層を用いるVAモードはIPSモードに比べて、黒表示の品位が高いため、高コントラスト比の表示を実現できるという利点を有している。しかしながら、特性の視角依存性がIPSモードよりも大きいという欠点を有している。

【0004】

そこで、特許文献 1 には、各画素を複数の副画素に分割し、副画素ごとに異なる電圧を供給することによって、特性における視角依存性を平均化する方法が提案されている。上記特許文献 1 に記載されている液晶表示装置は、画素が有する複数の副画素のそれぞれに表示信号電圧が独立に供給される構成を有している。すなわち、画素が 2 つの副画素 (第 1 副画素および第 2 副画素) を有する場合、第 1 副画素に表示信号電圧を供給するソースバスラインと別に第 2 副画素に表示信号電圧を供給するソースバスラインを設ける必要がある。従って、画素を 2 分割すると、ソースバスラインおよびソース駆動回路の数が 2 倍になる。また、第 1 副画素と第 2 副画素との供給する互いに異なる表示信号電圧は、表示すべきデータごとに 2 つずつ予め決められており、ルックアップテーブルに格納されている。

【0005】

これに対し、特許文献 2 や特許文献 3 には、供給されたある 1 つの表示信号電圧に対し、互いに異なる輝度となる複数の副画素を備える液晶表示装置が記載されている。この

10

20

30

40

50

液晶表示装置においては、第1副画素と第2副画素とに共通のソースバスラインから共通の表示信号電圧が供給されるので、ソースバスラインやソース駆動回路の数を分割数に応じて増加させる必要が無いという利点を有している。

【特許文献1】特開2003-295160号公報

【特許文献2】特開2004-62146号公報

【特許文献3】特開2004-78157号公報

【特許文献4】特開平6-332009号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、本発明者が特許文献2および3に記載されている液晶表示装置を試作し評価したところ、十分な信頼性が得られないことがあり、この信頼性の低下は、液晶層にDC電圧が印加されることに起因することが分かった。

【0007】

一般に、液晶表示装置は、表示モードに拘らず、液晶層にDC電圧が印加されるのを防止するために、交流駆動される。すなわち、液晶層に生成される電界の向きを一定時間ごとに反転させることによって、時間平均したときに一定方向の電界(DC電圧)が残らないように駆動される。アクティブマトリクス型液晶表示装置の各画素の液晶層に印加される電圧は、対向電極に供給される共通電圧(Vcom)と画素電極に供給される表示信号電圧との差に相当するので、交流駆動においては、対向電極に供給される共通電圧を基準としたときの表示信号電圧の極性を一定時間ごとに反転させていることになる。表示信号電圧の極性を反転させる周期は、例えば一垂直走査期間(典型的には入力画像信号の1フレーム期間)である。

【0008】

トランジスタを用いるアクティブマトリクス型液晶表示装置では、トランジスタが非導通状態となった直後に、ゲートとドレインとの間の寄生容量(Cgd)等の影響による「引き込み電圧(ドレイン引き込み電圧)」と呼ばれる電圧が液晶層に印加される。引き込み電圧は、液晶容量(副画素電極/液晶層/対向電極によって構成される容量、画素容量は液晶容量と補助容量とで構成される。)の大きさに依存し、液晶容量は電圧に依存する。したがって、引き込み電圧によるDC電圧の発生を防止するためには、表示すべきデータ(画像データ、入力画像信号)ごとに、引き込み電圧をキャンセルするように表示信号電圧が設定される。

【0009】

しかしながら、上記特許文献2や特許文献3に記載されているような、供給された1つの表示信号電圧に対して、互いに異なる輝度となる複数の副画素を備える液晶表示装置においては、副画素毎に供給する印加電圧を調節することができないので、引き込み電圧によるDCの発生を防止することができず、十分な信頼性が得られないことがある。

【0010】

本発明は上記課題を解決するためになされたものであり、その主な目的は、画素分割構造を有する液晶表示装置の信頼性を向上することにある。

【課題を解決するための手段】

【0011】

本発明の液晶表示装置は、液晶層と、前記液晶層に電圧を印加する複数の電極と、トランジスタを介して供給される表示信号電圧に応じて輝度に変化する画素を有し、前記画素が、供給されたある1つの表示信号電圧に対して、第1輝度となる第1副画素と、前記第1輝度よりも低い第2輝度となる第2副画素とを有する液晶表示装置であって、前記第1副画素の引き込み電圧と前記第2副画素の引き込み電圧が略等しい。

【0012】

ある実施形態において、前記第1副画素および前記第2副画素のそれぞれは、対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容

10

20

30

40

50

量と、前記副画素電極に電氣的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素および前記第2副画素ごとに電氣的に独立であり、前記第1副画素および前記第2副画素のそれぞれに対応して設けられた第1トランジスタおよび第2トランジスタを有し、前記第1トランジスタおよび前記第2トランジスタは、共通のゲートバスラインに供給される走査信号電圧によってオン/オフ制御され、前記第1トランジスタおよび前記第2トランジスタがオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通のソースバスラインから表示信号電圧が供給され、前記第1トランジスタおよび前記第2トランジスタがオフ状態とされた後に、前記第1副画素および前記第2副画素のそれぞれの前記補助容量対向電極の電圧が変化し、その変化の方向および変化の大きさによって規定される変化量が前記第1副画素と前記第2副画素とで異なる。

10

【0013】

ある好ましい実施形態の液晶表示装置は、液晶層と、前記液晶層に電圧を印加する複数の電極と、トランジスタを介して供給される表示信号電圧に応じて輝度が変化する画素を有し、前記画素が、供給されたある1つの表示信号電圧に対して、第1輝度となる第1副画素と、前記第1輝度よりも低い第2輝度となる第2副画素とを有する液晶表示装置であって、前記第1副画素および前記第2副画素のそれぞれは、対向電極と、前記液晶層を介して前記対向電極に対向する副画素電極とによって形成された液晶容量と、前記副画素電極に電氣的に接続された補助容量電極と、絶縁層と、前記絶縁層を介して前記補助容量電極と対向する補助容量対向電極とによって形成された補助容量とを有し、前記対向電極は、前記第1副画素および前記第2副画素に対して共通の単一の電極であり、前記補助容量対向電極は、前記第1副画素および前記第2副画素ごとに電氣的に独立であり、前記第1副画素および前記第2副画素のそれぞれに対応して設けられた第1トランジスタおよび第2トランジスタを有し、前記第1トランジスタおよび前記第2トランジスタは、共通のゲートバスラインに供給される走査信号電圧によってオン/オフ制御され、前記第1トランジスタおよび前記第2トランジスタがオン状態にあるときに、前記第1副画素および前記第2副画素のそれぞれが有する前記副画素電極および前記補助容量電極に、共通のソースバスラインから表示信号電圧が供給され、前記第1トランジスタおよび前記第2トランジスタがオフ状態とされた後に、前記第1副画素および前記第2副画素のそれぞれの前記補助容量対向電極の電圧が変化し、その変化の方向および変化の大きさによって規定される変化量が前記第1副画素と前記第2副画素とで異なり、前記第1副画素の引き込み電圧と前記第2副画素の引き込み電圧との差が小さくなるように、前記第1副画素と前記第2副画素とにおいて、

20

30

- (1) 前記トランジスタのドレインがゲートバスラインと重なる面積が異なっている、
- (2) 前記副画素電極が前記共通のソースバスラインと重なる面積が異なっている、
- (3) 前記副画素電極が行方向に隣接する画素に接続されたソースバスラインと重なる面積が異なっている、
- (4) 前記補助容量の静電容量が異なっている、
- (5) 前記補助容量対向電極に接続されたCSバスラインが前記副画素電極と重なる面積が異なっている、
- (6) 前記液晶層の厚さが異なっている、の内の少なくとも1つを満足する。

40

【0014】

ある実施形態において、前記液晶層は垂直配向型液晶層である。好ましくは、前記液晶層は、前記画素ごとに複数のドメインを有する。

【0015】

ある実施形態において、前記第1副画素の面積は前記第2副画素の面積よりも小さい。この場合において、前記(1)から(6)のうちの少なくとも1つは、前記第1副画素の引き込み電圧を小さくするように調整されている。ある実施形態において、前記第2副画

50

素の面積は前記第 1 副画素の面積の 3 倍以上である。

【発明の効果】

【0016】

本発明の液晶表示装置は、その画素が、互いに異なる輝度となる 2 つの副画素（明副画素および暗副画素）を備え、それによって 特性の視角依存性を改善する。画素分割の方法には種々のものがあるが、例えば特許文献 2 または 3 に記載されている方法を採用すると、供給されたある 1 つの表示信号電圧に対して互いに異なる輝度となる 2 つの副画素を比較的簡単な構成で得ることができる。さらに、明副画素および暗副画素の引き込み電圧が互いに略等しく設定されているので、DC 電圧の発生が抑制され、液晶表示装置の信頼性が向上する。特に、上記画素分割技術を適用することによって 特性の視野角依存性が改善された VA モードの液晶表示装置の信頼性および / または表示品位を向上することができる。本発明の液晶表示装置は、特に大型の液晶テレビに好適に用いられる。

10

【発明を実施するための最良の形態】

【0017】

以下、図面を参照しながら、本発明による実施形態の液晶表示装置の構成を説明する。

【0018】

本発明による実施形態の液晶表示装置は、図 1 (a) に模式的に示すように画素分割構造を有する。すなわち、図 1 (b) に示す 1 つの画素 P が 2 つの副画素 SP 1 および SP 2 に分割されており、それぞれの副画素 SP 1 および SP 2 の輝度をある一定の範囲において異ならせることにより、 特性の視角依存性の改善を実現する。ここでは、2 分割を例示したが、副画素の数（分割数）に特に制限はない。なお、明副画素および暗副画素とは、全ての階調において、明副画素の輝度が暗副画素の輝度よりも高いことを意味するのではなく、ある 1 つの階調において明副画素の輝度が暗副画素の輝度よりも高ければよい。例えば、特許文献 2 に記載の画素分割技術を採用すると、後述するように、黒（最低輝度）および白（最高輝度）を表示する場合には、副画素間の輝度は無く、中間調において輝度差が大きくなる（図 6 参照）。

20

【0019】

特許文献 2 に記載の画素分割技術を VA モードの液晶表示装置に適用する場合、明副画素と暗副画素の面積比は、図 2 に示すように明副画素（ここでは SP 1）の面積が暗副画素（ここでは SP 2）よりも小さい方が、斜め視角における 特性がより改善されることが特許文献 2 に記載されている。なお、本明細書における「画素」は、液晶表示装置が表示を行う最小単位を指し、カラー表示装置の場合は、個々の色（典型的には R、G または B）を表示する「絵素（またはドット）」に対応する。

30

【0020】

まず、本発明による実施形態の液晶表示装置の画素分割構成を説明する。互いに異なる輝度となる複数の副画素を設けるために種々の構成が提案されているが、本実施形態の液晶表示装置は、特許文献 2 に記載されている画素分割構成を有する VA モードの液晶表示装置である。

【0021】

図 3 に本発明による実施形態の液晶表示装置が有する画素の電気的な構成を模式的に示す。ここでは、2 分割構成を例示するが、これに限られない。

40

【0022】

図 3 に示すように、画素 P は、副画素 SP 1 と副画素 SP 2 とに分割されている。副画素 SP 1 および SP 2 を構成する副画素電極 1 1 a および 1 1 b には、それぞれ対応する TFT 1 4 a、TFT 1 4 b、および補助容量 CS 1、CS 2 が接続されている。TFT 1 4 a および TFT 1 4 b のゲート電極は共通のゲートバスライン（走査線）1 2 に接続され、TFT 1 4 a および TFT 1 4 b のソース電極は共通の（同一の）ソースバスライン（信号線）1 3 に接続されている。補助容量 CS 1 および CS 2 は、それぞれ対応する CS バスライン（補助容量配線）1 5 a および CS バスライン 1 5 b に接続されている。補助容量 CS 1 および CS 2 は、それぞれ副画素電極 1 1 a および 1 1 b に電氣的に接続

50

された補助容量電極と、CSバスライン15aおよび15bに電氣的に接続された補助容量対向電極と、これらの間に設けられた絶縁層（不図示、例えばゲート絶縁膜）によって形成されている。補助容量CS1およびCS2の補助容量対向電極は互いに独立しており、それぞれCSバスライン15aおよび15bから互いに異なる補助容量対向電圧（「CS信号」ともいう。）が供給され得る構造を有している。後に示す例では、CSバスラインの一部が補助容量対向電極を構成する。

【0023】

副画素電極11aおよび副画素電極11bに、共通のソースバスライン13から表示信号電圧が供給され、TF T14aおよびTF T14bがオフ状態とされたあと、補助容量CS1およびCS2の補助容量対向電極の電圧（すなわち、CSバスライン15aまたはCSバスライン15bから供給される電圧）の変化量（変化の方向および大きさによって規定される）を異ならせることによって、それぞれの副画素SP1およびSP2の液晶容量に印加される実効電圧が異なる状態、すなわち、輝度が異なる状態が得られる。この構成を採用すると、1本のソースバスライン13から2つの副画素SP1およびSP2に表示信号電圧を供給することができるので、ソースバスラインの数およびソースドライバの数を増加することなく、副画素SP1およびSP2の輝度を互いに異ならせることができる。

10

【0024】

次に、この液晶表示装置の駆動方法について、図4に示す液晶表示装置の等価回路と各信号の電圧波形（タイミング）を示した図5を用いて説明する。

20

【0025】

図5に示した電圧波形では、副画素SP1が明副画素、副画素SP2が暗副画素となる。Vgはゲート電圧、Vsはソース電圧、Vcs1とVcs2は副画素SP1と副画素SP2のそれぞれの補助容量の電圧、Vlc1とVlc2はそれぞれ副画素SP1と副画素SP2の画素電極の電圧を示す。一般に液晶が分極しないようにフレーム反転、ライン反転、ドット反転といった交流駆動を行う。

【0026】

本実施形態では図5に示すようにnフレーム目にソース電圧の中央値Vscに対して、プラス極性としてソース電圧にVspを与え、次の(n+1)フレーム目にマイナス極性としてソース電圧にVsnを与え、且つ、フレームごとにドット反転駆動を行う。CS1とCS2には、電圧を振幅電圧Vadで振幅させ、CS1とCS2の位相を180度ずらした信号を入力する。

30

【0027】

まず、図5を参照して、nフレーム目のときの各信号の電圧の経時変化を説明する。

【0028】

時刻T1のとき、VgがVgLからVgHに変化し、両副画素のTF TがON状態となり、副画素SP1、副画素SP2および補助容量CS1、CS2にVspの電圧が充電される。

【0029】

時刻T2のとき、VgがVgHからVgLに変化し、両副画素のTF TがOFF状態となり、副画素SP1、副画素SP2と補助容量CS1、CS2がソースバスラインと電氣的に絶縁される。なお、この直後に寄生容量等の影響による引き込み現象のために、副画素SP1と副画素SP2のそれぞれにVd1とVd2の引き込み電圧が発生し、各副画素の電圧は

40

$$V_{lc1} = V_{sp} - V_{d1}$$

$$V_{lc2} = V_{sp} - V_{d2}$$

となる。

【0030】

またこのとき、

$$V_{cs1} = V_{com} - V_{ad}$$

50

$$V_{cs2} = V_{com} + V_{ad}$$

である。

【0031】

なお、引き込み電圧 V_{d1} と V_{d2} は、下記の式のようなになる。

【0032】

$$V_{d1}, V_{d2} = (V_{gH} - V_{gL}) \times C_{gd} / (C_{lc}(V) + C_{gd} + C_{cs})$$

ここで、 V_{gH} と V_{gL} はそれぞれ T F T のゲートオンとゲートオフ時の電圧、 C_{gd} は T F T のゲートとドレインとの間に生じる寄生容量、 $C_{lc}(V)$ は液晶容量の静電容量（容量値）、 C_{cs} は補助容量の静電容量（容量値）を示す。

【0033】

次に時刻 T_3 のとき、CS バスライン CS_1 の電圧 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、CS バスライン CS_2 の電圧、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。このとき各副画素の画素電圧 V_{lc1} と V_{lc2} は、

$$V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$$

となる。ただし、 $K = C_{cs} / (C_{lc}(V) + C_{cs})$ である。

【0034】

時刻 T_4 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化し、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化する。このとき副画素電圧 V_{lc1} と V_{lc2} は、

$$V_{lc1} = V_{sp} - V_{d1}$$

$$V_{lc2} = V_{sp} - V_{d2}$$

となる。

【0035】

時刻 T_5 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ変化し、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ変化する。このとき副画素電圧 V_{lc1} と V_{lc2} は、

$$V_{lc1} = V_{sp} - V_{d1} + 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_{d2} - 2 \times K \times V_{ad}$$

となる。

【0036】

後は、次に $V_g = V_{gH}$ となり書き込みが行われるまで、水平走査期間 $1H$ の整数倍ごとに、 V_{cs1} 、 V_{cs2} と V_{lc1} 、 V_{lc2} は時刻 T_4 と時刻 T_5 を交互に繰り返す。したがって、 V_{lc1} と V_{lc2} の実効値は、

$$V_{lc1} = V_{sp} - V_{d1} + K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_{d2} - K \times V_{ad}$$

となる。

【0037】

n フレーム目において、各副画素の液晶層に印加される実効電圧は、

$$V_1 = V_{sp} - V_{d1} + K \times V_{ad} - V_{com}$$

$$V_2 = V_{sp} - V_{d2} - K \times V_{ad} - V_{com}$$

となるため、副画素 SP_1 が明副画素、副画素 SP_2 が暗副画素となる。

【0038】

次に、 $(n+1)$ フレーム目のときの各信号の電圧の経時変化を説明する。

【0039】

$(n+1)$ フレームでは、極性を反転させるため、 V_s を反転させる。そのため、時刻 T_1 のとき、 V_g が V_{gL} から V_{gH} に変化し、両副画素の T F T が ON 状態となり、補助容量 CS_1 、 CS_2 に V_{sn} の電圧が充電される。

【0040】

時刻 T_2 では、 n フレーム目と同様に両副画素の T F T が OFF 状態となり、この直後

10

20

30

40

50

に副画素SP1と副画素SP2のそれぞれにVd1とVd2の引き込み電圧が発生し、各副画素の電圧は、

$$V_{lc1} = V_{sn} - V_{d1}$$

$$V_{lc2} = V_{sn} - V_{d2}$$

となる。

【0041】

時刻T3のとき、CSバスラインCS1の電圧Vcs1がVcom + VadからVcom - Vadへ変化し、CSバスラインCS2の電圧Vcs2がVcom - VadからVcom + Vadへ変化する。このとき各副画素の画素電圧Vlc1とVlc2は、

$$V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$$

10

となる。

【0042】

時刻T4では、Vcs1がVcom - VadからVcom + Vadへ変化し、Vcs2がVcom + VadからVcom - Vadへ変化する。このとき副画素電圧Vlc1とVlc2は、

$$V_{lc1} = V_{sn} - V_{d1}$$

$$V_{lc2} = V_{sn} - V_{d2}$$

となる。

【0043】

時刻T5では、Vcs1がVcom + VadからVcom - Vadへ変化し、Vcs2がVcom - VadからVcom + Vadへ変化する。このとき副画素電圧Vlc1とVlc2は、

$$V_{lc1} = V_{sn} - V_{d1} - 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sn} - V_{d2} + 2 \times K \times V_{ad}$$

20

となる。

【0044】

後は、nフレームと同様に、Vcs1、Vcs2とVlc1、Vlc2は時刻T4と時刻T5を交互に繰り返す。よって、Vlc1とVlc2の実効値は、

$$V_{lc1} = V_{sn} - V_{d1} - K \times V_{ad}$$

$$V_{lc2} = V_{sn} - V_{d2} + K \times V_{ad}$$

30

となる。

【0045】

(n + 1)フレーム目の各副画素の液晶層に印加される実効電圧は、

$$V_1 = V_{sn} - V_{d1} - K \times V_{ad} - V_{com}$$

$$V_2 = V_{sn} - V_{d2} + K \times V_{ad} - V_{com}$$

となるため、副画素SP1が明副画素、副画素SP2が暗副画素となる。

【0046】

また、特許文献2に記載されている画素分割構成は、図6に模式的に示すように、低階調（低輝度）および高階調（高輝度）の表示においては、明副画素と暗副画素との輝度（すわなち液晶層に印加される実効電圧に対応）の差が殆ど無く、中間調の表示において明副画素と暗副画素との輝度の差が生じ、特に中間調におけるVAモードの特性の視角依存性を効果的に改善する。

40

【0047】

しかしながら、この構成を採用すると上述したように、副画素ごとに独立に表示信号電圧を調整することが出来ないため、両方の副画素について引き込み電圧Vdをキャンセルすることができず、DC電圧が印加されるという問題が発生する。

【0048】

ここで、この現象を少し詳しく説明する。

【0049】

50

引き込み電圧 V_d は下の (1) 式のようになる。ここで、 V_{gH} と V_{gL} はそれぞれ TFT のゲートオンとゲートオフ時の電圧、 C_{gd} は TFT のゲートとドレインとの間に生じる寄生容量、 $C_{lc}(V)$ は液晶容量の静電容量 (容量値)、 C_{cs} は補助容量の静電容量 (容量値) を示す。なお、液晶容量の静電容量 C_{lc} は液晶層に印加する電圧の大きさに依存する。これは誘電異方性を有する液晶分子の配向方向が電圧によって変化するためであり、表示する輝度によって液晶容量の静電容量は異なることになる。一般に、液晶層に印加される電圧が大きい程、液晶層の誘電率は大きくなるので、液晶容量の静電容量が大きくなる。

【0050】

$$V_d = (V_{gH} - V_{gL}) \times C_{gd} / (C_{lc}(V) + C_{gd} + C_{cs}) \quad (1)$$

10

【0051】

式 (1) からわかるように、引き込み電圧 V_d は、液晶容量の静電容量に依存する、すなわち、表示する輝度 (階調) に依存する。

【0052】

V_d が階調によって異なるため、ドレイン電圧の DC レベル (交流駆動する場合の副画素電極の電位の中央値、ドレイン電圧の実効レベルともいう。) も階調によって異なる。従って、全ての階調に対して対向電圧のレベルを一定にすると、液晶層に DC 成分が印加される階調が生じることになる。これを防ぐために、従来から、階調に応じて表示信号電圧 (ソース電圧またはドレイン電圧) の中央値 (それぞれの階調で交流駆動する場合の副画素電極の電位の中央値) をその階調の V_d を補償するように設定し、ドレイン電圧の DC レベルと対向電圧とを略一致させ、液晶層に DC 成分が印加されないようにしているのである。

20

【0053】

しかしながら、上記の画素分割技術を採用すると、副画素 SP1 (ここでは明副画素) と副画素 SP2 (ここでは暗副画素) とで V_d が異なるために、副画素 SP1 のドレイン電圧の DC レベルを対向電圧と一致させると、副画素 SP2 のドレイン電圧の DC レベルは対向電圧と一致せず、副画素 SP2 の液晶層に DC 成分が印加されることになる。このように、少なくとも一方の副画素の液晶層 (および配向膜) に DC 成分が印加され、分極を生じる。その結果として、液晶表示装置の信頼性に問題が生じる。

【0054】

30

次に、各副画素の引き込み電圧 V_d を見積もるために、副画素電極に接続された容量を寄生容量をも考慮して算出する。図 7 (a) および (b) に各副画素電極に接続された各容量とその名称を示し、図 8 に等価回路図を示す。

【0055】

各副画素の副画素電極に接続された寄生容量を考慮し、各副画素の引き込み電圧 V_d を計算すると下記の式 (2) のようになる。式 (2) 中の各パラメータの沿え字 1 および 2 は、それぞれ第 1 副画素 SP1 および第 2 副画素 SP2 に対応することを示す。 C_{gd} は、ゲートとドレイン (副画素電極) 間の寄生容量、 C_{sd} はソースとドレイン (副画素電極) 間の寄生容量 ((自) は当該副画素電極に信号電圧を供給するためのソース (ソースバスライン) を意味し、 (他) は当該副画素電極が属する画素に行方向に隣接する画素に接続されたソースバスラインを意味する。))。

40

【0056】

なお、補助容量 C_{S1} および C_{S2} は、図 7 (a) および (b) に示すように、それぞれ、補助容量対向電極 / 絶縁膜 / 補助容量電極で構成されており、補助容量対向電極は C_{S} バスライン 15a および 15b の一部によって構成され、補助容量電極 16a および 16b はドレイン電極 D1 および D2 の延設部によって構成されている。絶縁膜 17 は、例えば SiN_x などの無機絶縁膜で形成されるゲート絶縁膜である。また、副画素電極 11a および 11b は、それぞれドレイン電極 D1 および D2 に電氣的に接続されており、例えば、それぞれ補助容量電極 16a および 16b に接続される。ここでは、ドレイン電極 D1 および D2、ならびに補助容量電極 16a および 16b を覆う層間絶縁膜 19 上に、

50

副画素電極 11 a および 11 b を設けた構成を採用しており、補助容量電極 16 a および 16 b と副画素電極 11 a および 11 b との電氣的な接続は例えば層間絶縁膜 19 に形成したコンタクトホール（不図示）内で接続される。層間絶縁膜 19 は、透明な感光性樹脂を用いて形成される。

【0057】

このような構成を採用すると、図7(b)に示すように、補助容量電極 16 a と補助容量対向電極 15 a との間に形成される本来の補助容量 C_{cs1} （ここでは $C_{cs1}(D)$ と表記する）に加えて、副画素電極 11 a と補助容量対向電極 15 a との間に寄生容量 $C_{cs1}(B)$ が形成される。補助容量の静電容量を最適化する場合には、 $C_{cs1}(D)$ および $C_{cs1}(B)$ の静電容量を最適化する必要がある。

10

【0058】

$$V_{d1} = (V_{gH} - V_{gL}) \times C_{gd1}(\text{自}) / (C_{lc1}(V) + C_{gd1}(\text{自}) + C_{cs1}(D) + C_{cs1}(B) + C_{sd1}(\text{自}) + C_{sd1}(\text{他}))$$

$$V_{d2} = (V_{gH} - V_{gL}) \times C_{gd2}(\text{自}) / (C_{lc2}(V) + C_{gd2}(\text{自}) + C_{cs2}(D) + C_{cs2}(B) + C_{sd2}(\text{自}) + C_{sd2}(\text{他}))$$

・・・(2)

【0059】

本発明による実施形態の液晶表示装置では、 $V_{d1} = V_{d2}$ となるように、第1副画素の $C_{lc1}(V)$ 、 $C_{gd1}(\text{自})$ 、 $C_{cs1}(D)$ 、 $C_{cs1}(B)$ 、 $C_{sd1}(\text{自})$ 、 $C_{sd1}(\text{他})$ および第2副画素の $C_{lc2}(V)$ 、 $C_{gd2}(\text{自})$ 、 $C_{cs2}(D)$ 、 $C_{cs2}(B)$ 、 $C_{sd2}(\text{自})$ 、 $C_{sd2}(\text{他})$ の少なくとも1つを調整する。なお、本実施形態の液晶表示装置においては、ゲートバスラインは2つの副画素に共通に設けられているので、 $(V_{gH} - V_{gL})$ は等しい。

20

【0060】

ここで、各副画素の液晶層に印加される電圧の違いを見積もる。図9に各副画素にトランジスタを介して供給される表示信号電圧、すなわち上記ソース電圧 V_s に対して前述の K の値 $\times 2$ をプロットしたグラフを示す。 $C_{lc}(V)$ の算出には、一般的な垂直配向用の誘電異方性が負の液晶材料の誘電率を用いた。また、各 C_{cs} の値は、副画素電極に供給されるソース電圧が最大するとき（ここでは $7.0V$ ）の C_{lc} の値の $1/2$ として算出した。もちろん、 C_{cs} と C_{lc} との比率は画素の構造等に依存するが、現在一般的に用いられている液晶表示装置では、 C_{cs}/C_{lc} は、 0.5 以上であり、ここでは最小値として 0.5 を用いた。

30

【0061】

図9から分かるように、ソース電圧が低いときの方が各副画素にかかる電圧の差が大きく、高くなるに従い電圧の差は減少していく。 V_d は K の値が大きいかほど大きいため、ソース電圧が低いときに引き込み電圧 V_d が大きく、 V_{d1} と V_{d2} との差も大きい。従って、ソース電圧が低いとき（ V_A モードでは黒表示時）に V_{d1} と V_{d2} とを略等しくすれば、全ての階調に亘って、 V_{d1} と V_{d2} とを略等しくでき、結果として、 DC 電圧の発生を抑制することが出来る。

【0062】

以下に、本発明による実施形態の液晶表示装置において、 $V_{d1} = V_{d2}$ とするための具体的な例を説明する。

40

【0063】

第1副画素 $SP1$ と第2副画素 $SP2$ との面積比が $1:1$ またはこれに近い場合は、第1副画素（明副画素）の液晶層には第2副画素の液晶層よりも高い実効電圧が印加されるので、上記の式(2)から分かるように、 V_{d1} は V_{d2} よりも小さくなる。従って、上記のパラメータ $C_{lc}(V)$ 、 $C_{gd}(\text{自})$ 、 $C_{cs}(D)$ 、 $C_{cs}(B)$ 、 $C_{sd}(\text{自})$ 、 $C_{sd}(\text{他})$ は、 V_{d1} を大きくするように設定する必要がある。

【0064】

これに対し、特性の視角依存性をさらに改善するために第1副画素（明副画素）の面

50

積を第2副画素(暗副画素)の面積よりも大きく、例えば、第1副画素と第2副画素との面積比を1:3以上に設定すると、 C_{1c1} が C_{1c2} よりも小さくなる結果、 V_{d1} が V_{d2} よりも大きくなる。この場合には、上記のパラメータ $C_{1c}(V)$ 、 $C_{gd}(自)$ 、 $C_{cs}(D)$ 、 $C_{cs}(B)$ 、 $C_{sd}(自)$ 、 $C_{sd}(他)$ は、 V_{d1} を小さくするように設定する必要がある。

【0065】

ここでは、第1副画素と第2副画素との面積比を約1:3に設定した場合に、 V_{d1} を小さくするための構成を説明する。なお、 V_{d1} を小さくする代わりに V_{d2} を大きくする、あるいは V_{d1} を小さくするとともに V_{d2} を大きくしてもよい。ここで、 V_{d1} を小さくする(または大きくする)とは、 V_{d1} を調節することを考慮しない設計を基準とする。

10

【0066】

V_{d1} を小さくするためには、上記式(2)から分かるように、分子の C_{gd1} を小さくする、あるいは、分母の $C_{1c1}(V)$ 、 $C_{cs1}(D)$ 、 $C_{cs1}(B)$ 、 $C_{sd1}(自)$ および $C_{sd1}(他)$ の少なくとも1つを大きくすればよい。

【0067】

C_{gd1} を小さくするためには、例えば、図10に示すように、第1副画素 $SP1$ のトランジスタ($TFT1$)のドレイン(ドレイン電極)がゲート電極(ゲートバスライン)と重なる面積 S_1 が、第2副画素 $SP2$ のトランジスタ($TFT2$)のドレインがゲートバスラインと重なる面積 S_2 よりも小さくされている。図10(a)は本実施形態の液晶表示装置の画素構成を模式的に示す平面図であり、(b)はその TFT 近傍の構造を模式的に示す平面図である。

20

【0068】

図10に示したように、 $TFT14a$ のドレイン(ドレイン電極)の面積を小さくすることによって、トランジスタ特性を $TFT14a$ と $TFT14b$ とで違えることなく、 V_{d1} と V_{d2} とを等しくすることができる。なお、ここで、ゲート電極、ソース電極およびドレイン電極などは、それぞれの電極と同じ電位になるものを含んでおり、ゲート電極はゲートバスラインを含み、ソース電極はソースバスラインを含み、ドレイン電極は副画素電極を含む。また、 TFT を構成する半導体層が各電極と同じ電位となる領域(例えば n^+ 層)を有する場合はこれらを含む。

30

【0069】

図11に、本実施形態の他の液晶表示装置の画素構成を模式的に示す。図11に示した例では、 $TFT14a$ に接続されたソースバスラインと第1副画素電極 $11a$ との重なる面積を大きくすることによって、寄生容量 $C_{sd1}(自)$ を大きくし、そのことによって、 V_{d1} と V_{d2} とを等しくしている。勿論、寄生容量 $C_{sd2}(自)$ を小さくしても良いし、併用しても良い。

【0070】

図12に、本実施形態のさらに他の液晶表示装置の画素構成を模式的に示す。図12に示した例では、 $TFT14a$ の隣の列の TFT に接続されたソースバスライン(行方向に隣接する画素に接続されているソースバスライン)と第1副画素電極 $11a$ との重なる面積を大きくすることによって、寄生容量 $C_{sd1}(他)$ を大きくし、そのことによって、 V_{d1} と V_{d2} とを等しくしている。勿論、寄生容量 $C_{sd2}(他)$ を小さくしても良いし、併用しても良い。

40

【0071】

図13に、本実施形態のさらに他の液晶表示装置の画素構成を模式的に示す。図13に示した例では、第1副画素 $SP1$ の補助容量の静電容量 $C_{cs1}(C_{cs1}(D))$ および $C_{cs1}(B)$ の少なくとも一方)を大きくすることによって、 V_{d1} と V_{d2} とを等しくしている。例えば、 CS バスラインが副画素電極と重なる面積を変えることによって、 $C_{cs1}(B)$ だけを変えることができる。勿論、第2副画素 $SP2$ の補助容量の静電容量 $C_{cs2}(C_{cs2}(D))$ および $C_{cs2}(B)$ の少なくとも一方)を小さくしても良

50

いし、併用しても良い。

【0072】

図14に、本実施形態のさらに他の液晶表示装置の画素構成を模式的に示す。図14に示した例では、第1副画素SP1の液晶層の厚さ d_1 を小さくすることによって、 $C_{lc1}(V)$ を大きくし、そのことによって、 V_{d1} と V_{d2} とを等しくしている。勿論、 $C_{lc2}(V)$ を小さくしても良いし、併用しても良い。

【0073】

液晶容量 C_{lc} は、液晶層の誘電率および電極面積（副画素の面積）に比例し、液晶層の厚さに反比例するので、液晶層の誘電率を変えてもよい。

【0074】

図10から図14を参照しながら説明した構成は、それぞれ単独で用いても良く、これらから選択される2以上の任意の構成を適宜組み合わせても良い。

【0075】

ここでは、 V_{d1} を小さくするための構成を説明したが、逆に、 V_{d1} を大きくするための構成は、第1副画素の $C_{lc1}(V)$ 、 $C_{gd1}(自)$ 、 $C_{cs1}(D)$ 、 $C_{cs1}(B)$ 、 $C_{sd1}(自)$ 、 $C_{sd1}(他)$ および第2副画素の $C_{lc2}(V)$ 、 $C_{gd2}(自)$ 、 $C_{cs2}(D)$ 、 $C_{cs2}(B)$ 、 $C_{sd2}(自)$ 、 $C_{sd2}(他)$ の少なくとも1つを上記の説明と逆の関係となるようにすればよいので、説明を省略する。

【産業上の利用可能性】

【0076】

本発明によると、画素分割技術を適用することによって、特性の視野角依存性が改善されたVAモードの液晶表示装置の信頼性を向上することができる。本発明の液晶表示装置は、特に大型の液晶テレビに好適に用いられる。

【図面の簡単な説明】

【0077】

【図1】(a)は、本発明による実施形態の液晶表示装置が有する画素分割構造を示す模式図であり、(b)は通常の画素を示す模式図である。

【図2】明副画素(SP1)の面積が暗副画素(SP2)よりも小さい方が、斜め視角における特性がより改善されることを説明するための模式図である。

【図3】本発明による実施形態の液晶表示装置が有する画素の電氣的な構成を模式的に示す図である。

【図4】本発明による実施形態の液晶表示装置の等価回路を示す図である。

【図5】図4に示した液晶表示装置を駆動する各信号の電圧波形およびタイミングを示す図である。

【図6】第1副画素（明副画素）と第2副画素（暗副画素）との輝度差の階調依存性を説明するための模式図である。

【図7】本発明による実施形態の液晶表示装置における各副画素電極に接続された容量と名称を示す図であり、(a)は平面図、(b)は(a)中の7b-7b'線に沿った断面図である。

【図8】本発明による実施形態の液晶表示装置の寄生容量を含む等価回路図である。

【図9】各副画素に供給されるソース電圧に対して前述の $K(=C_{cs}/(C_{lc}(V)+C_{cs}))$ の値 $\times 2$ をプロットしたグラフである。

【図10】(a)は本発明による実施形態の液晶表示装置の画素構成を模式的に示す平面図であり、(b)はそのTF T近傍の構造を模式的に示す平面図である。

【図11】本発明による実施形態の他の液晶表示装置の画素構成を模式的に示す図である。

【図12】本発明による実施形態のさらに他の液晶表示装置の画素構成を模式的に示す図である。

【図13】本発明による実施形態のさらに他の液晶表示装置の画素構成を模式的に示す図である。

10

20

30

40

50

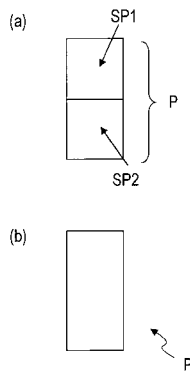
【図14】本発明による実施形態のさらに他の液晶表示装置の画素構成を模式的に示す図であり、(a)は平面図であり、(b)は断面図である。

【符号の説明】

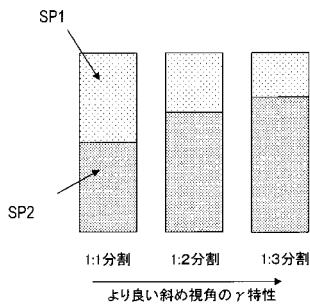
【0078】

- 11a、11b 画素電極
- 12 ゲートバスライン(走査線)
- 13 ソースバスライン(信号線)
- 14a、14b TFT
- 15a、15b CSバスライン(補助容量配線、補助容量対向電極)
- 16a、16b 補助容量電極
- 17 絶縁膜
- 19 層間絶縁膜
- SP1 第1副画素(明副画素)
- SP2 第2副画素(暗副画素)
- D1 TFT14aのドレイン電極
- D2 TFT14bのドレイン電極

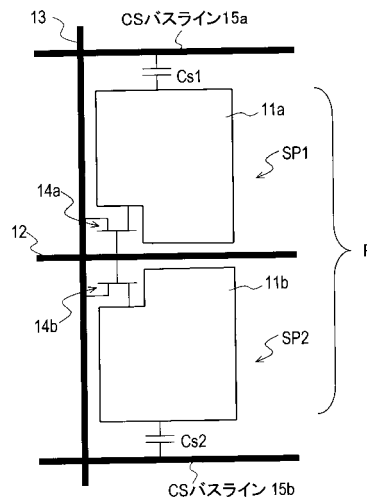
【図1】



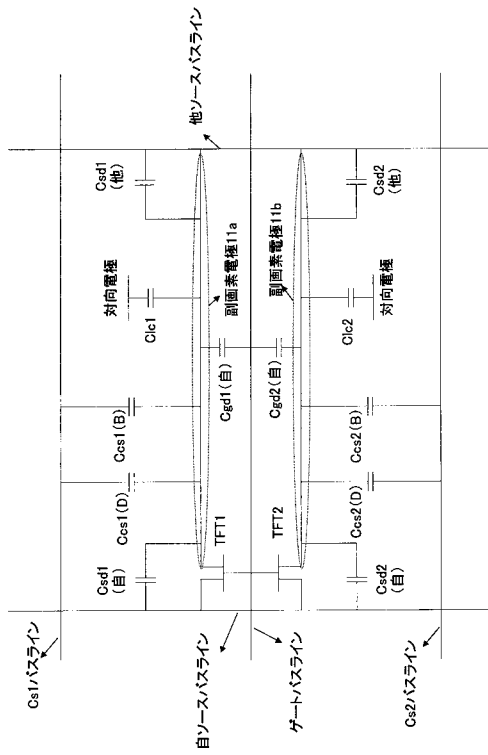
【図2】



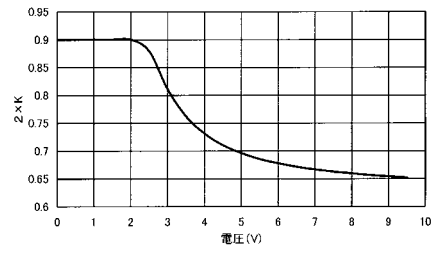
【図3】



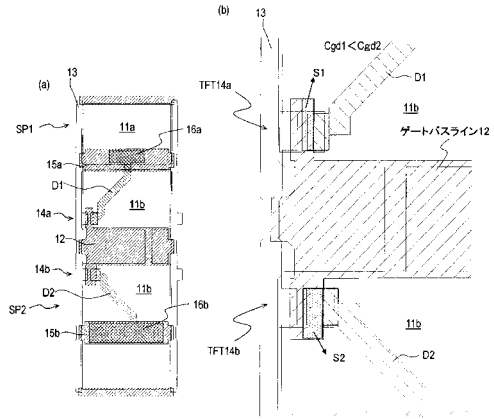
【図8】



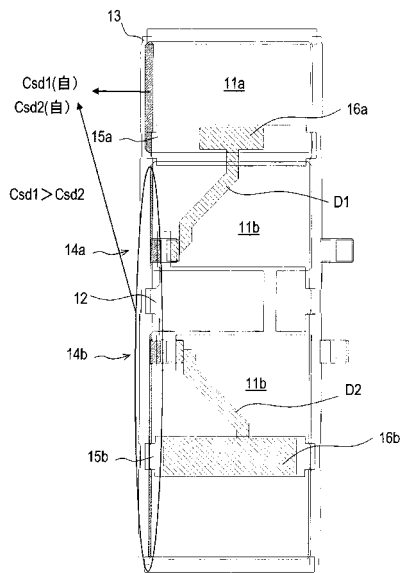
【図9】



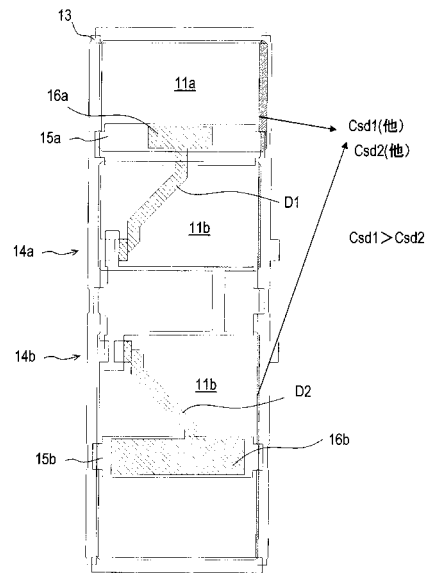
【図10】



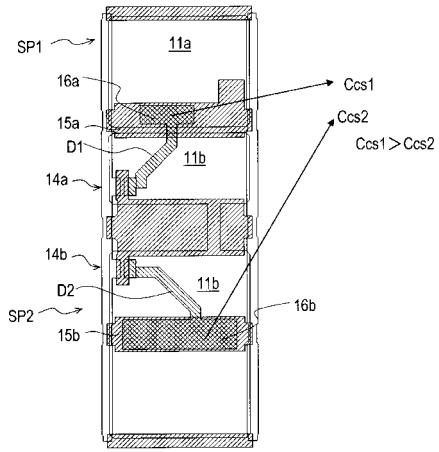
【図11】



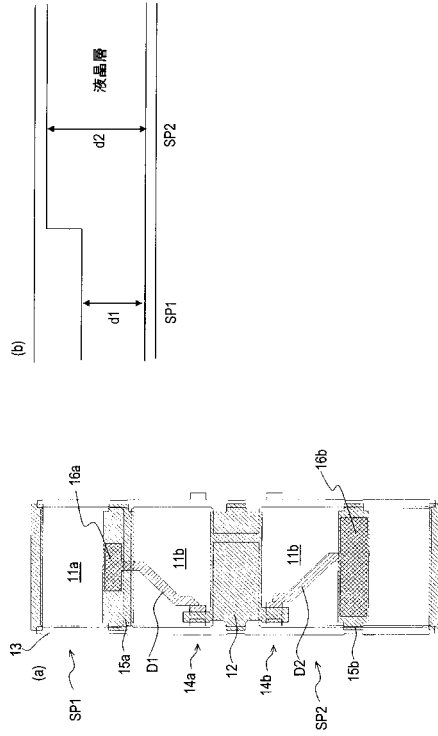
【図12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 8 0 H

G 0 9 G 3/36

(56)参考文献 特開2004-062146(JP,A)

特開2005-316211(JP,A)

特開2005-292397(JP,A)

特開2004-004590(JP,A)

特開2004-163943(JP,A)

特開2002-297100(JP,A)

特開2006-039290(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP4592384B2	公开(公告)日	2010-12-01
申请号	JP2004309837	申请日	2004-10-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	秋山泰人		
发明人	秋山 泰人		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
FI分类号	G02F1/1343 G02F1/133.525 G02F1/133.550 G02F1/133.575 G02F1/1368 G09G3/20.624.B G09G3/20.680.H G09G3/36		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/HA04 2H092/JA24 2H092/JB05 2H092/JB13 2H092/JB23 2H092/JB42 2H092/JB46 2H092/JB63 2H092/JB64 2H092/JB69 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NA54 2H093/NC09 2H093/NC11 2H093/NC21 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC49 2H093/ND06 2H093/ND13 2H093/ND58 2H093/NE01 2H093/NE02 2H093/NE03 2H093/NE04 2H093/NE10 2H093/NF04 2H093/NH04 2H093/NH12 2H093/NH18 2H192/AA24 2H192/AA45 2H192/BC26 2H192/BC31 2H192/DA12 2H192/DA43 2H192/DA65 2H192/DA74 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB14 2H193/ZD23 2H193/ZD24 2H193/ZH40 2H193/ZP01 2H193/ZP02 2H193/ZP03 2H193/ZP04 2H193/ZP20 5C006/AC25 5C006/AF42 5C006/BA19 5C006/BB16 5C006/BC06 5C006/BC08 5C006/FA26 5C006/FA38 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD29 5C080/FF07 5C080/FF11 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	奥田诚治		
其他公开文献	JP2006119539A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高具有像素分割结构的液晶显示装置的可靠性。解决方案：液晶显示装置具有液晶层，向液晶层施加电压的多个电极，以及亮度根据通过晶体管提供的显示信号电压而变化的像素，其中像素具有第一子像素SP1成为朝向所提供的特定显示信号电压的第一亮度值，第二子像素SP2成为低于第一亮度值的第二亮度值。使第一子像素SP1的牵引电压Vd1和第二子像素SP2的牵引电压Vd2彼此几乎相等。例如，在第一和第二子像素中，晶体管的漏极与栅极总线重叠的区域 (S1和S2) 是不同的。Z

3】

