

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4472155号
(P4472155)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

GO9G 3/36
 GO2F 1/133 525
 GO2F 1/133 550
 GO2F 1/133 575
 GO9G 3/20 611A

請求項の数 8 (全 12 頁) 最終頁に続く

(21) 出願番号

特願2000-333517 (P2000-333517)

(22) 出願日

平成12年10月31日 (2000.10.31)

(65) 公開番号

特開2002-140045 (P2002-140045A)

(43) 公開日

平成14年5月17日 (2002.5.17)

審査請求日

平成18年8月18日 (2006.8.18)

(73) 特許権者 308014341

富士通マイクロエレクトロニクス株式会社
神奈川県横浜市港北区新横浜二丁目10番
23

(74) 代理人 100092587

弁理士 松本 真吉

(72) 発明者 鶴戸 真也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 國分 政利

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置用データドライバ

(57) 【特許請求の範囲】

【請求項 1】

アナログ階調電圧を出力する電圧バッファ增幅回路を備え、3つの表示色における同一表示色に関する隣り合うデータバスライン間では極性が逆になるように該アナログ階調電圧を該データバスラインに印加する液晶表示装置用データドライバにおいて、

該同一表示色に関する隣り合うデータバスライン間に間欠的に接続された短絡スイッチ素子と、

該電圧バッファ增幅回路の出力又は該電圧バッファ增幅回路と該データバスラインとの間がハイインピーダンス状態の時に該短絡スイッチ素子をオンにする制御回路と、

を有し、該短絡スイッチ素子を接続する第1行の配線と第2行の配線とが、該3つの表示色のうちいずれか1つに各々が対応する複数のデータバスラインに対して、交互に配置されていることを特徴とする液晶表示装置用データドライバ。

【請求項 2】

上記短絡スイッチ素子は、上記第1行と上記第2行の各々について、隣り合う第1及び第2の短絡スイッチ素子の一端がそれぞれ隣り合う第1及び第2のデータバスラインに接続されていることを特徴とする請求項1に記載の液晶表示装置用データドライバ。

【請求項 3】

上記短絡スイッチ素子は、上記データバスラインの1つおきにその一方側に形成されていることを特徴とする請求項2に記載の液晶表示装置用データドライバ。

【請求項 4】

10

20

上記短絡スイッチ素子の各々は、第3行に形成されたN M O Sトランジスタと第4行に形成されたP M O Sトランジスタとが並列接続されたものであることを特徴とする請求項3に記載の液晶表示装置用データドライバ。

【請求項5】

上記第1及び第2行の配線は、上記第3及び第4行のトランジスタの間の領域であることを特徴とする請求項4に記載の液晶表示装置用データドライバ。

【請求項6】

複数のデータバスラインと複数の走査バスラインとを有する液晶表示パネルと、該複数の走査バスラインに接続された走査駆動回路と、

アナログ階調電圧を出力する電圧バッファ增幅回路を備え、3つの表示色における同一表示色に関する隣り合うデータバスライン間では極性が逆になるように該アナログ階調電圧を該データバスラインに印加する液晶表示装置用データドライバと、 10

を有し、該液晶表示装置用データドライバはさらに、該同一表示色に関する隣り合うデータバスライン間に間欠的に接続された短絡スイッチ素子と、該電圧バッファ增幅回路の出力又は該電圧バッファ增幅回路と該データバスラインとの間がハイインピーダンス状態の時に該短絡スイッチ素子をオンにする制御回路とを備え、

該短絡スイッチ素子を接続する第1行の配線と第2行の配線とが、該3つの表示色のうちいずれか1つに各々が対応する複数のデータバスラインに対して、交互に配置されていることを特徴とする液晶表示装置。

【請求項7】 20

上記短絡スイッチ素子は、上記第1行と上記第2行の各々について、隣り合う第1及び第2の短絡スイッチ素子の一端がそれぞれ隣り合う第1及び第2のデータバスラインに接続されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】

上記短絡スイッチ素子は、上記データバスラインの1つおきにその一方側に形成されていることを特徴とする請求項7に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ階調電圧を出力する電圧バッファ增幅回路を備え、同一表示色に関する隣り合うデータバスライン間で極性が逆になるように該アナログ階調電圧を該データバスラインに印加する液晶表示装置用データドライバに係り、特にドット反転駆動方式の液晶表示装置に用いられるデータドライバに関する。 30

【0002】

【従来の技術】

図8は、液晶表示パネルのデータバスラインに接続される従来のデータドライバ10Xの出力段を示す。

【0003】

データドライバ10Xの電圧バッファアンプB1～B12は、電圧ホロアであり、これらの出力端はそれぞれ液晶表示パネルのデータバスラインD1～D12に接続されている。データドライバ10Xは、ドットライン駆動方式である。すなわち、隣り合うデータバスライン間で極性が逆になり、かつ、各データバスラインについて1水平期間毎に極性が逆になるように、表示データに応じたアナログ階調電圧が電圧バッファアンプB1～B12から出力される。ドット反転駆動方式によれば、データバスラインと走査バスラインのクロス容量に起因する画素電極の電位変動が相殺され、また、対向電極のコモン電位が安定するので、フリッカが軽減される。 40

【0004】

しかし、電圧バッファアンプB1～B12の充放電電流が大きいので、消費電力が増大する。

【0005】

10

20

30

40

50

そこで、データバスラインに蓄積された電荷を有効利用して消費電力を低減するために、データバスライン D 1 ~ D 12 とコモンライン C L との間にそれぞれ短絡スイッチ素子 S 1 ~ S 12 が接続されている。水平プランキング期間において電圧バッファアンプ B 1 ~ B 12 の出力がハイインピーダンス状態にされ、この時、短絡スイッチ素子 S 1 ~ S 12 が同時にオンにされる。これにより、データバスライン D 1 ~ D 12 の電位が、液晶表示パネルの対向べた電極のコモン電位にほぼ等しくなるので、電圧バッファアンプ B 1 ~ B 12 の消費電流を半減することができる。

【 0 0 0 6 】

しかしながら、電圧バッファアンプの各々に短絡スイッチ素子を備える必要があるので、データドライバ 10 X の面積が増大し、データバスラインの高密度化が妨げられる。 10

【 0 0 0 7 】

図 9 は、特開平 10 - 282940 に開示されたドット反転駆動方式のデータドライバ 10 Y を示す。

【 0 0 0 8 】

この回路では、隣り合うバスライン間の 1 つおきに短絡スイッチ素子 S 1 ~ S 9 が接続されている。この回路によれば、短絡スイッチ素子の数が図 8 のそれの半分になるので、上記問題が解決される。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

しかし、隣り合うバスラインには異なる色信号が供給されるので、相関がなく、データバスラインに蓄積された電荷の利用効率が良くない。例えば、ある水平期間においてデータバスライン D 1 ~ D 6 の電位が図 10 に示すようになり、次の水平プランキング期間で短絡スイッチ素子 S 1、S 3 及び S 5 がオンになると、これらの電位は図 11 に示す如くなつて、対向電極のコモン電位 V COM との間に差が生じ、図 8 の場合よりもデータドライバ 10 Y の消費電力が増大する。また、コモン電位 V COM が変動してフリッカが生ずる原因となる。 20

【 0 0 1 0 】

本発明の目的は、上記問題点に鑑み、回路面積の増大を抑制することができると共に、消費電力を低減し且つフリッカを軽減することが可能な液晶表示装置用データドライバを提供することにある。 30

【 0 0 1 1 】

【 課題を解決するための手段及びその作用効果 】

本発明による液晶表示装置用データドライバの第 1 様様では、同一表示色に関する隣り合うデータバスライン間に間欠的に短絡スイッチ素子が接続され、電圧バッファ增幅回路の出力又は該電圧バッファ增幅回路と該データバスラインとの間がハイインピーダンス状態の時に該短絡スイッチ素子がオンにされる。

【 0 0 1 2 】

隣り合う同一色の画素データ信号は、逆極性であり、絶対値がほぼ同一である確率が高い。特に背景画像の領域でこの確率が高い。したがって、この液晶表示装置用データドライバによれば、短絡スイッチ素子のオンによりデータバスラインの電位が液晶表示パネルの対向電極のコモン電位にほぼ等しくなり、電圧バッファアンプの消費電流を、隣り合うデータバスライン間に間欠的に短絡スイッチ素子を接続した場合よりも低減することができる。 40

【 0 0 1 3 】

また、該コモン電位が安定するので、隣り合うデータバスライン間に間欠的に短絡スイッチ素子を接続した場合よりもフリッカが軽減して画質が向上する。

【 0 0 1 4 】

さらに、短絡スイッチ素子の数が、隣り合うデータバスライン間に短絡スイッチ素子を接続した場合よりも少ないので、データドライバの回路面積を低減することができる。 50

【0015】

本発明による液晶表示装置用データドライバの第2態様では、上記第1態様において、上記短絡スイッチ素子を接続する第1行の配線と第2行の配線とが交互に配置されている。

【0016】

この液晶表示装置用データドライバによれば、短絡スイッチ素子及びその配線の密度がほぼ一様になるように配置されるので、データドライバの回路面積をさらに狭くし、且つ、データバスラインをより高密度化することができる。

【0017】

本発明による液晶表示装置用データドライバの第3態様では、上記第2態様において、上記短絡スイッチ素子が上記データバスラインの1つおきにその一方側に形成されている。

10

【0018】

この液晶表示装置用データドライバによれば、上記効果がさらに高められる。

【0019】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【0021】

[第1実施形態]

20

図1は、本発明の第1実施形態の液晶表示装置の概略構成を示す。図1では簡単化のために、液晶表示パネル11の画素配列が4行6列の場合を示している。

【0022】

液晶表示パネル11では、不図示の1対のガラス基板が対向して配置され、その間に液晶が封入されている。その一方のガラス基板上には、画素電極がマトリックス状に配列され、各画素について薄膜トランジスタが形成され、第1～4行の薄膜トランジスタに対しそれぞれ走査バスライン(ゲートライン)G1～G4が形成され、第1～6列の薄膜トランジスタに対しそれぞれデータバスラインD1～D6が形成され、走査バスラインG1～G4とデータバスラインD1～D6とが絶縁膜を介し交差している。他方のガラス基板上には、全画素に共通の透明べた電極が形成され、これにコモン電位VCOMが印加される。例えば第1行第1列の液晶画素C11については、その画素電極とデータバスラインD1との間に薄膜トランジスタT11が接続され、薄膜トランジスタT11のゲートが走査バスラインG1に接続され、液晶画素C11の対向電極にコモン電位VCOMが印加される。

30

【0023】

液晶表示パネル11のデータバスラインD1～D6はデータドライバ10の出力端子に接続され、液晶表示パネル11の走査バスラインG1～G4は走査ドライバ12の出力端子に接続されている。

【0024】

制御回路13は、供給されるビデオ信号VS、ピクセルクロックCLK、水平同期信号HSYNC及び垂直同期信号VSYNCに基づき、タイミング信号を生成してデータドライバ10及び走査ドライバ12に供給すると共に、データドライバ10にビデオ信号を供給する。

40

【0025】

走査ドライバ12により走査バスラインG1～G4が線順次に活性化され、選択行の画素の信号電荷がデータドライバ10により更新される。データドライバ10は、データバスラインD1～D6へ表示データ信号を同時に供給し、これを1水平期間毎に更新する。

【0026】

データドライバ10は、ドット反転駆動方式である。すなわち、隣り合うデータバスライン間で極性が逆になり、かつ、各データバスラインについて1水平期間毎に極性が逆にな

50

るよう、表示データに応じたアナログ階調電圧がデータドライバ10から出力される。図2(A)及び図2(B)はそれぞれ、奇数フレーム及び偶数フレームの画素電圧極性分布を示す。

【0027】

図3は、データドライバ10の出力段の構成を示す。データバスラインの本数は実際には、例えば $1024 \times 3 = 3072$ であり、図3ではそのうちデータバスラインD1～D12のみ示す。

【0028】

液晶表示パネル11上のデータバスラインD1～D12はそれぞれ、データドライバ10の、電圧ホロアで構成された電圧バッファアンプB1～B12の出力端子に接続されている。赤(R)、緑(G)及び青(B)色信号のデータバスラインはいずれも、3つおきに配置されている。

【0029】

短絡スイッチ素子S1は、同一表示色に関する隣合うデータバスライン間の1つおきに接続されている。すなわち、隣り合うRのデータバスラインD1とD4との間に短絡スイッチ素子S1が接続され、その次に隣り合うRのデータバスラインD4とD7との間には短絡スイッチ素子が接続されず、次に隣り合うRのデータバスラインD7とD10との間に短絡スイッチ素子S7が接続されている。同様に、隣り合うGのデータバスラインD2とD5との間に短絡スイッチ素子S2が接続され、隣り合うGのデータバスラインD8とD11との間に短絡スイッチ素子S8が接続されている。また、隣り合うBのデータバスラインD3とD6との間に短絡スイッチ素子S3が接続され、隣り合うBのデータバスラインD9とD12との間に短絡スイッチ素子S9が接続されている。

【0030】

制御回路13は、各水平プランキング期間において、電圧バッファアンプB1～B12の出力をハイインピーダンス状態にし、この時、短絡スイッチ素子S1～S3及びS7～S9を同時にオンにする。

【0031】

隣り合う同一色の画素データ信号は、逆極性であり、絶対値がほぼ同一である確率が高い。特に背景画像の領域でこの確率が高い。これにより、データバスラインD1～D12の電位がほぼコモン電位VCOMとなるので、電圧バッファアンプB1～B12の消費電流を、短絡スイッチ素子が無い場合のほぼ半分に減ずることができる。また、対向電極のコモン電位VCOMが安定して、フリッカが図9の場合よりも軽減する。さらに、短絡スイッチ素子の数が図8の場合の半分であるので、データドライバ10の回路面積を低減することができる。

【0032】

[第2実施形態]

図4は、本発明の第2実施形態のデータドライバ10Aの出力段構成を示す。

【0033】

この回路では、短絡スイッチ素子を接続する第1行の配線L1～L3と第2行の配線L4～L6とが交互に配置されている。

【0034】

また、第1行と第2行の各々について、隣り合う短絡スイッチ素子S1の一端がそれぞれ隣り合うデータバスラインに接続されている。すなわち、短絡スイッチ素子S1とS5の一端がそれぞれデータバスラインD4とD5に接続され、短絡スイッチ素子S5とS9の一端がそれぞれデータバスラインD8とD9に接続され、短絡スイッチ素子S3とS7の一端がそれぞれデータバスラインD6とD7に接続され、短絡スイッチ素子S7とS11の一端がそれぞれデータバスラインD10とD11に接続されている。

【0035】

短絡スイッチ素子S1、S3、S5、S7、S9及びS11は、制御回路13により上記第1実施形態と同様に制御される。

10

20

30

40

50

【0036】

本第2実施形態によれば、上記第1実施形態と同じ効果が得られる。さらに、短絡スイッチ素子の配線が第1行と第2行のみに、配線密度がほぼ一様になるように配置され、短絡スイッチ素子の配置密度もほぼ一様であるので、データドライバ10Aの面積を図3の場合よりも狭くし、且つ、データバスラインD1～D12をより高密度化することができる。

【0037】

[第3実施形態]

図5は、本発明の第3実施形態のデータドライバ10Bの一部を示す。

【0038】

正極性電圧バッファアンプPB1～PB3は、コモン電位VCOM(例えば5V)よりも高い(H側)電圧を出力するためのものであり、負極性電圧バッファアンプNB1～NB3はコモン電位VCOMよりも低い(L側)電圧を出力するためのものである。このように電圧バッファアンプをH側用とL側用とに分けているのは、出力振幅を狭くしてその構成を簡単化するためである。

【0039】

正極性電圧バッファアンプPB1と負極性電圧バッファアンプNB1の出力を水平期間(1H)毎に切り換えて出力端子T1とT2に供給するために、正極性電圧バッファアンプPB1の出力端と出力端子T1及びT2との間にそれぞれ転送ゲートP1及びP2が接続され、負極性電圧バッファアンプNB1の出力端と出力端子T1及びT2との間にそれぞれ転送ゲートN1及びN2が接続されている。転送ゲートP1、P2、N1及びN2が1組の切換スイッチを構成している。他の電圧バッファアンプと出力端子との間の切換スイッチについても同様である。これら切換スイッチと出力端子T1～T6との間の配線には、図4の場合と同様に、短絡スイッチ素子S1、S4及びS5が接続されている。

【0040】

図5中の点線より下側の回路20のパターンを図6に示す。図6中の電極A～F、I～T及びU～Wは、図5中の同じ符号の位置に対応している。

【0041】

図5中の各転送ゲートは、PMOSトランジスタとNMOSトランジスタとが並列接続された構成であり、PMOSトランジスタは領域21に形成され、NMOSトランジスタは領域22に形成されている。

【0042】

例えば転送ゲートP1のPMOSトランジスタは、電極AとIとその間の黒線で示すゲートとを有し、転送ゲートN1のPMOSトランジスタは、電極AとJとその間の黒線で示すゲートとを有している。転送ゲートP1及びN1のNMOSトランジスタは、NMOSトランジスタ領域22のこれらに対応する部分を有する。

【0043】

短絡スイッチ素子S1のPMOSトランジスタは、電極AとUとその間の黒線で示すゲートとを有し、短絡スイッチ素子S3のPMOSトランジスタは、電極CとVとその間の黒線で示すゲートとを有し、短絡スイッチ素子S5のPMOSトランジスタは、電極EとWとその間の黒線で示すゲートとを有し、短絡スイッチ素子S1、S3及びS5のNMOSトランジスタは、NMOSトランジスタ領域22のこれらに対応する部分を有する。電極Uは、第1行の配線L1により、電極Dに接続され、電極Vは、第2行の配線L4により電極Fに接続され、電極Wは、第1行の配線L5に接続されている。

【0044】

短絡スイッチ素子がデータバスラインの1つおきにその一方側に形成され、短絡スイッチ素子を接続する配線L1、L4及びL5が、PMOSトランジスタ領域21とNMOSトランジスタ領域22の間の第1行と第2行のみに、配線密度がほぼ一様になるように配置されているので、回路20の面積を狭くし且つデータバスラインの一部である出力端子T1～T6を高密度化することができる。

10

20

30

40

50

【0045】

図5に戻って、正極性電圧セレクタP S 1～P S 3はそれぞれ、レジスタR 1、R 3及びレジスタR 5の出力値に応じて正極性階調電圧V P 3 1～V P 0の1つを選択し、正極性電圧バッファアンプP B 1～P B 3に供給する。同様に、負極性電圧セレクタN S 1～N S 3はそれぞれ、レジスタR 2、R 4及びレジスタR 6の出力値に応じて負極性階調電圧V N 3 1～V N 0の1つを選択し、負極性電圧バッファアンプN B 1～N B 3に供給する。レジスタR 1～R 6のクロック入力端には、ラッチ信号L Tが供給される。

【0046】

図7は、図5の出力段の動作を示す波形図である。

【0047】

ラッチ信号L Tは1H毎のパルスであり、このパルスの立ち上がりでレジスタR 1～R 6に画素データがラッチされる。ラッチ信号L Tのパルス期間では、転送ゲートP 1～P 6及びN 1～N 6がオフであり、電圧バッファアンプと出力端子との間がハイインピーダンス状態になる。この時、短絡スイッチ素子S 1、S 3及びS 5がオンになって、短絡スイッチ素子で接続された端子の電圧が平均化される。

【0048】

なお、本発明には外にも種々の変形例が含まれる。例えば、電圧バッファアンプはソースホロア回路であってもよい。また、データドライバは、薄膜トランジスタを用いて液晶表示パネルと一体的に形成したものであってもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態の液晶表示装置の概略構成を示す回路図である。

【図2】(A)及び(B)はそれぞれ奇数フレーム及び偶数フレームの画素電圧極性分布を示す図である。

【図3】図1中のデータドライバの出力段を示す回路図である。

【図4】本発明の第2実施形態のデータドライバの出力段を示す回路図である。

【図5】本発明の第3実施形態のデータドライバの一部を示す回路図である。

【図6】図5中の点線より下側の回路のレイアウト図である。

【図7】図5の出力段の動作を示す波形図である。

【図8】液晶表示パネルのデータバスラインに接続される従来のデータドライバの出力段を示す回路図である。

【図9】従来の他のデータドライバの出力段を示す回路図である。

【図10】ある水平期間における図9中のデータバスラインD 1～D 6の電位説明図である。

【図11】図10の状態からデータバスライン間短絡スイッチ素子がオンになった後のデータバスラインD 1～D 6の電位説明図である。

【符号の説明】

1 0、1 0 A、1 0 B、1 0 X、1 0 Y データドライバ

1 1 液晶表示パネル

1 2 走査ドライバ

1 3 制御回路

2 0 回路

2 1 PMOSトランジスタ領域

2 2 NMOSトランジスタ領域

T 1 1 薄膜トランジスタ

C 1 1 液晶画素

D 1～D 6 データバスライン

G 1～G 4 走査バスライン

V COM コモン電位

B 1～B 9、B 1 0～B 1 2 電圧バッファアンプ

S 1～S 9、S 1 0～S 1 2 短絡スイッチ素子

10

20

30

40

50

R 1 ~ R 6 レジスタ

P S 1 ~ P S 3 正極性電圧セレクタ

N S 1 ~ N S 3 負極性電圧セレクタ

P B 1 ~ P B 3 正極性電圧バッファアンプ

N B 1 ~ N B 3 負極性電圧バッファアンプ

P 1 ~ P 6, N 1 ~ N 6 転送ゲート

T 1 ~ T 6 出力端子

L T ラッチ信号

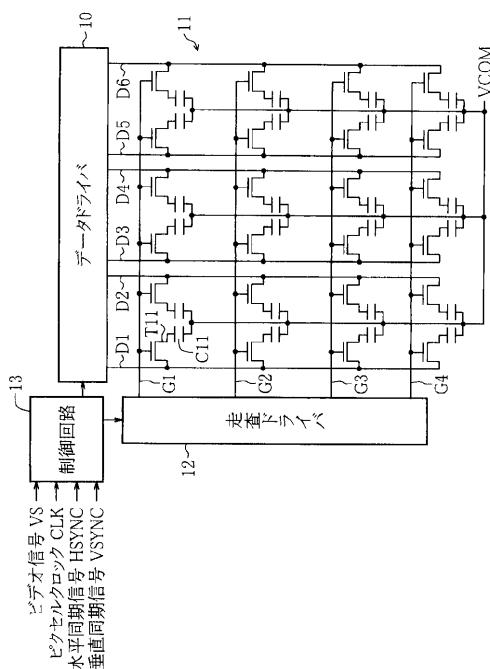
V P 3 1, V N 3 1 階調電圧

A ~ F, I ~ T, U ~ W 電極

10

【図1】

本発明の第1実施形態の液晶表示装置の概略構成を示す回路図



【図2】

(A) 及び (B) はそれぞれ奇数フレーム及び偶数フレームの画素電圧極性分布を示す図

(A)

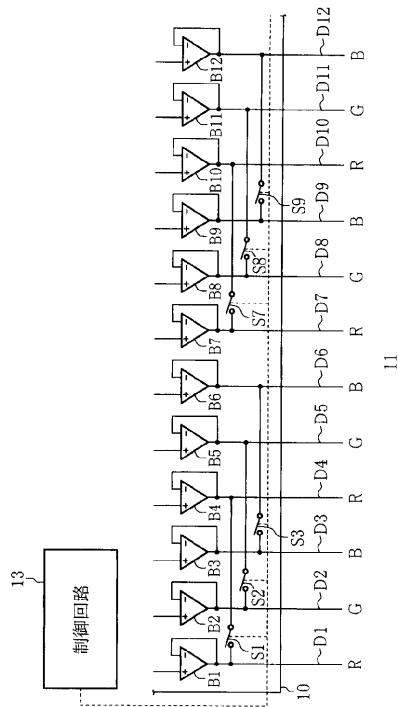
+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+

(B)

-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-

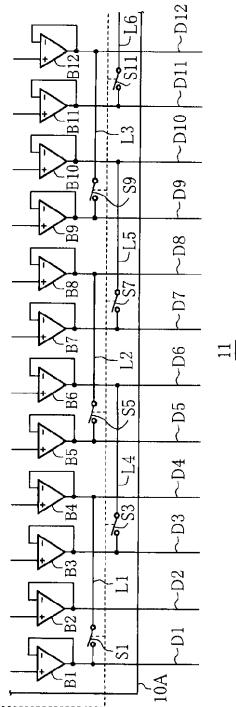
【図3】

図1中のデータドライバの出力段を示す回路図



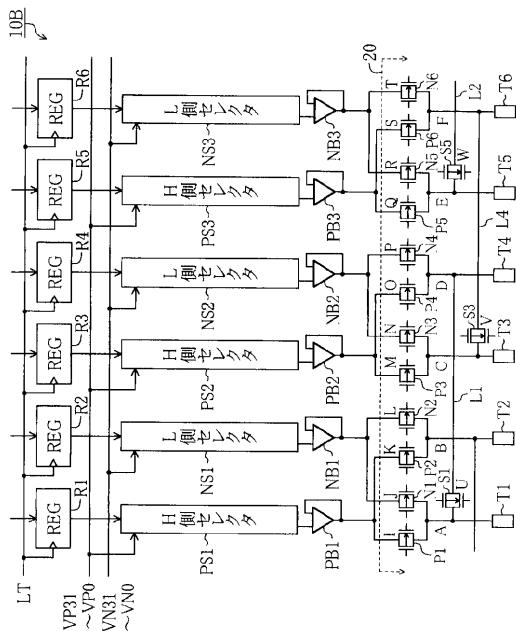
【図4】

本発明の第2実施形態のデータドライバの出力段を示す回路図



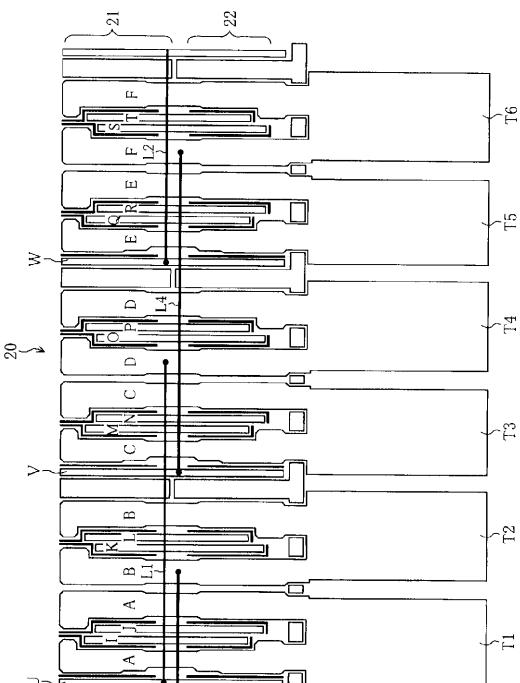
【図5】

本発明の第3実施形態のデータドライバの一部を示す回路図



【図6】

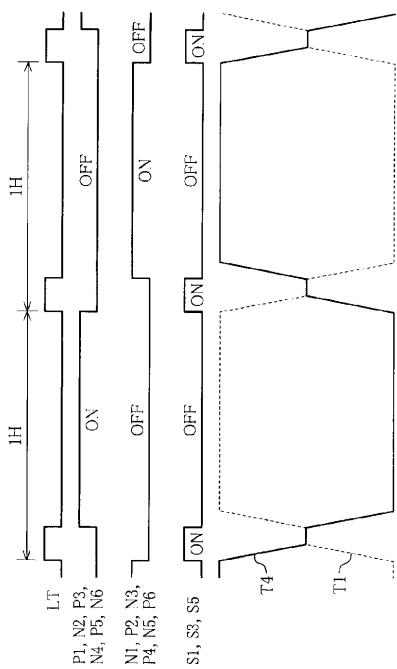
図5中の点線より下側の回路のレイアウト図



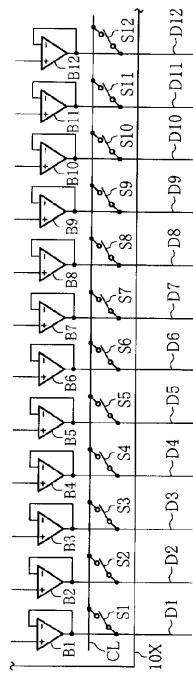
【図7】

【 四 8 】

図5の出力段の動作を示す波形図



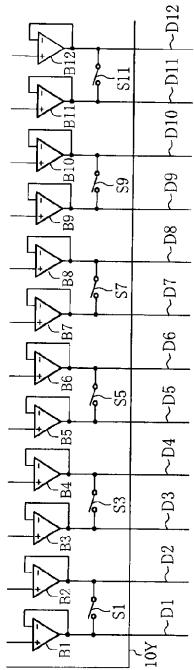
液晶表示パネルのデータバスラインに接続される
従来のデータドライバの出力段を示す回路図



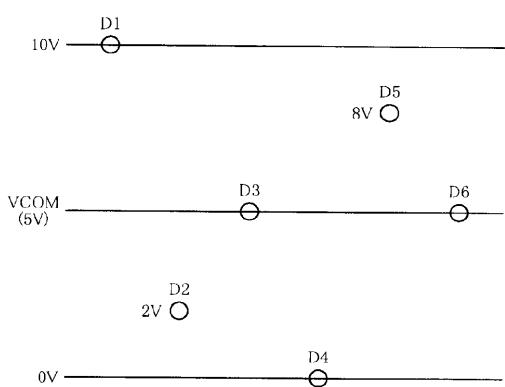
【図9】

【図10】

従来の他のデータドライバの出力段を示す回路図

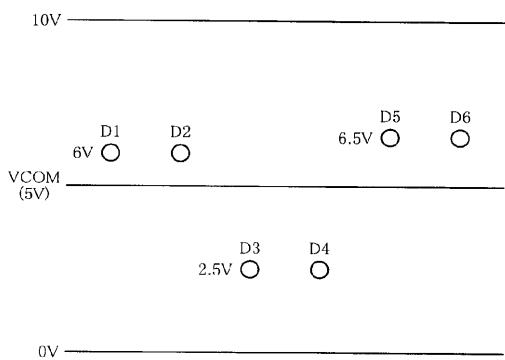


ある水平期間における図9中のデータバスライン D1～D6の電位説明図



【図11】

図10の状態からデータバスライン間短絡スイッチ
素子がオンになった後のデータバスラインD1～D6
の電位説明図



フロントページの続き

(51)Int.Cl.

F I
G 09 G 3/20 6 1 1 E
G 09 G 3/20 6 2 3 B
G 09 G 3/20 6 2 3 C

(56)参考文献 特開平07-199866 (JP, A)

特開平10-301537 (JP, A)

特開平09-243998 (JP, A)

特開2001-134245 (JP, A)

特開2000-148098 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/36

G02F 1/133

专利名称(译)	液晶显示装置的数据驱动器		
公开(公告)号	JP4472155B2	公开(公告)日	2010-06-02
申请号	JP2000333517	申请日	2000-10-31
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	富士通微电子有限公司		
[标]发明人	鶴戸真也 國分政利		
发明人	鶴戸 真也 國分 政利		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3685 G09G3/3607 G09G3/3614 G09G2310/0248 G09G2310/0297 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.611.E G09G3/20.623.B G09G3/20.623.C		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA43 2H093/NA53 2H093/NB05 2H093/NC14 2H093/NC34 2H093/ND06 2H093/ND10 2H093/ND35 2H093/ND39 2H093/NE03 2H193/ZA04 2H193/ZA19 2H193/ZC13 2H193/ZC20 2H193/ZD23 2H193/ZP03 5C006/AC21 5C006/AC26 5C006/BB16 5C006/BC13 5C006/BF25 5C006/BF33 5C006/BF34 5C006/EB05 5C006/FA23 5C006/FA42 5C006/FA43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD22 5C080/DD23 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	松本Makotokichi		
其他公开文献	JP2002140045A5 JP2002140045A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制电路面积的增加。在数据反转驱动器型数据驱动器中，电压缓冲放大器的输出端分别连接到液晶显示板的数据总线，连接短路开关元件S1，S3，S5，S7，S9和S11中的每隔一个，并且交替地布置第一行的布线和第二行的布线。这些短路开关元件形成在每隔一条数据线的一侧。当电压缓冲放大器的输出处于高阻抗状态时，控制电路13接通短路开关元件。

(A)及び(B)はそれぞれ奇数フレーム及び偶数フレームの画素電圧極性分布を示す図

(A)

+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+

(B)

-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-