

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4459685号
(P4459685)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.

F 1

G02F 1/1343 (2006.01)

G02F 1/1343

G02F 1/1337 (2006.01)

G02F 1/1337 505

G02F 1/1368 (2006.01)

G02F 1/1368

請求項の数 6 (全 31 頁)

(21) 出願番号

特願2004-106138 (P2004-106138)

(22) 出願日

平成16年3月31日 (2004.3.31)

(65) 公開番号

特開2005-292397 (P2005-292397A)

(43) 公開日

平成17年10月20日 (2005.10.20)

審査請求日

平成18年10月24日 (2006.10.24)

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(73) 特許権者 501358079

友達光電股▲ふん▼有限公司

AU Optronics Corporation

台灣新竹科學工業園區新竹市力行二路一號
No. 1, Lt-Hsin Rd, 11,
Science-Based Industrial Park, Hsinchu,
Taiwan, R. O. C.

(74) 代理人 100091672

弁理士 岡本 啓三

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

MVA (Multi-domain Vertical Alignment) 型液晶表示装置において、
相互に対向して配置された第1の基板及び第2の基板と、
前記第1の基板及び前記第2の基板の間に封入された液晶と、
前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、
前記第1の基板に設けられて表示信号が供給されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインにより画定される画素領域内に配置され、
スリットにより複数の副画素電極に分割された画素電極と、
前記ゲートバスライン及び前記データバスラインに接続されたスイッチング素子と、
前記第1の基板に前記画素領域を横断するように形成された補助容量バスラインと、
前記複数の副画素電極のうちの一部の副画素電極と容量結合する制御電極と、
前記スイッチング素子と前記制御電極及び前記複数の副画素電極のうちの残りの副画素電極との間を接続する接続配線と、
前記第2の基板に設けられたコモン電極とを有し、
前記画素電極を分割するスリットの少なくとも一部が、電圧印加時の液晶分子の配向方向を規定するドメイン規制用構造物を構成し、かつ、前記制御電極が前記補助容量バスラインと重なる位置に配置されていることを特徴とする液晶表示装置。

【請求項 2】

前記接続配線の少なくとも一部が、前記副画素電極間のスリットに重なる位置に形成さ

10

20

れていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数の副画素電極のうち前記接続配線を介して前記スイッチング素子に接続された副画素電極の面積の総和 S_1 と、前記制御電極と容量結合する副画素電極の面積の総和 S_2 との比 ($S_1 : S_2$) が、1 : 9 乃至 6 : 4 の範囲内であることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記複数の副画素電極のうち前記接続配線を介して前記スイッチング素子に接続された副画素電極の電圧 V_1 と、前記制御電極と容量結合する副画素電極の電圧 V_2 との比 (V_2 / V_1) が、0.8 乃至 0.59 の範囲内であることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。 10

【請求項 5】

前記第 2 の基板に、電圧印加時の液晶分子の配向方向を規定する第 2 のドメイン規制用構造物が形成されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 6】

前記スリットと前記第 2 のドメイン規制用構造物との間隔が、各副画素電極毎に設定されていることを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、液晶分子の配向方向が相互に異なる複数の領域（ドメイン）を有する MVA (Multi-domain Vertical Alignment) 型液晶表示装置に関し、特に画素電極が複数の副画素電極に分割されている液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、CRT (Cathode Ray Tube) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ、ノート型 PC (パーソナルコンピュータ)、ディスクトップ型 PC、PDA (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。特に、各画素 (サブピクセル) 每にスイッチング素子として TFT (Thin Film Transistor: 薄膜トランジスタ) を設けたアクティブマトリクス型液晶表示装置は、その駆動能力の高さから CRT にも匹敵する優れた表示特性を示し、ディスクトップ型 PC やテレビなど従来 CRT が使用されていた分野にも広く使用されるようになった。 30

【0003】

一般的に、液晶表示装置は、図 1 に示すように、スペーサ 31 を挟んで配置されてシール材 32 により接合された 2 枚の透明基板 10, 20 と、これらの基板 10, 20 間に封入された液晶 30 とにより構成されている。一方の基板 10 には、画素毎に画素電極及び TFT 等が形成され、他方の基板 20 には画素電極に対向するカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。カラーフィルタには赤色 (R)、緑色 (G) 及び青色 (B) の 3 種類があり、画素毎にいずれか 1 色のカラーフィルタが配置されている。隣接して配置された赤色 (R)、緑色 (G) 及び青色 (B) の 3 つの画素で 1 つのピクセル (Pixel) を構成する。 40

【0004】

以下、画素電極及び TFT が形成された基板を TFT 基板と呼び、TFT 基板に対向して配置される基板を対向基板と呼ぶ。また、TFT 基板と対向基板との間に液晶を封入してなる構造物を液晶パネルという。

【0005】

TFT 基板 10 は、接続端子の分だけ対向基板 20 よりも大きく形成されている。TFT 基板 10 及び対向基板 20 により構成される液晶パネル 40 の両側には、それぞれ偏光板 41, 42 が配置されている。また、液晶パネル 40 の下方にはバックライト (図示せ 50

す)が配置されている。

【0006】

従来は、2枚の基板10, 20間に水平配向型液晶(誘電率異方性が正の液晶)を封入し、液晶分子をツイスト配向させるTN(Twisted Nematic)型液晶表示装置が広く使用されていた。しかし、TN型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好なVA(Vertical Alignment)型液晶表示装置及びMDA(Multi-domain Vertical Alignment)型液晶表示装置が開発され、実用化されている。

【0007】

図2(a), (b)は、MDA型液晶表示装置の一例を示す模式断面図である。TFT基板10及び対向基板20はスペーサ(図示せず)を挟んで配置されており、これらの基板10, 20の間に垂直配向型液晶(誘電率異方性が負の液晶)30が封入されている。対向基板20の画素電極12の上には、ドメイン規制用構造物として複数の土手状の突起13が形成されている。画素電極12及び突起13の表面は、例えばポリイミドからなる垂直配向膜14に覆われている。

【0008】

対向基板20のコモン電極22の下にも、ドメイン規制用構造物として複数の土手状の突起23が形成されている。これらの突起23は、基板10側の突起13に対し斜め方向にずれた位置に配置されている。コモン電極22及び突起23の表面も、例えばポリイミドからなる垂直配向膜24に覆われている。

10

【0009】

MDA型液晶表示装置においては、画素電極12とコモン電極22との間に電圧を印加しない状態では、図2(a)に示すように、殆どの液晶分子30aは基板面に対し垂直に配向する。但し、突起13, 23の近傍の液晶分子30aは、突起13, 23の傾斜面に垂直な方向に配向する。

20

【0010】

画素電極12とコモン電極22との間に所定の電圧を印加すると、電界の影響により液晶分子30aは基板面に対し斜めに配向する。この場合に、図2(b)に示すように、突起13, 23の両側では液晶分子30aの傾斜方向が異なり、いわゆる配向分割(マルチドメイン)が達成される。

30

【0011】

この図2(b)に示すように、MDA型液晶表示装置では電圧を印加したときの液晶分子30aの傾斜方向が突起13, 23の両側で異なるので、斜め方向への光の漏れが抑制され、優れた視野角特性が得られる。

【0012】

上記の例ではドメイン規制用構造物が突起の場合について説明したが、電極に設けたスリットや、基板表面の窪み(溝)をドメイン規制用構造物とすることもある。また、図2(a), (b)ではTFT基板10及び対向基板20の両方にドメイン規制用構造物を設けた例について説明したが、TFT基板10及び対向基板20のうちのいずれか一方のみにドメイン規制用構造物を形成してもよい。

40

【0013】

図3は、TFT基板10側の画素電極12に、ドメイン規制用構造物としてスリット12aを形成した例を示している。スリット12aの縁部付近では電気力線が斜め方向に発生するので、スリット12aの両側で液晶分子30aの傾斜方向が異なる。これにより配向分割が達成され、視野角特性が向上する。

【0014】

図4は実際のMDA型液晶表示装置の1画素を示す平面図、図5は同じくその液晶表示装置のTFT基板の模式断面図である。

【0015】

TFT基板50には、水平方向に延びる複数のゲートバスライン51と、垂直方向に延

50

びる複数のデータバスライン 5 5 とがそれぞれ所定のピッチで配置されている。これらのゲートバスライン 5 1 及びデータバスライン 5 5 により区画される矩形の領域がそれぞれ画素領域である。また、TFT 基板 5 0 には、ゲートバスライン 5 1 と平行に配置されて画素領域の中央を横断する補助容量バスライン 5 2 が形成されている。ゲートバスライン 5 1 及び補助容量バスライン 5 2 とデータバスライン 5 5との間には第 1 の絶縁膜 6 1 が形成されており、この第 1 の絶縁膜 6 1 によりゲートバスライン 5 1 とデータバスライン 5 5 との間、及び補助容量バスライン 5 2 とデータバスライン 5 5 との間が電気的に分離されている。

【0016】

各画素領域毎に、TFT 5 4 、画素電極 5 6 及び補助容量電極 5 3 が形成されている。 TFT 5 4 は、ゲートバスライン 5 1 の一部をゲート電極としている。また、TFT 5 4 のドレイン電極 5 4 d はデータバスライン 5 5 に接続しており、ソース電極 5 4 s はゲートバスライン 5 1 を挟んでドレイン電極 5 4 d に対向する位置に形成されている。更に、補助容量電極 5 3 は、第 1 の絶縁膜 6 1 を挟んで補助容量バスライン 5 2 に対向する位置に形成されている。

【0017】

補助容量電極 5 3 、TFT 5 4 及びデータバスライン 5 5 は第 2 の絶縁膜 6 2 に覆われており、画素電極 5 6 はこの第 2 の絶縁膜 6 2 の上に配置される。画素電極 5 6 は ITO (Indium-Tin Oxide) 等の透明導電体からなり、第 2 の絶縁膜 6 2 に形成されたコンタクトホール 6 2 a , 6 2 b を介して TFT 5 4 のソース電極 5 4 s 及び補助容量電極 5 3 に電気的に接続している。また、画素電極 5 6 には、斜め方向に延びる 2 本のスリット 5 6 a が上下対称に形成されている。この画素電極 5 6 の表面は、例えばポリイミドからなる垂直配向膜 (図示せず) により覆われている。

【0018】

TFT 基板 5 0 に対向して配置される対向基板には、ブラックマトリクス (遮光膜) 、カラーフィルタ及びコモン電極が形成されている。コモン電極の上には、図 4 に一点鎖線で示すように、ゲートバスライン 5 1 及び補助容量バスライン 5 2 の上方で屈曲する複数の土手状の突起 7 1 が形成されている。画素電極 5 6 のスリット 5 6 a は、これらの突起 7 1 の列間に配置されている。

【0019】

このように形成された液晶表示装置において、画素電極 5 6 とコモン電極との間に所定の電圧を印加すると、図 6 に示すように、液晶分子 3 0 の配向方向が相互に異なる 4 つのドメイン A 1 , A 2 , A 3 , A 4 が形成される。これらのドメイン A 1 , A 2 , A 3 , A 4 は突起 7 1 及びスリット 5 6 a を境界としている。これらのドメイン A 1 , A 2 , A 3 , A 4 の面積がほぼ等しくなるようにスリット 5 6 a 及び突起 7 1 を形成すると、視野角特性の方向依存性が小さくなる。

【0020】

ところで、従来の MVA 型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図 7 は、横軸に印加電圧 (V) をとり、縦軸に透過率をとって、画面を正面から見たときの T - V (透過率 - 電圧) 特性と上 60° の方向から見たときの T - V 特性とを示す図である。この図 7 に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき (図中丸で囲んだ部分) には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け (discolor) と呼ばれている。白茶けは、MVA 型液晶表示装置だけでなく、TN 型液晶表示装置でも発生する。

【0021】

米国特許第 4 8 4 0 4 6 0 号の明細書には、1 つの画素を複数の副画素に分割して、そ

10

20

30

40

50

これらの副画素を容量結合することが提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素にT-V特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素にT-V特性のしきい値が異なる複数の領域が存在すると、図7に示すように正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制され、その結果画面が白っぽくなる現象（白茶け）も抑制される。このように1つの画素を容量結合した複数の副画素に分割して表示特性を改善する方法は、容量結合によるHT（ハーフトーングレースケール）法と呼ばれる。

【0022】

特許第3076938号の明細書（特開平5-66412号公報）には、図8に示すように、画素電極を複数（図8では4つ）の副画素電極81a～81dに分割し、各副画素電極81a～81dの下方に絶縁膜を介して制御電極82a～82dをそれぞれ配置した液晶表示装置が開示されている。この液晶表示装置では、制御電極82a～82dの大きさがそれぞれ異なっており、TFT80を介して制御電極82a～82dに表示電圧が印加されるようになっている。また、副画素電極81a～81dの間から光が漏れることを防止するために、副画素電極81a～81dの間にも制御電極83を配置している。

10

【0023】

特許第3401049号の明細書（特開平6-332009号公報）にも、1つの画素を複数の副画素に分割した液晶表示装置が開示されている。この液晶表示装置では、例えば副画素毎にラビング処理条件を変化させて、副画素の表面の液晶分子のプレチルト角を相互に異なるものとしている。

20

【0024】

これらの従来の技術は、いずれもTN型液晶表示装置に関するものである。

【特許文献1】米国特許第4840460号の明細書

【特許文献2】特許第3076938号の明細書（特開平5-66412号公報）

【特許文献3】特許第3401049号の明細書（特開平6-332009号公報）

【発明の開示】

【発明が解決しようとする課題】

【0025】

ところで、容量結合によるHT法では、1つの画素を複数の副画素に分割することで副画素間に隙間が発生し、開口率が大きく減少する。一般的なノーマリーホワイトモードのTN型液晶表示装置では、副画素間の隙間は透過率が高い部分となる。従って、対向基板には、副画素間の隙間を遮光するブラックマトリクスを形成することが必要となる。しかしながら、TFT基板と対向基板との貼合せずれや斜め方向への光の漏れを防止することを考慮すると、ブラックマトリクスの幅を副画素間の隙間の幅よりも20μm程度（片側10μm程度）大きくする必要があり、開口率の著しい減少を招く。

30

【0026】

特許第3076938号の明細書に記載されているように、副画素間の隙間にも制御電極を形成して透過率を制御することも可能ではある。しかし、この場合は制御電極及び副画素電極をいずれもITO等の透明導電体で形成することが必要であり、透明導電体膜の成膜工程及びフォトリソグラフィ工程がそれぞれ2回必要となって製造コストの上昇を招く。

40

【0027】

特許第3401049号の明細書に記載された液晶表示装置では、例えば副画素毎にラビング処理条件を変えて副画素毎に液晶分子のプレチルト角を相互に異なるものとしている。しかしながら、ラビング処理により発生した塵が液晶に混入して表示品質を低下させることがあり、ラビング処理が不要であるというMVA型液晶表示装置の利点を失うことになる。

【0028】

また、MVA型液晶表示装置では、配向分割を実現するために液晶分子のプレチルト角

50

を約 88 ~ 89 ° の極めて狭い範囲に安定して配向させることが必要である。例えば液晶分子のプレチルト角が 86 ° 以下になると電圧無印加時に光が透過してコントラストが低下し、プレチルト角が 89.5 ° 以上になると電圧を印加したときに液晶分子が所定の方向に倒れにくくなる。しかしながら、ラビング処理により液晶分子のプレチルト角を約 88 ~ 89 ° の範囲で高精度に制御することは極めて困難である。また、垂直配向膜へのラビング処理後の液晶分子のプレチルト角は極めて安定性が悪く、水洗処理やその後の加熱処理で容易に変化してしまう。

【0029】

以上から、本発明の目的は、白茶けを防止できて表示品質が良好であり、開口率が高くて明るい表示が可能であるとともに、製造が容易な液晶表示装置を提供することにある。

10

【課題を解決するための手段】

【0030】

本発明に係る液晶表示装置は、MVA (Multi-domain Vertical Alignment) 型液晶表示装置において、相互に対向して配置された第1の基板及び第2の基板と、前記第1の基板及び前記第2の基板の間に封入された液晶と、前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、前記第1の基板に設けられて表示信号が供給されるデータバスラインと、前記ゲートバスライン及び前記データバスラインにより画定される画素領域内に配置され、スリットにより複数の副画素電極に分割された画素電極と、前記ゲートバスライン及び前記データバスラインに接続されたスイッチング素子と、前記第1の基板に前記画素領域を横断するように形成された補助容量バスラインと、前記複数の副画素電極のうちの一部の副画素電極と容量結合する制御電極と、前記スイッチング素子と前記制御電極及び前記複数の副画素電極のうちの残りの副画素電極との間を接続する接続配線と、前記第2の基板に設けられたコモン電極とを有し、前記画素電極を分割するスリットの少なくとも一部が、電圧印加時の液晶分子の配向方向を規定するドメイン規制用構造物を構成し、かつ、前記制御電極が前記補助容量バスラインと重なる位置に配置されていることを特徴とする。

20

【0031】

本発明の液晶表示装置は、垂直配向型液晶（誘電率異方性が負の液晶）を使用するVAモードの液晶表示装置（VA型液晶表示装置及びMVA型液晶表示装置）と容量結合構造とを組み合わせることで、単独では得られない高い性能を得ることができる。

30

【0032】

図9(a)は画素電極が分割されていない液晶表示装置の1画素を示す模式図、図9(b)は画素電極が2つに分割された液晶表示装置の1画素を示す模式図、図9(c)は画素電極が3つに分割された液晶表示装置の1画素を示す模式図、図9(d)は画素電極が4つに分割された液晶表示装置の1画素を示す模式図である。また、図10は、横軸に画素ピッチをとり、縦軸に開口率比をとって、TN型液晶表示装置及びVA型液晶表示装置における画素電極の分割数と画素ピッチ及び開口率比との関係を示す図である。なお、開口率比は、画素電極が分割されていない液晶表示装置の開口率と、画素電極が分割されている液晶表示装置の開口率との比を示している。

40

【0033】

TN型液晶表示装置では、画素電極の周囲の領域では光を透過するため、ブラックマトリクス（遮光膜）を形成する必要がある。通常、ブラックマトリクスは対向基板側に形成されるため、TFT基板と対向基板との貼り合わせ精度が問題となる。そのため、貼り合せずれに対するマージンが設計上必須となる。つまり、図9(a)～(d)に破線で示すように、ブラックマトリクスを画素電極の内側まで形成することが必要となる。一般的に、貼り合せずれに対するマージンは 5 ~ 7 μm である。図10では、貼り合せずれに対するマージンを 5 μm として開口率比を計算している。

【0034】

図10からわかるように、分割数が増えるにしたがって副画素電極間のギャップの影響及び貼り合せずれに対するマージンの影響が大きくなるが、n分割のときに副画素電極間

50

のギャップは($n - 1$)箇所なのに対し、貼り合せずれに対するマージンは($n + 1$) × 2箇所と多いために、開口率に大きな影響を与えててしまう。また、副画素電極間のギャップと貼り合せずれに対するマージンとは製造ラインの実力などを反映した固定値であるため、TN型液晶表示装置では画素ピッチが小さくなると開口率比が急激に低くなる。

【0035】

一方、VAモードの液晶表示装置の場合は、画素電極の周囲の領域は光を通さないため、遮光が不要である。従って、画素電極を分割しても、貼り合せずれに対するマージンは不要であり、開口率の低下が少ない。図10からわかるように、TN型液晶表示装置では画素ピッチが小さくなるにしたがって画素電極を分割したときの開口率は急激に低下する。また、分割数が多いほどその傾向は大きくなる。一方、VAモードの液晶表示装置では、画素ピッチが小さくなっても、TN型液晶表示装置に比べて開口率の低下が少ない。

10

【0036】

しかも、後述するように、画素電極を分割するスリットを、MVA型液晶表示装置のドメイン規制用構造物として使用することにより、開口率の低下を実質的にゼロとすることが可能である。すなわち、容量結合とMVA型液晶表示装置との組み合わせは相性が極めてよく、容量結合の輝度低下を最小限にしながら視野角特性を改善することができる。

【0038】

また、本発明においては、副画素電極を分離するスリットを用いて液晶分子の配向方向を規定するので、副画素電極を分離するスリットと液晶分子の配向方向を規定するスリットとを別個に設ける場合に比べて、配向が乱れる部分が少なく、明るい表示が可能になる。

20

【0039】

また、本発明においては、例えば複数の副画素電極の一部を制御電極と容量結合し、他の副画素電極をスイッチング素子と接続することにより、表示電圧を供給したときに、副画素電極の一部に印加される電圧と他の副画素電極に印加される電圧とが異なり、見かけ上、1画素内にT-V特性のしきい値が異なる複数の領域が存在することになる。これにより、斜め方向から見たときに画面が白っぽくなる現象(白茶け)が抑制され、表示品質が向上する。

【0040】

他の副画素電極をスイッチング素子に接続する替わりに、制御電極と容量結合させてよい。この場合、副画素電極の大きさと制御電極との重なり量とを調整することにより、表示電圧供給時における副画素電極の電圧を制御することができる。

30

【0041】

液晶分子の配向方向をより確実に制御するために、第2の基板にもドメイン規制用構造物(第2のドメイン規制用構造物)を形成することが好ましい。この場合、スイッチング素子と制御電極との間を接続する配線を第2の基板のドメイン規制用構造物に沿って形成することにより、透過率の減少を抑制することができる。

【0042】

また、制御電極を補助容量バスラインの上に絶縁膜を介して形成すると、制御電極と補助容量バスラインとの間の容量により、スイッチング素子を介して供給された表示電圧をより確実に保持することができる上、平面的に同一領域で容量を形成できるため、開口率のロスがない。更に、制御電極と容量結合する副画素電極が複数ある場合に、一方の副画素電極に容量結合する部分と他方の副画素電極に容量結合する部分との間を、補助容量バスラインよりも狭い幅の配線で接続すると、制御電極とスリットとの交差部における透過率の減少を抑制することができる。

40

【0043】

また、スイッチング素子と制御電極との間を接続する配線の下方に補助容量バスラインと接続した導電パターンを形成することにより、配線とスリットとの交差部における透過率の減少を抑制することができる。更に、スリットの下方に補助容量バスラインと接続した導電パターンを形成することにより、スリットの部分における光の漏れをより確実に防

50

止することができる。

【発明を実施するための最良の形態】

【0044】

以下に、本発明の実施形態を図面に基づいて説明する。

【0045】

(第1の実施形態)

図11は本発明の第1の実施形態の液晶表示装置を示す平面図、図12は同じくその模式断面図である。

【0046】

本実施形態の液晶表示装置は、図12に示すように、ガラス板等の透明薄板からなる2枚の基板110, 120と、これらの基板110, 120間に封入された垂直配向型液晶(誘電率異方性が負の液晶)130により構成されている。基板110には、図11に示すように水平方向に延びる複数のゲートバスライン111と、垂直方向に延びる複数のデータバスライン115とが形成されている。ゲートバスライン111のピッチは例えば約300μm、データバスライン115のピッチは例えば約100μmである。ゲートバスライン111とデータバスライン115とにより区画される矩形の領域がそれぞれ画素領域である。

10

【0047】

基板110には、ゲートバスライン111と平行に配置されて画素領域の中央を横断する補助容量バスライン112が形成されている。ゲートバスライン111及び補助容量バスライン112とデータバスライン115との間には第1の絶縁膜131が形成されており、この第1の絶縁膜131によりゲートバスライン111とデータバスライン115との間、及び補助容量バスライン112とデータバスライン115との間が電気的に分離されている。

20

【0048】

基板110には各画素領域毎に、TFT114、制御電極113及び画素電極が形成されている。本実施形態においては、図11に示すように、画素電極が、斜め方向に延びる上下対称のスリット117aにより4つの副画素電極116a～116dに分割されている。

【0049】

30

TFT114は、ゲートバスライン111の一部をゲート電極としている。また、TFT114のドレイン電極114dはデータバスライン115に接続され、ソース電極114sはゲートバスライン111を挟んでドレイン電極114dに対向する位置に配置されている。

【0050】

制御電極113は、第1の絶縁膜131を挟んで補助容量バスライン112と対向する位置に配置されている。この制御電極113は、接続配線115aを介してTFT114のソース電極114sと接続されている。

【0051】

副画素電極116a～116dはITO等の透明導電体からなる。これらの副画素電極116a～116dを分離するスリット117aの幅は例えば10μmである。

40

【0052】

副画素電極116aは、コンタクトホール132aを介して接続配線115aと電気的に接続されており、副画素電極116dはコンタクトホール132bを介して制御電極113から延びる接続配線115bと電気的に接続されている。副画素電極116b, 116cは、それぞれ第2の絶縁膜132を介して制御電極113と容量結合している。これらの副画素電極116a～116dは、例えばポリイミドからなる垂直配向膜118に覆われている。

【0053】

一方、対向基板120の面上(図12では下側)には、ブラックマトリクス(遮光膜)

50

121及びカラーフィルタ122が形成されている。ブラックマトリクス121は例えばCr(クロム)等の金属からなり、TFT基板110側のゲートバスライン111、補助容量バスライン112、データバスライン115及びTFT114に対向する位置に配置されている。

【0054】

カラーフィルタ122には赤色、緑色及び青色の3種類があり、各画素毎に赤色、緑色及び青色のいずれか一色のカラーフィルタが配置される。

【0055】

カラーフィルタ122の下側には、ITO等の透明導電体からなるコモン電極(共通電極)123が形成されている。このコモン電極123の下側にはドメイン規制用の土手状の突起124が形成されている。この突起124は、図11に示すように、ゲートバスライン111及び補助容量バスライン112の上で屈曲しており、TFT基板110のスリット117aに対し水平方向にずれた位置に配置される。コモン電極123及び突起124の表面は、例えばポリイミドからなる垂直配向膜125に覆われている。

10

【0056】

以下、上述のように構成された本実施形態の液晶表示装置の動作について説明する。

【0057】

データバスライン115に所定の表示電圧を供給し、ゲートバスライン111に走査信号を供給すると、TFT114がオンになってソース電極145sに接続している副画素電極116a, 116d及び制御電極113に表示電圧が書き込まれる。また、副画素電極116b, 116cは制御電極113と容量結合しているので、副画素電極116b, 116cにも電圧が印加される。

20

【0058】

但し、本実施形態では、図11に示すように、副画素電極116cが副画素電極116bよりも面積が小さく、且つ制御電極113との重なり量が大きいので、副画素電極116cの電圧のほうが副画素電極116bの電圧よりも高くなる。副画素電極116aの電圧をA、副画素電極116bの電圧をB、副画素電極116cの電圧をC、副画素電極116dの電圧をDとすると、A = D > C > Bとなる。

【0059】

このようにして副画素電極116a～116dに電圧が印加されると、液晶分子は突起124及びスリット117aの延びる方向に対し直角な方向に傾斜する。このとき、液晶分子の傾斜方向は突起124及びスリット117aの両側で反対方向となる。本実施形態においても、図4に示す従来の液晶表示装置と同様に、液晶分子の配向方向が相互に異なる4つのドメインが形成される。

30

【0060】

ところで、ドメインの境界部分では液晶分子の乱れが生じるため、透過率が低くなる。また、画素電極をスリットにより複数の副画素電極に分割した場合、スリットの部分には電圧が印加されないため、スリット部分の透過率が低くなる。

【0061】

図13は、副画素電極81a～81dを分離するスリット89とは別に、ドメイン規制用構造物としてスリット84及び突起85を設けたMVA型液晶表示装置の例を示す模式図である。この図13において、スリット84は副画素電極81a～81dにそれぞれ形成されており、突起85は対向基板側に形成されている。また、副画素電極81a～81dの下方には、TFT80と接続された制御電極82a～82dがそれぞれ形成されている。

40

【0062】

図11, 図12に示す本実施形態の液晶表示装置では、各副画素電極116a～116dを分離するスリット117aがドメイン規制用構造物として機能するので、図13に示すように副画素電極81a～81dを分離するスリット89と配向規制用スリット84とを個別に形成する場合に比べて透過率の低下が少なく、明るい表示が可能となる。

50

【0063】

また、本実施形態においては、副画素電極116a, 116d、副画素電極116b及び副画素電極116cにそれぞれ異なる電圧が印加されるので、見かけ上、1つの画素内にT-V特性のしきい値が相互に異なる3つの領域が存在することになる。これにより、画面を斜め方向から見たときに画面が白っぽくなる現象（白茶け）が抑制され、良好な表示品質が得られる。

【0064】

次に、本実施形態の液晶表示装置の製造方法について説明する。まず、TFT基板の製造方法について、図12を参照して説明する。

【0065】

まず、ガラス板等からなる基板110の上に、例えばPVD(Physical Vapor Deposition)法によりCr(クロム)からなる金属膜、又はAl(アルミニウム)とTi(チタン)との積層構造を有する金属膜を形成する。その後、この金属膜をフォトリソグラフィによりパターニングして、ゲートバスライン111及び補助容量バスライン112を形成する。なお、基板110からの不純物の拡散を防止するために、基板110の表面を絶縁膜で覆ってから金属膜を形成してもよい。

【0066】

次に、基板110の上に、例えばCVD(Chemical Vapor Deposition)法により酸化シリコン又は窒化シリコンを堆積させて、ゲートバスライン111及び補助容量バスライン112を覆う第1の絶縁膜131を形成する。

【0067】

次に、第1の絶縁膜131の上に、例えばCVD法により厚さが20~100nmのアモルファスシリコン膜(又はポリシリコン膜)と、窒化シリコン膜とを順次形成する。その後、フォトリソグラフィ法により窒化シリコン膜をパターニングすることにより、TFT114のチャネルを保護するチャネル保護膜134を形成する。

【0068】

次に、基板110の上側全面に、不純物が高濃度に導入されたアモルファスシリコンからなるオーミックコンタクト層を形成し、その上にTi-Al-Tiの積層構造を有する金属膜を形成する。そして、フォトリソグラフィ法により金属膜、オーミックコンタクト層及びアモルファスシリコン膜をパターニングして、TFT114の活性層となる半導体層111の形状を確定するとともに、データバスライン115、ソース電極114s、ドレイン電極114d、制御電極113及び接続配線115a, 115bを形成する。

【0069】

次に、基板110の上側全面に、例えばCVD法により窒化シリコンを堆積させて第2の絶縁膜132を形成する。そして、フォトリソグラフィ法により第2の絶縁膜132の所定位置に、接続配線115aに通じるコンタクトホール132aと、接続配線115bに通じるコンタクトホール132bとを形成する。

【0070】

次いで、基板110の上側全面に、スパッタ法等によりITO膜を形成する。このITO膜は、コンタクトホール132a, 132bを介して接続配線115a, 115bに電気的に接続される。その後、フォトリソグラフィ法によりITO膜をパターニングして、副画素電極116a~116dを形成する。次に、副画素電極116a~116dの表面にポリイミドを塗布して垂直配向膜118を形成する。このようにしてTFT基板が完成する。

【0071】

次に、対向基板の製造方法について、図12を参照して説明する。

【0072】

まず、基板120の上に、例えばCr等の金属膜を形成し、この金属膜をパターニングして、TFT基板110側のゲートバスライン111、補助容量バスライン112、データバスライン115及びTFT114に対向する位置にブラックマトリクス121を形成

10

20

30

40

50

する。

【0073】

次に、基板120の上に、例えば赤色感光樹脂、緑色感光樹脂及び青色感光樹脂を使用して、赤色、緑色及び青色のカラーフィルタ122を形成する。各画素毎に赤色、緑色及び青色のいずれか1色のカラーフィルタが配置されるようにする。

【0074】

次に、カラーフィルタ122の上にITO膜をスパッタ法により形成してコモン電極123を形成する。そして、例えばフォトレジストを使用して、コモン電極123の上に誘電体からなる土手状の突起124を形成する。

【0075】

次いで、コモン電極123及び突起124の表面にポリイミドを塗布して、垂直配向膜125を形成する。このようにして対向基板が完成する。

【0076】

このようにして形成したTFT基板と対向基板とを、スペーサを挟んで貼合わせ、TFT基板と対向基板との間に垂直配向型液晶（誘電率異方性が負の液晶）を封入する。このようにして、本実施形態の液晶表示装置が完成する。

【0077】

本実施形態の液晶表示装置は、上述したように、制御電極113及び接続配線115a, 115bをデータバスライン115、ソース電極114s及びドレイン電極114dと同時に形成することができるので、従来に比べて製造工程が増加することなく、製造が容易である。

【0078】

（第2の実施形態）

図14は、本発明の第2の実施形態の液晶表示装置の1画素を示す平面図である。図14において、図11と同一物には同一符号を付してその詳しい説明は省略する。

【0079】

本実施形態においては、図14に示すように、制御電極113と副画素電極116cとが、第2の絶縁膜に形成されたコンタクトホール132cを介して電気的に接続されている。従って、TFT114を介して表示電圧が供給されたときの副画素電極116aの電圧をA、副画素電極116bの電圧をB、副画素電極116cの電圧をC、副画素電極116dの電圧をDとすると、A = C = D > Bとなる。

【0080】

図11に示す第1の実施形態では、表示電圧として十分に高い電圧が印加されたときには、副画素電極116a～116dにより規定される各副画素領域で液晶分子がそれぞれ所定の方向に配向し、液晶分子の配向方向が相互に異なる4つの領域（4ドメイン）が形成されて、良好な視野角特性が得られる。しかし、表示信号の電圧（表示電圧）が低い場合、例えば画素電極116a, 116bにはT-V特性のしきい値よりも若干高い電圧が印加され、画素電極116b, 116cにはT-V特性のしきい値電圧よりも低い電圧しか印加されないときには、液晶分子の配向方向が2つ（2ドメイン）となって、視野角特性が悪くなることが考えられる。

【0081】

一方、本実施の形態では、副画素電極116cには副画素電極116a, 116dと同じ電圧が印加されるので、表示電圧が低い場合であっても液晶分子の配向方向が相互に異なる4つの領域（4ドメイン）が形成され、第1の実施形態に比べて、輝度が低いときの視野角特性の劣化が回避される。

【0082】

また、図11に示す第1の実施形態では、副画素電極116a, 116c, 116dとデータバスライン115との間の寄生容量により副画素電極116a, 116c, 116dの電圧が変化するという欠点があるのに対し、本実施形態ではそのような欠点が解消されるという利点がある。以下にその理由を説明する。

10

20

30

40

50

【0083】

図15は、第1の実施形態の液晶表示装置の画素部の等価回路図である。この図15において、 C_1 は副画素電極116a, 116dとコモン電極とにより構成される容量、 C_2 は制御電極113と副画素電極116bとにより構成される容量、 C_3 は副画素電極116bとコモン電極とにより構成される容量、 C_4 は制御電極113と副画素電極116cとにより構成される容量、 C_5 は副画素電極116cとコモン電極とにより構成される容量を示している。また、 C_{11} は左側のデータバスライン115と副画素電極116a, 116dとの間の寄生容量、 C_{12} は左側のデータバスライン115と副画素電極116bとの間の寄生容量、 C_{13} は右側のデータバスライン115と副画素電極116cとの間の寄生容量、 C_{14} は右側のデータバスライン115と副画素電極116bとの間の寄生容量を示している。10

【0084】

第1の実施形態の液晶表示装置では、副画素電極116a, 116dの左側の辺が右側のデータバスライン115に対向しており、副画素電極116a, 116dと右側のデータバスライン115との間に寄生容量 C_{11} が発生する。また、副画素電極116cの右側の辺が左側のデータバスライン115に対向しており、副画素電極116cと左側のデータバスライン115との間に寄生容量 C_{13} が発生する。

【0085】

一般に、液晶表示装置では奇数番目のデータバスラインに供給する表示電圧の極性と偶数番目のデータバスラインに供給する表示電圧の極性とを逆にしている。また、1フレーム毎に各データバスラインに供給する表示電圧の極性を逆にしている。このようにして液晶表示装置を駆動した場合、第1の実施形態の液晶表示装置では、データバスライン115に供給された表示電圧が寄生容量 C_{11} , C_{13} を介して副画素電極116a, 116c, 116dの電圧に影響を与え、副画素電極116a, 116d, 116cの電圧が変化してしまう。20

【0086】

なお、副画素電極116cは、左側のデータバスライン115に対向する辺の長さと右側のデータバスライン115に対向する辺の長さがほぼ等しいため、左側のデータバスライン115と右側のデータバスライン115とに相互に逆極性の表示電圧を印加した場合、左側のデータバスライン115の影響による電圧の変化が右側のデータバスラインの影響による電圧の変化によって相殺される。従って、副画素電極116cの電圧は殆ど変化しない。30

【0087】

図16は、第2の実施形態の液晶表示装置の画素部の等価回路図である。この図16において、 C_1 は副画素電極116a, 116dとコモン電極とにより構成される容量、 C_2 は制御電極113と副画素電極116bとにより構成される容量、 C_3 は副画素電極116bとコモン電極とにより構成される容量、 C_5 は副画素電極116cとコモン電極とにより構成される容量を示している。また、 C_{11} は左側のデータバスライン115と副画素電極116a, 116dとの間の寄生容量、 C_{12} は左側のデータバスライン115と副画素電極116bとの間の寄生容量、 C_{13} は右側のデータバスライン115と副画素電極116cとの間の寄生容量、 C_{14} は右側のデータバスライン115と副画素電極116bとの間の寄生容量を示している。40

【0088】

この図16に示すように、本実施形態では副画素電極116a, 116c, 116dが電気的に接続されており、図14に示すように、左側のデータバスラインに対向する副画素電極116a, 116dの右側の辺の長さと、右側のデータバスラインに対向する副画素電極116cの左側の辺の長さとがほぼ等しい。このため、左側のデータバスラインと右側のデータバスラインとに相互に逆極性の表示電圧を印加した場合、左側のデータバスラインの影響による副画素電極116a, 116c, 116dの電圧の変化が右側のデータバスラインの影響による副画素電極116a, 116c, 116dの電圧の変化によっ50

て相殺され、その結果、副画素電極 116a, 116c, 116d の電圧は殆ど変化しない。これにより、本実施形態の液晶表示装置は、第1の実施形態と同様の効果を得ることができるのに加えて、第1の実施形態に比べてより一層良好な表示品質が得られるという効果を奏する。

【0089】

なお、本実施形態において、TFT114に接続された副画素電極 116a, 116c, 116d の面積の総和（低しきい値領域の面積）を S1、これらの副画素電極 116a, 116c, 116d に印加される電圧を V1 とし、制御電極 113 に容量結合した副画素電極 116b の面積（高しきい値領域の面積）を S2、副画素電極 116b に印加される電圧を V2 としたときに、例えば S1 : S2 を、1 : 9 ~ 6 : 4 の範囲内とし、V2 / V1 を 0.8 ~ 0.59 の範囲内とすることが好ましい。例えば、S1 : S2 = 4 : 6 とし、V2 / V1 = 0.72 とする。

10

【0090】

（第3の実施形態）

図17は、本発明の第3の実施形態の液晶表示装置の1画素を示す平面図である。本実施形態が第1の実施形態と異なる点は、スリットにより画定される副画素電極の形状が異なることになり、その他の構成は基本的に第1の実施形態と同様であるので、図17において図11と同一物には同一符号を付してその詳しい説明は省略する。

【0091】

本実施形態においては、図17に示すように、画素電極が、斜め方向に延在するスリット 150a と垂直方向に延在するスリット 150b とにより 4 つの副画素電極 151a, 151b, 151c, 151d に分割されている。副画素電極 151a は上下対称形であり、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域（4ドメイン）が形成されるように、且つそれらの領域がほぼ同じ大きさとなるように、形状及び突起 124 に対する位置が決められている。また、副画素電極 151a は、第2の絶縁膜を介して制御電極 113 と容量結合している。

20

【0092】

副画素電極 151b も上下対称形に形成されており、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域（4ドメイン）が形成されるように、且つそれらの領域がほぼ同じ大きさとなるように、形状及び突起 124 に対する位置が決められている。また、副画素電極 151b も、第2の絶縁膜を介して制御電極 113 と容量結合している。但し、本実施形態においては、制御電極 113 に電圧が印加されたときに、副画素電極 151b の電圧のほうが副画素電極 151a の電圧よりも高くなるように、副画素電極 151a, 151b の大きさ及び制御電極 113 との重なり量が設定されている。

30

【0093】

副画素電極 151c, 151d は、補助容量バスライン 112 を挟んで上下対称に配置されている。これらの副画素電極 151c, 151d の下方には TFT114 のソース電極 114s 及び制御電極 113 に接続した接続配線 153a, 153b が形成されている。副画素電極 151c はコンタクトホール 154a を介して接続配線 153a に接続され、副画素電極 151d はコンタクトホール 154b を介して接続配線 153b に接続されている。これらの副画素電極 151c, 151d も、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域（副画素電極 151c, 151d にそれぞれ 2 つの領域）となるように、且つそれらの領域がほぼ同じ大きさとなるように、形状及び突起 124 に対する位置が決められている。

40

【0094】

本実施形態の液晶表示装置は、図14に示す第2の実施形態の液晶表示装置に比べて以下に示す利点がある。すなわち、第2の実施形態では、表示電圧が供給されたときに、4つの副画素電極 116a ~ 116d のうちの 3 つ（副画素電極 116a, 116c, 116d）の電圧が同一となる。そのため、第2の実施形態の液晶表示装置では 1 画素内に T-V 特性のしきい値が相互に異なる領域が 2 つしか存在しないことになり、第1の実施形

50

態に比べて白茶けを抑制する効果が小さくなる。一方、本実施の形態では、表示電圧が供給されたときに、副画素電極 151a の電圧と、副画素電極 151b の電圧と、副画素電極 151c, 151d の電圧とが相互に異なる。すなわち、本実施形態においては、1画素内に T-V 特性のしきい値が相互に異なる 3 つの領域が存在することになる。従って本実施形態の液晶表示装置は、第 1 の実施形態と同様に白茶けを抑制する効果が大きい。

【0095】

また、本実施形態では、副画素電極 151a、副画素電極 151b 及び副画素電極 151c, 151d のそれそれぞれにおいて、電圧印加時の液晶分子の配向方向が相互に異なる 4 つの領域が形成されるように副画素電極 151a ~ 151d の形状及び突起 124 に対する位置が決められているので、表示電圧が低くても第 1 の実施形態のように視野角特性が劣化することがない。

10

【0096】

なお、本実施形態においては、副画素電極 151c, 151d の面積の総和（低しきい値領域の面積）を S1、副画素電極 151b の面積（中しきい値領域の面積）を S2、副画素電極 151a の面積（高しきい値領域の面積）を S3 としたときに、これらの面積比を例えば、S1 : S2 : S3 = 1 : 2 : 7 又は 2 : 2 : 6 等に設定することが好ましい。

【0097】

（第 4 の実施形態）

図 18 は、本発明の第 4 の実施形態の液晶表示装置の 1 画素を示す平面図である。本実施形態が図 17 に示す第 3 の実施形態と異なる点は、スリットにより画定される副画素電極の形状が異なることにあり、その他の構成は基本的に第 3 の実施形態と同様であるので、図 18 において図 17 と同一物には同一符号を付してその詳しい説明は省略する。

20

【0098】

本実施形態においては、図 18 に示すように、斜め方向に延在するスリット 150a, 150c により画素電極が 4 つの副画素電極 161a, 161b, 161c, 161d に分割されている。副画素電極 161a 及び副画素電極 161b はいずれも上下対称形であり、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域（4 ドメイン）が形成されるように、且つそれらの領域がほぼ同じ大きさとなるように、形状及び突起 124 に対する位置が決められている。また、これらの副画素電極 161a, 161b は、第 2 の絶縁膜を介して制御電極 113 と容量結合している。

30

【0099】

副画素電極 161c, 161d は、補助容量バスライン 112 を挟んで上下対称に配置されている。これらの副画素電極 161c, 161d の下方には TFT114 のソース電極 114s 及び制御電極 113 に接続した接続配線 153a, 153b が形成されている。副画素電極 161c はコンタクトホール 154a を介して接続配線 153a に接続され、副画素電極 161d はコンタクトホール 154b を介して接続配線 153b に接続されている。これらの副画素電極 161c, 161d も、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域（副画素電極 161c, 161d にそれぞれ 2 つの領域）が形成されるように、且つそれらの領域がほぼ同じ大きさとなるように、形状及び突起 124 に対する位置が決められている。

40

【0100】

本実施形態は、図 17 に示す第 3 の実施形態の液晶表示装置に比べて以下に示す利点がある。すなわち、第 3 の実施形態の液晶表示装置では、スリット 150b がドメイン規制用構造物であるスリット 150a 及び突起 124 に対しほぼ 45° の角度で交差している。このようなスリットがあると液晶分子の配向の乱れが生じ、図 19 (a) の光の透過図に示すように透過率が低い部分が発生する。

【0101】

一方、本実施形態では、ドメイン規制用構造物であるスリット 150a 及び突起 124 に対しほぼ 45° の角度に交差するスリットをなくし、スリット 150a に対しほぼ垂直にスリット 150c を形成している。この場合、図 19 (b) の光の透過図に示すように

50

、液晶分子の乱れが小さくなつて透過率の減少が抑制される。これにより、本実施形態の液晶表示装置は、第3の実施形態と同様の効果が得られるのに加えて、第3の実施形態の液晶表示装置に比べてより一層明るい表示が可能になるという効果を奏する。

【0102】

(第5の実施形態)

図20は、本発明の第5の実施形態の液晶表示装置の1画素を示す平面図である。本実施形態が図18に示す第4の実施形態と異なる点は、接続配線のパターン形状が異なることにあり、その他の構成は基本的に第4の実施形態と同様であるので、図20において図18と同一物には同一符号を付して、その詳しい説明は省略する。

【0103】

接続配線163aは、ソース電極114sから突起124に向つて斜め方向(突起124に対しほぼ垂直な方向)に延びる部分と、突起124に沿つて延びる部分と、制御電極113に向つてデータバスライン115と平行に延びる部分とにより構成されている。そして、接続配線163aは、突起124に沿つて延びる部分でコンタクトホール154aを介して副画素電極161cに電気的に接続している。また、接続配線163bは、制御電極113から突起124に向つてデータバスライン115と平行に延びる部分と、突起124に沿つて延びる部分とにより構成されている。そして、突起124に沿つて延びる部分の先端でコンタクトホール154bを介して副画素電極161dに電気的に接続している。

【0104】

図18に示す第4の実施形態の液晶表示装置では、スリット150a, 150bから接続配線153a, 153bが露出する部分で、接続配線153a, 153bから発生する電気力線の影響により液晶分子の配向の乱れが発生して、透過率の低い部分が発生する。

【0105】

一方、本実施形態においては、上述したように接続配線163a, 163bを突起124に沿つて配置している。突起124はドメインの境界となり、もともと透過率が低い部分である。従つて、図20に示すように、接続配線163a, 163bを突起124に沿つて配置することにより、接続配線163a, 163bがスリット150cから露出する部分での透過率の低下が回避される。これにより、本実施形態の液晶表示装置は、第4の実施形態と同様の効果を得ることができるように加えて、第4の実施形態に比べてより一層明るい表示が可能になるという効果を奏する。

【0106】

(第6の実施形態)

図21は本発明の第6の実施形態の液晶表示装置の1画素を示す平面図、図22は図21中に破線の円Aで囲んだ部分を拡大して示す模式図、図23は図21中に破線の円Bで囲んだ部分を拡大して示す模式図である。なお、図21において、図20と同一物には同一符号を付して、その詳しい説明は省略する。

【0107】

本実施形態においては、図22に示すように、スリット150aと接続配線163aとが交差する部分に、接続配線163aを覆うITO膜170が形成されている。このITO膜170は副画素電極161aの一部を構成するものである。このように、接続配線163aの露出部をITO膜170で覆うことにより、接続配線163aから発生する電気力線を遮蔽して液晶分子の乱れを防止することができる。図24(a)に第5の実施形態の液晶表示装置(ITO膜170がないとき)のスリット150aと接続配線163aとの交差部の光の透過図を示し、図24(b)に本実施形態(ITO膜170があるとき)のスリット150aと接続配線163aとの交差部の光の透過図を示す。この図24(a), (b)から、本実施形態では第5の実施形態に比べて、スリット150aと接続配線163aとの交差部の光の透過率が向上することがわかる。

【0108】

また、本実施形態では、図23に示すように、副画素電極161aと容量結合する制御

10

20

30

40

50

電極 113a と、副画素電極 161b と容量結合する制御電極 113b との間を補助容量バスライン 112 よりも細い配線 113c により接続している。図 20 に示すような制御電極 113 では、スリット 150a から制御電極 113 が露出しているため、制御電極 113 から発生する電気力線が液晶分子の配向を乱し、図 25 (a) の光の透過図に示すように、透過率が減少してしまう。

【0109】

一方、本実施形態では、制御電極 113a, 113b を接続する配線 113c のエッジが補助容量バスライン 112 の上に配置されている。補助容量バスライン 112 は、通常接地電位に保持されるので、配線 113c から発生する電気力線が補助容量バスライン 112 に吸収され、液晶分子の配向の乱れが抑制される。図 25 (b) に、本実施形態における制御電極 113 とスリット 150a との交差部の光の透過図を示す。この図 25 (a), (b) から、本実施形態では第 5 の実施形態に比べて制御電極 113 の近傍の光の透過率が向上することがわかる。

【0110】

(第 7 の実施形態)

図 26 は本発明の第 7 の実施形態の液晶表示装置の 1 画素を示す平面図である。本実施形態が図 11 に示す第 1 の実施形態と異なる点は、スリットにより画定される副画素電極の形状と対向基板側に形成される突起のパターン形状とが異なることにあり、その他の構成は基本的に第 1 の実施形態と同様であるので、図 26 において図 11 と同一物には同一符号を付してその詳しい説明は省略する。

【0111】

本実施形態においては、画素電極が、斜め方向に延びるスリット 180a により、5 つの副画素電極 181a ~ 181e に分割されている。副画素電極 181a, 181e は、補助容量バスライン 112 を挟んで上下対称に配置されている。副画素電極 181a の下方には第 2 の絶縁膜を介して矩形の制御電極 183a が形成されており、副画素電極 181a は制御電極 183a と容量結合している。この制御電極 183a は、ソース電極 114s から制御電極 113 まで延びる接続配線 185a と電気的に接続されている。

【0112】

また、副画素電極 181e の下方には第 2 の絶縁膜を介して矩形の制御電極 183b が形成されており、副画素電極 181e は制御電極 183b と容量結合している。この制御電極 183b は、制御電極 113 から延びる接続配線 185b と電気的に接続されている。これらの副画素電極 181a, 181e は、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域 (副画素電極 181a, 181e にそれぞれ 2 つの領域) が形成されるように、且つこれらの領域がほぼ同じ大きさとなるように、形状及び突起 187 の位置が決められている。

【0113】

副画素電極 181b, 181d も、補助容量バスライン 112 を挟んで上下対称に配置されている。副画素電極 181b は、コンタクトホール 182b を介して接続配線 185a と電気的に接続されている。また、副画素電極 181d は、コンタクトホール 182c を介して接続配線 185b と電気的に接続されている。これらの副画素電極 181b, 181d も、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域 (副画素電極 181b, 181d にそれぞれ 2 つの領域) が形成されるように、且つこれらの領域がほぼ同じ大きさとなるように、形状及び突起 187 の位置が決められている。

【0114】

副画素電極 181c は制御電極 113 と容量結合している。この副画素電極 181c も、電圧印加時に液晶分子の配向方向が相互に異なる 4 つの領域が形成されるように、且つこれらの領域がほぼ同じ大きさとなるように、形状及び突起 187 の位置が決められている。

【0115】

本実施形態において、表示電圧を供給したときの副画素電極 181a の電圧を A、副画

10

20

30

40

50

素電極 181b の電圧を B、副画素電極 181c の電圧を C、副画素電極 181d の電圧を D、副画素電極 181e の電圧を E とすると、B = D > A = E > C となる。

【0116】

本実施形態においては、T-V 特性のしきい値が異なる 3 つの領域の面積比を容易に最適化することができる。例えば図 27 に示すように、副画素電極 181b と副画素電極 181d との合計の面積を M1、副画素電極 181a と副画素電極 181e との合計の面積を M2、副画素電極 181c の面積を M3 とする。ある大きさの液晶表示装置では、これらの面積比 M1 : M2 : M3 が 1 : 2 : 7 (M1 : M2 : M3 = 1 : 2 : 7) のときに白茶けが最も少なくなることが実験から判明している。この場合、突起 187 の幅を 10 10 μm 、スリット 180a の幅を 10 μm とし、突起とスリットの間隔を、副画素電極 181b, 181d では 3 μm 、副画素電極 181a, 181e では 7 μm 、副画素電極 181c では 25 μm とすると、面積比 M1 : M2 : M3 が概ね 1 : 2 : 7 となる。このように、本実施形態では、突起 187 とスリット 180a との間隔を設定するだけで、副画素電極 181a ~ 181e の面積比を容易に所望の値とすることができます。

【0117】

図 28 は第 7 の実施形態の変形例 1 の液晶表示装置の 1 画素を示す平面図である。この変形例 1 においては、接続配線 185a, 185b の下方に、補助容量バスライン 112 から延びる導電パターン 112a, 112b を設けている。この導電パターン 112a, 112b により接続配線 112a, 112b から発生する電気力線が吸収され、スリット 180a から接続配線 112a, 112b が露出する部分での液晶分子の配向の乱れを抑制することができる。

【0118】

図 29 は第 7 の実施形態の変形例 2 の液晶表示装置の 1 画素を示す平面図である。この変形例 2 においては、更にスリット 180a の下方に、補助容量バスライン 112 と接続した導電パターン 112c を形成している。この導電パターン 112c によりスリット 180a の下方の部分が接地電位に保持されるので、スリット 180a の部分での光の透過をより確実に防止することができる。

【0119】

(その他の実施形態)

図 30 に示すように、赤色 (R) 画素、緑色 (G) 画素及び青色 (B) 画素のセルギャップが相互に異なるマルチギャップ構造の液晶表示装置では、画素電極とコモン電極との間の容量 (液晶容量) が各色画素毎に異なる。例えば図 30 に示すように、青色画素 B のセルギャップが 3.6 μm 、緑色画素 G のセルギャップが 4.6 μm 、赤色画素 R のセルギャップが 5.6 μm であるとすると、青色画素 B の液晶容量は緑色画素 G の液晶容量の (4.6 / 3.6) 倍となる。第 1 ~ 第 7 の実施形態に示したように、容量結合による電圧降下を赤色画素、緑色画素及び青色画素で等しくするために、液晶容量と制御電極との容量比が一定であることが必要である。従って、制御電極と副画素電極の重なり量をセルギャップの逆比にすることが必要である。すなわち、図 31 に示すように、緑色画素 G の制御電極 113G の面積を赤色画素 R の制御電極 113R の (5.6 / 4.6) 倍とする。また、青色画素 B の制御電極 113B を緑色画素 G の制御電極 113G の (4.6 / 3.6) 倍とする。

【0120】

このように赤色画素 R、緑色画素 G 及び青色画素 B で制御電極の大きさを変えることにより、容量結合による電圧降下が等しくなり、良好な表示品質が得られる。なお、制御電極の面積を変える替わりに、制御電極と副画素電極との間の絶縁膜の厚さを各色画素毎に変化させてもよい。しかしながら、制御電極と副画素電極との間の絶縁膜の厚さを各色画素毎に変化させる場合は製造工程が増加するため、上述の如く制御電極の面積を変えたほうが簡単である。

【0121】

図 32 は、第 1 ~ 第 7 の実施形態において、T-V 特性のしきい値が最も低い副画素の

10

20

30

40

50

部分に散乱層 190 を設けた例を示している。なお、図 32において、195a, 195b は液晶パネルの両面にそれぞれ配置された偏光板を示している。

【0122】

表示電圧が低い場合は、1画素内的一部の副画素のみが光を透過し、他の副画素の部分では光を透過しない。このため、画素サイズが大きい場合は画面がざらついた印象を与える。そこで、図 32 に示すように、T-V 特性のしきい値が最も低い副画素の部分に散乱層 190 を形成する。この散乱層 190 は、例えば基板 120 の表面をエッチングで荒らすなどの方法により形成される。これにより、光が散乱されて、輝度が低いときの画面のざらつきが抑制される。また、散乱によって輝度が低いときの視野角特性が改善されるという効果もある。

10

【0123】

なお、偏光板 195a と偏光板 195b との間に光を散乱させる層を配置すると、偏光が乱れるため、コントラストが低下する。しかし、この図 32 に示す例のように、画素の一部のみに散乱層 190 を配置した場合はコントラストの低下が少なく、実用上問題は発生しない。

【0124】

上記第 1 ~ 第 7 の実施形態においてはいずれも本発明を透過型液晶表示装置に適用した場合について説明したが、本発明は反射型液晶表示装置及び半透過型液晶表示装置に適用することもできる。

【0125】

20

(面積比及び電圧比)

本願発明のように容量結合と VA モードの液晶表示装置とを組み合わせた場合、副画素電極の面積の比率と電圧の比率には最適な値の範囲が存在する。図 33 ~ 図 35 はそのパラメータの組み合わせについて調べた結果を示す図である。これらの図 33 ~ 図 35 において、横軸は副画素電極の面積比を示している。すなわち、TFT に直結した副画素電極の面積 (低しきい値領域の面積) と、制御電極に容量結合した副画素電極の面積 (高しきい値領域の面積) との比を示している。また、縦軸は電圧比、すなわち制御電極に容量結合された副画素電極の電圧 / TFT に直結した副画素電極の電圧を示す。容量結合された副画素電極の電圧は、容量の分圧で決定される。

【0126】

30

この組み合わせに対して、VA モードの液晶表示装置において白茶けの影響を受けやすい代表的な画像を選び、そのピーク階調における係数をもって等高線グラフを作成した。なお、グラフには係数が高い組み合わせ、すなわち白茶けの改善効果がより大きな組み合わせの方向を矢印で示している。

【0127】

図 33 (a), (b), (c) はいずれも人肌の画像の階調値である。人肌は人間が記憶している色であり、画像の人物に対する印象を色で判断する場合が多く且つ重要であるため、白茶け改善が重要である代表的画像といえる。また、図 34 は食材である肉の画像の階調値である。食欲を引き出せるかという点で画像の再現性が重要であり、人肌よりも暗い低階調側の画像である。

40

【0128】

図 33 (a) ~ (c) 及び図 34 から、電圧比が 0.8 以上では白茶けを改善する効果が殆どなく、電圧比は 0.8 以下でなければならないことは明らかである。

【0129】

また、面積比は、低階調の肉の画像は面積比が 1 : 9 などの比率のときに白茶け改善の効果が良好であるが、人肌の画像では面積比が 2 : 8 ~ 5 : 5 のときに白茶け改善の効果が良好であり、面積比が 6 : 4 では効果が落ち始める。また、面積比が 6 : 4 では低階調の肉の画像では白茶けの改善効果が全く得られない。

【0130】

図 35 は容量結合のパラメータと透過率との関係を示す図である。高しきい値領域の副

50

画素電極には十分な電圧が印加されないため透過率は低下する傾向にあるが、高しきい値領域の副画素電極の面積割合が小さいほど、また電圧比が大きくしきい値のずれが小さいほど、透過率の低下は小さく抑えられる。図中矢印の方向が透過率が高い良好なパラメータの方向性となる。

【0131】

図33(a)～(c)及び図34と図35とを比較すると、互いにパラメータは反する方向に最適解があることがわかる。肌、肉、透過率でバランスが取れる条件としては4：6分割で電圧比0.72付近が理想的である。

【0132】

なお、3分割については更に組み合わせが複雑になるが、傾向は2分割と同様である。
しかしながら、実験から低しきい値領域、中しきい値領域及び高しきい値領域の3つの画素において(低しきい値領域+中しきい値領域)と高しきい値領域、又は低しきい値領域と(中しきい値領域+高しきい値領域)との二つに組み合わせた場合の条件が2分割の条件範囲に入ってくれば大きな差はなくなることがわかっている。なお、画素電極を低しきい値領域、中しきい値領域及び高しきい値領域の3つに分割する場合、1：2：7、1：3：6、2：2：6等が理想的な条件となる。

【0133】

以下、本発明の諸態様を、付記としてまとめて記載する。

【0134】

(付記1) 相互に対向して配置された第1基板及び第2の基板と、
前記第1の基板及び前記第2の基板の間に封入された垂直配向型液晶と、
前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、
前記第1の基板に設けられて表示信号が供給されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインにより画定される画素領域毎に形成されたスイッチング素子及び画素電極と、
前記第1の基板の画素領域に設けられて前記スイッチング素子と接続された制御電極と、
前記第2の基板に設けられたコモン電極とを有し、
前記画素電極が複数の副画素電極に分割され、前記複数の副画素電極のうちの少なくとも一部の副画素電極が前記制御電極と容量結合し、前記制御電極に電圧が印加されると、前記制御電極に容量結合した副画素電極に、前記制御電極との間で形成される容量と前記液晶を介して前記コモン電極との間で形成される容量との比に応じた電圧が印加されることを特徴とする液晶表示装置。

【0135】

(付記2) 前記複数の副画素電極のうち前記スイッチング素子に接続された副画素電極の面積の総和S1と、前記制御電極との間に形成された容量を介して駆動される副画素電極の面積の総和S2との比(S1:S2)が、1:9乃至6:4の範囲内であることを特徴とする付記1に記載の液晶表示装置。

【0136】

(付記3) 前記複数の副画素電極のうち前記スイッチング素子に接続された副画素電極の電圧V1と、前記制御電極との間に形成された容量を介して駆動される副画素電極の電圧V2との比(V2/V1)が、0.8乃至0.59の範囲内であることを特徴とする付記1に記載の液晶表示装置。

【0137】

(付記4) 相互に対向して配置された第1の基板及び第2の基板と、
前記第1の基板及び前記第2の基板の間に封入された液晶と、
前記第1の基板に設けられて走査信号が供給されるゲートバスラインと、
前記第1の基板に設けられて表示信号が供給されるデータバスラインと、
前記ゲートバスライン及び前記データバスラインにより画定される画素領域内に配置され、スリットにより複数の副画素電極に分割された画素電極と、

10

20

30

40

50

前記ゲートバスライン及び前記データバスラインに接続されたスイッチング素子と、前記スイッチング素子に接続されて前記複数の副画素電極の少なくとも1つと容量結合する制御電極と、

前記第2の基板に設けられたコモン電極とを有し、

前記画素電極を分割するスリットの少なくとも一部が、電圧印加時の液晶分子の配向方向を規定するドメイン規制用構造物を構成することを特徴とする液晶表示装置。

【0138】

(付記5) 前記データバスラインに前記表示信号を供給し、前記ゲートバスラインに前記走査信号を供給したときに、前記複数の副画素電極の一部に第1の電圧が印加され、残りの副画素電極には前記第1の電圧と異なる第2の電圧が印加されることを特徴とする付記4に記載の液晶表示装置。 10

【0139】

(付記6) 前記制御電極と容量結合をしている副画素電極以外の副画素電極が、前記スイッチング素子と接続していることを特徴とする付記4に記載の液晶表示装置。

【0140】

(付記7) 前記第1の基板には、前記スリット以外のドメイン規制用構造物を有しないことを特徴とする付記4に記載の液晶表示装置。

【0141】

(付記8) 前記第2の基板に、電圧印加時の液晶分子の配向方向を規定する第2のドメイン規制用構造物が形成されていることを特徴とする付記4に記載の液晶表示装置。 20

【0142】

(付記9) 前記スリットと前記第2のドメイン規制用構造物との間隔が、各副画素電極毎に設定されていることを特徴とする付記8に記載の液晶表示装置。

【0143】

(付記10) 前記スイッチング素子と前記制御電極との間を接続する配線が、前記第2の基板の第2のドメイン規制用構造物に沿って配置されていることを特徴とする付記8に記載の液晶表示装置。

【0144】

(付記11) 前記ドメイン規制用構造物を構成するスリットが、前記ドメイン規制用構造物を構成するスリットに対しほぼ垂直に配置されていることを特徴とする付記4に記載の液晶表示装置。 30

【0145】

(付記12) 前記画素領域に隣接する2つのデータバスラインのうちの一方のデータバスラインとの間に第1の寄生容量が発生する副画素電極と、他方のデータバスラインとの間に前記第1の寄生容量とほぼ同じ大きさの第2の寄生容量が発生する副画素電極とが、相互に電気的に接続されていることを特徴とする付記4に記載の液晶表示装置。

【0146】

(付記13) 前記スイッチング素子と前記制御電極とを接続する配線と前記スリットとが交差する部分に、前記配線を覆う導電体膜が形成されていることを特徴とする付記4に記載の液晶表示装置。 40

【0147】

(付記14) 前記制御電極が、前記画素領域の中央を横断する補助容量バスラインの上に絶縁膜を介して形成されていることを特徴とする付記4に記載の液晶表示装置。

【0148】

(付記15) 前記複数の副画素電極のうち前記制御電極と容量結合する第1の副画素電極及び第2の副画素電極を有し、

前記制御電極のうち前記第1の副画素電極に容量結合する部分と前記第2の副画素電極に容量結合する部分との間が、前記補助容量バスラインよりも細い配線で接続されていることを特徴とする付記14に記載の液晶表示装置。

【0149】

(付記 16) 前記スイッチング素子と前記制御電極とを接続する配線の下方に、前記補助容量バスラインに接続した導体パターンが形成されていることを特徴とする付記 14 に記載の液晶表示装置。

【0150】

(付記 17) 前記スリットの下方に、前記補助容量バスラインに接続した導体パターンが形成されていることを特徴とする付記 14 に記載の液晶表示装置。

【0151】

(付記 18) 前記第 1 の基板及び前記第 2 の基板のいずれか一方に設けられたカラーフィルタを有し、カラーフィルタの色毎に前記第 1 の基板と前記第 2 の基板との間の液晶層の厚さが異なることを特徴とする付記 4 に記載の液晶表示装置。 10

【0152】

(付記 19) 前記液晶層の厚さが厚い画素ほど前記制御電極の大きさが小さいことを特徴とする付記 18 に記載の液晶表示装置。

【0153】

(付記 20) 前記第 1 の基板及び第 2 の基板のうちの少なくとも一方の基板の前記複数の副画素電極の一部に対向する部分に、光を散乱する散乱層が形成されていることを特徴とする付記 4 に記載の液晶表示装置。

【図面の簡単な説明】

【0154】

【図 1】従来の液晶表示装置の構造を示す模式断面図である。 20

【図 2】図 2 (a), (b) は、従来の MVA 型液晶表示装置の一例を示す模式断面図である。

【図 3】図 3 は、 TFT 基板側の画素電極にドメイン規制用構造物としてスリットを形成した従来の MVA 型液晶表示装置を示す模式断面図である。

【図 4】図 4 は実際の MVA 型液晶表示装置の 1 画素を示す平面図である。

【図 5】図 5 は同じくその液晶表示装置の TFT 基板の模式断面図である。

【図 6】図 6 は、従来の MVA 型液晶表示装置における 4 つのドメインを示す模式図である。

【図 7】図 7 は、画面を正面から見たときの T-V 特性と上 60° の方向から見たときの T-V 特性とを示す図である。 30

【図 8】図 8 は、容量結合による HT (ハーフトーングレースケール) 法を使用した従来の液晶表示装置の 1 画素を示す平面図である。

【図 9】図 9 (a) は画素電極が分割されていない液晶表示装置の 1 画素を示す模式図、図 9 (b) は画素電極が 2 つに分割された液晶表示装置の 1 画素を示す模式図、図 9 (c) は画素電極が 3 つに分割された液晶表示装置の 1 画素を示す模式図、図 9 (d) は画素電極が 4 つに分割された液晶表示装置の 1 画素を示す模式図である。

【図 10】図 10 は、TN 型液晶表示装置及び VA 型液晶表示装置における画素電極の分割数と画素ピッチ及び開口率比との関係を示す図である。

【図 11】図 11 は、本発明の第 1 の実施形態の液晶表示装置を示す平面図である。

【図 12】図 12 は、同じくその模式断面図である。 40

【図 13】図 13 は、副画素電極を分離するスリットとは別に、ドメイン規制用構造物としてスリット及び突起を設けた MVA 型液晶表示装置の例を示す模式図である。

【図 14】図 14 は、本発明の第 2 の実施形態の液晶表示装置の 1 画素を示す平面図である。

【図 15】図 15 は、第 1 の実施形態の液晶表示装置の画素部の等価回路図である。

【図 16】図 16 は、第 2 の実施形態の液晶表示装置の画素部の等価回路図である。

【図 17】図 17 は、本発明の第 3 の実施形態の液晶表示装置の 1 画素を示す平面図である。

【図 18】図 18 は、本発明の第 4 の実施形態の液晶表示装置の 1 画素を示す平面図である。 50

【図19】図19(a)は第3の実施形態の液晶表示装置の一部分の光の透過状態を示す光透過図、図19(b)は第4の実施形態の液晶表示装置の図19(a)に対応する部分の光の透過状態を示す光透过図である。

【図20】図20は、本発明の第5の実施形態の液晶表示装置の1画素を示す平面図である。

【図21】図21は、本発明の第6の実施形態の液晶表示装置の1画素を示す平面図である。

【図22】図22は、図21中に破線の円Aで囲んだ部分を拡大して示す模式図である。

【図23】図23は、図21中に破線の円Bで囲んだ部分を拡大して示す模式図である。

【図24】図24(a)は第5の実施形態の液晶表示装置の一部分の光の透過状態を示す光透过図、図24(b)は第6の本実施形態の図24(a)に対応する部分の光の透過状態を示す光透过図である。
10

【図25】図25(a)は第5の実施形態の液晶表示装置の他の部分の光の透過状態を示す光透过図、図25(b)は第6の本実施形態の図25(a)に対応する部分の光の透過状態を示す光透过図である。

【図26】図26は、本発明の第7の実施形態の液晶表示装置の1画素を示す平面図である。

【図27】図27は、副画素電極の面積比を説明する平面図である。

【図28】図28は、第7の実施形態の変形例1の液晶表示装置の1画素を示す平面図である。
20

【図29】図29は、第7の実施形態の変形例2の液晶表示装置の1画素を示す平面図である。

【図30】図30は、赤色(R)画素、緑色(G)画素及び青色(B)画素のセルギャップが相互に異なるマルチギャップ構造の液晶表示装置を示す模式図である。

【図31】図31は、セルギャップに応じて制御電極の大きさを設定した液晶表示装置を示す模式図である。

【図32】図32は、T-V特性のしきい値が最も低い副画素の部分に散乱層を設けた液晶表示装置の例を示す模式図である。

【図33】図33(a), (b), (c)はいずれも人肌の画像における面積比及び電圧比の最適範囲を示す図である。
30

【図34】図34は肉の画像における面積比及び電圧比の最適範囲を示す図である。

【図35】図35は容量結合のパラメータと透過率との関係を示す図である。

【符号の説明】

【0155】

10, 20, 50, 110, 120...基板、
12, 56...画素電極、
12a, 56a, 84, 117a, 150a, 150b, 150c, 180a...スリット、
13, 23, 71, 85, 124, 187...突起、
14, 24, 118, 125...配向膜、
22, 123...コモン電極
30, 130...液晶
40...液晶パネル、
41, 42...偏光板、
51, 111...ゲートバスライン、
52, 112...補助容量バスライン、
53...補助容量電極、
54, 114...TFT
55, 115...データバスライン、
61, 62, 131, 132...絶縁膜、
40
50

8 1 a ~ 8 1 d , 1 1 6 a ~ 1 1 6 d , 1 5 1 a ~ 1 5 1 d , 1 6 1 a ~ 1 6 1 d , 1 8 1 a ~ 1 8 1 e ... 副画素電極、

8 2 a ~ 8 2 d , 8 3 , 1 1 3 , 1 8 3 a , 1 8 3 b , 1 1 3 R , 1 1 3 G , 1 1 3 B ... 制御電極、

1 1 5 a , 1 1 5 b , 1 5 3 a , 1 5 3 b , 1 6 3 a , 1 6 3 b , 1 8 5 a , 1 8 5 b ... 接続配線、

1 2 1 ... ブラックマトリクス、

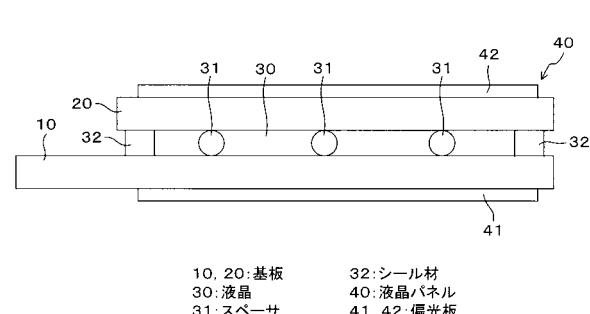
1 2 2 ... カラーフィルタ、

1 7 0 ... I T O 膜、

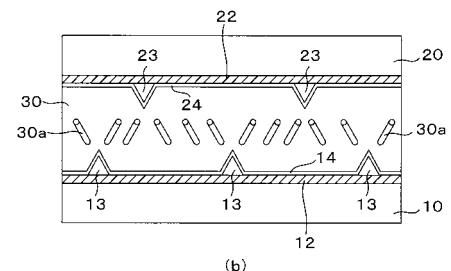
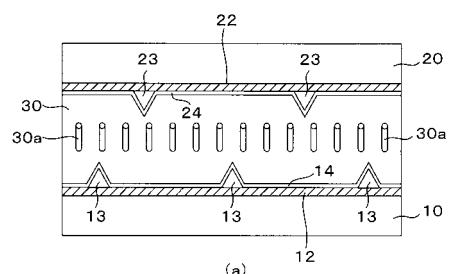
1 9 0 ... 散乱層。

10

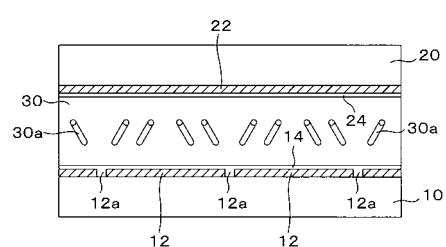
【図1】



【図2】

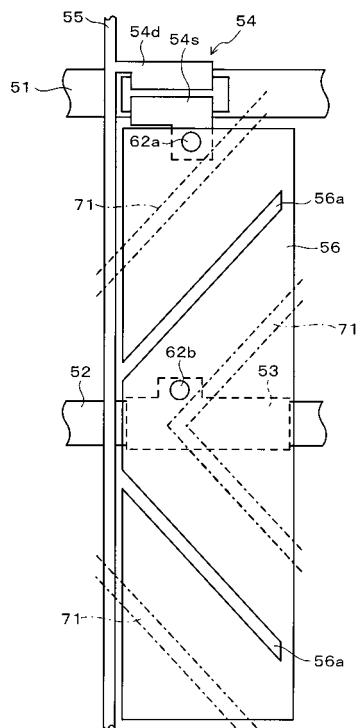


【図3】



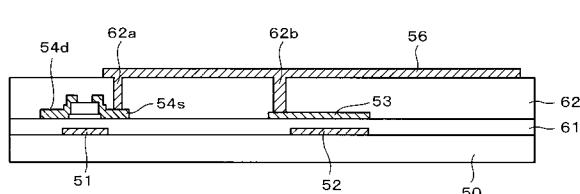
10, 20:基板
12:画素電極
13a:スリット
14, 24:配向膜
22:コモン電極
30a:液晶分子

【図4】



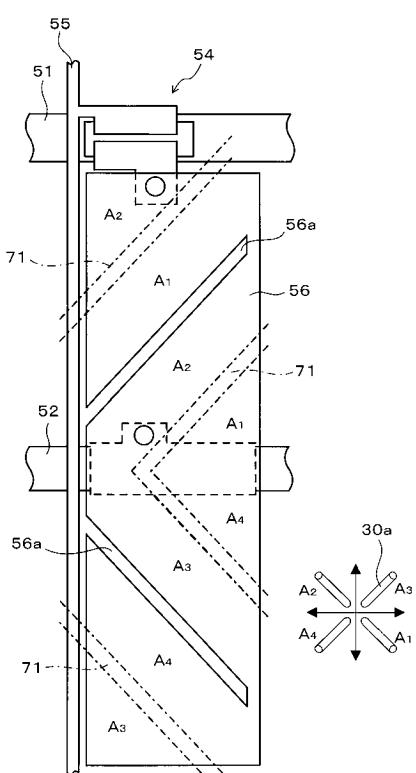
51:ゲートバスライン
52:補助容量バスライン
55:データバスライン
56:画素電極
56a:スリット
71:突起

【図5】

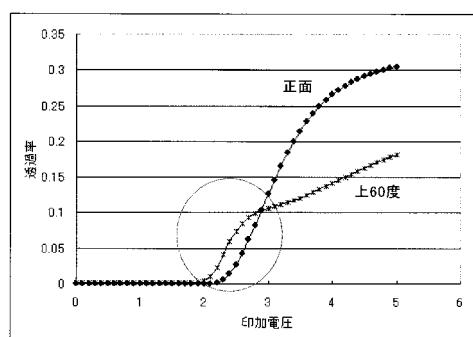


50:基板
51:ゲートバスライン
52:補助容量バスライン
53:補助容量電極
56:画素電極
61, 62:絶縁膜

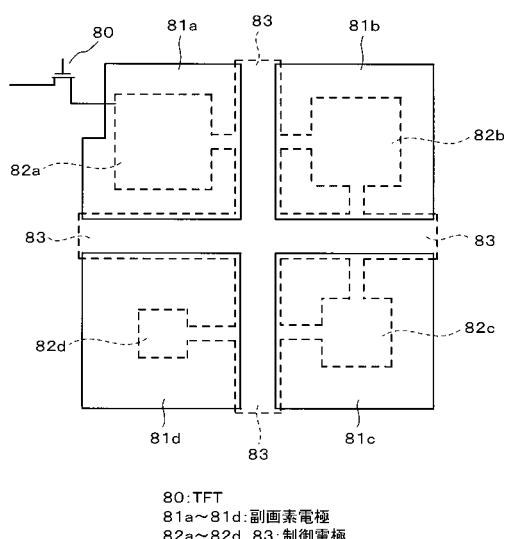
【図6】



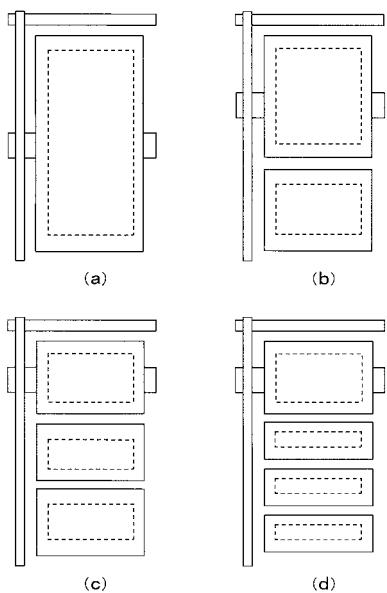
【図7】



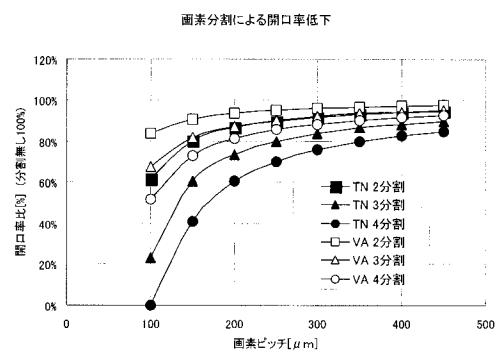
【図8】



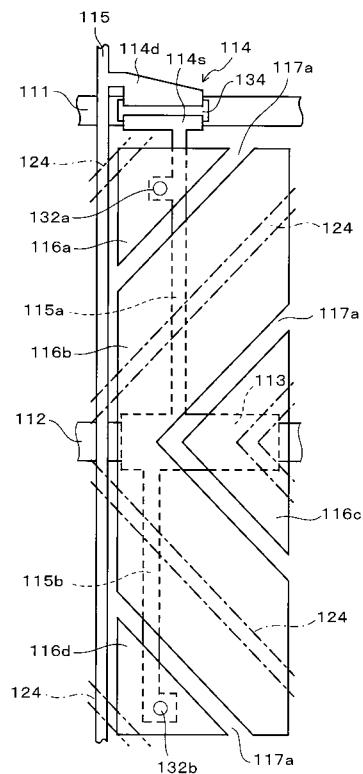
【図9】



【図10】

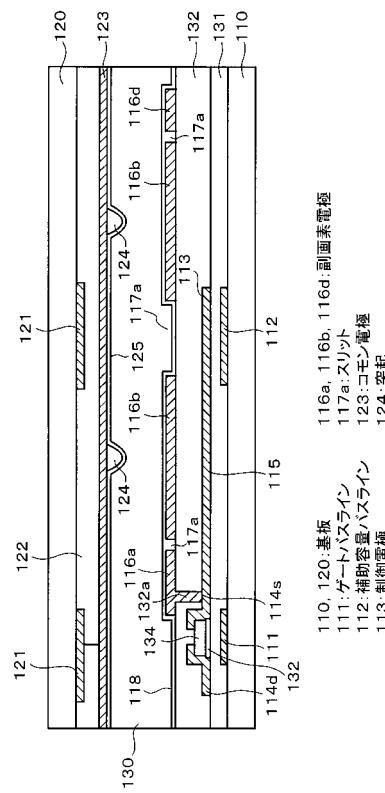


【図11】



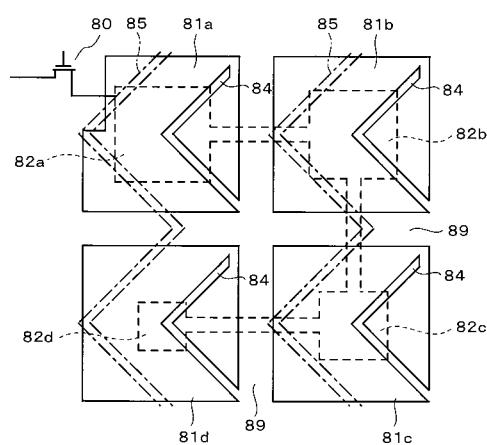
111:ゲートバスライン
112:補助容量バスライン
113:データバスライン
114:ゲート電極
115:スリット
116a～116d:副画素電極
117a:スリット
124:突起

【図12】



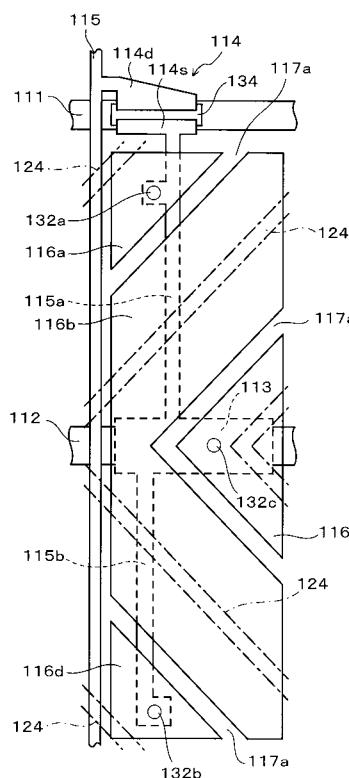
110, 120:基板
111:ゲートバスライン
112:補助容量バスライン
113:制御電極
114:スリット
115:コモジン電極
116a, 116b, 116d:副画素電極
117a:スリット
123:突起

【図13】



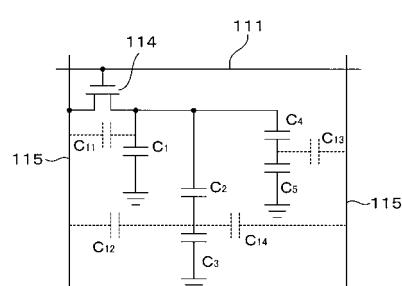
80:TFT
81a～81d:副画素電極
82a～82d:制御電極
84:スリット
85:突起

【図14】

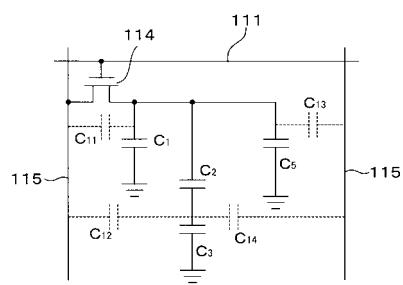


111:ゲートバスライン
112:補助容量バスライン
113:データバスライン
114:ゲート電極
115:スリット
116a～116d:副画素電極
117a:スリット
124:突起

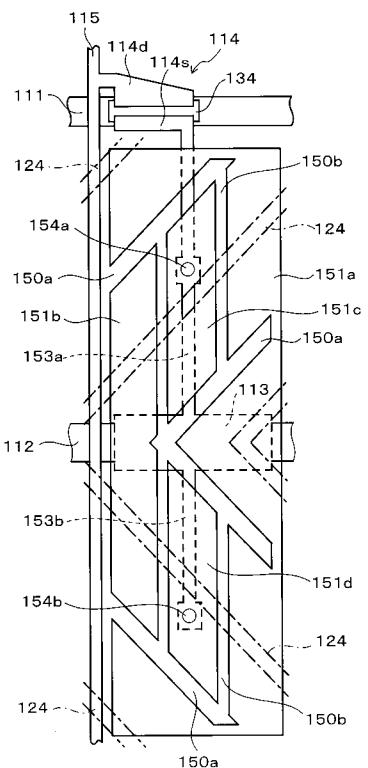
【図15】



【図16】

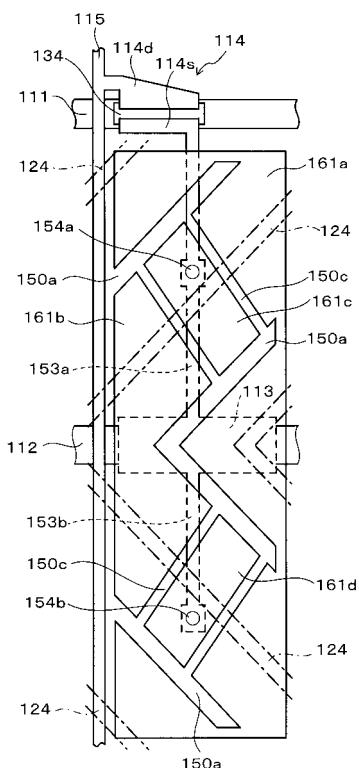


【図17】



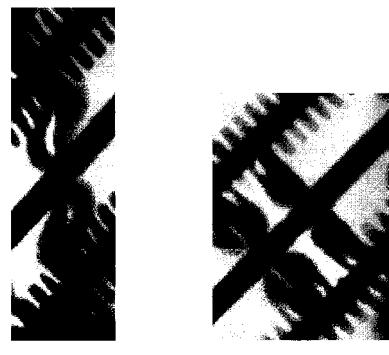
111:ゲートバスライン
112:補助容量バスライン
115:データバスライン
124:突起
150a, 150b:スリット
151a~151d:副画素電極

【図18】



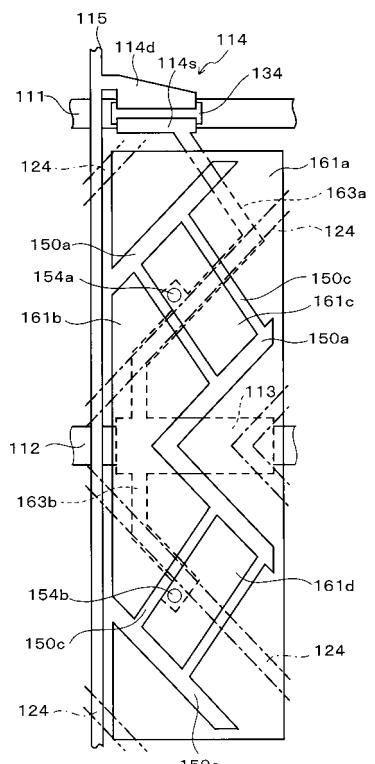
111:ゲートバスライン
112:補助容量バスライン
115:データバスライン
124:突起
150a, 150b:スリット
161a~161d:副画素電極

【図19】



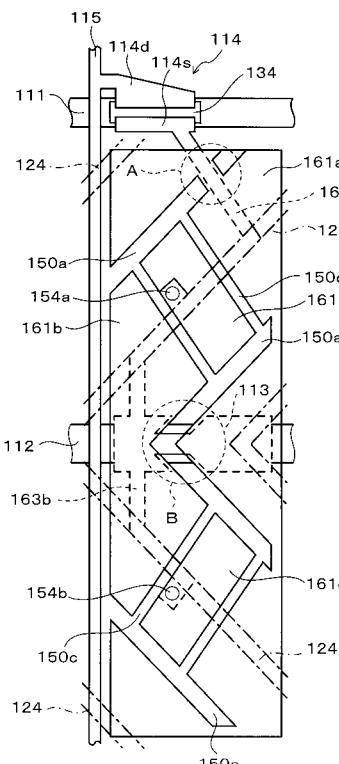
(a) (b)

【 図 2 0 】



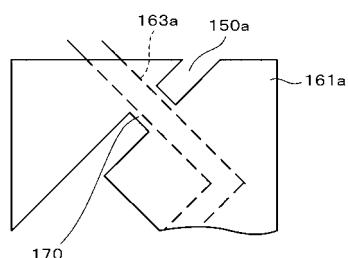
111:ゲートバスライン 124:突起
112:補助容量バスライン 161a~161d:副画素電極
115:データバスライン 163a, 163b:接続配線

【図21】

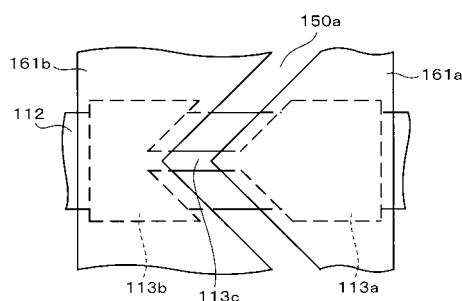


111: ゲートバスライン	124: 突起
112: 補助容量バスライン	161a~161d: 副画素電極
115: データバスライン	163a, 163b: 接続配線

【 2 2 】



〔 囮 2 3 〕

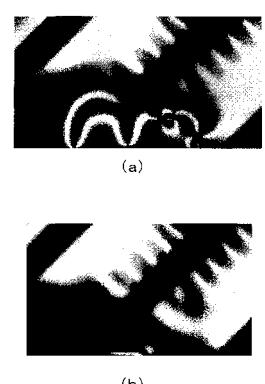


【 図 2 4 】

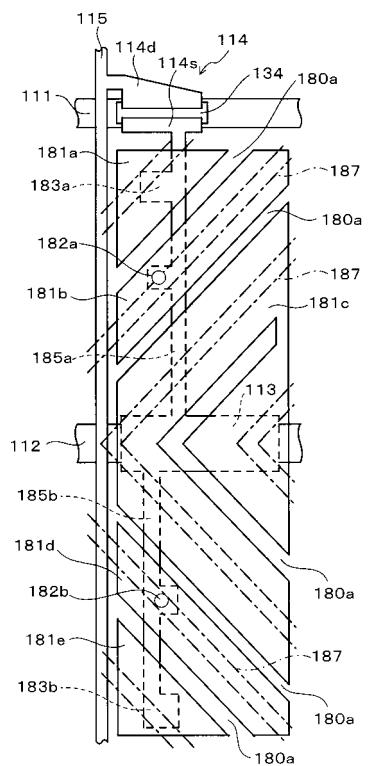


(a) (b)

【图 2-5】

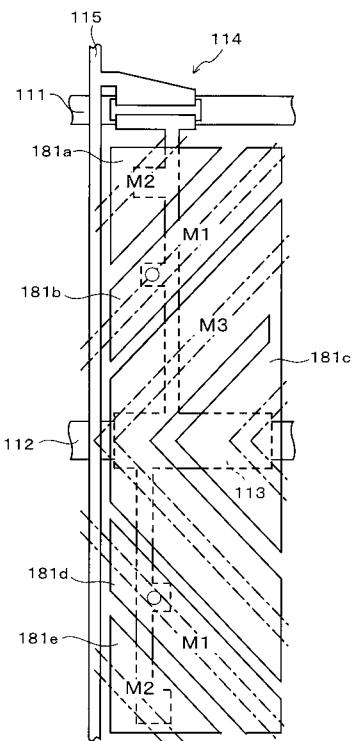


【図26】



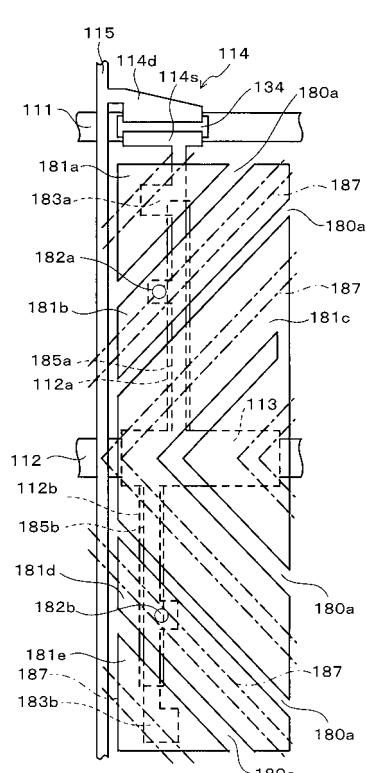
111:ゲートバスライン
112:補助容量バスライン
114:データバスライン
115:ゲートバスライン
180a:スリット
181a~181e:副画素電極
182a~182e:副画素電極
183a~183b:副画素電極
185a~185b:副画素電極
187:突起

【図27】



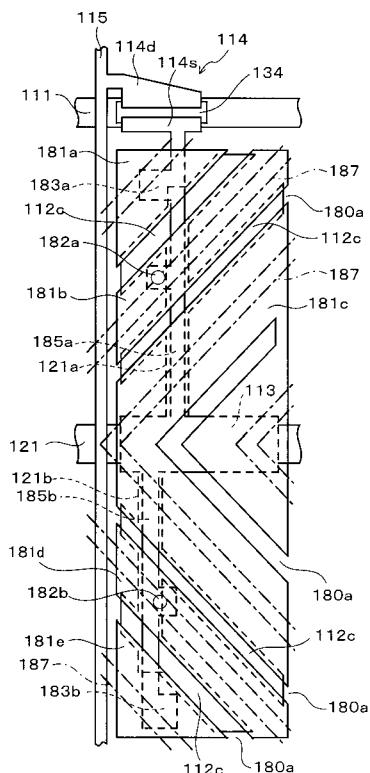
111:ゲートバスライン
112:補助容量バスライン
114:データバスライン
115:ゲートバスライン
180a:スリット
181a~181e:副画素電極
182a~182e:副画素電極
183a~183b:副画素電極
185a~185b:副画素電極
187:突起
M1, M2, M3:電極

【図28】



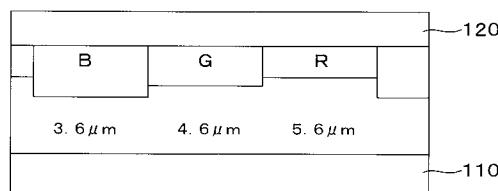
111:ゲートバスライン
112:補助容量バスライン
112a, 112b:導電パターン
114:データバスライン
115:ゲートバスライン
180a:スリット
181a~181e:副画素電極
182a~182e:副画素電極
183a~183b:副画素電極
185a~185b:副画素電極
187:突起

【図29】

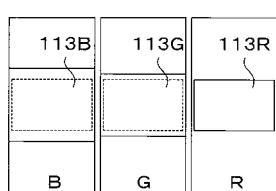


111:ゲートバスライン
112:補助容量バスライン
112a~112c:導電パターン
114:データバスライン
115:ゲートバスライン
180a:スリット
181a~181e:副画素電極
182a~182e:副画素電極
183a~183b:副画素電極
185a~185b:副画素電極
187:突起

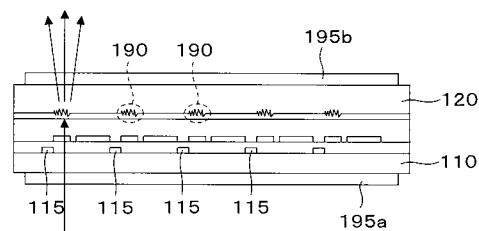
【図30】



【図31】

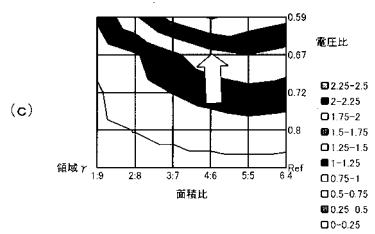
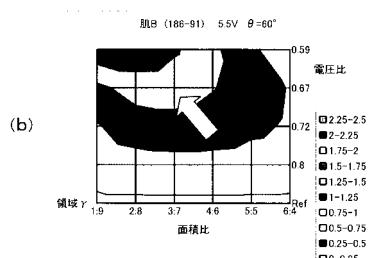
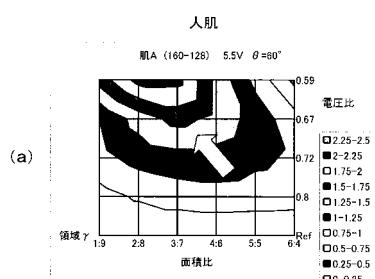


【図32】

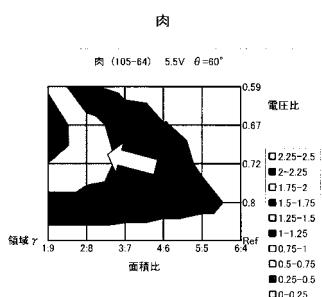


110, 120:基板
115:データバスライン
190:散乱層

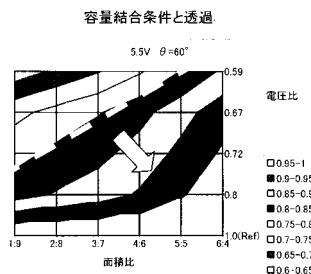
【図33】



【図34】



【図35】



フロントページの続き

(72)発明者 鎌田 豪
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 笹林 貴
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 上田 一也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 吉田 秀史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 小濱 健太

(56)参考文献 特開2002-258307 (JP, A)
特開2001-235752 (JP, A)

(58)調査した分野(Int.Cl., DB名)

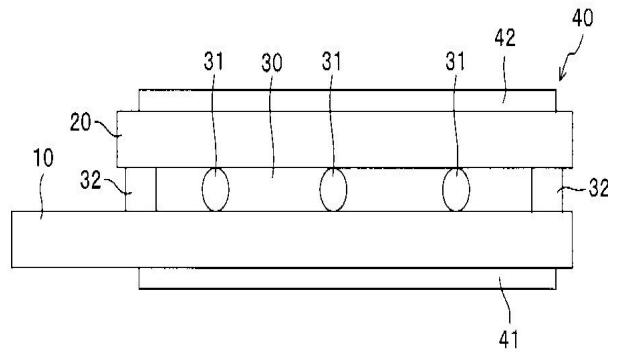
G 02 F 1 / 1343

G 02 F 1 / 1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP4459685B2	公开(公告)日	2010-04-28
申请号	JP2004106138	申请日	2004-03-31
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▼ふん▲有限公司		
当前申请(专利权)人(译)	富士通株式会社 友达光电股▲ふん▼有限公司		
[标]发明人	鎌田豪 笹林貴 上田一也 吉田秀史		
发明人	鎌田 豪 笹林 貴 上田 一也 吉田 秀史		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1368 G02F1/133 G02F1/136 G09G3/36		
CPC分类号	G02F1/134336 G02F2001/134345 G02F2001/134354 G09G3/3607 G09G3/3614 G09G3/3648 G09G2300/0443 G09G2320/0209 G09G2320/0242 G09G2320/028		
FI分类号	G02F1/1343 G02F1/1337.505 G02F1/1368		
F-TERM分类号	2H090/HB08Y 2H090/KA04 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA07 2H090/MA13 2H090 /MA14 2H092/GA13 2H092/GA14 2H092/GA29 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB63 2H092/JB64 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA11 2H092/KB01 2H092/KB04 2H092 /KB25 2H092/MA03 2H092/MA13 2H092/NA01 2H092/NA07 2H092/NA27 2H092/PA01 2H092/PA02 2H092/PA06 2H092/QA06 2H192/AA24 2H192/AA46 2H192/BA13 2H192/BA25 2H192/BC23 2H192 /BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA71 2H192/EA22 2H192/EA43 2H192/GA03 2H192/GD14 2H192/GD44 2H192/JA13 2H290/AA34 2H290/BA04 2H290/BA05 2H290/BB24 2H290 /BB44 2H290/BB73 2H290/BC01 2H290/CA46		
代理人(译)	冈本圭造		
其他公开文献	JP2005292397A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以防止变色的液晶显示装置，具有高显示质量和高孔径比，并且可以提供明亮的显示。解决方案：通过倾斜延伸的狭缝117a将像素电极分成子像素电极116a至116d。控制电极113形成在辅助电容总线112上方。子像素电极116b和116c与控制电极113重叠并与控制电极113电容耦合。控制电极113和TFT 141的源电极114s通过连接线115a连接。子像素电极116a电连接到连接线115a。此外，子像素电极116d电连接到从控制电极113延伸的连接线115b



10, 20: 基板	32: シール材
30: 液晶	40: 液晶パネル
31: スペーサ	41, 42: 偏光板