

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4117134号
(P4117134)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 612L
	G09G 3/20 612P
	G09G 3/20 622B
	請求項の数 2 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-25446 (P2002-25446)
 (22) 出願日 平成14年2月1日(2002.2.1)
 (65) 公開番号 特開2003-228338 (P2003-228338A)
 (43) 公開日 平成15年8月15日(2003.8.15)
 審査請求日 平成17年1月27日(2005.1.27)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 伊藤 高英
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 抜山 和宏
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

データラインを含む液晶パネルと、

1本の制御信号線を介してカスケード接続され、該データラインを駆動する複数のデータドライバと、

該データラインを駆動する該データドライバの駆動動作を制御する複数の制御機能を時系列符号により表現し、該複数のデータドライバに該時系列符号を供給するコントローラを含み、該時系列符号は該1本の制御信号線を介して該複数のデータドライバを順次伝搬し、各データドライバが表示する分の表示データの開始位置のタイミングであって各データドライバ毎に異なるデータスタートタイミングを示すよう伝達される第1の信号と、各データドライバで受け取ったそのままのタイミングで後段に伝達される第2の信号と、該第2の信号の期間を示す符号とを含むことを特徴とする液晶表示装置。

【請求項2】

該複数の制御機能は該データドライバの該データスタートタイミングを指示するデータスタート機能、該データドライバの内部ラッチに表示データを格納するタイミングを指示するラッチパルス機能、及び該データラインの極性を指示するポラリティ機能を含むことを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶パネルを駆動するドライバに関し、詳しくは液晶パネルのゲートラインを走査するためのゲートドライバと、表示データに基づいて液晶パネルのデータラインを駆動するデータドライバに関する。

【従来の技術】

液晶パネル(Liquid Crystal Display: LCD)では、トランジスタを含む画素が縦横に配置され、横方向に延びるゲートラインが各画素のトランジスタのゲートに接続され、縦方向に延びるデータラインがトランジスタを介して各画素のコンデンサに接続される。液晶パネルにデータ表示する際には、ゲートドライバによりゲートラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介して、データドライバから各画素に横1ライン分のデータを一斉に書き込む。

10

【0002】

図1は、従来の液晶表示装置の構成を示す図である。

【0003】

図1の液晶表示装置は、LCDパネル10、タイミングコントローラ11、複数のゲートドライバ12、及び複数のデータドライバ13を含む。LCDパネル10には、図示されないトランジスタを含む画素が縦横に配置され、ゲートドライバ12から横方向に延びるゲートラインが各画素のトランジスタのゲートに接続され、データドライバ13から縦方向に延びるデータラインがトランジスタを介して各画素のコンデンサに接続される。

20

【0004】

タイミングコントローラ11は、インターフェースI/Fを介してクロック信号CX、表示データIXX、及び表示位置のタイミングを示す表示イネーブル信号ENABを受け取る。タイミングコントローラ11は、表示イネーブル信号ENABの立ち上がりからクロック信号CXのクロックパルスを数えることにより水平位置のタイミングを決定し、各種制御信号を生成する。また更に、タイミングコントローラ11は、表示イネーブル信号ENABの数をカウントすることで、垂直位置のタイミングを決定し、各種制御信号を生成する。また、表示イネーブル信号ENABのLOW期間が一定のクロックパルス数以上継続する位置を検出することで、各フレームの先頭の位置を検出することが出来る。

【0005】

タイミングコントローラ11からゲートドライバ12に供給される制御信号は、ゲートクロック信号GCLK、スタートパルス信号GST、及びアウトプットイネーブル信号GOEを含む。ゲートクロック信号GCLKは、信号の立ち上がり同期して駆動するゲートラインを1ラインずつシフトさせるための同期信号であり、ゲートがオンになる横方向1ライン分のトランジスタを信号の立ち上がり同期して1ラインずつ縦方向にシフトさせることに相当する。スタートパルス信号GSTは、先頭のゲートラインをオンさせるタイミングを指定する同期信号であり、フレームの開始タイミングに相当する。アウトプットイネーブル信号GOEは、上記動作をオンにするか或いはオフにして全てのゲートラインを非駆動状態にするかを指定する信号である。

30

【0006】

タイミングコントローラ11からデータドライバ13に供給される制御信号は、ドットクロック信号DCK、データスタート信号DST、ラッチパルスLP、及びポラリティ信号POLを含む。ドットクロック信号DCKは、表示データDXXを立ち上がり同期でレジスタに取りこむためのクロックパルスである。データスタート信号DSTは、当該データドライバ13が表示する分の表示データDXXの開始位置を示す信号である。このデータスタート信号DSTのタイミングを開始点として、各画素に対応する表示データDXXをドットクロック信号DCKにより順次レジスタに取り込む。ラッチパルスLPは、レジスタに順次取り込まれた表示データDXXを内部ラッチにラッチするための信号である。ラッチされた表示データ信号はDAコンバータに転送され、DAコンバータによりアナログ階調信号に変換され、データライン駆動信号としてLCDパネル10に出力される。またポラリティ信号POLは、DAコンバータに入力される信号であり、この信号により各デ

40

50

ータラインの出力極性を指示する。液晶の特性劣化を防ぐために各データラインの出力極性を時間的に反転させる動作が必要であるので、このポラリティ信号POLを用いて共通電圧に対する各データラインの出力極性を選択する。

【発明が解決しようとする課題】

制御信号がノイズにより劣化すると、致命的な誤動作の原因となる可能性がある。従って制御信号配線に関しては、配線間クロストークの低減に対して細心の注意を払い、十分な余裕を持たして実装する必要がある。しかしながらこの制御信号線の本数が比較的多いために、配線板の面積増大をもたらす結果となり、コスト削減に対する負担となっている。

【0007】

以上を鑑みて本発明は、現状の制御機能を維持しながら、各ドライバに入力する制御信号の数を最小限に抑えた液晶表示装置を提供することを目的とする。

10

【0008】

上記は制御信号に関する問題であるが、表示データについても同様の問題が存在する。最近の液晶表示装置では、高精細及び高品質表示を実現するためにデータドライバへのデータ線数を増加させ、偶数及び奇数ドットの2系統の表示データを入力する構成となっている。これにより高精細なデータ表示を可能としながらも、デバイスが無理なく追従できる速度に表示データの転送速度を設定することが出来る。例えば2系統に転送路を分割する場合には、転送周波数を1/2にすることが出来る。

【0009】

表示データ信号数はRGB毎に独立しており、表示階調数のビット分だけ必要である。従って、8bit(256階調)のカラー表示を実現する場合、8(ビット)×3(RGBの3色)×2(偶奇の2系統)=48本の信号線が必要となる。多数の信号線を配置することにより配線基板面積が増加し、結果として部材コストが増加するという問題がある。

20

【0010】

従って、本発明は更に、現状の装置側とのインターフェースの互換性を維持しながら、データドライバに入力するデータ信号線の数を低減する液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

本発明による液晶表示装置は、データラインを含む液晶パネルと、1本の制御信号線を介してカスケード接続され、該データラインを駆動する複数のデータドライバと、該データラインを駆動する該データドライバの駆動動作を制御する複数の制御機能を時系列符号により表現し、該複数のデータドライバに該時系列符号を供給するコントローラを含み、該時系列符号は該1本の制御信号線を介して該複数のデータドライバを順次伝搬し、各データドライバが表示する分の表示データの開始位置のタイミングであって各データドライバ毎に異なるデータスタートタイミングを示すよう伝達される第1の信号と、各データドライバで受け取ったそのままのタイミングで後段に伝達される第2の信号と、該第2の信号の期間を示す符号とを含むことを特徴とする。

30

【0011】

上記発明においては、データドライバの駆動動作を制御するN個の制御機能を(N-1)本以下の制御信号線上の信号に纏めることにより、制御信号線の本数を削減することが出来る。

40

【0016】

図2は、本発明による液晶表示装置の第1実施例の構成を示す図である。

【0017】

図1の液晶表示装置は、LCDパネル10、タイミングコントローラ21、複数のゲートドライバ22、及び複数のデータドライバ23を含む。LCDパネル10には、図示されないトランジスタを含む画素が縦横に配置され、ゲートドライバ22から横方向に延びるゲートラインが各画素のトランジスタのゲートに接続され、データドライバ23から縦方向に延びるデータラインがトランジスタを介して各画素のコンデンサに接続される。

【0018】

50

タイミングコントローラ 21 は、インターフェース I/F を介してクロック信号 C X、表示データ I X X、及び表示位置のタイミングを示す表示イネーブル信号 E N A B を受け取る。タイミングコントローラ 21 は、表示イネーブル信号 E N A B の立ち上がりからクロック信号 C X のクロックパルスを数えることにより水平位置のタイミングを決定し、各種制御信号を生成する。また更に、タイミングコントローラ 21 は、表示イネーブル信号 E N A B の数をカウントすることで、垂直位置のタイミングを決定し、各種制御信号を生成する。また、表示イネーブル信号 E N A B の L O W 期間が一定のクロックパルス数以上継続する位置を検出することで、各フレームの先頭の位置を検出することが出来る。

【 0 0 1 9 】

タイミングコントローラ 21 からゲートドライバ 22 に供給される制御信号は、ゲート制御信号 G M C である。この単一のゲート制御信号 G M C には、図 1 を用いて説明したゲートクロック信号 G C L K 及びスタートパルス信号 G S T が重畳して含まれている。ゲートドライバ 22 は、受け取ったゲート制御信号 G M C からゲートクロック信号 G C L K 及びスタートパルス信号 G S T の各論理を抽出すると共に、タイミングコントローラ 21 から受け取るアウトプットイネーブル信号 G O E を用いて、図 1 の構成と同様の所定の動作を実行する。

10

【 0 0 2 0 】

タイミングコントローラ 21 からデータドライバ 23 に供給される制御信号は、ドットクロック信号 D C K 及びデータ制御信号 D M C を含む。データ制御信号 D M C には、図 1 を用いて説明したデータスタート信号 D S T、ラッチパルス L P、及びポラリティ信号 P O L が重畳して含まれている。データドライバ 23 は、受け取ったデータ制御信号 D M C からデータスタート信号 D S T、ラッチパルス L P、及びポラリティ信号 P O L の各論理を抽出すると共に、タイミングコントローラ 21 から受け取るドットクロック信号 D C K と表示データ D X X とを用いて、図 1 の構成と同様の所定の動作を実行する。

20

【 0 0 2 1 】

図 3 は、ゲート制御信号 G M C の生成及び検出を説明するための信号波形図である。

【 0 0 2 2 】

図 3 において、ゲートクロック信号 G C L K 及びスタートパルス信号 G S T は、図 1 の従来の構成に基づく制御信号である。またパルス信号 G S T P は、スタートパルス信号 G S T の位置で、ゲートクロック信号 G C L K が L O W になってからクロック信号 C K の 1 クロック後に H I G H になり、ゲートクロック信号 G C L K が H I G H になる 1 クロック前に L O W になる信号である。ゲートクロック信号 G C L K とパルス信号 G S T P との O R を取ることで、ゲート制御信号 G M C が生成される。図 2 のようにゲートドライバ 22 を複数使用する場合は、ゲートドライバ 22 をカスケード接続してゲート制御信号 G M C を供給する。

30

【 0 0 2 3 】

ゲートドライバ 22 内部で、入力されたゲート制御信号 G M C をある一定時間 “ a ” だけ遅延させることで、遅延ゲート制御信号 G M C D を作成する。この一定時間 “ a ” は、スタートパルス信号 G S T の存在する位置のゲート制御信号 G M C の L O W 期間 (図 3 の “ b ”) よりも長ければよい。但しゲートクロック信号 G C L K の半周期よりも短い必要がある。

40

【 0 0 2 4 】

次に、ゲート制御信号 G M C の立ち上がりで、遅延ゲート制御信号 G M C D を読み込む。これはゲート制御信号 G M C において、立ち上がりタイミングから所定の時間前のタイミングにおける信号レベルを読み取っていることに相当する。スタートパルス信号 G S T の存在しないゲートクロック信号 G C L K の部分では、ゲート制御信号 G M C D の L O W をゲート制御信号 G M C の立ちあがりを読み込むことになる。スタートパルス信号 G S T の存在する部分では、ゲート制御信号 G M C D の H I G H を、2 回連続してゲート制御信号 G M C の立ちあがりを読み込むことになる。この 2 回連続して読み込む H I G H 信号のうちで 2 番目の H I G H 信号のタイミングを、当該ゲートドライバ 22 において先頭のゲート

50

ラインを駆動するタイミングとする。以降、ゲート制御信号 G M C に含まれるゲートクロック信号 G C L K の立ち上がりにより、ゲートラインを順次駆動していく。

【 0 0 2 5 】

図 4 は、カスケード接続される複数のゲートドライバ 2 2 の各々に供給されるゲート制御信号 G M C を示す図である。図 4 において、G M C n は、n 番目のゲートドライバ 2 2 に供給されるゲート制御信号である。

【 0 0 2 6 】

ゲート制御信号 G M C は、図 2 に示されるようにカスケード接続される。各ゲートドライバ 2 2 から次段のゲートドライバ 2 2 に信号を伝送する際、スタートパルス信号 G S T の存在しないゲートクロック信号 G C L K の部分に関しては、入力されたゲート制御信号 G M C をそのまま次段のドライバに送る。従って、ゲートクロック信号 G C L K の部分については、全てのゲートドライバ 2 2 に略同時に信号が送られる。

【 0 0 2 7 】

スタートパルス信号 G S T の位置を示す信号波形については、各々のゲートドライバ 2 2 で、ゲートライン駆動開始タイミングに対応した位置に設けられている必要がある。このスタートパルス信号 G S T の位置を示す信号波形は、先頭のゲートドライバ 2 2 に対しては、タイミングコントローラ 2 1 により指定される。2 番目以降のゲートドライバ 2 2 に対しては、前段のゲートドライバ 2 2 でスタートパルス信号 G S T の位置を指定して、次段のゲートドライバ 2 2 に供給するようにする。

【 0 0 2 8 】

具体的には、図 4 には、2 5 6 出力のゲートドライバ 2 2 を 4 個カスケード接続した場合を示す。先頭のゲートドライバ 2 2 には、スタートパルス信号 G S T に相当する部分が、先頭ラインの表示書き込みタイミングでタイミングコントローラ 2 1 から供給される。先頭のゲートドライバ 2 2 は、2 5 6 番目のゲートクロック信号 G C L K を内部で読み込んだタイミングで、次のゲートドライバ 2 2 にスタートパルス信号 G S T に相当する部分を送るようにする。同様にして、3 番目のゲートドライバ 2 2 には 5 2 2 番目のクロックタイミングで、また 4 番目のゲートドライバ 2 2 には 7 6 8 番目のクロックタイミングで、スタートパルス信号 G S T に相当する部分が供給される。このようにして、1 フレーム全体のゲート駆動動作が実行される。

【 0 0 2 9 】

図 5 は、データ制御信号 D M C を説明するための図である。

【 0 0 3 0 】

本発明による液晶表示装置の第 1 実施例において、データ制御信号 D M C は、データスタート信号 D S T、ラッチパルス L P、及びポラリティ信号 P O L を時系列の符号で表現する。データスタート信号 D S T に相当する信号は、従来のデータスタート信号 D S T と同様に生成され、1 ドットクロック D C X の間だけ H I G H になるパルスである。ラッチパルス L P 及びポラリティ信号 P O L は、図 5 に示されるように、“ L H H L L ” 或いは “ H H L H ” の時系列符号で表現される。“ L H H L L ” の場合、“ H H ” がラッチタイミングを示し、“ H H ” から 1 クロックだけ間をおいた “ L ” によってポラリティ信号 P O L が L O W であることを示す。“ H H L H ” の場合には、“ H H ” がラッチタイミングを示し、“ H H ” から 1 クロックだけ間をおいた “ H ” によってポラリティ信号 P O L が H I G H であることを示す。

【 0 0 3 1 】

データ制御信号 D M C は、カスケード接続されるデータドライバ 2 3 を順次伝播していく。データ制御信号 D M C のうちでラッチパルス L P 及びポラリティ信号 P O L に相当する信号部分は、各データドライバ 2 3 において、受け取った信号をそのままのタイミングで後段のドライバに伝達しなければならない。そこで本実施例では、信号をそのままスルーして次段に伝える期間を定義する信号を予め設けておく。即ち、スルースタートキー “ L H H H L ” とスルーエンドキー “ H H H H ” に挟まれた期間は、ゲートドライバ 2 2 が入力から受け取った信号をそのまま出力にスルーする。これにより、ラッチパルス L P 及び

10

20

30

40

50

ポラリティ信号POLを、全てのデータドライバ23に略同時に供給することが可能となる。

【0032】

図6は、カスケード接続される複数のデータドライバ23の各々に供給されるデータ制御信号DMCを示す図である。図6において、DMC_nは、n番目のデータドライバ23に供給されるデータ制御信号である。この例では、8個のデータドライバ23をカスケード接続する場合を示す。

【0033】

先頭のデータドライバ23には、液晶表示装置のタイミングコントローラ21よりDMC1が入力される。先頭のデータドライバ23はクロック同期でDMC1を取り込み、DMC1が“LHL”と変化したことを検出すると、次のクロックタイミングから表示データDXXの取り込みを開始する。例えば79番目のデータを取り込むときのドットクロック信号DCXの立ち上がりで、次段のデータドライバ23への出力DMC2を“H”とし、次の80番目のデータを取り込むときのドットクロック信号DCXの立ち上がりで、出力DMC2を“L”とする。2番目のデータドライバ23は、DMC2が“LHL”と変化した次のクロックタイミングから表示データを取り込み始める。これによって、先頭のデータドライバ23と2番目のデータドライバ23との間で、データをスムーズに繋げて取り込むことが出来る。以降、8番目のデータドライバ23まで同様にデータを取り込んでいく。

【0034】

次にラッチパルスLP信号を送る準備として、タイミングコントローラ21から先頭のデータドライバ23にデータを通過する信号(スルースタートキー：“LHHHL”)を送信する。このスルースタートキーを受け取ったデータドライバ23は、次段のデータドライバ23に順次スルーキーを送信する。スルースタートキーが最終のデータドライバ23まで伝達された後に、タイミングコントローラ21は、ラッチパルスLPを示す信号を先頭のデータドライバ23に送信する。このとき全てのデータドライバ23はスルー状態にあるので、ラッチパルスLPを示す信号は、直ちに全てのドライバに転送される。その後、タイミングコントローラ21はスルーエンドキー“HHHH”を送り、各データドライバ23に設定されたスルーモードを解除する。

【0035】

以下に、上記第1実施例を実現する回路構成について説明する。

【0036】

図7は、タイミングコントローラ21においてゲート制御信号GMCを生成する構成を示す回路図である。

【0037】

図7の回路は、カウンタ回路31、デコーダ回路32、JKフリップフロップ33及び34、AND回路35、及びOR回路36を含む。カウンタ回路31は、1水平周期内での水平位置のタイミングを指定するためにクロック信号CKをカウントする回路であり、イネーブル信号ENABに応答してゼロであるデータDATAをロードすることにより内部カウント値をリセットする。その後クロック信号CKをカウントすることで得られるカウント値がデコーダ回路32に供給される。デコーダ回路32は、カウンタ回路31のカウント値をデコードすることで、100番目のクロックパルスでHIGHになるパルス信号P100、101番目のクロックパルスでHIGHになるパルス信号P101、499番目のクロックパルスでHIGHになるパルス信号P499、500番目のクロックパルスでHIGHになるパルス信号P500を生成する。

【0038】

JKフリップフロップ33は、P500をJ入力としまたP100をK入力とすることで、クロックタイミング100から500の間LOWでそれ以外の期間HIGHであるゲートクロック信号GCLKを出力する。またJKフリップフロップ34は、P101をJ入力としまたP199をK入力とすることで、クロックタイミング101から499の間H

10

20

30

40

50

I G Hでそれ以外の期間L O Wである信号を生成する。A N D回路3 5は、クロックタイミング1 0 1から4 9 9の間H I G Hでそれ以外の期間L O Wである信号と最初の1水平周期のみH I G Hである信号とのA N Dを取ることで、ゲートスタートを示すパルス信号G S T Pを生成する。O R回路3 6は、ゲートクロック信号G C L Kとパルス信号G S T PとのO Rを取ることで、ゲート制御信号G M Cを生成する。ゲートクロック信号G C L K、パルス信号G S T P、及びゲート制御信号G M Cは、図3に示される。

【0039】

図8は、各ゲートドライバ2 2においてゲートスタートパルスG S Tを抽出すると共に次段へのゲート制御信号を生成する構成を示す回路図である。

【0040】

図8の回路は、Dフリップフロップ4 1乃至4 3、A N D回路4 4及び4 5、O R回路4 6、ディレイ回路4 7、バッファ回路4 8、インバータ4 9及び5 0、及びX O R回路5 1を含む。

【0041】

ディレイ回路4 7は遅延素子であり、ゲート制御信号G M Cを遅延することで遅延ゲート制御信号G M C Dを生成する。この遅延ゲート制御信号G M C Dは図3に示される。Dフリップフロップ4 1は、ゲート制御信号G M Cをクロック入力C L Kとして、その立ち上がりで遅延ゲート制御信号G M C Dをラッチする。Dフリップフロップ4 1の出力は、スタートパルス信号G S Tの存在しないゲートクロック信号G C L Kの部分ではL O Wである。スタートパルス信号G S Tの存在する部分では、Dフリップフロップ4 1は、ゲート制御信号G M C DのH I G Hを2回連続してゲート制御信号G M Cの立ち上がりで読み込むことになる。Dフリップフロップ4 1の出力を更に、Dフリップフロップ4 2によりゲート制御信号G M Cの立ち上がりで読み込み、Dフリップフロップ4 1及び4 2のA N Dを取ることで、2回連続してH I G H信号が読み込まれた時にのみA N D回路4 4からゲートスタート信号G S Tを出力する。

【0042】

あるゲートドライバ2 2から次段のゲートドライバ2 2へ供給するゲート制御信号G M C Nは、以下のようにして生成される。図9は、ゲート制御信号G M C Nを生成する動作を説明するための波形図である。図8のX O R回路5 1によりゲート制御信号G M Cと遅延ゲート制御信号G M C Dとの排他的論理和を取ることで、図9に示される信号G X O Rを生成する。図9に示される信号S T Mは、Dフリップフロップ4 1の出力である。図8に示されるように、信号G X O Rと信号S T Mの反転信号とをA N Dすることで、図9に示されるG X O Rの点線部分のパルスをマスクして消去する。このマスク後の信号の立ち上がりで、Dフリップフロップ4 3が遅延ゲート制御信号G M C Dをラッチする。これによりDフリップフロップ4 3の出力は、図9の最下段に示されるような信号となる。このDフリップフロップ4 3の出力に、次段のゲートスタートタイミングを示すスタートパルス信号G S T Nを付加することで、次段のゲートドライバ2 2に供給するゲート制御信号G M C Nが生成される。

【0043】

図10は、タイミングコントローラ2 1においてデータ制御信号D M Cを生成する構成を示す回路図である。

【0044】

図10の回路は、J Kフリップフロップ6 1及び6 2、カウンタ6 3、A N D回路6 4及び6 5、O R回路6 6乃至6 8、N O R回路6 9及び7 0、X N O R回路7 1、インバータ7 2及び7 3、及びO R回路7 4及び7 5を含む。

【0045】

J Kフリップフロップ6 1はラッチパルスL Pをラッチして、このラッチ動作によりカウンタ6 3がゼロにリセットされる。その後カウンタ6 3は、クロック信号C Kのパルス数をカウントする。カウンタ6 3のカウント出力Q A乃至Q Dを図10に示される論理回路で論理演算することで、O R回路6 8からラッチパルスL P及びポラリティP O Lを示す

10

20

30

40

50

時系列符号が出力される。またJKフリップフロップ62には、スルースタートキーのタイミングを指定する信号THSTRJ及びTHSTRKが供給され、信号THSTRJのタイミングでHIGHになり信号THSTRKのタイミングでLOWになるスルースタートキー信号が出力される。またJKフリップフロップ62には更に、スルーエンドキーのタイミングを指定する信号THENDJ及びTHENDKが供給され、スルーエンドキー信号が出力される。OR回路68からのラッチパルスLP及びポラリティPOLを示す信号と、JKフリップフロップ62からのスルーキーと、データスタート信号DSTとが、OR回路67によりOR演算されて、データ制御信号DMCが生成される。

【0046】

図11は、各データドライバ23においてデータ制御信号DMCから各種制御信号を抽出すると共に次段のデータドライバ23へのデータ制御信号を生成する回路を示す図である。

10

【0047】

図11の回路は、シフトレジスタ回路81、デコーダ回路82、JKフリップフロップ83及び85、カウンタ回路85、AND回路86、NOR回路87及び88、OR回路89を含む。シフトレジスタ回路81は、供給されるデータ制御信号DMCを、ドットクロック信号DCKに同期して内部レジスタ回路に順次格納する。デコーダ回路82は、シフトレジスタ回路81が格納するデータ制御信号DMCの複数サイクル分のデータをデコードして、検出信号THSTR、THEND、DST、LPPPOL、及びLPNPOLを出力する。検出信号THSTR、THEND、DST、LPPPOL、及びLPNPOLは、それぞれスルースタートキー検出、スルーエンドキー検出、データスタート信号検出、ラッチパルス及び正極性検出、及びラッチパルス及び負極性検出を示す信号である。例えば検出信号THSTRは、現在のDMC、1サイクル前のDMC、2サイクル前のDMC、3サイクル前のDMC、及び4サイクル前のDMCが、(L、H、H、H、L)である場合のみにHIGHとなる論理により実現される。

20

【0048】

JKフリップフロップ84、カウンタ回路85、NOR回路87及び88は、スルースタートキー検出を開始点として、3クロック期間HIGHである信号を生成する。この信号は、OR回路89を介して次段のデータドライバ23にスルースタートキーとして供給される。また当該データドライバ23内部で従来と同様に生成される次段のデータスタートタイミングを示すデータスタート信号DSTNが生成され、OR回路89を介して次段のデータドライバ23にデータスタート信号として供給される。

30

【0049】

JKフリップフロップ83は、スルースタートキーが検出されてからスルーエンドキーが検出されるまでの期間、HIGHを出力する。このHIGH信号により、AND回路86がスルー状態となりデータ制御信号DMCをそのまま通過させることで、スルー期間の間は前段からのデータ制御信号DMCを後段にそのままのタイミングで供給する。

【0050】

図12は、本発明による液晶表示装置の第2実施例の構成を示す図である。

【0051】

第2実施例では、第1実施例と異なるのがデータ制御信号に関する部分だけであるので、データドライバに関連する構成部分のみを図12に示してある。図12に示されるように、タイミングコントローラ21Aからデータドライバ23Aに供給される制御信号は、ドットクロック信号DCK、制御信号DST+LP、及びポラリティ信号POLを含む。単一の制御信号DST+LPには、図1を用いて説明したデータスタート信号DST及びラッチパルスLPが重畳して含まれている。データドライバ23Aは、受け取った制御信号DST+LPからデータスタート信号DST及びラッチパルスLPの各論理を抽出すると共に、タイミングコントローラ21Aから受け取るドットクロック信号DCK、ポラリティ信号POL、及び表示データDXXを用いて、図1の構成と同様の所定の動作を実行する。

40

50

【 0 0 5 2 】

図 1 3 は、制御信号 D S T + L P を示す図である。図 1 3 には、先頭のデータドライバ 2 3 A に対する制御信号 D S T + L P と、8 番目のデータドライバ 2 3 A に対する制御信号 D S T + L P とを例として示してある。またラッチパルス L P を示してある。

【 0 0 5 3 】

図 1 3 に示されるように、制御信号 D S T + L P は、データスタート信号 D S T のタイミングで立ち上がり、ラッチパルス L P のタイミングで立ち下がる信号である。データドライバ 2 3 A をカスケード接続する場合、各データドライバ 2 3 A においては、入力制御信号 D S T + L P が立ち上がってから当該データドライバで読み込むデータが終わる 1 クロック前に出力制御信号 D S T + L P を立ち上げるようにする。内部 D A コンバータに表示データを転送するタイミングは全てのデータドライバ 2 3 A で同じであることが望ましいので、入力制御信号 D S T + L P が立ち下がると、クロック非同期で出力制御信号 D S T + L P を立ち下げるようにする。

10

【 0 0 5 4 】

図 1 4 は、タイミングコントローラ 2 1 A において制御信号 D S T + L P を生成する構成を示す回路図である。

【 0 0 5 5 】

図 1 4 の回路は、J K フリップフロップ 9 1 を含む。J 入力に従来のデータスタート信号 D S T の立ち上がりを指示する信号 D S T J を入力し、K 入力に従来のラッチパルス L P の立ち上がりを指示する信号 L P J を入力することで制御信号 D S T + L P を生成する。

20

【 0 0 5 6 】

図 1 5 の回路は、データドライバ 2 3 A において制御信号 D S T + L P からデータスタート信号 D S T 及びラッチパルス L P を抽出する構成を示す回路図である。

【 0 0 5 7 】

図 1 5 の回路は、D フリップフロップ 1 0 1 及び 1 0 2、インバータ 1 0 3 及び 1 0 4、AND 回路 1 0 5 及び 1 0 6、J K フリップフロップ 1 0 7、カウンタ回路 1 0 8、インバータ 1 0 9 及び 1 1 0、及び AND 回路 1 1 1 を含む。

【 0 0 5 8 】

クロック信号に同期して D フリップフロップ 1 0 1 で取り込んだ制御信号 D S T + L P の反転信号（クロック同期による遅延を含む）と、制御信号 D S T + L P との AND 論理を取ること、データスタート信号 D S T を生成する。またクロック信号に同期して D フリップフロップ 1 0 2 で取り込んだ制御信号 D S T + L P （クロック同期による遅延を含む）と、制御信号 D S T + L P の反転信号との AND 論理を取ること、ラッチパルス L P のタイミングを示す信号を生成する。このタイミング信号に基づいて J K フリップフロップ 1 0 7 がカウンタ回路 1 0 8 をリセットし、このリセットタイミングを起点として、カウンタ回路 1 0 8 がカウントを開始する。カウンタ回路 1 0 8 がカウントする所定のタイミングで、データドライバ 2 3 A 内部でのデータ出力開始タイミング L P K を生成する。

30

【 0 0 5 9 】

図 1 6 は、データドライバ 2 3 A において入力制御信号 D S T + L P から次段への出力制御信号 D S T + L P を生成する構成を示す回路図である。

40

【 0 0 6 0 】

図 1 6 の回路は、インバータ 1 2 1、J K フリップフロップ 1 2 2、及び AND 回路 1 2 3 を含む。J K フリップフロップ 1 2 2 において、J 入力には次段のデータスタートタイミングを示す D S T N が供給され、K 入力には制御信号 D S T + L P の反転信号が入力される。D S T N によりクロック同期でフリップフロップ出力が立ち上がり、制御信号 D S T + L P の反転信号によりクロック同期でフリップフロップ出力が立ち下がる。この J K フリップフロップ 1 2 2 の出力と制御信号 D S T + L P との AND を取ること、図 1 3 において説明したように、次段へ出力する制御信号 D S T + L P (N) をクロック非同期で立ち下げるようにする。

【 0 0 6 1 】

50

図17は、本発明による液晶表示装置の第3実施例の構成を示す図である。

【0062】

第3実施例では、第1実施例と異なるのがデータ制御信号に関する部分だけであるので、データドライバに関連する構成部分のみを図17に示してある。図17に示されるように、タイミングコントローラ21Bからデータドライバ23Bに供給される制御信号は、ドットクロック信号DCK、データスタート信号DST、及び制御信号LP+POLを含む。単一の制御信号LP+POLには、図1を用いて説明した及びラッチパルスLPとポラリティ信号POLとが重畳して含まれている。データドライバ23Bは、受け取った制御信号LP+POLからデータスタート信号DST及びポラリティ信号POLの各論理を抽出すると共に、タイミングコントローラ21Bから受け取るドットクロック信号DCK、

10

【0063】

図18は、制御信号LP+POLを示す図である。

【0064】

図18に示されるように、制御信号LP+POLは、ラッチパルスLPの立ち上がりのタイミングで立ち上がる信号である。制御信号LP+POLが立ち上がった後、所定のクロック数“a”後の所定の期間“b”がHIGHであるかLOWであるかによって、ポラリティ信号POLを決定する。図18に示される例においては、立ち上がりから2クロック後の1クロック期間がLOWであれば極性は負であり、立ち上がりから2クロック後の1

20

【0065】

図19は、タイミングコントローラ21Bにおいて制御信号LP+POLを生成する構成を示す回路図である。

【0066】

図19の回路は、JKフリップフロップ131、カウンタ132、インバータ133及び134、OR回路135、及びAND回路136を含む。JKフリップフロップ131のJ入力に、ラッチパルスLPの立ち上がりタイミングを指定するための信号LPJを入力する。このJKフリップフロップ131により、ラッチパルスLPの立ち上がりタイミングでカウンタ132にゼロデータをロードしてリセットし、その後クロック信号CKのクロックパルスをカウントする。インバータ133及び134とOR回路135とにより、カウンタ132の出力の論理演算をすることで、図18のbの期間だけLOWである論理を生成する。OR回路135の出力は、この生成された論理とポラリティPOLとの論理和であり、ポラリティPOLがLOWの時にbの期間だけLOWであり、ポラリティPOLがHIGHの時にはHIGHが連続する信号である。このOR回路135の出力とラッチパルスLPとのANDを取ること、制御信号LP+POLが生成される。

30

【0067】

図20は、データドライバ23Bにおいて制御信号LP+POLからラッチパルスLP及びポラリティPOLを抽出する構成を示す回路図である。

【0068】

図20の回路は、シフトレジスタ回路141、デコーダ回路142、及びJKフリップフロップ143を含む。シフトレジスタ回路141は、供給される制御信号LP+POLを、ドットクロック信号DCKに同期して内部レジスタ回路に順次格納する。デコーダ回路142は、シフトレジスタ回路141が格納する制御信号LP+POLの複数サイクル分のデータをデコードして、検出信号PPOL、NPOL、LPJ、及びLPKを出力する。検出信号PPOL、NPOL、LPJ、及びLPKは、それぞれ正極性検出、負極性検出、ラッチパルス立ち上がり検出、及びラッチパルス立ち下がり検出を示す信号である。例えば検出信号PPOLは、現在のLP+POL、1サイクル前のLP+POL、2サイクル前のLP+POL、3サイクル前のLP+POL、及び4サイクル前のLP+POLが、(H、H、H、H、H)である場合のみにHIGHとなる論理により実現される。

40

50

【 0 0 6 9 】

J Kフリップフロップ143は、正極性検出を開始点として、負極性検出までHIGHであるポラリティ信号POLを生成する。この信号POLにより、データドライバ23Bからのデータ出力の極性が制御される。

【 0 0 7 0 】

図21は、本発明が適用されたデータドライバの表示データ処理部分の構成例を示す図である。

【 0 0 7 1 】

図21のデータドライバは、シフトレジスタ回路151、データレジスタ回路152、ラッチ回路153、DAコンバータ154、及び出力バッファ回路155を含む。

10

【 0 0 7 2 】

データスタート信号DSTは、データドライバが表示する分の表示データDXXの開始位置を示す信号である。このデータスタート信号DSTのタイミングを開始点とし、ドットクロック信号DCKに同期してシフトレジスタ回路151が順次シフトすることで、データレジスタ回路152にデータサンプリング信号を供給する。データレジスタ回路152は、各画素に対応する表示データDXXをデータサンプリング信号により順次レジスタに取り込む。ラッチパルスLPは、データレジスタ回路152に順次取り込まれた表示データDXXをラッチ回路153にラッチするための信号である。ラッチされた表示データ信号はDAコンバータ154に転送され、DAコンバータ154によりアナログ階調信号に変換され、出力バッファ155を介してデータライン駆動信号としてLCDパネルに出力される。またDAコンバータ154は、ポラリティ信号POLを用いてコモン電圧に対する各データラインの出力極性を選択する。

20

【 0 0 7 3 】

本発明においては、上述の第1乃至第3実施例のようにして、各制御信号DCK、DST、LP、POLを必要に応じて生成する。

【 0 0 7 4 】

以下に、本発明の更なる実施例について詳細に説明する。以降の実施例は、現状の装置例とのインターフェースの互換性を維持しながら、データドライバに入力するデータ信号線の本数を低減する液晶表示装置に関する。

【 0 0 7 5 】

図22は、本発明による液晶表示装置の更なる実施例の構成を示す図である。

30

【 0 0 7 6 】

図22の液晶表示装置は、LCDパネル210、タイミングコントローラ211、複数のゲートドライバ212、及び複数のデータドライバ213を含む。LCDパネル210には、図示されないトランジスタを含む画素が縦横に配置され、ゲートドライバ212から横方向に延びるゲートラインが各画素のトランジスタのゲートに接続され、データドライバ213から縦方向に延びるデータラインがトランジスタを介して各画素のコンデンサに接続される。

【 0 0 7 7 】

タイミングコントローラ211は、インターフェースI/Fを介してクロック信号CX、表示データODD及びEVEN、及び表示位置のタイミングを示す表示イネーブル信号ENABを受け取る。タイミングコントローラ211は、表示イネーブル信号ENABの本数をカウントして垂直位置のタイミングを決定すると共に、表示イネーブル信号ENABの立ち上がりからクロック信号CXのクロックパルスを数えることにより水平位置のタイミングを決定し、各種制御信号及び表示データDXXを生成する。

40

【 0 0 7 8 】

図22の構成は、図1の構成と表示データの供給方式が異なる。図1においては、特に図示していないが、タイミングコントローラ11への入力表示データIXXはODD及びEVENの2系統であり、またタイミングコントローラ11からの出力表示データDXXもまたODD及びEVENの2系統である。それに対して、図22の構成においては、タイ

50

ミングコントローラ 211 への入力表示データ I X X は O D D 及び E V E N の 2 系統であり、従来と同様のホスト装置側とのインターフェース構成となっているが、タイミングコントローラ 211 からの出力表示データ D X X は、O D D 及び E V E N の 2 系統を 1 つに統合した 1 系統の信号 D X X _ O D D & E V E N となっている。表示データの偶奇の 2 系統を 1 系統に統合してある以外、制御信号関係の動作は図 1 の構成と同様である。

【 0 0 7 9 】

図 2 3 は、タイミングコントローラ 211 において偶奇の 2 系統の表示データを 1 系統に統合する部分の構成を示す回路図である。また図 2 4 は、図 2 3 の回路における各部分の信号の信号波形を示すタイミング図である。

【 0 0 8 0 】

図 2 3 の回路は、フリップフロップ 221 乃至 223、セクタ回路 224、倍速クロック発生器 225、及びインバータ 226 を含む。フリップフロップ 221 及び 222 は、クロック信号 C K に同期して、それぞれ奇数番目表示データ O D D _ D A T A 及び偶数番目表示データ E V E N _ D A T A を取り込む。図 2 4 に示されるように、取り込まれた信号はそれぞれ信号 a 及び b として、セクタ回路 224 の A 入力及び B 入力に供給される。セクタ回路 224 は、クロック信号 C K を選択指示信号 S E L として用いて、A 入力の信号 a 及び B 入力の b を交互に選択する。選択された信号は、信号 d としてフリップフロップ 223 に供給される。倍速クロック発生器 225 は、P L L 回路等により構成され、クロック信号 C K に基づいて 2 倍の周波数のクロック信号 e を生成して、フリップフロップ 223 に供給する。フリップフロップ 223 は、2 倍の周波数のクロック信号 e に同期して、セクタ回路 224 により選択された信号 d を内部に取り込む。フリップフロップ 223 に取り込まれた信号は、1 系統の信号 D X X _ O D D & E V E N として出力される。またインバータ 226 は、2 倍の周波数のクロック信号 e を反転して、ドットクロック信号 D C K として出力する。

【 0 0 8 1 】

このように図 2 2 乃至 2 4 に示す構成では、タイミングコントローラ 211 において偶奇の 2 系統の表示データを、1 系統に統合してデータドライバ 213 に出力する。これにより、外部装置とのインターフェースを従来と同様の形態に維持しながら、タイミングコントローラ 211 からデータドライバ 213 への表示データ線の本数を削減することが可能となる。このデータドライバ 213 の基本的な構成は、表示データ線の本数を除けば図 2 1 に示されるものと同様である。最近のプロセス技術の進歩によるドライバ動作速度の向上を鑑みれば、従来 2 系統の転送路を 1 系統化することで転送速度が倍速となっても、これに充分に対応可能なドライバを製造することは容易である。

【 0 0 8 2 】

図 2 5 は、タイミングコントローラ 211 において偶奇の 2 系統の表示データを 1 系統に統合する部分の別の構成例を示す回路図である。また図 2 6 は、図 2 5 の回路における各部分の信号の信号波形を示すタイミング図である。

【 0 0 8 3 】

図 2 5 の回路は、フリップフロップ 231 乃至 233、セクタ回路 234、倍速クロック発生器 235、及びトグルフリップフロップ 236 を含む。フリップフロップ 231 及び 232 は、クロック信号 C K に同期して、それぞれ奇数番目表示データ O D D _ D A T A 及び偶数番目表示データ E V E N _ D A T A を取り込む。取り込まれた信号はそれぞれ信号 a 及び b として、セクタ回路 234 の A 入力及び B 入力に供給される。セクタ回路 234 は、クロック信号 C K を選択指示信号 S E L として用いて、A 入力の信号 a 及び B 入力の b を交互に選択する。選択された信号は、図 2 6 に示されるように信号 d としてフリップフロップ 233 に供給される。倍速クロック発生器 235 は、P L L 回路等により構成され、クロック信号 C K に基づいて 2 倍の周波数のクロック信号 e を生成して、フリップフロップ 233 に供給する。フリップフロップ 233 は、2 倍の周波数のクロック信号 e に同期して、セクタ回路 234 により選択された信号 d を内部に取り込む。フリップフロップ 233 に取り込まれた信号は、1 系統の信号 D X X _ O D D & E V E N とし

10

20

30

40

50

て出力される。ここまでの動作は、図 2 3 及び 2 4 に示される構成及び動作と同一である。

【 0 0 8 4 】

図 2 5 においては、トグルフリップフロップ 2 3 6 が、2 倍の周波数のクロック信号 e の立ち上がりエッジに同期して、出力が交互に H I G H 及び L O W になるように出力の反転動作を繰り返す。これにより図 2 6 に示されるように、信号 e の半分の周波数を有するドットクロック信号 D C K が生成される。

【 0 0 8 5 】

図 2 5 の構成は、ダブルエッジクロック方式を適用する場合に相当する。ダブルエッジクロック方式においては、ドットクロック信号 D C K の立ち上がりエッジと立ち下がりエッジの両方のエッジに同期して、データドライバ 2 1 3 内のデータレジスタ回路に表示データを格納する。従って、立ち上がりエッジ或いは立ち下がりエッジのみを同期タイミングとして用いる場合の構成と比較して、ドットクロック D C K の周波数を 1 / 2 に下げることが可能になる。

【 0 0 8 6 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明によれば、ゲートドライバ或いはデータドライバに供給する制御信号の信号線本数を削減すること、或いはデータドライバに供給する表示データの信号線本数を削減することで、配線基板面積を削減し、低コストな液晶表示装置を実現することが出来る。

【図面の簡単な説明】

【図 1】従来の液晶表示装置の構成を示す図である。

【図 2】本発明による液晶表示装置の第 1 実施例の構成を示す図である。

【図 3】ゲート制御信号 G M C の生成及び検出を説明するための信号波形図である。

【図 4】カスケード接続される複数のゲートドライバの各々に供給されるゲート制御信号 G M C を示す図である。

【図 5】データ制御信号 D M C を説明するための図である。

【図 6】カスケード接続される複数のデータドライバの各々に供給されるデータ制御信号 D M C を示す図である。

【図 7】タイミングコントローラにおいてゲート制御信号 G M C を生成する構成を示す回路図である。

【図 8】各ゲートドライバにおいてゲートスタートパルス G S T を抽出すると共に次段へのゲート制御信号を生成する構成を示す回路図である。

【図 9】ゲート制御信号 G M C N を生成する動作を説明するための波形図である。

【図 1 0】タイミングコントローラにおいてデータ制御信号 D M C を生成する構成を示す回路図である。

【図 1 1】各データドライバにおいてデータ制御信号 D M C から各種制御信号を抽出すると共に次段のデータドライバへのデータ制御信号を生成する回路を示す図である。

【図 1 2】本発明による液晶表示装置の第 2 実施例の構成を示す図である。

【図 1 3】制御信号 D S T + L P を示す図である。

【図 1 4】タイミングコントローラにおいて制御信号 D S T + L P を生成する構成を示す回路図である。

【図 1 5】データドライバにおいて制御信号 D S T + L P からデータスタート信号 D S T 及びラッチパルス L P を抽出する構成を示す回路図である。

【図 1 6】データドライバにおいて入力制御信号 D S T + L P から次段への出力制御信号 D S T + L P を生成する構成を示す回路図である。

【図 1 7】本発明による液晶表示装置の第 3 実施例の構成を示す図である。

【図 1 8】制御信号 L P + P O L を示す図である。

【図 1 9】タイミングコントローラにおいて制御信号 L P + P O L を生成する構成を示す

10

20

30

40

50

回路図である。

【図20】データドライバにおいて制御信号LP+POLからラッチパルスLP及びポラリティPOLを抽出する構成を示す回路図である。

【図21】本発明が適用されたデータドライバの表示データ処理部分の構成例を示す図である。

【図22】本発明による液晶表示装置の更なる実施例の構成を示す図である。

【図23】タイミングコントローラにおいて偶奇の2系統の表示データを1系統に統合する部分の構成を示す回路図である。

【図24】図23の回路における各部分の信号の信号波形を示すタイミング図である。

【図25】タイミングコントローラにおいて偶奇の2系統の表示データを1系統に統合する部分の別の構成例を示す回路図である。

10

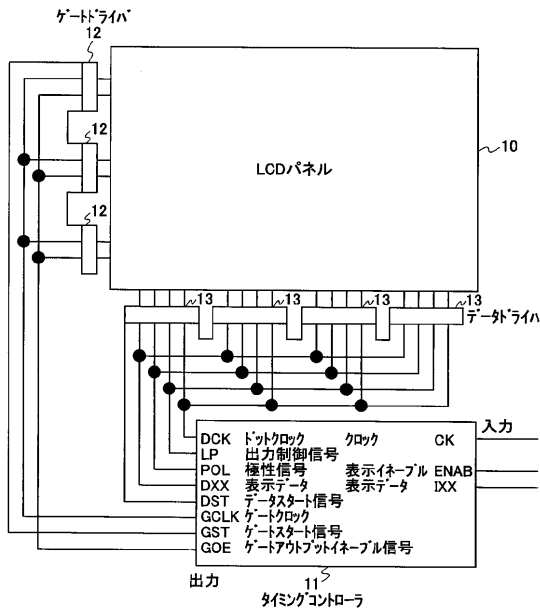
【図26】図25の回路における各部分の信号の信号波形を示すタイミング図である。

【符号の説明】

- 10 LCDパネル
- 21 タイミングコントローラ
- 22 ゲートドライバ
- 23 データドライバ

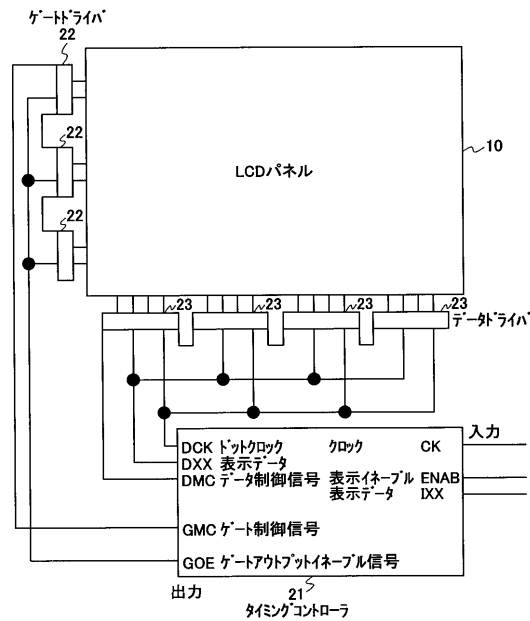
【図1】

従来の液晶表示装置の構成を示す図



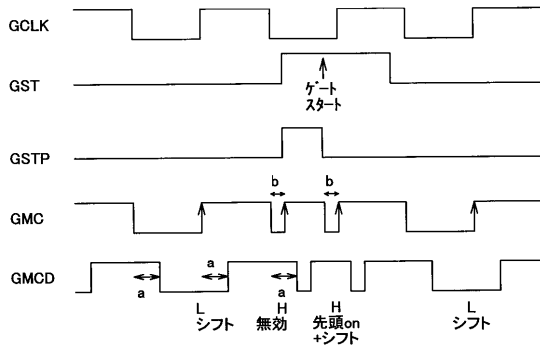
【図2】

本発明による液晶表示装置の第1実施例の構成を示す図



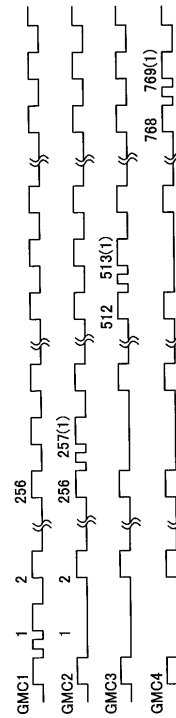
【 図 3 】

ゲート制御信号GMCの生成及び検出を説明するための信号波形図



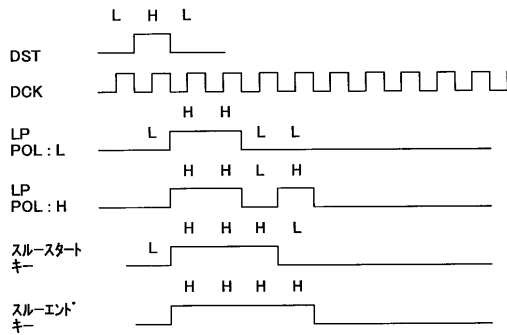
【 図 4 】

カスケード接続される複数のゲートドライバの各々に供給されるゲート制御信号GMCを示す図



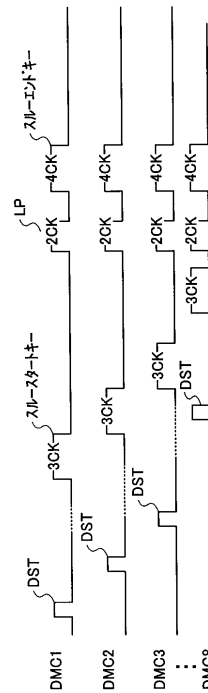
【 図 5 】

データ制御信号DMCを説明するための図



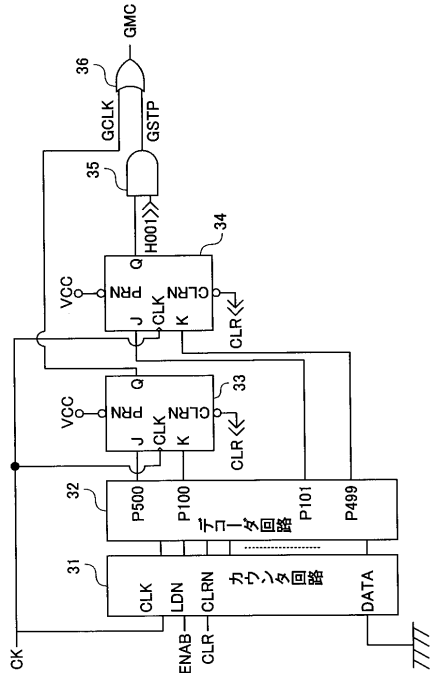
【 図 6 】

カスケード接続される複数のデータドライバの各々に供給されるデータ制御信号DMCを示す図



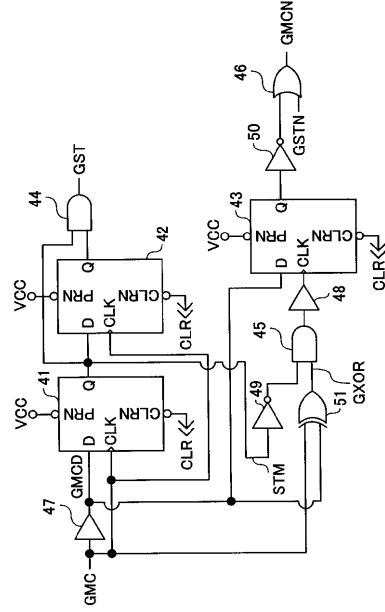
【図7】

タイミングコントローラにおいてゲート制御信号GMCを生成する構成を示す回路図



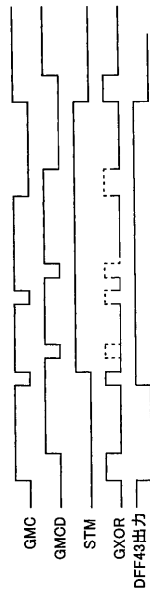
【図8】

各ゲートドライバにおいてゲートスタートパルスGSTを抽出すると共に次段へのゲート制御信号を生成する構成を示す回路図



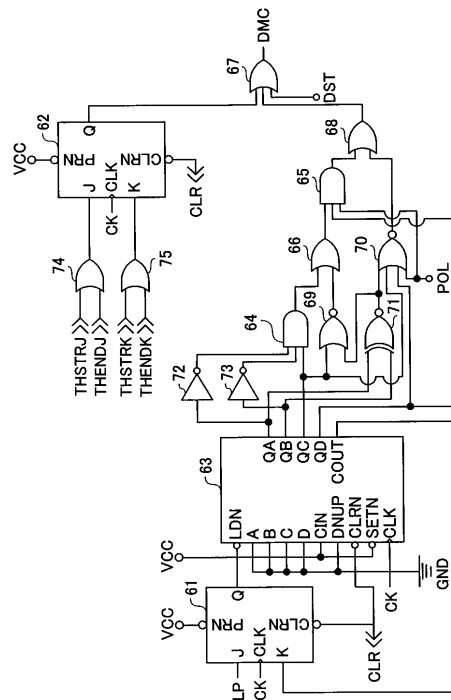
【図9】

ゲート制御信号GMCNを生成する動作を説明するための波形図



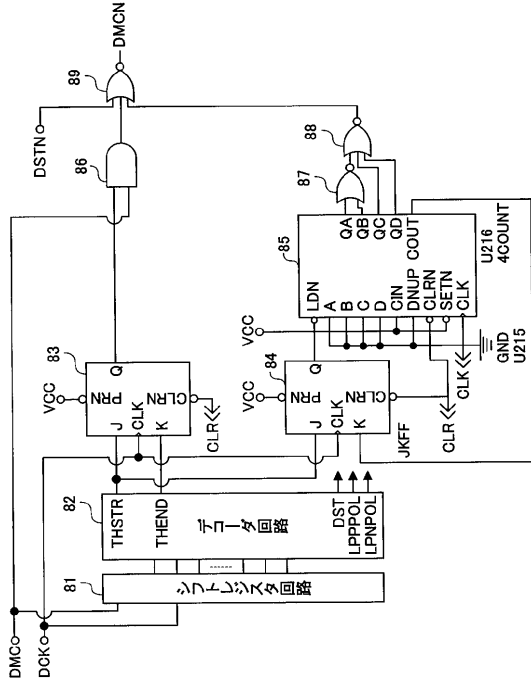
【図10】

タイミングコントローラにおいてデータ制御信号DMCを生成する構成を示す回路図



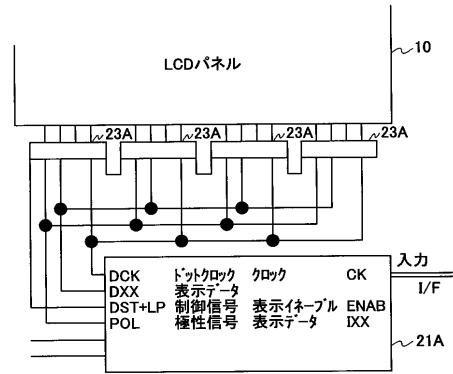
【図11】

各データドライバにおいてデータ制御信号DMCから各種制御信号を抽出すると共に次段のデータドライバへのデータ制御信号を生成する回路を示す図



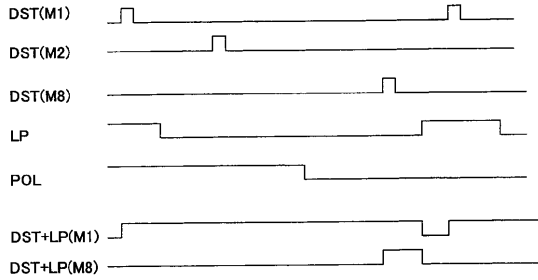
【図12】

本発明の液晶表示装置の第2実施例の構成を示す図



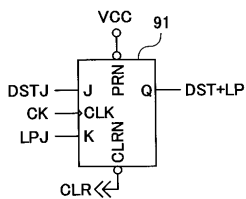
【図13】

制御信号DST+LPを示す図



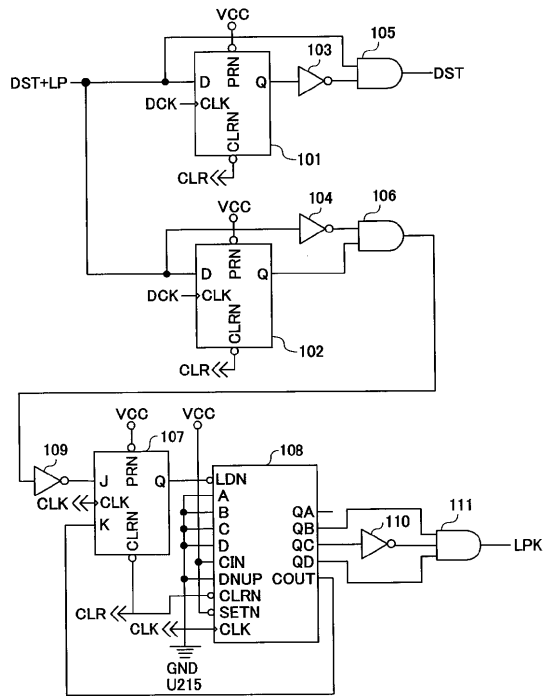
【図14】

タイミングコントローラにおいて制御信号DST+LPを生成する構成を示す回路図



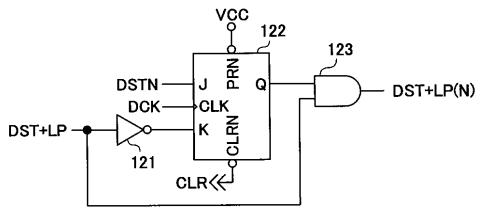
【図15】

データドライバにおいて制御信号DST+LPからデータスタート信号DST及びラッチパルスLPを抽出する構成を示す回路図



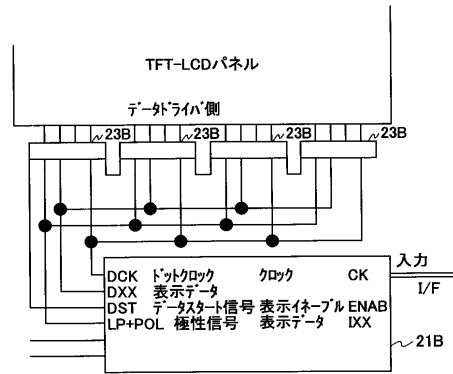
【図16】

データドライバにおいて入力制御信号DST+LPから次段への出力制御信号DST+LP(N)を生成する構成を示す回路図



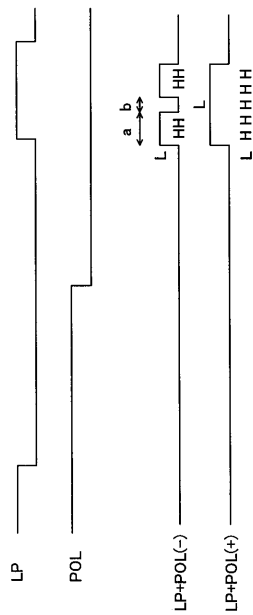
【図17】

本発明の液晶表示装置の第3実施例の構成を示す図



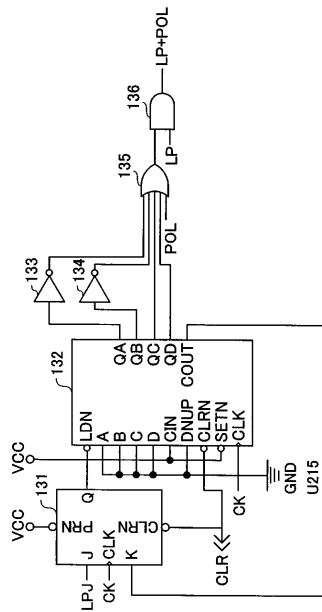
【図18】

制御信号LP+POLを示す図



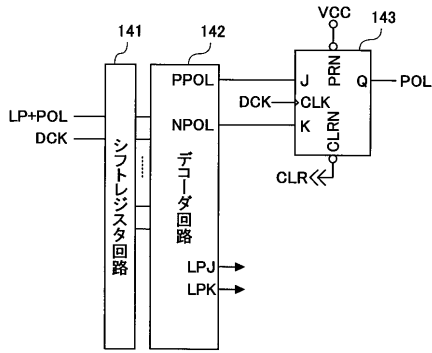
【図19】

タイミングコントローラにおいて制御信号LP+POLを生成する構成を示す回路図



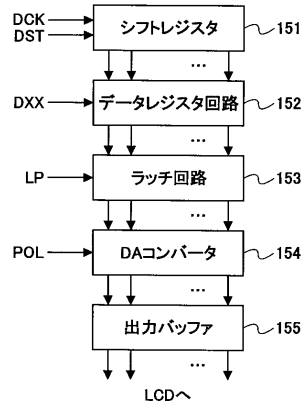
【図 20】

データドライバにおいて制御信号LP+POLからラッチパルスLP及びポラリティPOLを抽出する構成を示す回路図



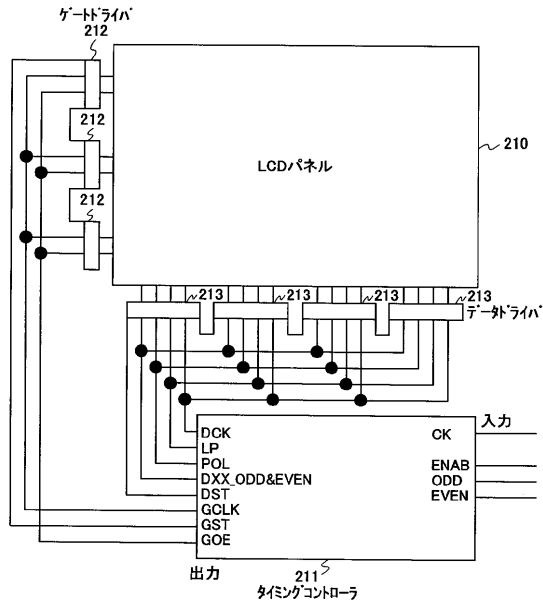
【図 21】

本発明が適用されたデータドライバの表示データ処理部分の構成例を示す図



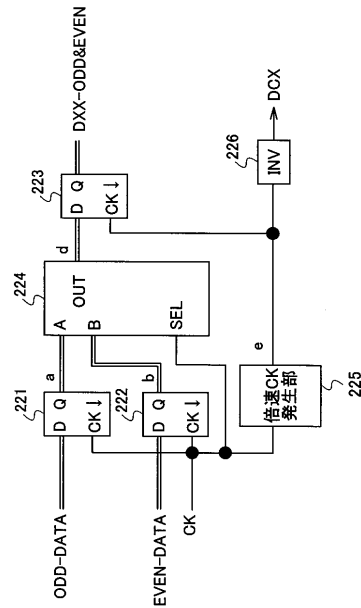
【図 22】

本発明による液晶表示装置の更なる実施例の構成を示す図



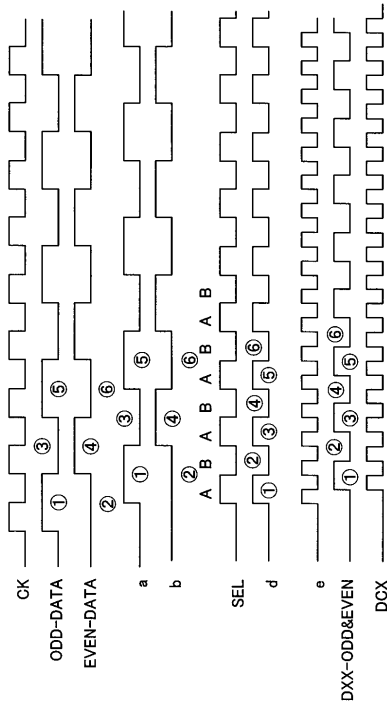
【図 23】

タイミングコントローラにおいて偶奇の2系統の表示データを1系統に統合する部分の構成を示す回路図



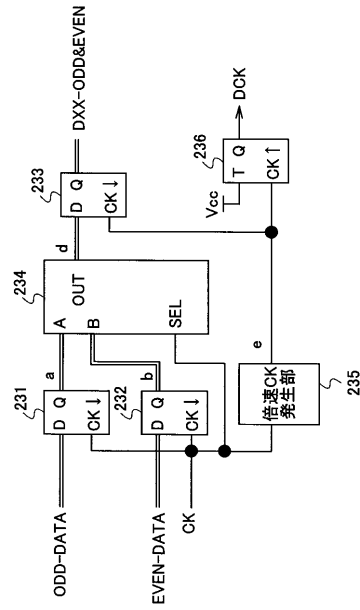
【 図 2 4 】

図 2 3 の回路における各部分の信号の信号波形を示すタイミング図



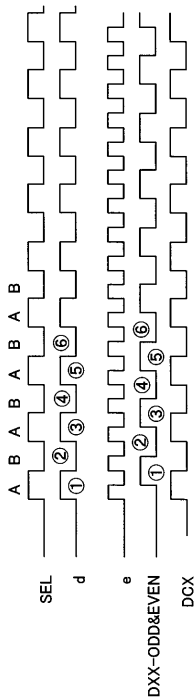
【 図 2 5 】

タイミングコントローラにおいて偶奇の 2 系統の表示データを 1 系統に統合する部分の別の構成例を示す回路図



【 図 2 6 】

図 2 5 の回路における各部分の信号の信号波形を示すタイミング図



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 3 3 B

(56)参考文献 特開2000-089734(JP,A)
特開2000-020034(JP,A)
特開2001-174843(JP,A)
特開2001-075071(JP,A)
特開2002-311880(JP,A)
特開2003-029722(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	液晶表示装置		
公开(公告)号	JP4117134B2	公开(公告)日	2008-07-16
申请号	JP2002025446	申请日	2002-02-01
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	伊藤高英 拔山和宏		
发明人	伊藤 高英 拔山 和宏		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09F9/35 G09G5/00		
CPC分类号	G09G3/3685 G09G3/3611 G09G3/3614 G09G3/3677		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.L G09G3/20.612.P G09G3/20.622.B G09G3/20.623.B G09G3/20.623.G G09G3/20.633.B		
F-TERM分类号	2H093/NC09 2H093/NC13 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC49 2H093/ND50 2H093/ND54 2H093/ND55 2H093/NE07 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC14 5C006/BC16 5C006/BC24 5C006/BF03 5C006/BF04 5C006/BF22 5C006/BF26 5C006/BF49 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
审查员(译)	福村 拓		
其他公开文献	JP2003228338A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中输入到各个驱动器的控制信号的数量被抑制到最小，同时保持当前的控制功能。ZSOLUTION：液晶显示装置包括：液晶面板，包括数据线;数据线驱动器，用于驱动数据线;以及控制器，输出N个控制功能，用于控制驱动数据线的数据驱动器的驱动操作。控制信号线等于或小于连接到数据驱动器的(N-1)条线。

【 図 2 】

本発明による液晶表示装置の第1実施例の構成を示す図

