

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3908013号
(P3908013)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
G09G 3/30 (2006.01)	G09G 3/20 621F
	G09G 3/20 623B
請求項の数 7 (全 19 頁) 最終頁に続く	

<p>(21) 出願番号 特願2001-353282 (P2001-353282)</p> <p>(22) 出願日 平成13年11月19日(2001.11.19)</p> <p>(65) 公開番号 特開2003-157054 (P2003-157054A)</p> <p>(43) 公開日 平成15年5月30日(2003.5.30)</p> <p>審査請求日 平成16年10月18日(2004.10.18)</p>	<p>(73) 特許権者 302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地</p> <p>(74) 代理人 100124914 弁理士 徳丸 達雄</p> <p>(72) 発明者 加藤 文彦 山形県山形市北町四丁目12番12号 山形日本電気株式会社内</p> <p>審査官 濱本 禎広</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 表示制御回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

画像データに応じて出力すべき階調電圧を発生する回路と出力端子との間に、入力端子の電圧と出力の電圧とが少なくとも同じ時に出力がハイインピーダンスとなる増幅回路を挿入し、さらに、前記出力すべき階調電圧により前記出力端子の電圧レベルを補填する駆動電圧補填回路とを有し、

前記表示制御回路は、それぞれ異なった複数の電圧を出力する第1の電圧源回路と、前記第1の電圧源回路の出力する複数の電圧から前記表示データに基づいて選択した電圧を前記入力端子に与える第1のセクタ回路とをさらに備え、

前記駆動電圧補填回路は、前記第1の電圧源回路の出力する複数の電圧にそれぞれ関連する複数の電圧を出力する第2の電圧源回路と、前記第2の電圧源回路の出力する複数の電圧から前記表示データに基づいて選択した電圧を前記出力端子に与える第2のセクタ回路とを有することを特徴とする表示制御回路。

【請求項2】

前記第2の電圧源回路は、前記第1の電圧源回路の出力する複数の電圧をそれぞれ入力とするボルテージフォロワー接続された複数の演算増幅回路を有することを特徴とする請求項1記載の表示制御回路。

【請求項3】

前記表示制御回路は複数の出力端子をそれぞれ別の表示データに基づいて駆動する表示制御回路であって、

10

20

前記増幅回路、及び前記第 1、第 2 のセレクト回路を出力端子毎に設け、前記第 1 の電圧源回路、第 2 の電圧源回路は、複数の出力端子に対して共通に設けたことを特徴とする請求項 2 記載の表示制御回路。

【請求項 4】

複数の出力端子をそれぞれ表示データに基づき複数の階調電圧の中から選択した階調電圧で駆動する表示制御回路であって、

前記出力端子毎に設けられ前記出力端子を駆動する第 1 の増幅回路と、前記出力端子毎に設けられた選択回路を介してその出力端子を駆動する前記複数の階調電圧毎に設けられた第 2 の増幅回路とを備え、

前記第 1 の増幅回路は入力電圧と出力電圧とが少なくとも同じ時に出力がハイインピーダンスとなる不感帯を有し、前記第 2 の増幅回路は前記不感帯を有しない増幅回路としたことを特徴とする表示制御回路。

10

【請求項 5】

表示データに基づき選択した駆動電圧で出力端子を駆動する表示制御回路において、第 1 の増幅回路とこの増幅回路の消費電力より小さい電力でもって動作する第 2 の増幅回路とを設け、第 1 の階調数モードの時は前記第 1 の増幅回路により前記出力端子を駆動し、前記第 1 の階調数より少ない第 2 の階調数モードの時は前記第 1 の増幅回路を非活性化にした状態で前記第 2 の増幅回路により前記出力端子を駆動すると共に前記駆動電圧を用いて前記出力端子の電圧を補填するようにしたことを特徴とする表示制御回路。

【請求項 6】

20

入力の変化に対する出力の変化に不感帯を持たない第 1 の増幅回路と、前記不感帯を有する第 2 の増幅回路とを、駆動電圧発生回路と出力端子との間に並列に接続し、第 1 の階調数モードの時は少なくとも前記第 1 の増幅回路を活性化し、前記第 1 の階調数モードよりも少ない第 2 の階調数モードの時は前記第 1 の増幅回路を非活性化する一方前記第 2 の増幅回路を活性化し、更に、前記第 2 の階調数モードにおいて前記第 2 の増幅回路の入力電圧に関連する電圧を用いて前記出力端子の電圧を補填するようにしたことを特徴とする表示制御回路。

【請求項 7】

複数のデータ線と複数の走査線とのそれぞれ交点にマトリクス状に配置された複数の単位画素の表示をデータ線と走査線とに印加される電圧により制御する表示装置であって、前記データ線を前記請求項 1 乃至 6 いずれか 1 項記載の表示制御回路で駆動するようにしたことを特徴とする表示装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス駆動の液晶表示装置や有機 EL 表示装置のような、複数のデータ線と複数の走査線とのそれぞれ交点付近にマトリクス状に配置された複数の単位画素の表示をデータ線と走査線とに印加される電圧により制御する表示装置及びその表示制御回路に関し、特にデータ線に画像情報に応じたデータ電圧を供給するソースドライバに関する。

40

【0002】

【従来の技術】

近年、パーソナルコンピュータや携帯電話に代表されるように TFT 型液晶表示装置なフラットディスプレイ装置は高品位な表示が可能でありかつコンパクトで低消費電力な表示装置として広く使用されている。

【0003】

このようなフラットディスプレイ装置は、複数のデータ線と複数の走査線との交点にマトリクス状に TFT トランジスタ等のアクティブ素子を配置し、対応する走査線に選択電圧を与えられたときに当該アクティブ素子を導通させてデータ線に与えられた電圧を表示セルに蓄積させ、走査線が非選択時のときには表示セルに蓄積された電圧を保持させて液晶

50

に与えることにより表示を行おうとするものである。表示セルは、画像表示データの各ドットに対応して設けられており、各ドット表示の濃淡に合わせて保持する電圧が変わるように制御される。また、カラー表示を行うときは、各ドットについて、それぞれ3原色のうち1つを受け持つ3つの表示セルを設け、3つの表示セルの保持電圧によって3原色それぞれの濃淡を制御しカラー表示を行う。

【0004】

このソース線の駆動には表示制御回路としてのソースドライバが用いられる。図10に、特開平4-242788号公報に記載されているソースドライバの従来例を示す。本ドライバにおいて、各画素の画像データはデジタルデータとしてデータバスDINに現れ、このバスは複数の出力セル1003-1乃至1003-Nに接続されている。各出力セル1003には、電源発生回路1からの階調電圧VRも供給されている。本説明では、R、G、Bの各色に対し64階調表示を行う表示装置として、64個の階調電圧VR1乃至VR64が発生されている。これら電圧は、65個の抵抗を直列に接続し、各抵抗間の接点から得られる。直列接続された各抵抗の抵抗値は均等ではなく、各階調の明暗を人間が目視したときに自然な階調となるように補正された抵抗値となっている。

10

【0005】

表示装置の各ソース線への画像データはデータバスDINにシリアルに転送されてくるので、各出力セル1003はラッチ31を有し、このラッチ31はデータラッチ信号DLに应答して対応する画像データが転送された時点で同データをラッチする。ラッチ31の出力はDAコンバータ32に供給される。コンバータ32は画像データをデコードし、対応する階調電圧VRを選択して出力する。コンバータ32の出力はバッファ1034に供給される結果、映像信号電圧出力端子PSは、バッファ1034にて駆動される。バッファ1034は、その出力を反転入力に全帰還した演算増幅器であり、したがって、バッファはボルテージホロアとして動作し、出力端子PSはコンバータ32からの階調電圧まで駆動される。

20

【0006】

各出力端子PSは表示装置の対応するソース線が接続されているので、その負荷容量はかなり大きい。そこで、バッファ1034により出力端子PS、したがってソース線を駆動することにより、高速動作を可能としているのである。

【0007】

しかしながら、バッファ1034にこのようになりかなり高い電流駆動能力が要求される結果、出力端子PSが目的とする階調電圧まで駆動された後でも(すなわち、出力端子PSがコンバータ32の出力電圧迄駆動された後でも)、バッファ1034には、図示しないが、電源ライン間に接続された出力トランジスタを介して所謂貫通電流が流れており、しかもその電流は出力トランジスタのサイズに比例して大きい。すなわち、本ドライバは、特にバッファ1034において、各出力端子PSに出力すべき電圧が変化しないときでも、かなり大きな電力が消費されていることになる。

30

【0008】

図11に特開平10-326084号公報に記載されている他の従来技術によるソースドライバを示すが、本ドライバでは、図10とは異なり出力バッファ1034が省略されている。その代わりに、電源発生回路1からの各階調電圧VRがバッファ1102を介して出力セル1103に供給されている。その他の構成要素は図10と同一であるので、同一番号を附している。

40

【0009】

本ドライバは、バッファ1102により階調電圧供給のための内部バスラインを駆動すると共に、出力端子PSを駆動しようとするものである。その結果として、各バッファ1102の出力トランジスタの電流能力は、図10のバッファ1034に比して、更に大きなものとする必要があり、その分消費電力は更に増大する。

【0010】

このように、図10、11で示すドライバでは、大きな消費電力を伴って要求される高速

50

動作を果たしている。

【 0 0 1 1 】

フラットディスプレイ装置の応用分野は近年益々拡大方向にあり、高速動作は勿論のこと、特に携帯用機器では、その消費電力をできる限り低減させることが要求されている。

【 0 0 1 2 】

そこで、実質的な高速動作を保ったまま消費電力をより低減させるために、図 1 2 に示すソースドライバ（出力セル部分のみが示されていることに注意されたい）が、特開平 1 1 - 3 0 5 7 4 4 号公報に提案されている。本ドライバにおいて、D I N は画像デジタルデータであり、V 1 ~ V M は階調電圧である。デコーダ 1 2 3 0 はデータ D I N に応じて一つの階調電圧を選択し出力する。したがって、デコーダ 1 2 3 0 は図 1 0 , 1 1 における D A コンバータと等価である。本ドライバでは、しかしながら、出力端子 O U T をコンバータの出力にตอบสนองして動作停止機能付きのボルテージフォロア接続演算増幅回路 1 2 3 4 により駆動している。すなわち、本バッファ 1 2 3 4 は、制御信号 C O N T のレベルにより、その動作が活性化されたり不活性化されたりする。本ドライバでは、制御信号 C O N T がアクティブロウレベルとなると、バッファ 1 2 3 4 は活性化され、出力端子 O U T はバッファ 1 2 3 4 で駆動される。一方、制御信号 C O N T がインアクティブハイレベルとなると、バッファ 1 2 3 4 は動作を停止してその出力はハイインピーダンスとなると共に消費電力もほぼゼロとなる。制御信号 C O N T はハイレベルとなると、スイッチ回路 1 2 3 6 は、図示のように、インバータ 1 2 3 8 及びトランスミッションゲート T G 1 で構成されていることから、オンとなり、バッファ 1 2 3 4 が非活性化される代わりに、デコーダ 1 2 3 0 で選択された階調電圧は、スイッチ回路 1 2 3 6 を介して出力端子 O U T に供給されることになる。

10

20

【 0 0 1 3 】

したがって、新たな画像データ D I N が供給されるたびに、制御信号 C O N T がロウレベルとなって出力端子 O U T は出力すべき階調電圧あるいはその付近まで高速で駆動され、その後は、制御信号 C O N T がハイレベルに反転して、バッファ 1 2 3 4 での消費電力を無くし、その代わりにデコーダ 1 2 3 0 で出力端子 O U T を直接駆動することになる。かくして、図 1 2 のドライバでは、実質的な高速動作が確保されつつ、その消費電力の低減を図ることが可能となる。

【 0 0 1 4 】

【 発明が解決しようとする課題 】

しかしながら、図 1 2 のドライバでは、バッファ 1 2 3 4 及びスイッチ回路 1 2 3 6 の制御に制御信号 C O N T を用いており、それぞれの動作、非動作タイミングは信号 C O N T により一義的に決定されることになる。ところが、表示パターンにより表示セル、ソース線の充放電に要する時間は大きく異なる。たとえば、電位が 0 . 2 V にある表示セルとソース線を 4 . 8 V まで充電するには、大きく時間がかかるが、元々 4 . 8 V の電位に有る表示セルとソース線とを 4 . 8 V にするには、充放電は不用である。しかしながら、表示パターンに応じてソース線の充放電に必要とする時間を考慮して C O N T 信号を切り替えるのは実質的に不可能である。C O N T 信号により切替が早すぎれば、ソース線、表示セルを十分に充放電できないために所望の階調が得られず、一方、切替えが遅ければ演算増幅回路による消費電流を減らすことができない。

30

40

【 0 0 1 5 】

しかも、そのようなタイミング制御を必要とする制御信号 C O N T の生成、発生自体がドライバの設計を複雑化している。

【 0 0 1 6 】

したがって本発明の主な目的は、高速動作を実行しつつ、タイミング制御を伴うことなく、低消費電力化を実現したソースドライバとしての表示制御回路を提供することを目的とする。

【 0 0 1 7 】

【 課題を解決するための手段 】

50

本発明による表示制御回路は、ソースドライバIC（集積回路）として、画像データに応じて出力すべき階調電圧を発生する回路と出力端子との間に、入力の電圧と出力の電圧とが少なくとも実質的に同じ時に出力がハイインピーダンスとなる増幅回路を挿入し、さらに、上記出力すべき階調電圧により前記出力端子の電圧レベルを補填する駆動電圧補填回路とを有することを特徴としている。

【0018】

このように、本発明では、増幅回路自体に、その出力がハイインピーダンスとなる特性を持たせている。係る増幅回路は、B級アンプとも呼ばれているものである。或は、入力電圧の変化に対し出力電圧の変化に不感帯領域をもったアンプとしても知られている。このようなアンプでは、その特性から、出力がハイインピーダンスとなるとき、或は、不感帯領域となったときに、その出力トランジスタに流れる電流は実質的にゼロとなるか又は極めて小さい電流しか流れない。

係るアンプで出力端子を駆動するわけであるが、出力端子の電圧レベルが、出力すべき階調電圧付近に達するまでは、従来技術と同様に高速に駆動される。ところが、入出力の電圧が同じとなると出力がハイインピーダンスとなるように不感帯領域を有するため、出力端子を出力すべき階調電圧と同じ電圧まで駆動することはできない。そこで、駆動電圧補填回路により、出力端子を出力すべき階調電圧まで押し上げ（又は押し下げ）て、必要される階調電圧を表示装置のソース線に出力しているのである。このとき、B級アンプにおける特に出力段の電力消費は実質ゼロまたは極めて小さい値となっており、所期の目的の一つである低消費電力も同時に達成されることになる。また、アンプ自体がその入出力電圧に应答して自動的にその動作を制御しているので、余分なタイミング制御も必要としない。

【0019】

本発明における上記増幅回路を、ドレインが高電位電源に、ゲートが入力端に、ソースが出力端に接続されたNチャンネルMOSトランジスタと、ドレインが前記高電位より電位の低い低電位電源に、ゲートが前記入力端に、ソースが前記出力端に接続されたPチャンネルMOSトランジスタとを備えて構成することができる。

【0020】

このような構成とすれば、入力端子の電圧から出力端子の電圧を引いた電圧がNチャンネルトランジスタの閾値より低く、かつ、Pチャンネルトランジスタの閾値より高い範囲にあるときは、Nチャンネルトランジスタ、Pチャンネルトランジスタが共にオフとなる不感帯となる増幅回路が構成できる。

【0021】

また、前記増幅回路は、前記入力端子と前記出力端子とをそれぞれ差動入力とする第1及び第2の差動入力回路と、前記第1の差動入力回路によりオンオフ制御される第1の出力駆動回路と、前記第2差動入力回路によりオンオフ制御される第2の出力駆動回路とを含み、前記第1及び第2の差動入力回路は前記入力端子電圧と前記出力端子の電圧とが少なくとも実質的に同じ時に前記第1及び第2の出力駆動回路が共にオフとなるようなオフセットを有する増幅回路とすることもできる。

【0022】

上記構成によれば、第1及び第2の差動入力回路にオフセットを設けることにより、出力ハイインピーダンスとなる不感帯を設定することができる。

【0023】

また、別の本発明の表示制御回路は、複数の出力端子をそれぞれ表示データに基づき複数の階調電圧の中から選択した階調電圧で駆動する表示制御回路であって、前記出力端子毎に設けられ前記出力端子を駆動する第1の増幅回路と、前記階調電圧毎に設けられ出力端子毎に設けた選択回路がその階調を選択したときに前記選択回路を介してその出力端子を駆動する第2の増幅回路とを備え、前記第1の増幅回路は入力の電圧と出力の電圧とが少なくとも実質的に同じ時に出力がハイインピーダンスとなる不感帯を有し、前記第2の増幅回路は前記不感帯を有しない増幅回路としたことを特徴とする。

【 0 0 2 4 】

すなわち、出力端子毎に設けられた不感帯を有する第 1 の増幅回路により出力端子を駆動するので高速に出力端子を充放電することができる。また、出力端子の電圧レベルが出力すべき階調電圧付近に達すると出力ハイインピーダンスとなるので、第 1 の増幅回路による消費電力は少ない。一方、階調電圧毎に設けられた不感帯を有しない第 2 の増幅回路は、第 1 の増幅回路により目的とする階調電圧付近まで出力端子の電圧が充放電されているので、目的とする電圧までの残りのわずかな電圧を充放電する能力があればよいので、大きな駆動能力は必要とされないので消費電力を押さえることができる。

【 0 0 2 5 】

さらに、また別の本発明の表示制御回路は、表示データに基づき選択した駆動電圧で出力端子を駆動する表示制御回路において、第 1 の増幅回路とこの増幅回路の消費電力より小さい電力でもって動作する第 2 の増幅回路とを設け、第 1 の階調数モードの時は前記第 1 の増幅回路により前記出力端子を駆動し、前記第 1 の階調数より少ない第 2 の階調数モードの時は前記第 1 の増幅回路を非活性にした状態で前記第 2 の増幅回路により前記出力端子を駆動すると共に前記駆動電圧を用いて前記出力端子の電圧を補填するようにしたことを特徴とする。

10

【 0 0 2 6 】

上記構成によれば、第 1 の階調数モードのときは第 1 の増幅回路で出力端子を駆動し、第 1 の階調数モードより少ない第 2 の階調数モードの時は、第 1 の増幅回路より小さい電力でもって動作する第 2 の増幅回路で出力端子を駆動すると共に、駆動電圧を用いて出力端子の電圧を補填するようにしたので、階調数が多いときも少ないときも低消費電力で高速に出力端子を駆動できる。

20

【 0 0 2 7 】

さらに、本発明の表示装置は、複数のデータ線と複数の走査線とのそれぞれ交点付近にマトリクス状に配置された複数の単位画素の表示をデータ線と走査線とに印加される電圧により制御する表示装置であって、前記データ線を上記いずれかの表示制御回路で駆動するようにした。

【 0 0 2 8 】

上記構成によれば、上記表示制御回路でデータ線を駆動しているので、データ線を高速に所望の電圧に充放電することができ、かつ、データ線の駆動電流を低減することができる。

30

【 0 0 2 9 】

【 発明の実施の形態 】

次に、本発明の実施の形態について、図面を参照しながら説明する。図 1 は、本発明の第 1 の実施形態である表示制御回路のブロック図である。図 1 0、1 1 で説明した従来の技術と同一のブロックは同一符号を付し、説明を省略する。

【 0 0 3 0 】

ここで、B 級増幅回路 3 5 は、入力の電圧と出力の電圧とが少なくとも実質的に同じ時に出力がハイインピーダンスとなる不感帯を持つバッファである点で図 1 0 記載のバッファ 1 0 3 4 と異なる。バッファ 1 0 3 4 は、入力電圧と同電圧で、かつ低インピーダンスで出力端子 P S を駆動するため係る不感帯は持たない。B 級増幅回路 3 5 と区別するため、以降バッファ 1 0 3 4 のような不感帯を持たないバッファを A B 級増幅回路と呼ぶ。

40

【 0 0 3 1 】

ここで、A B 級増幅回路と B 級増幅回路の内部回路の構成について図面を用いて詳しく説明する。図 2 は、A B 級増幅回路の一例を示す回路図であり、この回路は、基本的には、本発明者が特願平 1 1 - 2 3 9 3 0 3 号 (特開 2 0 0 0 - 2 5 2 7 6 8 号公報) の図 1 6 に開示した演算増幅回路である。この回路では、演算増幅器入力端子 2 0 1 と 2 0 2 から入力された差電圧が増幅されて演算増幅器出力端子 2 0 3 から出力される。入力段バイアス入力端子 A 3、A 4、駆動バイアス入力端子 A 5 からは K 1 入力段、K 2 駆動段に設けた定電流回路のバイアス電圧が与えられる。また、制御端子 A C、A C B は A B 級増幅回

50

路を活性化させるか、非活性化させるか切り替える制御端子であり、A B級増幅回路を増幅回路として機能させるときは、制御端子A Cはハイレベル、制御端子A C Bにはローレベルの信号が与えられる。

【0032】

図2のA B級増幅回路は、出力端子203に一定の中間電圧を出力しているときは、出力段プルアップトランジスタM66e、出力段プルダウントランジスタM65eのゲートには共にバイアス電圧が印加されており、この2つのゲートに加えられるゲートバイアス電圧により、出力端子203の電圧が決定される。したがって、演算増幅器出力端子203から中間電位を出力している限り、高位電源VDDから低位電源VSSへ、出力段プルアップトランジスタM66eと出力段プルダウントランジスタM65eとを介して常に貫通電流が流れる。特に、図10のバッファ1034のように出力端子を低インピーダンスで高速に駆動するためには、出力段プルアップトランジスタM66e、出力段プルダウントランジスタM65eは共にかなりの電流を流していなければならない。

10

【0033】

次に、B級増幅回路35の構成と動作について図面を用いて説明する。図3は、本発明に好適なB級増幅回路35の一例である。図3の回路は、ドレインを高電圧電源に接続されたNチャンネルソースフォロア回路(NチャンネルMOSトランジスタ303)と、ドレインを低電圧電源に接続されたPチャンネルソースフォロア回路(PチャンネルMOSトランジスタ304)とからなり、Nチャンネルソースフォロア回路の出力はPチャンネルソースフォロア回路の出力と共に出力端302に接続されている。また、Nチャンネルソースフォロア回路の入力(NチャンネルMOSトランジスタ303のゲート)はPチャンネルソースフォロア回路の入力(PチャンネルMOSトランジスタ304のゲート)と共に入力端301に接続される。

20

【0034】

図3の回路は、高電圧電源側にNチャンネルMOSトランジスタ303、低電圧電源側にPチャンネルMOSトランジスタ304が接続させている点で通常のCMOSインバータの構成とは異なっている。

【0035】

図3の回路では、入力端子301に出力端子302の電圧よりNチャンネルMOSトランジスタ303の閾値より高い電圧が入力されるとNチャンネルソースフォロア回路が動作し、入力端子301と出力端子302との電位差が小さくなるように出力端子302を駆動する。また、入力端子301に出力端子302の電圧よりPチャンネルMOSトランジスタ304の閾値より低い電圧が入力されるとPチャンネルソースフォロア回路が動作し、入力端子301と出力端子302との電位差が小さくなるように出力端子302を駆動する。

30

【0036】

一方、出力端子302に対する入力端子301の電圧がNチャンネルMOSトランジスタ303の閾値より低く、かつ、PチャンネルMOSトランジスタ304の閾値より高いと出力端子302は出力ハイインピーダンスとなる。たとえば、NチャンネルMOSトランジスタ303の閾値を0.4V、PチャンネルMOSトランジスタ304の閾値を-0.4Vとして、出力端子302の電圧が2.5Vだとすると、入力端子電圧が2.1Vから2.9Vの範囲がこのB級増幅回路の不感帯となり、出力ハイインピーダンスとなる。

40

【0037】

NチャンネルMOSトランジスタ303とPチャンネルMOSトランジスタ304とが共にエンハンスメント型MOSトランジスタの場合は、NチャンネルMOSトランジスタ303とPチャンネルMOSトランジスタ304とが同時に導通することがないので、NチャンネルMOSトランジスタ303からPチャンネルMOSトランジスタ304へ貫通電流、バイアス電流が流れることはない。

【0038】

すなわち、この増幅回路は、単純なCMOSのソースフォロア回路なので、バイアス電流

50

は完全にゼロになるが、トランジスタの閾値落ちを利用しているために、不感帯の電圧範囲はトランジスタの閾値に直接依存する。

【 0 0 3 9 】

次に、図 4 は、本発明に好適な B 級増幅回路 3 5 の別の一例である。図 4 記載の B 級増幅回路は、差動を利用した回路であるので、多少のバイアス電流を必要とするが、差動特性を利用しているため、トランジスタのサイズ比等により差動回路のオフセット電圧を作りこむことにより、精度よく不感帯の電圧範囲を設定することができる。また、同一導電型のトランジスタの差動対を使っているため、不感帯の電圧範囲がトランジスタの閾値に直接依存することもない。

【 0 0 4 0 】

図 4 記載の増幅回路は、入力端 4 0 1、出力端 4 0 2 をそれぞれ差動入力とする N チャンネル差動入力回路及び P チャンネル差動入力回路と、P チャンネル MOS トランジスタ M 9 からなる P チャンネル出力駆動回路と、N チャンネル MOS トランジスタ M 1 0 からなる N チャンネル出力駆動回路とで構成されている。

【 0 0 4 1 】

N チャンネル差動入力回路は、N チャンネル MOS トランジスタ M 3、M 4 からなる差動入力対、P チャンネル MOS トランジスタ M 1、M 2 からなるカレントミラー、及び定電流源 C S 1 で構成される。P チャンネル MOS トランジスタ M 1 のドレインは N チャンネル MOS トランジスタ M 3 のドレインと接続され P チャンネル出力駆動回路の P チャンネル MOS トランジスタ M 9 のゲートに接続されている。

【 0 0 4 2 】

また、P チャンネル差動入力回路は、P チャンネル MOS トランジスタ M 7、M 8 からなる差動入力対、N チャンネル MOS トランジスタ M 5、M 6 からなるカレントミラー、及び電流源 C S 2 で構成される。N チャンネル MOS トランジスタ M 5 のドレインは P チャンネル MOS トランジスタ M 7 のドレインと接続され N チャンネル出力駆動回路の N チャンネル MOS トランジスタ M 1 0 のゲートに接続されている。

【 0 0 4 3 】

N チャンネル差動入力回路では、入力端子 4 0 1 の電圧が出力端子 4 0 2 の電圧と等しいときは P チャンネル MOS トランジスタ M 9 が必ずオフとなるように、カレントミラー回路を構成する P チャンネル MOS トランジスタ M 1 のチャンネル幅は、P チャンネル MOS トランジスタ M 2 のチャンネル幅より大きく設定されている。P チャンネル MOS トランジスタ M 1 のチャンネル幅が、P チャンネル MOS トランジスタ M 2 のチャンネル幅より十分に大きければ、入力端 4 0 1 の電圧が出力端 4 0 2 の電圧と等しい時、P チャンネル MOS トランジスタ M 1 のソースドレイン間電圧は、P チャンネル MOS トランジスタ M 9 の閾値以下の電圧となり、P チャンネル MOS トランジスタ M 9 はオフする。P チャンネル MOS トランジスタ M 1 と P チャンネル MOS トランジスタ M 2 とのチャンネル幅の差によって入力端 4 0 1 と出力端 4 0 2 の電圧が等しいとき P チャンネル出力駆動回路が必ずオフするようなオフセットが与えられていると考えてもよい。なお、N チャンネル MOS トランジスタ M 3 と N チャンネル MOS トランジスタ M 4 のチャンネル幅は同じである。

【 0 0 4 4 】

このように N チャンネル差動入力回路はオフセットを持っているので入力端 4 0 1 の電圧が出力端 4 0 2 の電圧より高いときには P チャンネル MOS トランジスタ M 9 を導通させるが、入力端 4 0 1 の電圧が出力端 4 0 2 の電圧と等しいか、低いときは P チャンネル MOS トランジスタ M 9 は非導通となる。

【 0 0 4 5 】

同様に P チャンネル差動入力回路では、P チャンネル MOS トランジスタ M 7 と P チャンネル MOS トランジスタ M 8 のチャンネル幅は等しいが、N チャンネル MOS トランジスタ M 5 のチャンネル幅は、N チャンネル MOS トランジスタ M 6 のチャンネル幅より大きく設定されている。N チャンネル MOS トランジスタ M 5 と N チャンネル MOS トランジ

10

20

30

40

50

スタM6とのチャンネル幅の差によってPチャンネルMOSトランジスタM7とPチャンネルMOSトランジスタM8で構成される差動入力部に同一電圧が入力されたときNチャンネル出力駆動回路のNチャンネルMOSトランジスタM10が必ずオフするようなオフセットを持たせるためである。

【0046】

このオフセットのため、Pチャンネル差動入力回路と同様にNチャンネル差動入力回路では、入力端401の電圧が出力端402の電圧より低いときにはNチャンネルMOSトランジスタM10を導通させるが、入力端401の電圧が出力端402の電圧と等しいか、高いときはNチャンネルMOSトランジスタM10は非導通となる。

【0047】

上述したように図4の増幅回路では、出力端子402に対する入力端子401の電圧がNチャンネル差動入力回路のオフセット電圧より低く、Pチャンネル差動入力回路のオフセット電圧より高い場合には、入力端子の電圧は不感帯にあることとなり、Pチャンネル出力駆動回路、Nチャンネル出力駆動回路が共にオフとなり、出力ハイインピーダンスとなる。

【0048】

たとえば、Nチャンネル差動入力回路のオフセット電圧が0.2V、Pチャンネル差動入力回路のオフセット電圧が-0.2Vで、出力端子402の電圧が2Vだとすると、入力端子401の電圧が1.8Vから2.2Vの範囲が不感帯となり、出力ハイインピーダンスとなる。出力がハイインピーダンスとなる時は入力段のバイアス電流しか消費電流は流れない。

【0049】

一方、入力端子401の電圧がこの不感帯の範囲外にあるときは、Pチャンネル出力駆動回路または、Nチャンネル出力駆動回路のどちらか、一方が導通し、入力端子401と出力端子402との電位差が小さくなるように出力端子を駆動する。

【0050】

このNチャンネル差動入力回路とPチャンネル差動入力回路とのオフセット電圧は高速駆動のためには0Vに近いほど好ましいが、製造上のばらつき等により、0Vを超えてしまうと、Pチャンネル出力駆動回路からNチャンネル出力駆動回路へ貫通電流が流れ、また、出力端子にも正しい電圧が出力できなくなるので、0.2V~0.5V程度が好ましい。

【0051】

次に図1に戻って、本実施形態の動作と作用について説明する。B級増幅回路35は、DAコンバータ32が出力する階調電圧に基づいて出力端子PSを駆動するが、B級増幅回路35は入力の電圧が出力の電圧に実質等しい時、出力ハイインピーダンスとなるような不感帯を持っているため、出力端子PSをDAコンバータ32が出力する階調電圧の近傍までは駆動できるが、B級増幅回路35だけでは、DAコンバータ32の出力電圧と同じ電圧まで駆動することはできない。しかし、図1の回路では、さらに、DAコンバータ33を介してバッファ2の駆動電圧を出力端子PSに供給しているため、出力端子PSを所望の階調電圧で駆動することができる。図1の回路では、バッファ2はAB級増幅回路であり、ボルテージフォロアとして使っている。

【0052】

図1の回路では、DAコンバータ33を介して出力端子PSを駆動するAB級増幅回路2と、出力端子PSを直接駆動するB級増幅回路35との2種類の増幅回路が必要になる。したがって、階調電圧の駆動に必要な増幅回路(バッファ)の数は、図10、図11に記載した従来技術より増える。

【0053】

しかし、B級増幅回路35は出力段に貫通電流がほとんど流れないのでAB級増幅回路1034に比べて消費電流を相当小さくできる。また、AB級増幅回路2もB級増幅回路35で目的とする電圧の近傍まで駆動しているため出力段の駆動能力を、図11のバッファ

10

20

30

40

50

1102の駆動能力に比べると相当小さくすることができる。したがって、AB級増幅回路2の消費電力もバッファ1102の消費電力より小さくなる。この様に図1の表示制御回路では、B級増幅回路35、AB級増幅回路2、1個あたりの消費電力を従来のAB級増幅回路1034、バッファ1102と比較して大幅に減らすことができる。それゆえ、従来例図10、図11記載の従来例より増幅回路の数は増えたとしても、表示制御回路全体で消費する電力を減らすことができる。特に本実施の形態では、出力端子の数が増えるほど従来例に比べてその効果は大きい。

【0054】

次に、図5乃至図9を用いて、本発明の第2の実施形態について、説明する。第1の実施形態では、表示制御回路の出力端子が表示パネルの1つのソース線（データ線）を駆動するものとして説明をした。しかし、最近、TFT液晶表示パネル内にセクタ回路を設け、セクタ回路の入力に表示制御回路の出力端子PSを接続し、セクタ回路を時分割で切り替えることにより、表示制御回路の一つの出力端子からの信号で複数のソース線を駆動することのできるTFT液晶表示パネルが提案されている。図5は、このセクタ回路を内蔵した液晶表示パネルに本発明の表示制御回路を接続したときの液晶表示装置のブロック図である。

10

【0055】

図5の液晶表示装置は、表示制御回路501、TFTトランジスタ回路502、走査回路503を備えている。表示制御回路501、走査回路503はそれぞれ半導体LSIとして半導体基板の上に回路が形成され、TFTトランジスタ回路502は、ガラス基板等の上に回路が形成され、その回路の上に液晶、対向電極が積層される。表示制御回路501と、走査回路503で、TFTトランジスタ回路502を駆動し液晶表示装置の表示を制御する。表示制御回路501からTFTトランジスタ回路502には、表示制御回路501の出力端子PS-1乃至PS-Nから画像信号PS1乃至PSNが供給される。

20

【0056】

TFTトランジスタ回路502は、セクタ回路504を備えている。セクタ回路504には画像信号PS1~PSNが入力され、セクタ回路504の出力にはN*M本のソース線506が接続されている。1ラインの画像信号PSK（Kは1~Nの整数）にはそれぞれM本のソース線がセクタ回路504を介して接続されており、セクタ回路504は1走査期間中に時分割でスイッチを切替え1ラインの画像信号PSKからM本のソース線にそれぞれ個別に表示制御電圧を供給する。すなわちMは表示制御回路の1つの出力端子が時分割で駆動するソース線の数であり、また、言いかえるならば、ひとつの走査線期間中に出力端子から出力する表示データを書きかえる回数である。

30

【0057】

ソース線505はマトリクス状に配置されたTFTトランジスタ507のソース・ドレイン端に接続される。走査回路503からは、多数のゲート線がマトリクス状に配置されたTFTトランジスタ507のゲートに接続される。図5では、記載が煩雑になるのを避けるため、TFTトランジスタ507は1個しか示していないが、実際にはTFTトランジスタ507は、N*M本のソース線505と多数のゲート線506のそれぞれ交点に存在する。各TFTトランジスタ507はNチャンネルトランジスタで構成され、ゲート線506がハイレベルになると導通し、ソース線505の電圧を液晶素子508からなる容量に格納する。その後ゲート線506がローレベルになるとTFTトランジスタ507はオフし、液晶素子508の電圧は次にTFTトランジスタ507がオンするまで保持される。各液晶素子508に保持されている電圧により各液晶素子の光の透過率、反射率が制御され各表示画素の濃淡となって表示パターンが決定される。

40

【0058】

このようなセクタ回路を内蔵した表示パネルを駆動するソースドライバ（表示制御回路）は、1つの走査期間内に複数回表示データを変えて出力端子を駆動しなければならず、より高速動作が求められる。

【0059】

50

また、表示装置によっては、表示の階調数をモードによって多い階調を表示するモードと、少ない階調を表示するモードとに切り替えることのできる表示装置がある。この場合、高速動作を実行しつつ、低消費電力を実現する表示制御装置を得るためには、階調の多いモードと、階調の少ないモードで表示階調の数によって最適な構成が異なる場合がある。第2の実施の形態はこのような場合に最適な表示制御回路及び表示装置である。

【0060】

図6は、第2の実施形態の表示制御回路のブロック図である。第1の実施形態と同一のブロックには第1の実施形態と同一符号を付し、説明を省略する。図6の表示制御回路は、3原色それぞれについて64階調表示を用いる26万色モード、16階調表示の4096色モード、8階調表示の512色モード、2階調表示の8色モードと4つのモードを持つ

10

【0061】

図1のAB級増幅回路2が64階調の階調電圧に対応して64個用いられていたのに対して、図6では、AB級増幅回路602は16階調以下の表示モードに対応して16個設けられ、VR1～VR64の64階調のうち、16階調以下の表示に用いられる16階調のVRがそれぞれ入力される。また、AB級増幅回路602は、選択信号PA1～PA3により選択されたAB級増幅回路602のみ活性化され、選択信号PA1～PA3で選択されないAB級増幅回路602は非活性化され出力はハイインピーダンス状態となり、消費電流もほぼゼロとなる。16個のAB級増幅回路602のうち、2階調表示に使用する2個のAB級増幅回路602にはPA1が、2階調表示には使用しないが8階調表示に使用する6個のAB級増幅回路602にはPA2が、8階調表示には使用しないが16階調表示に使用する8個のAB級増幅回路602にはPA3が、選択信号として入力される。なお、各AB級増幅回路602として図2記載の増幅回路が用いられ、選択信号PA1～PA3は図2のAC端子に接続され、ACB端子には、選択信号PA1～PA3の反転信号が入力される。

20

【0062】

次に図6では、DAコンバータ32と出力端子PSとの間に、AB級増幅回路634とB級増幅回路635とが並列に接続されている。さらに、B級増幅回路635には選択信号AS1が、AB級増幅回路634には選択信号AS2が接続され、選択信号AS1、AS2により選択された増幅回路は活性化され、選択されなかった増幅回路は非活性化される。ここで、AB級増幅回路634は、図2記載の増幅回路が用いられ、選択信号AS2は図2のAC端子に供給され、AS2の反転信号がACB端子に供給される。

30

【0063】

また、B級増幅回路635には、図1記載のB級増幅回路35に、選択信号AS1により増幅回路を非活性化する機能が加わっている。選択信号AS1がローレベルとなると入力信号に関わらず、B級増幅回路635は出力ハイインピーダンスとなり、消費電流も流れない状態に固定される。このB級増幅回路635の内部回路について図7を用いて説明する。

【0064】

図7は、入力端を701、出力端を702とする増幅回路である。図7記載のB級増幅回路では、図4記載のB級増幅回路に、トランジスタM11～M20が追加されている。M15～M19は、PチャンネルMOSトランジスタ、M11～M14、M20はNチャンネルMOSトランジスタで構成される。M11、M15、M17のゲートには選択信号AS1が、M12、M16、M20のゲートには、AS1の反転信号AS1Bが接続される。その他の構成は、図4記載のB級増幅回路と同一である。

40

【0065】

選択信号AS1がハイレベル、反転信号AS1Bがローレベルのときの動作は、図4記載のB級増幅回路と同じである。

【0066】

一方、選択信号AS1がローレベル、反転信号AS1Bがハイレベルのときは、Nチャン

50

ネルMOSトランジスタM13、M14、PチャンネルMOSトランジスタM18、M19がオフし、Nチャンネル差動入力回路、Pチャンネル差動入力回路には、バイアス電流が流れない。また、PチャンネルMOSトランジスタM9、NチャンネルMOSトランジスタM10はともに、非導通となるようにゲート電圧が固定されるので、入力端701の電圧に関わらず、出力端702は出力ハイインピーダンスとなる。

【0067】

次に、図6記載の第2実施形態の表示制御回路について、各表示モードとその動作について説明する。

【0068】

最初に26万色モードの動作について説明する。26万色モードでは、選択信号AS1、PA1、PA2、PA3がローレベル、AS2がハイレベルとなる。各出力セル603-1~603-Nは選択信号AS1にローレベル、AS2にハイレベルが入力されるので、AB級増幅回路634は活性化され、B級増幅回路635は、非活性化される。また、AB級増幅回路602に入力される選択信号PA1~PA3がすべてローレベルとなるので16個ある電源増幅回路602はすべて非活性化される。16個のAB級増幅回路602と出力セル603-1~603-N内の各B級増幅回路635とは非活性化されることにより出力ハイインピーダンス状態となり、リーク電流しか流れず、消費電流はほぼゼロとなる。また、AB級増幅回路602のすべての出力がハイインピーダンス状態になるので、選択信号SSの値によらず、DAコンバータ33の出力もハイインピーダンス状態となる。なお、DAコンバータ32は、ラッチ31にラッチされた6ビットの画像データがフルデコードされ、電源発生回路1が出力する基準電源信号VR1~VR64の64階調電圧から1階調の電圧を選択してB級増幅回路635へ供給される。

【0069】

すなわち、このとき、表示回路501は、実質的に図10に示すAB級増幅回路で直接出力端子を駆動する従来の技術で説明した回路に等価な回路として動作し、消費電流もAB級増幅回路で直接出力端子を駆動する従来の技術図10と同等となる。

【0070】

次に4096色モードの動作について説明する。4096色モードでは、選択信号AS1がハイレベルとなり、選択信号AS2はローレベルとなる。各出力セル603-1~603-Nは増幅回路選択信号AS1にハイレベル、AS2にローレベルが入力されると、B級増幅回路635は活性化され、AB級増幅回路634は、非活性化される。非活性化されたAB級増幅回路634は、出力ハイインピーダンスとなる。また、4096色モードでは、選択信号PA1~PA3は、すべてハイレベルとなり、16個のAB級増幅回路602はすべて活性化される。4096色モードでは、DAコンバータ32、33は、ラッチ31にラッチされた6ビットの画像データのうち、上位4ビットがデコードされ、4096色モードで使用される16階調電圧から1階調を選択して出力する。DAコンバータ33は、AB級増幅回路602が出力する16階調の電圧から1階調の電圧を選択し、直接出力端子PSに出力する。4096色モードでは、AB級増幅回路634を使用せずにAB級増幅回路634をすべて非活性化させ、代わりにB級増幅回路635を活性化させているので、26万色モードより低消費電力となる。

【0071】

さらに512色モードでは、選択信号PA1~PA3は、PA1~PA2がハイレベル、PA3がローレベルとなり、16個のAB級増幅回路602のうち、飛び飛びに8階調表示の電圧に相当するAB級増幅回路のみ活性化される点が4096色モードと異なる。一方、残りの8個のAB級増幅回路602は非活性化され、出力はハイインピーダンスとなり、消費電流も流れなくなる。DAコンバータ32、33はラッチ31の6ビットデータのうち、上位3ビットのみデコードされ、共に8階調の電圧しか出力することがない点を除けば、4096色モードと動作は同じであるので説明を省略する。この512色では、16個のAB級増幅回路602のうち、上述した8個しか活性化しないので、4096色モードよりなお一層消費電力を減らすことができる。

10

20

30

40

50

【 0 0 7 2 】

最後に 8 色モードの動作について説明する。8 色モードでは、選択信号 P A 1 ~ P A 3 は、P A 1 がハイレベル、P A 2 ~ P A 3 がローレベルとなり、16 個の A B 級増幅回路 6 0 2 のうち、2 個の A B 級増幅回路のみ活性化される点が 5 1 2 色モード、4 0 9 6 色モードと異なる。また、D A コンバータ 3 2、3 3 はラッチ 3 1 にラッチされた 6 ビットデータのうち、上位 1 ビットのみデコードされ、8 色モードで使用する 2 階調電圧から 1 階調が選択される。他の動作は 5 1 2 色モードと同じである。8 色モードでは、16 個の A B 級増幅回路 6 0 2 のうち、2 個の A B 級増幅回路しか活性化されないため、5 1 2 色モードと比べてもなお、一層低消費電力が実現できる。

【 0 0 7 3 】

以上説明したように、最終段の出力端子 P S を直接駆動する増幅回路に B 級増幅回路を用いた場合には、A B 級増幅回路を用いるよりも最終段の消費電力は低減できる。最終段の増幅回路は出力端子毎に設けるので、出力端子の数が多いほどこの効果は大きい。ただし、B 級増幅回路を用いる場合には、B 級増幅回路が目的とする電圧の近傍まで駆動して出力ハイインピーダンスとなった後、目的とする電圧までさらに引き上げ、引き下げを行う補填回路として、A D コンバータの前段にボルテージフォロア接続された A B 級増幅回路等が必要となる。この A B 級増幅回路は、表示階調の数だけ必要となるので表示階調の数が多くなれば多くなるほど前段の A B 級増幅回路による消費電力は増える。

【 0 0 7 4 】

一方、最終段の増幅回路に A B 級の増幅回路を用いた場合には、最終段の消費電力は B 級の増幅回路を用いるより大きくなる。しかし、A B 級の増幅回路は、入力と出力の電圧が実質等しくなっても出力ハイインピーダンスとならないので補填回路は必要としないため、この補填回路による消費電力はない。

【 0 0 7 5 】

すなわち、表示階調の数に比べて出力端子の数が多い場合は、B 級の増幅回路と補填回路により出力端子を駆動することにより、A B 級増幅回路により直接出力端子を駆動するより消費電力を少なくすることができる。しかし、表示階調数が多く、出力端子の数が少ないときは、B 級増幅回路を用いるよりも A B 級増幅回路で直接出力端子を駆動した方が消費電力を小さくできる。この第 2 の実施形態はこの発明者の知見に基づき、表示階調数が多いときは A B 級増幅回路で出力端子を駆動し、表示階調数が少ないときは B 級増幅回路と補填回路により出力端子を駆動することにより、ソースドライバとしての表示制御回路の高速性と低消費電力を達成するものである。特に、表示パネル内にセレクト回路を持っている表示パネル等を駆動する場合、出力端子の数はそれほど多くならず、かつ、高速書きこみが要求されるのでこの効果は大きい。

【 0 0 7 6 】

図 8 は、図 6 に示す第 2 実施形態の回路のシミュレーション波形図である。B 級増幅回路を用い、B 級増幅回路を用いないで D A コンバータ 3 3 だけで出力を充放電する場合に比べて出力端子 P S の高速な立上り、立下りが実現できることがわかる。

【 0 0 7 7 】

次に、図 9 は、第 2 実施形態について、出力端子数 N が 24、分割数 M が 22 を想定して従来例と比較して消費電流の試算を行った結果を示すグラフである。前述したように 26 万色モードのときは、A B 級の増幅回路を使って直接出力端子を駆動する図 10 記載の第 1 の従来例の消費電流に実質等しい。次に 5 1 2 色、4 0 9 6 色モードのときは、第 1 の従来例、第 2 の従来例のいずれに比べても小さい消費電力を実現することができる。B 級増幅回路 6 3 5 で目的とする電圧の近傍まで駆動されているため、A B 級増幅回路 6 0 2 の駆動能力、出力段の消費電力を小さくできるためである。

【 0 0 7 8 】

なお、上記実施の形態では、T F T 液晶表示装置の表示を制御するに好適な表示制御回路の実施の形態について説明したが、表示装置は T F T 液晶表示装置以外の表示装置、たとえば、アクティブマトリクス駆動の有機 E L 表示装置であってもよい。有機 E L 表示装置

10

20

30

40

50

は、素子に流れる電流に応じて輝度が変化するので、データ線（図5に示すTFT液晶表示装置のソース線505に相当）に与える電圧を電流に変換する回路等が必要になる。このようなデータ線に与えた電圧に基づいて有機EL表示素子の輝度を制御する回路はたとえば一例として、特開2001-83924号公報の図7に記載されているようにすでに公知の技術であり、記載が冗長になるのでここでは詳しく述べない。

【0079】

また、図5では、各単位画素毎にトランジスタを配置したアクティブマトリクス型の表示装置について説明したが、データ線に与える電圧により表示を制御する表示装置であれば、本発明は、アクティブマトリクス型の表示装置に限られない。

【0080】

さらにまた、本発明の表示装置は表示制御回路をアクティブマトリクス回路と同時に一体化してガラス基板等の上に薄膜トランジスタを使って形成したものであってもよい。

【0081】

【発明の効果】

以上説明したように、本発明の表示制御回路は、画像データに応じて出力すべき階調電圧を発生する回路と出力端子との間に、入力の電圧と出力の電圧とが少なくとも実質的に同じ時に出力がハイインピーダンスとなる増幅回路を挿入し、さらに、前記出力すべき階調電圧により前記出力端子の電圧レベルを補填する駆動電圧補填回路とを設けたので、高速動作を実行しつつ、タイミング制御を伴うことなく、低消費電力化を実現したソースドライバとしての表示制御回路を提供することができる。

【0082】

また、複数のデータ線と複数の走査線とのそれぞれ交点付近にマトリクス状に配置された複数の単位画素の表示をデータ線と走査線とに印加される電圧により制御する表示装置において、この表示制御回路でデータ線を駆動すれば、表示装置の低消費電力化を実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の表示制御回路を示すブロック図である。

【図2】A級増幅回路の一例を示す回路図である。

【図3】本発明に好適なB級増幅回路の一例を示す回路図である。

【図4】本発明に好適なB級増幅回路の別の一例を示す回路図である。

【図5】本発明の表示制御回路を用いた液晶表示装置のブロック図である。

【図6】本発明の第2実施形態の表示制御回路を示すブロック図である。

【図7】本発明の第2実施形態に用いられるB級増幅回路の回路図である。

【図8】本発明の第2実施形態のシュミレーション波形図である。

【図9】本発明の第2実施形態と従来例との消費電流の比較図である。

【図10】第1の従来例の表示制御回路のブロック図である。

【図11】第2の従来例の表示制御回路のブロック図である。

【図12】第3の従来例の表示制御回路のブロック図である。

【符号の説明】

- 1 電源発生回路
- 2、602、634 AB級増幅回路
- 3、603、1003、1103 出力セル
- 4-1, 4-2 電源
- 31 ラッチ
- 32, 33, 1133 DAコンバータ
- 35, 635 B級増幅回路
- 501 表示制御回路
- 502 TFTトランジスタ回路
- 503 走査回路
- 504 セレクタ回路

10

20

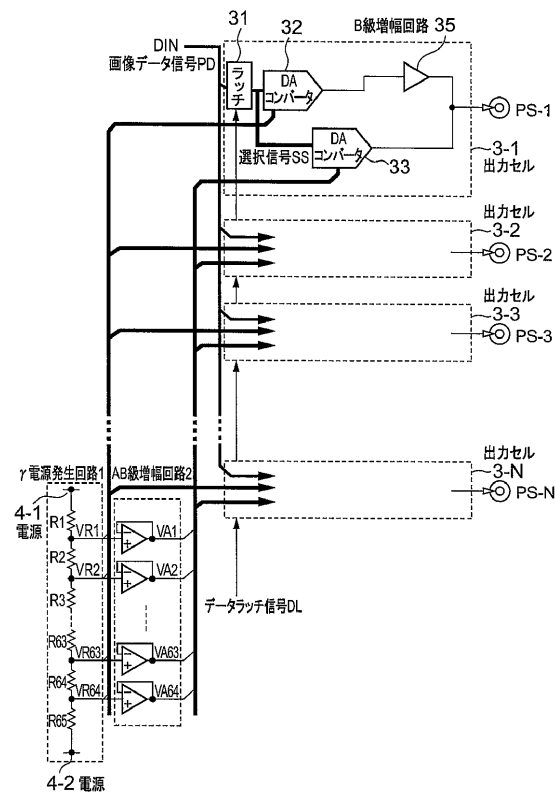
30

40

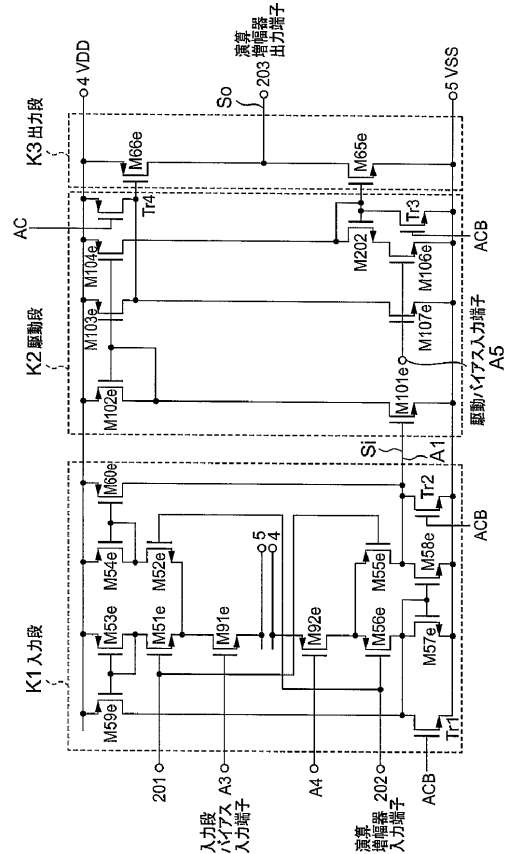
50

5 0 5	ドレイン線
5 0 6	ゲート線
5 0 7	TFTトランジスタ
5 0 8	液晶素子
D I N	データバス
M 1 ~ M 2 0	MOSTランジスタ
T r 1 ~ T r 4	MOSTランジスタ
R 1 ~ R 6 5	抵抗
V R 1 ~ V R 6 4	基準電圧信号
V A 1 ~ V A 6 4	増幅基準電圧信号
P D	画像データ信号
S S	選択信号
P S 1 ~ P S N	画像信号
D L	データラッチ信号
A S 1 ~ A S 2	選択信号
P A 1 ~ P A 3	選択信号
A C	制御端子
A C B	制御端子
C S 1 ~ 2	電流源回路

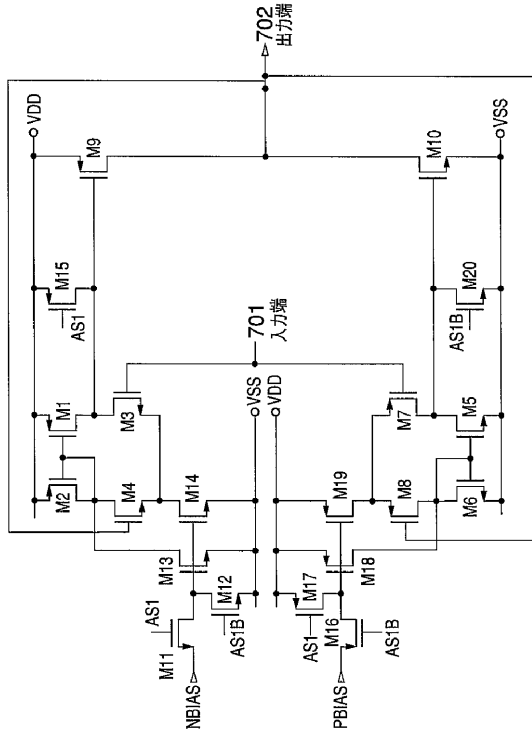
【 図 1 】



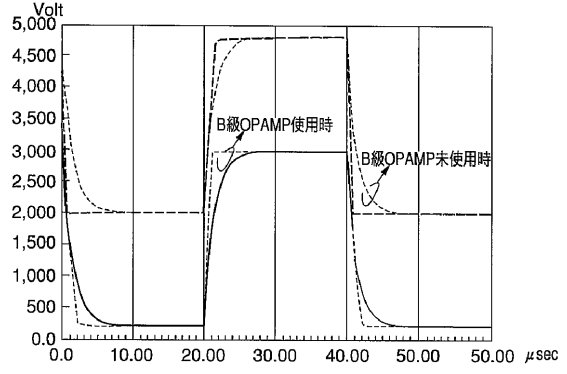
【 図 2 】



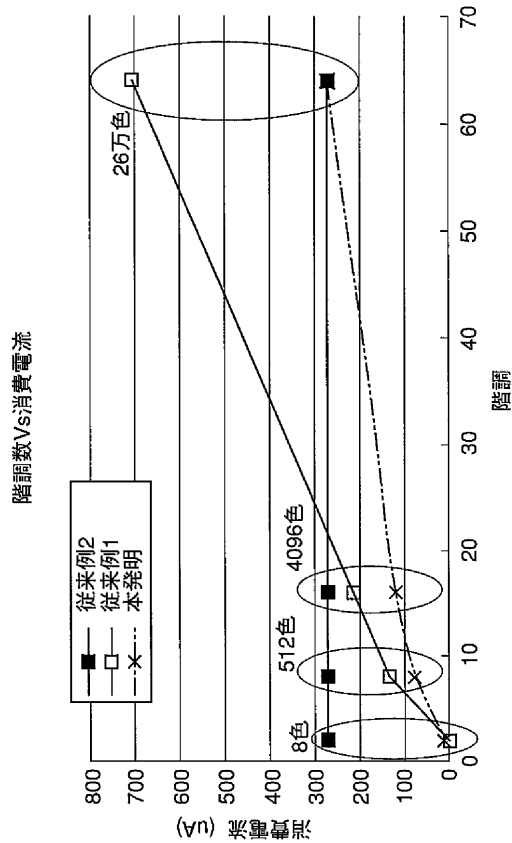
【 図 7 】



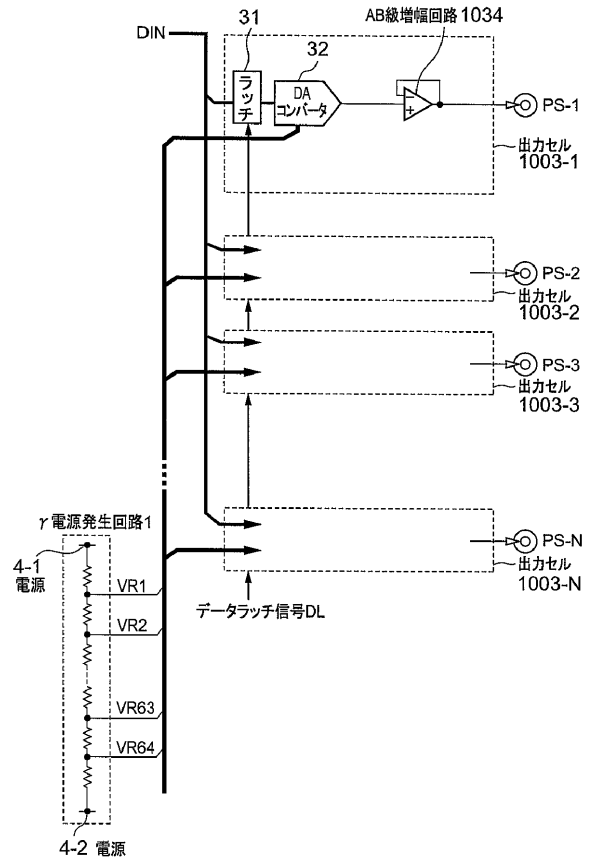
【 図 8 】



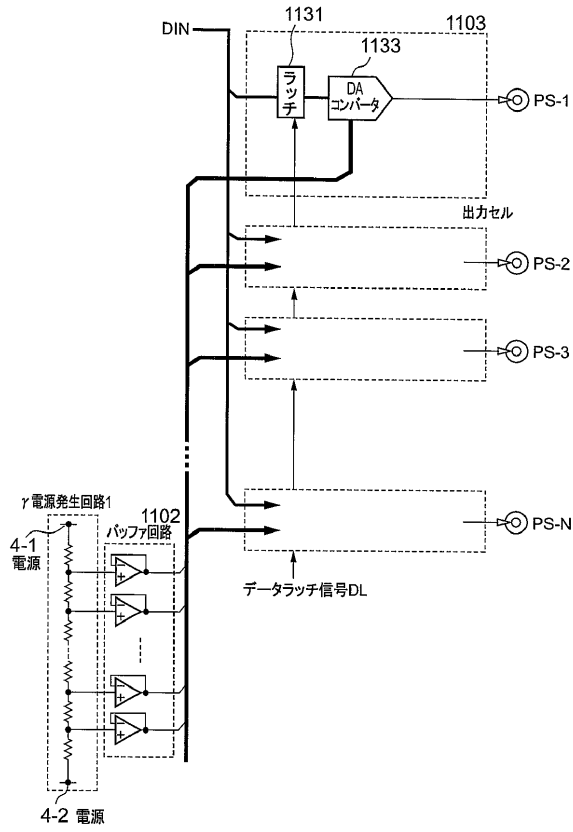
【 図 9 】



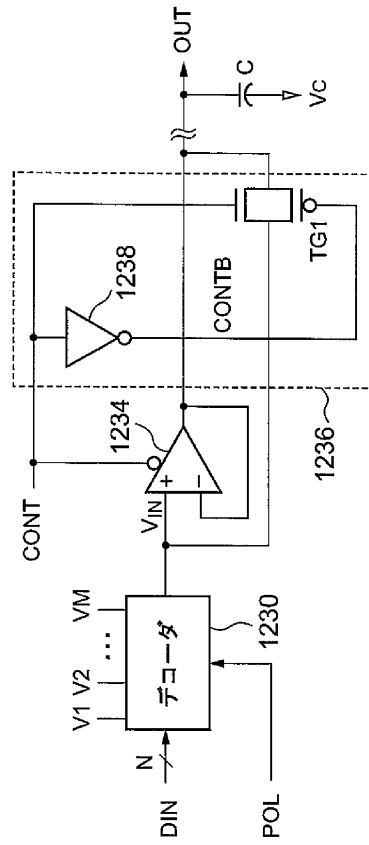
【 図 10 】



【図11】



【図12】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/30	J

(56) 参考文献 特表 2 0 0 1 - 5 0 5 3 2 4 (J P , A)
特開昭 5 5 - 0 4 5 2 0 2 (J P , A)
特開平 1 0 - 3 2 6 0 8 4 (J P , A)
特開 2 0 0 0 - 0 9 8 9 8 2 (J P , A)
特開平 1 1 - 3 3 8 4 3 2 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	显示控制电路和显示装置		
公开(公告)号	JP3908013B2	公开(公告)日	2007-04-25
申请号	JP2001353282	申请日	2001-11-19
申请(专利权)人(译)	Yamatanihondenki有限公司		
当前申请(专利权)人(译)	NEC电子公司		
[标]发明人	加藤文彦		
发明人	加藤 文彦		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G3/30 G09G3/32		
CPC分类号	G09G3/3696 G09G3/3275 G09G3/3688 G09G2310/027 G09G2310/0291 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.F G09G3/20.623.B G09G3/20.623.F G09G3/20.623.R G09G3/20.641.C G09G3/30.J G09G3/3233 G09G3/3275 G09G3/3291		
F-TERM分类号	2H093/NA51 2H093/NC11 2H093/NC14 2H093/NC34 2H093/ND39 2H093/NH12 2H193/ZA04 2H193/ZD21 5C006/AF83 5C006/BB15 5C006/BC11 5C006/BF25 5C006/BF34 5C006/FA15 5C006/FA47 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK02 5C080/KK04 5C080/KK07 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AC08 5C380/AC11 5C380/BA01 5C380/BA24 5C380/BA45 5C380/CA04 5C380/CA12 5C380/CA17 5C380/CA33 5C380/CE05 5C380/CE07 5C380/CF09 5C380/CF22 5C380/CF27 5C380/CF28 5C380/CF48 5C380/CF53 5C380/DA02 5C380/DA06 5C380/DA58 5C380/HA02 5C380/HA05		
代理人(译)	塔萨·托库马		
其他公开文献	JP2003157054A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示控制电路，用于以高速和低功耗驱动TFT液晶的源极线。解决方案：显示控制电路设置有B类放大器电路35，其连接在DA转换器32之间，用于根据图像数据DIN产生要输出的灰度电压和输出端子PS，并且当输入和输出时具有高输出阻抗。输出至少基本上处于相同的电压电平，并且还设置有第二DA转换器33，用于补偿输出端子PS的电压电平，并输出灰度电压，以便高速驱动源极线。并且功耗低。

【图 1】

