

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3755585号
(P3755585)**

(45) 発行日 平成18年3月15日(2006.3.15)

(24) 登録日 平成18年1月6日(2006.1.6)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 505
G09G 3/20 (2006.01)	G09G 3/20 611A
	G09G 3/20 611G
	G09G 3/20 612G
請求項の数 11 (全 27 頁) 最終頁に続く	

(21) 出願番号	特願2001-141997 (P2001-141997)	(73) 特許権者	000002369
(22) 出願日	平成13年5月11日(2001.5.11)		セイコーエプソン株式会社
(65) 公開番号	特開2002-341831 (P2002-341831A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成14年11月29日(2002.11.29)	(74) 代理人	100090479
審査請求日	平成16年1月15日(2004.1.15)		弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	小泉 徳夫
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	濱本 禎広
		最終頁に続く	

(54) 【発明の名称】 表示コントローラ、表示ユニット及び電子機器

(57) 【特許請求の範囲】

【請求項1】

表示データに基づいて表示部を表示駆動する表示コントローラであって、
 少なくとも1フレーム分の表示データを記憶する記憶手段と、
 表示部の走査開始前に設けられたダミーのブランキング期間中から、前記記憶手段に書き込むべき表示データを受信する第1の表示データ受信手段と、
 前記第1の表示データ受信手段によって受信された表示データを、前記ダミーのブランキング期間中から、前記記憶手段に書き込む表示データ書込手段と、
 前記記憶手段から読み出された表示データに基づいて、表示部を表示駆動する表示駆動手段と、

前記第1の表示データ受信手段で表示データの受信を完了してから、次の表示データが受信されるまでの間の所与の期間だけ、前記第1の表示データ受信手段の動作を停止させる受信動作停止手段とを含むことを特徴とする表示コントローラ。

【請求項2】

請求項1において、
 前記表示データ書込手段は、当該フレームにおいて、前記記憶手段から所与の走査ラインに対応する表示データが読み出される前に、当該走査ラインに対応した表示データを前記記憶手段に書き込むことを特徴とする表示コントローラ。

【請求項3】

請求項1又は2において、

10

20

前記ダミーのブランキング期間は、前記表示部の垂直走査開始前に設けられ、
前記第 1 の表示データ受信手段は、前記ダミーのブランキング期間中から当該フレームの 1 フレーム分の表示データを受信することを特徴とする表示コントローラ。

【請求項 4】

請求項 3 において、

1 フレーム分の表示データ量を D、前記第 1 の表示データ受信手段により受信される表示データの転送データレートを R とした場合、前記ダミーのブランキング期間は、少なくとも D/R により表される期間だけ設けられていることを特徴とする表示コントローラ。

【請求項 5】

請求項 1 又は 2 において、

前記ダミーのブランキング期間は、前記表示部の水平走査開始前に設けられ、
前記第 1 の表示データ受信手段は、前記ダミーのブランキング期間中から、当該走査ラインの表示データを受信することを特徴とする表示コントローラ。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記第 1 の表示データ受信手段は、

差動対の信号線を介して受信された表示データの差動信号を増幅する差動増幅器を含み

、

前記受信動作停止手段は、

前記第 1 の表示データ受信手段で受信された表示データを前記記憶手段に書き込んだ後、次の表示データが受信されるまでの間、前記差動増幅器の動作を停止させることを特徴とする表示コントローラ。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 の表示データ受信手段は、

差動対の信号線を介して受信された表示データの差動信号を増幅する差動増幅器を含み

、

前記受信動作停止手段は、

前記第 1 の表示データ受信手段で受信された表示データを前記記憶手段に書き込んだ後、次の表示データが受信されるまでの間、前記差動増幅器の電流源の電流を停止又は制限することを特徴とする表示コントローラ。

【請求項 8】

複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと

、

前記複数の第 1 の電極を駆動する請求項 1 乃至 7 のいずれか記載の表示コントローラと

、

前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、

を有することを特徴とする表示ユニット。

【請求項 9】

複数の第 1 の電極と複数の第 2 の電極により駆動される電気光学素子を有するパネルと

、

前記複数の第 1 の電極を駆動する請求項 6 又は 7 記載の表示コントローラと、

前記複数の第 2 の電極を走査駆動する走査駆動ドライバと、

前記表示データを前記表示コントローラに供給する表示データ供給回路と、

を含むことを特徴とする表示ユニット。

【請求項 10】

請求項 9 において、

前記表示データ供給回路は、

電流源と、

前記電流源から供給された電流が表示データに基づいて変化した場合に、この変化に対

10

20

30

40

50

応した差動信号を前記表示コントローラに供給する差動ドライバと、
前記電流源の動作制御を行う差動ドライバ制御手段と、
を含み、

表示データを前記表示コントローラに供給した後に次の表示データを供給するまでの間、前記受信動作停止手段は前記差動増幅器の電流源の電流を停止又は制限し、前記差動ドライバ制御手段は前記電流源の電流を停止又は制限することを特徴とする表示ユニット。

【請求項 1 1】

請求項 8 乃至 1 0 のいずれか記載の表示ユニットを有することを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

10

【発明の属する技術分野】

本発明は、表示コントローラ、これを用いた表示ユニット及び電子機器に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

近年の通信技術、実装技術等の発達により、携帯型の電子機器の表示部に数字や文字といったキャラクタ文字のみならず、静止画像や動画像等ユーザにとって情報性の高い各種データが表示できるようになった。

【0 0 0 3】

このような電子機器に表示されるデータについては、種々のデータ形式が提案されている。例えば携帯電話機を例に挙げれば、M P E G (Moving Picture Experts Group) の規格により圧縮して符号化された表示データを受信又は送信する技術が提案されている。

20

【0 0 0 4】

この場合、携帯電話機の表示部として、例えば液晶パネルが備えられる。液晶パネルは、表示コントローラによって動画あるいは静止画に対応した表示データに基づいて表示駆動される。

【0 0 0 5】

しかしながら、液晶パネルに違和感なく動画を表示するためには、この液晶パネルを表示駆動する表示コントローラに対し、高速な転送レートで表示データを供給する必要がある。

【0 0 0 6】

30

このような表示データの転送について、これまで低コストで実現可能な C M O S (Complementary Metal Oxide Semiconductor) 回路によるインタフェースで行われていた。ところが、この C M O S 回路は、周波数に比例して消費電流が増加するため、違和感なく動画を表示させるために必要とされる転送レートを実現しようとした場合、携帯電話機等の携帯型の電子機器のバッテリー駆動時間が短くなってしまう。また、C M O S 回路によるインタフェースでは、将来の液晶パネルの画面サイズの拡大、階調ビット数の増加に対応可能な転送レートの実現は困難となる。

【0 0 0 7】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、将来の液晶パネルの画面サイズの拡大等による表示データ量の増加に対応可能な転送レートを低消費電力で実現することができる表示コントローラ、これを用いた表示ユニット及び電子機器を提供することにある。

40

【0 0 0 8】

【課題を解決するための手段】

上記課題を解決するために本発明は、表示データに基づいて表示部を表示駆動する表示コントローラであって、少なくとも 1 フレーム分の表示データを記憶する記憶手段と、表示部の走査開始前に設けられたダミーのブランキング期間中から、前記記憶手段に書き込むべき表示データを受信する第 1 の表示データ受信手段と、前記第 1 の表示データ受信手段によって受信された表示データを、前記ダミーのブランキング期間中から前記記憶手段に書き込む表示データ書込手段と、前記記憶手段から読み出された表示データに基づいて、

50

表示部を表示駆動する表示駆動手段とを含むことを特徴とする。

【0009】

ここで、表示データとは、動画データ、静止画データやこれら画像データの表示制御信号等の表示部を表示駆動する際に必要なデータをいう。

【0010】

本発明では、1フレーム分の表示データを記憶する記憶手段を有し、この記憶手段に記憶された表示データに基づいて表示部を表示駆動する表示コントローラにおいて、表示部の走査開始前に設けられたダミーのブランキング期間中から、記憶手段に書き込むべき表示データを受信し、順次記憶手段に書き込むように構成している。こうすることで、各フレームにおいて表示される画像の表示データをいち早く受信して、記憶手段に書き込むことができるようになる。したがって、表示部の画面サイズの拡大や、階調ビット数の増加に伴って表示データ量が増大した場合でも、その転送に必要な転送時間を確保することができるようになる。

10

【0011】

また本発明は、前記表示データ書込手段は、当該フレームにおいて、前記記憶手段から所与の走査ラインに対応する表示データが読み出される前に、当該走査ラインに対応した表示データを前記記憶手段に書き込むことを特徴とする。

【0012】

本発明によれば、当該フレームにおいて所与の走査ライン単位で表示駆動が行われる場合、当該走査ラインが読み出される前に、これに対応した当該フレームにおける表示データを記憶手段に書き込むようにしたので、表示データを更新するフレームにおいて、前のフレームの表示データを表示してしまい違和感のある動画表示をしてしまうといった現象を回避することができる。

20

【0013】

また本発明は、前記ダミーのブランキング期間は、前記表示部の垂直走査開始前に設けられ、前記第1の表示データ受信手段は、前記ダミーのブランキング期間中から、当該フレームの1フレーム分の表示データを受信することを特徴とする。

【0014】

本発明では、表示部の垂直走査開始前にダミーのブランキング期間を設け、このダミーのブランキング期間中から当該フレームの1フレーム分の表示データを受信するようにした。これにより、1走査ライン目の走査開始時には、当該走査ラインに対応する表示データが記憶手段に書き込まれており、当該フレームにおいて各走査ラインに着目する限り、記憶手段への書き込みと読み出しが同時に行われることがなくなり、タイミング生成の簡素化を図ることができるようになる。

30

【0015】

また本発明は、1フレーム分の表示データ量をD、前記第1の表示データ受信手段により受信される表示データの転送データレートをRとした場合、前記ダミーのブランキング期間は、少なくともD/Rにより表される期間だけ設けられていることを特徴とする。

【0016】

本発明では、ダミーのブランキング期間を、少なくとも1フレーム分の表示データの転送時間(D/R)だけ設けるようにしたので、1走査ライン目の走査開始時には、1フレーム分の表示データが記憶手段に書き込まれる。したがって、1走査ライン目以降の表示駆動を行う場合には、記憶手段に対して書き込みと読み出しが同時に行われることがなくなる。これにより、同時に書き込み若しくは読み出しが行われることによる記憶手段内の電流変動を低減させることができ、その結果記憶手段の耐ノイズ性の向上を図ることができる。

40

【0017】

また本発明は、前記ダミーのブランキング期間は、前記表示部の水平走査開始前に設けられ、前記第1の表示データ受信手段は、前記ダミーのブランキング期間中から、当該走査ラインの表示データを受信することを特徴とする。

50

【0018】

本発明では、表示部の各水平走査ラインの走査開始前にダミーのブランキング期間を設け、各水平走査開始前のダミーのブランキング期間中から当該走査ライン分の表示データを受信するようにした。これにより、各走査ラインの走査開始時には、当該走査ラインに対応する表示データが記憶手段に書き込まれており、記憶手段への書き込みと読み出しが同時に行われることがなくなり、タイミング生成の簡素化を図ることができるようになる。

【0019】

また本発明は、前記第1の表示データ受信手段で表示データの受信を完了してから、次の表示データが受信されるまでの間の所与の期間だけ、前記第1の表示データ受信手段の動作を停止させる受信動作停止手段を含むことを特徴とする。

10

【0020】

ここで、第1の表示データ受信手段で表示データの受信を完了してから、次の表示データが受信されるまでの間というのは、表示データの転送タイミングに依存する。例えば、各走査ラインごとに表示データが受信される場合には、次の表示データが受信されるまでの期間をいい、フレームごとに表示データが受信される場合には次のフレームで表示データが受信されるまでの期間をいい、所与のフレームを空けて表示データが受信される場合には、所与のフレームを空けた次のフレームで表示データが受信されるまでの期間をいう。

【0021】

本発明では、上述したようにダミーのブランキング期間中から表示データを受信するようにし、受信完了から次に表示データの受信が行われるまでの間の所与の期間だけ、受信動作を停止させるようにした。こうすることで、必要な表示データを早期に受信開始し、いち早く受信が完了した場合には受信動作を停止させることで、消費電力の低減を図ることが可能となる。

20

【0022】

また本発明は、前記第1の表示データ受信手段は、差動対の信号線を介して受信された表示データの差動信号を増幅する差動増幅器を含み、前記受信動作停止手段は、前記第1の表示データ受信手段で受信された表示データを前記記憶手段に書き込んだ後、次の表示データが受信されるまでの間、前記差動増幅器の動作を停止させることを特徴とする。

【0023】

本発明では、差動対の信号線を介して受信される表示データを、差動増幅器で受信するようにし、これを記憶手段に書き込んだ後、次の表示データが受信されるまでの間、差動増幅器の動作を停止させるようにした。これにより、表示データの受信が行われない期間の差動増幅の動作停止に伴う電流消費を削減することができる。

30

【0024】

また本発明は、前記第1の表示データ受信手段は、差動対の信号線を介して受信された表示データの差動信号を増幅する差動増幅器を含み、前記受信動作停止手段は、前記第1の表示データ受信手段で受信された表示データを前記記憶手段に書き込んだ後、次の表示データが受信されるまでの間、前記差動増幅器の電流源の電流を停止又は制限することを特徴とする。

【0025】

本発明では、差動対の信号線を介して受信される表示データを、差動増幅器で受信するようにし、これを記憶手段に書き込んだ後、次の表示データが受信されるまでの間、差動増幅器の電流源の電流を停止又は制限するようにした。これにより、表示データの受信が行われない期間の差動増幅の動作停止に伴う電流消費を削減することができる。

40

【0026】

また本発明は、表示データに基づいて表示部を表示駆動する表示コントローラであって、少なくとも1フレーム分の表示データを記憶する記憶手段と、ビット幅Kの表示データを受信する第1の表示データ受信手段と、第1の表示データ受信手段によって受信されたビット幅Kの表示データを、ビット幅Lに変換する第1のビット幅変換手段と、ビット幅Nの平行バスを介して表示データを受信する第2の表示データ受信手段と、第2の表示

50

データ受信手段によって受信されたビット幅Nの表示データを、ビット幅Lに変換する第2のビット幅変換手段と、前記第1又は第2のビット幅変換手段によって変換されたビット幅Lの表示データを前記記憶手段に書き込む表示データ書込手段と、前記記憶手段から読み出された表示データに基づいて、表示部を表示駆動する表示駆動手段とを含むことを特徴とする。

【0027】

本発明では、少なくともパラレルバスを介して受信される表示データのビット幅に拡大して、当該ビット幅単位で記憶手段に書き込むように構成しているこれにより、違和感なく動画を表示するために記憶手段に高速に表示データを書き込む必要があっても、書き込み周波数を低下させることができる。これは、表示部の画面サイズの拡大や階調ビット数の増加によって1フレーム分の表示に必要な表示データが多くなった場合に、より効果的である。したがって、その分記憶手段の製造に低コストのプロセスを用いることができ、かつ消費電力の増加を抑えることも可能となる。

10

【0028】

また本発明に係る表示ユニットは、複数の第1の電極と複数の第2の電極により駆動される電気光学素子を有するパネルと、前記複数の第1の電極を駆動する上記いずれか記載の表示コントローラと、前記複数の第2の電極を走査駆動する走査駆動ドライバとを有することを特徴とする。

【0029】

本発明によれば、表示部の画面サイズの拡大や階調ビット数の増加によって表示データ量が增大しても、違和感なく動画表示可能な表示ユニットを提供することができるようになる。

20

【0030】

また本発明に係る表示ユニットは、複数の第1の電極と複数の第2の電極により駆動される電気光学素子を有するパネルと、前記複数の第1の電極を駆動する上記記載の表示コントローラと、前記複数の第2の電極を走査駆動する走査駆動ドライバと、前記表示データを前記表示コントローラに供給する表示データ供給回路とを含むことを特徴とする。

【0031】

本発明では、表示データを供給する表示データ供給回路を表示ユニットに搭載するようにしたので、ユーザに表示データ供給回路と表示コントローラとの間のインターフェース設計を省略させて、工数及び部品点数の削減により低コストな開発に貢献することができる。

30

【0032】

また本発明は、前記表示データ供給回路は、電流源と、前記電流源から供給された電流が表示データに基づいて変化した場合に、この変化に対応した差動信号を前記表示コントローラに供給する差動ドライバと、前記電流源の動作制御を行う差動ドライバ制御手段とを含み、表示データを前記表示コントローラに供給した後に次の表示データを供給するまでの間、前記受信動作停止手段は前記差動増幅器の電流源の電流を停止又は制限し、前記差動ドライバ制御手段は前記電流源の電流を停止又は制限することを特徴とする。

【0033】

本発明では、差動対の信号線を介して表示データの高速転送を実現し、転送が不要な場合には送受信側の電流消費を削減することができるようにしている。これにより、表示部の画面サイズの拡大等によって増大する表示データの転送に伴う消費電力の増加を抑え、高速な転送レートと低消費化とを両立させる表示ユニットを提供することができる。

40

【0034】

また本発明に係る電子機器は、上記いずれか記載の表示ユニットを有することを特徴とする。

【0035】

本発明によれば、画面サイズの拡大や階調ビット数の増加して1フレーム分の表示データ量が增大しても、低消費電力で動画等の多様な画像表示が可能な電子機器を提供することができる。

50

【 0 0 3 6 】

【 発明の実施の形態 】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【 0 0 3 7 】

< 第 1 の実施形態 >

1 . 電子機器

図 1 に、第 1 の実施形態における表示コントローラを適用した電子機器の構成の概要の一例を示す。

【 0 0 3 8 】

この電子機器は、M P U (Micro Processor Unit) (広義には、表示データ供給回路) 1 0 と、表示ユニット 2 0 とを含む。M P U 1 0 は、表示ユニット 2 0 に対して、動画データ及び静止画データのうちいずれか一方若しくは両方を供給する。表示ユニット 2 0 は、M P U 1 0 から供給された表示データに基づき、表示部を表示駆動する。ここで、表示データとは、動画データ、静止画データやこれら画像データの表示制御信号等の表示部を表示駆動する際に必要なデータをいう。

10

【 0 0 3 9 】

表示ユニット 2 0 は、電気光学素子を有するマトリクスパネル例えばカラー液晶パネル (広義には、表示部) 2 2 と、この液晶パネル 2 2 を駆動する R A M 内蔵の X ドライバ I C (広義には、表示コントローラ) 2 4 と、走査用の Y ドライバ I C 2 6 とを有する。

【 0 0 4 0 】

20

マトリクスパネル 2 2 は、電圧印加によって光学特性が変化する液晶その他の電気光学素子を用いたものであればよい。液晶パネル 2 2 としては、例えば単純マトリクスパネルで構成でき、この場合、複数のセグメント電極 (第 1 の電極) が形成された第 1 基板と、コモン電極 (第 2 の電極) が形成された第 2 基板との間に、液晶が封入される。液晶パネル 2 2 は薄膜トランジスタ (T F T)、薄膜ダイオード (T F D) 等の三端子素子、二端子素子を用いたアクティブマトリクスパネルであっても良い。これらのアクティブマトリクスパネルも、X ドライバ I C 2 4 により駆動される複数の信号電極 (第 1 の電極) と、Y ドライバ I C 2 6 により走査駆動される複数の走査電極 (第 2 の電極) を有する。

【 0 0 4 1 】

図 1 に示した電子機器において、M P U 1 0 と表示ユニット 2 0 とは、少なくともパラレルインタフェース (InterFace : 以下、I F と略す。) 信号線及び差動 I F 信号線を介して接続される。なお、図 1 では、これらに加えてシリアル I F 信号線を介しても接続されている。

30

【 0 0 4 2 】

パラレル I F 信号線は、D 7 ~ D 0 の 8 ビットデータバスを含み、この 8 ビットデータバスを介して表示コマンド及び静止画データが送受信される。図 1 では、例えば 8 ビットデータバスと別個に設けられたパラレル I F 制御信号線を介してコマンド / データの識別信号の送受信を行うことにより、8 ビットバス D 7 - D 0 を介して転送されるデータを、表示コマンド若しくは静止画データとして識別させることができる。表示コマンドは、例えば液晶パネルの表示領域の設定 (静止画の表示領域設定、動画の表示領域設定) 等の表示制御を行うためのコマンドである。静止画データは、表示コマンドによって設定された表示領域に静止画を表示させるための表示データである。このパラレル I F 制御信号線は、その他反転リセット信号 X R E S、反転チップセレクト信号 X C S、反転リード信号 X R D および反転ライト信号 X W R 等が送受信される。X ドライバ I C 2 4 は、これら制御信号により、表示データ R A M 2 8 に対して静止画データの書き込み制御等を行う。

40

【 0 0 4 3 】

差動 I F 信号線は、差動対の信号線を含み、この差動対の信号線を介して差動信号に変換された例えば各 6 ビットの R、G、B 信号である動画データ、同期クロック等が送受信される。その際、差動対の信号線と別個に設けられた差動 I F 制御信号線を介して電力制御信号 P S が送受信される。X ドライバ I C 2 4 及び M P U 1 0 は、この電力制御信号 P S

50

により、差動 I F の動作制御を行う。また、Xドライバ I C 2 4 は、同期クロックに同期して差動信号を取り込み、これを表示データ R A M 2 8 に書き込む。

【 0 0 4 4 】

シリアル I F 信号線は、例えば各 6 ビットの R、G、B 信号である動画データが 1 ビットずつ伝送される。また、同様にクロック信号 C L K、垂直同期信号 V s y n c、水平同期信号 H s y n c (若しくは水平・垂直同期信号のコンポジット信号 H・V s y n c) 等も供給される。Xドライバ I C 2 4 は、これらクロック信号 C L K 及び各同期信号に同期して、表示データ R A M 2 8 に動画データを書き込む。

【 0 0 4 5 】

Xドライバ I C 2 4 は、所与のフレーム周波数 (例えば、60 フレーム毎秒 (frame per second: 以下、f / s と略す。)、30 f / s、15 f / s 等) で、表示データ R A M 2 8 に記憶された表示データを、所与の表示単位 (例えば、1 走査ライン単位、複数走査ライン単位) で読み出し、この読み出し表示データに基づき、液晶パネル 2 2 を表示駆動する。

10

【 0 0 4 6 】

なお、図 1 では M P U 1 0 と表示ユニット 2 0 とは各インタフェースを介して接続されているが、表示ユニット 2 0 に M P U 1 0 を含めて構成することも可能である。この場合、M P U 1 0 は、上述した I F を介して Xドライバ I C 2 4 と直接表示データの送受信を行うことになる。

【 0 0 4 7 】

図 2 に、図 1 に示した M P U 1 0 及び表示ユニット 2 0 を携帯電話機 3 0 に搭載した例を示す。

20

【 0 0 4 8 】

図 2 に示す M P U 1 0 は、携帯電話機 3 0 の制御を司る中央処理装置 (Central Processing Unit: 以下、C P U と略す。) 1 2 を有し、この C P U 1 2 には静止画用メモリ 1 4、D S P (Digital Signal Processor) 1 6 が接続されている。また、D S P 1 6 には動画処理用メモリ 1 8 が接続されている。さらに、M P U 1 0 は、図 1 に示した Xドライバ I C 2 4 との I F 機能を実現するシリアル I F 回路 4 0、差動 I F 回路 4 2、パラレル I F 回路 4 4 を含む。

【 0 0 4 9 】

携帯電話機 3 0 には、アンテナ 3 2 を介して受信された信号を復調し、あるいはアンテナ 3 2 を介して送信される信号を変調する変復調回路 3 4 が設けられている。そして、アンテナ 3 2 からは、例えば M P E G (Moving Picture Experts Group) のレイヤ I V の規格で符号化された動画データを送受信可能となっている。

30

【 0 0 5 0 】

この携帯電話機 3 0 には、例えばデジタルビデオカメラ 3 6 を設け、動画データを取り込むことができる。携帯電話機 3 0 でのデータ送受信、デジタルビデオカメラ 3 6 での撮影などに必要な操作情報は、操作入力部 3 8 を介して入力される。

【 0 0 5 1 】

C P U 1 2 は、例えば動画情報から、液晶パネル 2 2 の表示領域を決定する。決定された表示領域に表示される動画は、例えばアンテナ 3 2 又はデジタルビデオカメラ 3 6 から供給される。アンテナ 3 2 から入力される信号は、変復調回路 3 4 を介して復調されて D S P 1 6 で信号処理される。この D S P 1 6 は動画処理用メモリ 1 8 と接続され、アンテナ 3 2、変復調回路 3 4 を介して入力される圧縮データを伸張し、また M P E G のレイヤ I V の規格で符号化されているデータについてはデコードする。変復調回路 3 4、アンテナ 3 2 を介して送信されるデータは D S P 1 6 で圧縮され、M P E G のレイヤ I V の規格で符号化して送信する場合にはエンコードされる。このように D S P 1 6 は、M P E G の例えばレイヤ I V のデコーダ、エンコーダとしての機能を有することができる。

40

【 0 0 5 2 】

この D S P 1 6 にはデジタルビデオカメラ 3 6 からの信号も入力され、アンテナ 3 2 又

50

はデジタルビデオカメラ 36 より入力された信号は、DSP 16 で RGB 信号に処理されて表示ユニット 20 に供給される。

【0053】

DSP 16 で生成された動画データは、シリアル IF 回路 40 を介してシリアル IF 信号線、若しくは差動 IF 回路 42 を介して差動 IF 信号線のいずれかにより表示ユニット 20 に供給される。どちらの IF 信号線を介して動画データを送受信するかは、動画の表示領域のサイズに応じて CPU 12 が決定するようにしても良い。

【0054】

一方、この CPU 12 は、操作入力部 38 からの情報等に基づき、必要により静止画用メモリ 14 を用いて、液晶パネル 22 に表示される静止画の表示に必要なコマンド、静止画データを、パラレル IF 回路 44 を介したパラレル IF 信号線経由で表示ユニット 20 に出力する。

10

【0055】

例えば、動画はインターネットを経由して配信された映画情報であり、その劇場チケットを予約するための情報が静止画として表示され、操作入力部 38 からの情報に基づいてチケット予約が実施される。この場合、CPU 12 は、さらに変復調回路 34、アンテナ 32 を介して例えば予約情報を送出制御する。また CPU 12 は、必要により、デジタルビデオカメラ 36 で撮影された動画情報を、変復調回路 34、アンテナ 32 を介して送出制御することができる。

【0056】

20

2. Xドライバ IC (表示コントローラ)

2.1 構成

図 3 に、図 1 に示した第 1 の実施形態における表示コントローラとしての Xドライバ IC の構成要部の一例を示す。

【0057】

Xドライバ IC 24 は、上述した表示データ RAM 28 に加え、ラッチ回路 50、液晶駆動回路 52、LCD コントローラ 54 を含む。

【0058】

LCD コントローラ (広義には、表示データ書込手段) 54 は、Xドライバ IC 24 全体の制御を司り、表示データ RAM 28 への表示データの書き込み制御、読み出し制御、液晶パネルへの表示駆動制御を行う。

30

【0059】

LCD コントローラ 54 は、一定のフレーム周期で、表示データ RAM 28 から所与の表示単位の表示データの読み出し制御を行う。表示データ RAM 28 から読み出された表示データは、LCD コントローラによって生成されたラッチ信号に同期してラッチ回路 50 でラッチされる。ラッチ回路 50 でラッチされたデータは、LCD コントローラ 54 による表示駆動制御信号により、極性反転周期に従って階調値に応じたパルス幅の信号に変換され、LCD 表示系の電圧に応じた電圧にシフトされて、液晶パネル 22 のセグメント電極 SEG 1 ~ SEG n に供給される。

【0060】

40

このような LCD コントローラ 54 により表示制御が行われる表示データと、LCD コントローラ 54 を制御するためのコマンドは、少なくともパラレル IF 及び差動 IF を介して受信される。図 3 では、これに加えてシリアル IF を介しても受信される。

【0061】

第 1 の実施形態における Xドライバ IC 24 の表示データ RAM 28 は、3 ポートを有している。より具体的には、表示データ RAM 28 は、シリアル IF 信号線を介して転送された動画データ若しくはパラレル IF 信号線を介して転送された静止画データ (表示データ) を書き込むための第 1 のポートと、差動 IF 信号線を介して転送された動画データ (表示データ) を書き込むための第 2 のポートと、表示部を表示駆動するために表示データを読み出すための第 3 のポートとを有している。

50

【 0 0 6 2 】

差動 I F 信号線及び差動 I F 制御信号線は、差動 I F 回路（第 1 の表示データ受信手段）6 0 に接続される。差動 I F 回路 6 0 は、差動対の信号線を介して受信した差動信号であるデータ信号 D（ビット幅 K = 1）及びクロック信号 C L K を増幅する差動増幅器を含む。この差動増幅器の構成は、公知であるため詳細な説明は省略するが、電流源から供給された電流の変化に基づき差動信号を増幅するようになっている。

【 0 0 6 3 】

また、差動 I F 回路 6 0 は、差動 I F 制御信号線を介して送受信される電力制御信号 P S をバッファリングする入力バッファ回路を含む。この入力バッファ回路は、C M O S 回路により構成される。

10

【 0 0 6 4 】

差動 I F 回路 6 0 の差動増幅器によって増幅された差動信号であるデータ信号 D 及びクロック信号 C L K は、スタートフレーム検出回路 6 2 に供給される。

【 0 0 6 5 】

スタートフレーム検出回路 6 2 は、クロック信号 C L K に同期して受信されたデータ信号 D のビット列を監視し、予め設定されたビットパターンに基づいてスタートフレームか否かを判別する。スタートフレーム検出回路 6 2 によってスタートフレームであると判別されたデータ信号 D のビット列は、シリアル・パラレル（Serial-Parallel：以下、S / P と略す。）変換回路（広義には、第 1 のビット幅変換手段）6 4 に供給される。

【 0 0 6 6 】

20

S / P 変換回路 6 4 は、スタートフレーム検出回路 6 2 からの 1 ビット幅のビット列を例えば 1 6 ビット（ビット幅 L = 1 6）の平行ルデータに変換する。この平行ルデータは、スタートフレーム検出回路 6 2 によって検出されたスタートフレームの検出タイミング等の制御信号と共に、L C D コントローラ 5 4 及び表示データ R A M 2 8 に供給される。この平行ルデータは、第 1 のポートを介して 1 6 ビット（ビット幅 L = 1 6）単位で表示データ R A M 2 8 に書き込まれる。

【 0 0 6 7 】

また、差動 I F 回路 6 0 の入力バッファ回路でバッファリングされた電力制御信号 P S は、少なくとも差動 I F 回路 6 0 の差動増幅器に供給される。図 3 では、これに加えて電力制御信号 P S がスタートフレーム検出回路 6 2、S / P 変換回路 6 4 にも供給される。

30

【 0 0 6 8 】

差動 I F 回路 6 0 の差動増幅器は、電流源から供給された電流の変化に基づき差動信号を増幅するが、この電力制御信号 P S によって、この電流源から供給される電流の停止又は制限を行って動作制御されるようになっている。また、スタートフレーム検出回路 6 2 及び S / P 変換回路 6 4 も、電力制御信号 P S によって差動増幅器の動作制御と同様のタイミングで、動作停止する。

【 0 0 6 9 】

シリアル I F 信号線は、シリアル I F 回路 7 0 に接続される。シリアル I F 回路 7 0 は、シリアルに入力されたデータ信号 D、クロック信号 C L K 及び反転チップセレクト信号 X C S をバッファリングする。シリアル I F 回路 7 0 は、C M O S 回路により構成される。反転チップセレクト信号 X C S がアクティブの場合、バッファリングしたクロック信号 C L K に同期して受信したシリアル入力されたデータ信号 D は、S / P 変換回路 7 2 に供給される。

40

【 0 0 7 0 】

S / P 変換回路 7 2 は、このシリアル入力されたデータ信号 D を例えば 1 6 ビット（ビット幅 L = 1 6）の平行ルデータに変換する。この平行ルデータは、クロック信号 C L K 等の制御信号と共に、L C D コントローラ 5 4 及び表示データ R A M 2 8 に供給される。この平行ルデータは、第 2 のポートを介して 1 6 ビット（ビット幅 L = 1 6）単位で表示データ R A M 2 8 に書き込まれる。

【 0 0 7 1 】

50

パラレル I F 信号線及びパラレル I F 制御信号線は、パラレル I F 回路（広義には、第 2 の表示データ受信手段）80 に接続される。パラレル I F 回路 80 は、例えば 8 ビット（ビット幅 $N = 8$ ）のパラレルデータ信号 $D7 \sim D0$ 、クロック信号 $ECLK$ 及びその他制御信号（反転チップセレクト信号 XCS 等）をバッファリングする。パラレル I F 回路 70 は、CMOS 回路により構成される。反転チップセレクト信号 XCS がアクティブの場合、バッファリングしたクロック信号 $ECLK$ に同期して受信したパラレル入力されたデータ信号 $D7 \sim D0$ は、S/P 変換回路（広義には、第 2 のビット幅変換手段）82 に供給される。

【0072】

S/P 変換回路 82 は、このパラレル入力されたデータ信号 $D7 \sim D0$ を例えば 16 ビット（ビット幅 $L = 16$ ）のパラレルデータに変換する。このパラレルデータは、クロック信号 $ECLK$ 等の制御信号と共に、LCD コントローラ 54 及び表示データ RAM 28 に供給される。このパラレルデータは、第 2 のポートを介して 16 ビット（ビット幅 $L = 16$ ）単位で表示データ RAM 28 に書き込まれる。

10

【0073】

また X ドライバ IC 24 は、シリアル I F 及びパラレル I F のいずれか一方のみを動作させるための入力切換信号がバッファリングされる入力バッファ回路 90 を有している。この入力切換信号によって、シリアル I F 回路 70 及び S/P 変換回路 72 と、パラレル I F 回路 80 及び S/P 変換回路 82 とが排他的に動作するように制御される。

【0074】

20

さらに X ドライバ IC 24 は、発振回路（OSC）94 を有しており、LCD コントローラ 54 は OSC 94 の発振出力に基づき、表示タイミング $sync$ （垂直同期信号 $Vsync$ / 水平同期信号 $Hsync$ ）を出力する。

【0075】

2.2 ブランキング期間

第 1 の実施形態における表示コントローラとしての X ドライバ IC 24 は、表示データ RAM を備え、この表示データ RAM から一定のフレーム周期で表示データを読み出して、表示部を表示駆動する。このため、当該フレームにおける当該走査ラインに対応する表示データの書き込みが、当該走査ラインの読み出しに先行して行われる必要がある。また、画面サイズの拡大や、階調ビット数の増加によって表示データ量が増加するため、当該フレームにおいて早い時期から表示データの受信を開始し、増大する表示データの転送時間を確保するようにしている。

30

【0076】

こうすることで、当該フレームにおける当該走査ラインの書き込みタイミングが、常に当該読み出しタイミングより早くなるようにし、タイミング生成の簡素化を図るようにしている。

【0077】

そのため、第 1 の実施形態では、各走査開始前にダミーのブランキング期間を設け、当該ブランキング期間中から表示データの転送を行うようにしている。これにより、上述した書き込みタイミングと読み出しタイミングとを考慮する必要がなくなる。

40

【0078】

図 4 (A)、(B) に、ダミーのブランキング期間を説明するための説明図を示す。

【0079】

液晶パネルを表示駆動する場合、1 フレーム分の走査開始タイミングを示す垂直同期信号 $Vsync$ 、各フレームにおける各走査ラインの走査開始タイミングを示す水平同期信号 $Hsync$ に同期して行われる。より具体的には、図 4 (A) に示すように垂直同期信号 $Vsync$ の立ち下がりに同期して、各フレームの 1 走査ライン目から、順次水平同期信号 $Hsync$ に同期して表示駆動されることになる。

【0080】

したがって、垂直同期信号 $Vsync$ を縦軸に、水平同期信号 $Hsync$ を横軸にとると

50

、図4(B)に示す表示領域180に1フレーム分の画像が表示されることになる。すなわち、図4(B)に示すPを基準に、表示部の垂直走査と水平走査が開始される。

【0081】

ここで、垂直同期信号Vsyncが「H」レベルの期間をダミーの垂直ブランキング期間とすると、領域182が非表示領域となる。また、水平同期信号Hsyncが「H」レベルの期間をダミーの水平ブランキング期間とすると、領域184が非表示領域となる。

【0082】

したがって、垂直同期信号Vsyncの立ち上がり同期して、ダミーの垂直ブランキング期間中から表示データを高速な転送レートで受信して、1フレーム分の表示データを表示データRAMに書き込むことによって、当該フレームにおいて、各走査ラインについて着目すると、常に書き込みが読み出しに先行して行われているため、タイミングを考慮することなく1フレームの表示駆動が可能となる。

10

【0083】

ここで、1フレーム分の表示データをDとし、転送レートをRとすると、図5に示すようにダミーの垂直ブランキング期間が、少なくともD/Rで表される期間よりも長くすることによって、表示データRAMからの読み出しタイミングを開始するときには、既に当該フレームの表示データの書き込みを終了させることができることになる。これにより、同時に3ポートを有する表示データRAMの書き込みと読み出しが行われることがなくなり、読み出し若しくは書き込みに伴う表示データRAM内の電流変動の低減によって、耐ノイズ性の向上を図ることができる。

20

【0084】

2.3 差動IFによる高速転送制御

上述したような第1の実施形態における表示コントローラとしてのXドライバIC24は、演算増幅器を用いた差動IFにより、動画データの送受信を行うようになっている。差動IFは、CMOS回路によるIFとは異なり、振幅の小さな信号を差動対で構成して送受信を行うことで高速なデータ転送レートを実現できる。これにより、将来の液晶パネルの画面サイズの拡大等によっても動画を違和感なく表示させるために必要とされ、CMOS回路では実現できない転送レートを実現し、動画データを表示データRAMに書き込むことができるようになる。

【0085】

30

このような差動IFを実現するためには、差動対の信号を駆動する差動ドライバと、差動対の信号を増幅する差動増幅器とが必要とされる。これら差動IFの差動ドライバ及び差動増幅器で用いられる電流源は、転送レートに依存することなく定常電流が流れる。したがって、転送レートが低い場合にはCMOS回路によるIFの方が、消費電力が小さくなる。一方、転送レートが高く場合には、CMOS回路によるIFの方が、消費電力が大きくなり、定常電流による電力消費が行われる差動IFの方の消費電力を小さくすることができるようになる。しかも、差動IFの場合、CMOS回路によるIFでは達成できない転送レートを実現することができる。

【0086】

そこで、第1の実施形態では、差動IFによる高速な表示データ転送を行う一方、液晶パネルの表示駆動が垂直同期信号や水平同期信号に同期して行われる必要があるため、表示データを転送する際には高速な転送レートで行った後、次の転送タイミングまで差動IFを停止させるようにして転送制御を行うことにより、消費電力の増加を抑えるようにしている。

40

【0087】

以下では、このような差動IFの構成について説明する。

【0088】

2.3.1 差動IFの構成例

(第1の構成例)

図6(A)に差動IFの第1の構成例を示し、図6(B)に第1の構成例における動作波

50

形の一例を示す。

【0089】

第1の構成例において、送信側に差動ドライバ100、受信側に差動レシーバ102が設けられ、差動対の信号線D1、D2を介して接続されている。差動ドライバ100は、図2におけるMPUの差動IF回路42に含んで構成される。また、差動レシーバ102は、図3における差動IF回路60に含んで構成される。

【0090】

送信側の差動ドライバ100において、p型(第1導電型)トランジスタ104(広義には、差動ドライバ制御手段)は、ソース端子に電源VDD(第1の電源)が接続され、ゲート端子に電力制御信号PSが供給される。p型トランジスタ104のドレイン端子には、電流源106の一端が接続される。

10

【0091】

電流源106の他端は、p型トランジスタ108、110のソース端子に接続される。

【0092】

p型トランジスタ108、110のドレイン端子には、n型(第2導電型)トランジスタ112、114のドレイン端子が接続される。p型トランジスタ108のゲート端子は、送信すべきデータ信号Dの+側を示すD+信号の反転信号(XD+信号)が供給される。p型トランジスタ110のゲート端子は、D+信号が供給される。

【0093】

n型トランジスタ112、114のソース端子には、接地電源VSS(第2の電源)が接続される。n型トランジスタ112のゲート端子には、データ信号Dの-側を示すD-信号が供給される。n型トランジスタ114のゲート端子は、D-信号の反転信号(XD-信号)が供給される。

20

【0094】

差動ドライバ100では、p型トランジスタ110のドレイン端子とn型トランジスタ114のドレイン端子の接続点ND1、p型トランジスタ108のドレイン端子とn型トランジスタ112のドレイン端子の接続点ND2のそれぞれに、差動対の信号線D1、D2が接続される。

【0095】

差動レシーバ102は、差動増幅器116を有している。差動増幅器116の構成は、公知であるため説明を省略するが、受信された差動対の信号線の電位の変化に対応して電流源からの電流が変化した場合に、この変化に対応した電圧を生成するようになっている。

30

【0096】

この差動増幅器116は、p型トランジスタ118(広義には、受信動作停止手段)を介して電源VDDと接続されている。p型トランジスタ118のゲート端子には、電力制御信号PSが供給される。電力制御信号PSによってp型トランジスタ118のドレイン電流が差動増幅器116に供給された場合、差動増幅器116は動作するが、このドレイン電流が停止又は制限された場合はその動作を停止するようになっている。

【0097】

差動対の信号線D1、D2は、終端抵抗RLを介して接続されており、差動レシーバ102の差動増幅器116は、この終端抵抗RLの両端に発生する電圧を増幅する。増幅した信号は、バッファ回路120によってバッファリングされ、受信信号S1として後段の回路に供給される。

40

【0098】

このような構成によれば、差動ドライバ100において、電流源106からの電流が、D+信号及びD-信号によって、接続点ND1、ND2に流れる電流が変化し、差動対の信号線D1、D2を介して、終端抵抗RLの両端に電圧が発生する。差動レシーバ102では、差動増幅器116で、終端抵抗RLの両端に発生する電圧を増幅する。

【0099】

したがって、図6(B)に示すように、Vc(例えば、1.2V)を中心にVs(例えば

50

300mV)の振幅の差動信号を送信することができるので、より高速なデータ転送が可能となる。受信側の差動増幅器116では、これを増幅してバッファリングして論理レベルに変換することにより、後段のCMOS回路に用いることができる。

【0100】

この際、図6(A)に示した差動IFでは、表示に必要とされる表示データだけを高速に転送した後次の転送タイミングまでの間、電力制御信号PSにより、送信側及び受信側で動作制御を行って、消費電力の低減を図ることができるようになっている。

【0101】

図7に、電力制御信号PSによる消費電流の変化を模式的に示す。

【0102】

すなわち、省電力制御PSの論理レベルが「L」のとき、送信側の差動ドライバ、受信側の差動レシーバが動作し、電流源による一定電流 I_0 が流れる。一方、電力制御信号PSの論理レベルが「H」のとき、送信側の差動ドライバ、受信側の差動レシーバの動作が停止し、定電流源による電流消費が0になる。

【0103】

したがって、省電力制御PSの論理レベルを「L」にして高速にデータ転送を行った後、時刻T1において省電力制御PSの論理レベルを「H」にして送信側及び受信側を停止することで、消費電力の増加を抑えることができる。

【0104】

(第2の構成例)

図8(A)に差動IFの第2の構成例を示し、図8(B)に第2の構成例における動作波形の一例を示す。

【0105】

第2の構成例において、送信側に差動ドライバ130、受信側に差動レシーバ132が設けられ、差動対の信号線D1、D2を介して接続されている。差動ドライバ130は、図2におけるMPUの差動IF回路42に含んで構成される。また、差動レシーバ132は、図3における差動IF回路60に含んで構成される。

【0106】

送信側の差動ドライバ130において、p型トランジスタ134(広義には、差動ドライバ制御手段)は、ソース端子に電源VDDが接続され、ゲート端子に電力制御信号PSが供給される。p型トランジスタ134のドレイン端子には、電流源136の一端が接続される。

【0107】

電流源136の他端には、p型トランジスタ138、140のソース端子が接続される。

【0108】

p型トランジスタ138、140のドレイン端子には、差動対の信号線D2、D1が接続される。p型トランジスタ138のゲート端子には、送信すべきデータ信号Dが供給される。p型トランジスタ140のゲート端子には、送信すべきデータ信号Dの反転信号が供給される。

【0109】

差動レシーバ132は、差動増幅器142を有している。この差動増幅器142の構成は公知であるため、説明を省略するが、受信された差動対の信号線の電位の変化に対応して電流源からの電流が変化した場合に、この変化に対応した電圧を生成するようになっている。

【0110】

この差動増幅器142は、p型トランジスタ144(広義には、受信動作停止手段)を介して電源VDDと接続されている。p型トランジスタ144のゲート端子には、電力制御信号PSが供給される。電力制御信号PSによってp型トランジスタ144のドレイン電流が差動増幅器142に供給された場合、差動増幅器142は動作するが、このドレイン電流が停止又は制限された場合はその動作を停止するようになっている。

10

20

30

40

50

【0111】

差動対の信号線 D1、D2 は、それぞれ接地電位 VSS との間に終端抵抗 RL1、RL2 を介して接続されている。差動レシーバ 132 の差動増幅器 142 は、終端抵抗 RL1、RL2 によって発生した差動対の信号線 D1、D2 の電位差を増幅する。増幅した信号は、バッファ回路 146 によってバッファリングされて、受信信号 S2 として後段の回路に供給される。

【0112】

このような構成によれば、差動ドライバ 130 において、電流源 136 からの電流が、データ信号 D によって、p 型トランジスタ 138、140 のドレイン電流が変化する。これにより、差動対の信号線 D1、D2 の電位が終端抵抗 RL1、RL2 によって変化するた

10

【0113】

したがって、図 8 (B) に示すように、Vc (例えば、150 mV) を中心に Vs (例えば 300 mV) の振幅の差動信号を送信することができるので、より高速なデータ転送が可能となる。受信側の差動増幅器 142 では、これを増幅してバッファリングして論理レベルに変換することにより、後段の CMOS 回路に用いることができる。

【0114】

この際、図 8 (B) に示した差動 IF では、電力制御信号 PS により、送信側及び受信側で動作制御を行って、図 7 に示したように消費電力の低減を図ることができるように

20

【0115】

(第3の構成例)

図 9 (A) に差動 IF の第 3 の構成例を示し、図 9 (B) に第 3 の構成例における動作波形の一例を示す。

【0116】

第 3 の構成例において、送信側に差動ドライバ 150、受信側に差動レシーバ 152 が設けられ、差動対の信号線 D1、D2 を介して接続されている。差動ドライバ 150 は、図 2 における MPU の差動 IF 回路 42 に含んで構成される。また、差動レシーバ 152 は、図 3 における差動 IF 回路 60 に含んで構成される。

【0117】

送信側の差動ドライバ 150 において、n 型トランジスタ 154 (広義には、差動ドライバ制御手段) は、ソース端子に接地電源 VSS が接続され、ゲート端子に電力制御信号 PS が供給される。n 型トランジスタ 154 のドレイン端子には、電流源 156 の一端に接続される。

30

【0118】

電流源 156 の他端には、n 型トランジスタ 158、160 のソース端子が接続される。

【0119】

n 型トランジスタ 158、160 のドレイン端子には、差動対の信号線 D1、D2 が接続される。n 型トランジスタ 158 のゲート端子は、送信すべきデータ信号 D が供給される。n 型トランジスタ 160 のゲート端子は、送信すべきデータ信号 D の反転信号が供給される。

40

【0120】

差動レシーバ 152 は、差動増幅器 162 を有している。この差動増幅器 162 の構成は公知であるため、説明を省略するが、受信された差動対の信号線の電位の変化に対応して電流源からの電流が変化した場合に、この変化に対応した電圧を生成するようになっている。

【0121】

この差動増幅器 162 は、n 型トランジスタ 166 (広義には、受信動作停止手段) を介して接地電源 VSS と接続されている。n 型トランジスタ 166 のゲート端子には、電力制御信号 PS が供給される。電力制御信号 PS によって n 型トランジスタ 166 のドレイ

50

ン電流が差動増幅器 162 に供給された場合、差動増幅器 162 は動作するが、このドレイン電流が停止又は制限された場合はその動作を停止するようになっている。

【0122】

差動対の信号線 D1、D2 は、それぞれ電位 VDD との間に終端抵抗 RL3、RL4 を介して接続されている。差動レシーバ 152 の差動増幅器 162 は、終端抵抗 RL3、RL4 による電位差を増幅する。増幅した信号は、バッファ回路 164 によってバッファリングされて、受信信号 S3 として後段の回路に供給される。

【0123】

このような構成によれば、差動ドライバ 150 において、電流源 156 により供給される n 型トランジスタ 158、160 のドレイン電流が、データ信号 D によって変化する。これにより、差動対の信号線 D1、D2 の電位が終端抵抗 RL3、RL4 によって変化するため、差動レシーバ 152 で、この電位差を差動増幅器 162 で増幅する。

10

【0124】

したがって、図 9 (B) に示すように、Vc (例えば、VDD - 150 mV) を中心に Vs (例えば 300 mV) の振幅の差動信号を送信することができるので、より高速なデータ転送が可能となる。受信側の差動増幅器 162 では、これを増幅してバッファリングして論理レベルに変換することにより、後段の CMOS 回路に用いることができる。

【0125】

この際、図 9 (B) に示した差動 IF では、電力制御信号 PS により、送信側及び受信側で動作制御を行って、図 7 に示したように消費電力の低減を図ることができるようになっている。

20

【0126】

2.4 CMOS 回路による IF との比較

上述した高速転送が可能な差動 IF について、ダミーのブランキング期間を利用した転送制御を行う場合の消費電力について、CMOS 回路による IF と比較して説明する。

【0127】

図 10 に、CMOS 回路による IF の転送レートと消費電流との関係を示す。

【0128】

ここで、横軸には、データ転送レート [Mbps] (メガビット毎秒)、縦軸には消費電流 [mA] (ミリアンペア)をとっている。

30

【0129】

また、各種液晶パネルの画像サイズと階調ビット数とによって 1 フレームの表示に必要とされる表示データの転送量が異なるため、代表的な画像サイズと階調ビット数について示している。例えば、QCIF (Quarter Common Intermediate Format、176 × 144) サイズの RGB 信号の各 6 ビット (計 18 ビット) を 15 f/s で転送する場合、CIF (352 × 288) サイズの RGB 信号の各 8 ビット (計 24 ビット) を 30 f/s で転送する場合、VGA (Video Graphics Array、640 × 480) サイズの RGB 信号の各 8 ビット (計 24 ビット) を 30 f/s で転送する場合等を示している。

【0130】

CMOS 回路による IF では、周波数に比例して消費電流が増加するため、転送レートが高速になるのに伴い、消費電流が増加している (E1)。したがって、QCIF サイズで RGB 信号の各 6 ビット (計 18 ビット) の表示データを 15 f/s で転送する場合には、十分小さな消費電流で済むが、CIF サイズで RGB 信号の各 8 ビット (計 24 ビット) の表示データを 30 f/s で転送する場合には、必要とされる転送レートが高くなるため、消費電流が増加してしまう。さらに、CMOS 回路では、R1 で示される領域の転送レートは、もはや実現することが困難となり、CIF サイズで RGB 信号の各 8 ビット (計 24 ビット) の表示データを 30 f/s の転送を行うことは難しい。

40

【0131】

一方、差動 IF によれば、E2 に示すように転送レートに依存することなく、定常電流が流れる。したがって、QCIF サイズで RGB 信号の各 6 ビット (計 18 ビット) の表示

50

データを 15 f/s で転送する場合には、CMOS回路によるIFに比べて消費電流が大きい。しかし、差動IFでは、転送レートにかかわらず一定の定常電流が消費されることになるため、例えばCIFサイズでRGB信号の各8ビット（計24ビット）の表示データを 30 f/s で転送する場合には、むしろCMOS回路によるIFに比べて消費電流が小さくなる。さらに、差動IFでは、CMOS回路では実現できない転送レートで表示データを転送することができる。

【0132】

したがって、 100 Mbps や 400 Mbps のようなCMOS回路では実現できないような高速な転送レートで、上述したようなダミーのブランキング期間中から表示データの転送を開始し、転送終了後は次の表示データの転送タイミングまで差動IFの動作を停止して定常電流の消費を低減させることにより、高速な転送レートと低消費化とを両立させることができる（E3、E4）。

10

【0133】

2.5 書き込みビット幅

上述したような第1の実施形態における表示コントローラとしてのXドライバIC24は、差動IF若しくはシリアルIFのビット幅をK（Kは、自然数）、パラレルIFのビット幅をN（Nは、Kより大きい自然数）とした場合に、少なくともK、N以上のビット幅L（Lは、自然数）単位で表示データRAM28に表示データを書き込むことができるようになっている。

【0134】

20

これにより、違和感なく動画を表示するために表示データRAMに高速に表示データを書き込む必要があっても、書き込み周波数を低下させることができる。これは、液晶パネルの画面サイズの拡大等によって1フレーム分の表示に必要な表示データが多くなった場合にも対応できる。例えば、8ビット単位で表示データRAM28に書き込む場合の書き込み周波数をFとすると、16ビット単位で書き込む場合の書き込み周波数はF/2で済む。したがって、その分表示データRAM28の製造に低コストのプロセスを用いることができ、かつ消費電力の増加を抑えることも可能となる。

【0135】

2.6 表示コントローラの動作タイミング

次に、このような第1の実施形態におけるXドライバIC24の動作について、具体的に説明する。以下では、差動IFとして図6（A）、（B）に示した第1の構成例が適用されているものとして説明するが、第2及び第3の構成例についても同様である。

30

【0136】

図11（A）、（B）に、差動IFで送受信される信号の具体例を示す。

【0137】

図11（A）では、MPU10から、差動対の信号線を介してクロック信号CLK及びデータ信号Dが表示コントローラ24に転送される。また、表示コントローラ24では、内部で生成した表示タイミングをMPU10に通知するため、垂直同期信号Vsync及び水平同期信号HsyncをCMOS回路によるIFを介して送信する。

【0138】

40

MPU10では、差動対の信号線Dで転送すべき表示データ量を認識しているので、通知された垂直同期信号Vsync又は水平同期信号Hsyncを基準に表示データの転送後に差動IFの動作を停止させるための電力制御信号PSを生成し、MPU10の送信側と表示コントローラ24の受信側との差動IFの動作制御を行う。

【0139】

また、図11（B）に示すように、垂直同期信号Vsyncと水平同期信号Hsyncとを複合したコンポジット信号として表示コントローラ24からMPU10に通知するようにしても良い。

【0140】

図12に、上述した差動IFを介して表示コントローラに 60 f/s で表示データを転送

50

した場合の動作タイミングの一例を示す。

【 0 1 4 1 】

ここでは、1 垂直走査期間が、例えば 2 8 8 個水平走査期間と、垂直ブランキング期間 B 1、B 2 とからなるものとする。すなわち、ダミーの垂直ブランキング期間が、水平走査期間が 2 つ分の期間であるものとする。

【 0 1 4 2 】

表示コントローラ 2 4 は、内部で生成した表示タイミングを表示データ供給側である M P U 1 0 に通知するため、垂直同期信号 V s y n c 及び水平同期信号 H s y n c 若しくは垂直・水平同期信号コンボジット信号を出力する。

【 0 1 4 3 】

M P U 1 0 は、垂直同期信号 V s y n c の立ち上がり及び水平同期信号の立ち上がり、若しくは垂直・水平同期信号コンボジット信号の立ち上がり（時刻 T T 1 ）を検出すると、電力制御信号 P S により差動 I F の動作を開始させるため、時刻 T T 1 から時間 t 1 （ t 1 = 1 H、1 H は 1 水平走査時間）だけ遅れて表示コントローラ 2 4 に通知する。これ以降、電力制御信号 P S の論理レベルが「 L 」の期間で、M P U 1 0 の差動 I F 回路 4 2 及び表示コントローラ 2 4 の差動 I F 回路 6 0 の動作が開始し、定常電流が流れる。

【 0 1 4 4 】

続く時刻 T T 1 から時間 t 2 （ t 1 + t 2 = 1 H ）経過後に、M P U 1 0 から差動 I F によるデータ信号 D 及びクロック信号 C L K の送信が開始され、例えば 1 0 0 M b p s ~ 4 0 0 M b p s という高速な転送レートで 1 フレーム分の表示データを時刻 T T 2 まで転送を行う。

【 0 1 4 5 】

すなわち、ダミーの垂直ブランキング期間中に、1 フレーム分の表示データの転送を開始させる。M P U 1 0 では、1 フレーム分の表示データの転送データ量が認識されているので、予め設定された転送レートとの関係から、1 フレーム分の表示データの転送時間 T p がわかる。そこで、M P U 1 0 では、少なくとも 1 フレーム分の表示データの転送時間 T p だけ電力制御信号 P S の論理レベルが「 L 」になるようにする。

【 0 1 4 6 】

この結果、1 フレーム分の表示データの転送が終わってから電力制御信号 P S が時刻 T T 3 （ T T 2 + T T 3 ）で論理レベル「 H 」となって、作動 I F の動作が停止される。これ以降、電力制御信号 P S の論理レベルが「 H 」の期間で、M P U 1 0 の差動 I F 回路 4 2 及び表示コントローラ 2 4 の差動 I F 回路 6 0 の動作が停止し、電流消費が 0 になる。

【 0 1 4 7 】

一方、表示コントローラ 2 4 は、垂直走査期間 1 V において垂直同期信号 V s y n c の立ち下がりに同期して、水平走査期間 1 H 以降、1 走査ライン目から順に表示データ R A M から、垂直ブランキング期間中から書き込まれた当該フレームの表示データを読み出し、上述したように液晶パネルを駆動する（ p i c t u r e 1 表示）。

【 0 1 4 8 】

フレーム周期が 6 0 H z の場合、次の垂直走査期間 2 V において、垂直同期信号 V s y n c が立ち上がると、垂直走査期間 1 V と同様にして 2 フレーム目の表示データの転送制御を行って、垂直走査期間 2 V の垂直ブランキング期間中から書き込まれた当該フレームの表示データを読み出し、上述したように液晶パネルを駆動する（ p i c t u r e 2 表示）。

【 0 1 4 9 】

このように、差動 I F は、1 フレーム分の表示データの転送中には定常電流が流れるが、転送終了後に差動 I F の動作を停止させることで、各フレームにおいて表示データの転送に伴う消費電流は、時間 t 1 ~ T T 3 までの差動 I F の定常電流だけになる。したがって、図 1 0 に示したように C M O S 回路による I F の場合に比べて、低消費電力化を図ることができる。これは、転送すべき表示データ量が多くなればなるほど効果的となる。

【 0 1 5 0 】

10

20

30

40

50

図 1 3 に、上述した差動 I F を介して表示コントローラに 3 0 f / s で表示データを転送した場合の動作タイミングの一例を示す。

【 0 1 5 1 】

この場合も、表示データの転送制御については図 1 2 に示した 6 0 f / s と同様である。

【 0 1 5 2 】

表示コントローラ 2 4 が液晶パネルを表示駆動するフレーム周期が 6 0 H z の場合、連続する 2 フレームについて同一の表示データに基づいて表示駆動を行うため、1 フレーム目に表示データを図 1 2 に示すように転送を行うと、1 フレームを空けて 3 フレーム目に次の表示データを転送すればよい。すなわち、差動 I F の停止期間が長くなるため、より消費電力の低減を図ることが可能となる。

10

【 0 1 5 3 】

図 1 4 に、上述した差動 I F を介して表示コントローラに 1 5 f / s で表示データを転送した場合の動作タイミングの一例を示す。

【 0 1 5 4 】

この場合も、表示データの転送制御については図 1 2 に示した 6 0 f / s と同様である。

【 0 1 5 5 】

ただ、表示コントローラ 2 4 が液晶パネルを表示駆動するフレーム周期が 6 0 H z の場合には、連続する 4 フレームについて同一の表示データに基づいて表示駆動を行うため、1 フレーム目に表示データを図 1 2 に示すように転送を行うと、3 フレーム空けて 4 フレーム目に次の表示データを転送すればよい。したがって、差動 I F の停止期間が長くなるため、より消費電力の低減を図ることが可能となる。

20

【 0 1 5 6 】

実際に、液晶パネルに動画を表示駆動する場合、1 5 f / s までは、人間の視覚特性によって違和感なく動画を認識できるものとされており、この場合画面サイズの拡大に対応した動画表示と十分な消費電力の削減とを両立させることが可能となる。

【 0 1 5 7 】

< 第 2 の実施形態 >

3 . 第 2 の実施形態の特徴

第 1 の実施形態では、ダミーの垂直ブランキング期間を利用して当該期間中から 1 フレーム分の表示データをまとめて転送するものとして説明したが、これに限定されるものではない。第 2 の実施形態では、ダミーの水平ブランキング期間を利用して当該期間中から当該走査ライン分の表示データを転送することによっても、差動 I F の高速転送制御による液晶パネルの画面サイズの拡大への対応と、低消費電力化とを両立させることができる。

30

【 0 1 5 8 】

第 2 の実施形態における表示コントローラ、これを用いた表示ユニット及び電子機器の構成については、第 1 の実施形態と同様であるため説明を省略する。

【 0 1 5 9 】

3 . 1 ダミーの水平ブランキング期間

図 1 5 に、ダミーの水平ブランキング期間について説明するための図を示す。

【 0 1 6 0 】

40

第 2 の実施形態では、水平同期信号 H s y n c の立ち上がりに同期してダミーの水平ブランキング期間中から表示データを高速に転送して、走査ライン分の表示データを表示データ R A M に書き込むようにしている。例えば、1 走査ライン目の走査期間では、1 走査ライン目のダミーの水平ブランキング期間から 1 走査ライン目の表示データの転送を行う。この場合、当該フレームにおいて、各走査ラインについて着目すると、常に書き込みが読み出しに先行して行われているため、タイミングを考慮することなく 1 フレームの表示駆動が可能となる。

【 0 1 6 1 】

3 . 2 動作タイミング

図 1 6 に、第 2 の実施形態において、差動 I F を介して表示コントローラに 6 0 f / s で

50

表示データを転送した場合の動作タイミングの一例を示す。

【0162】

ここでは、1 垂直走査期間が、例えば 288 個水平走査期間と、垂直ブランキング期間 B1、B2 とからなるものとする。すなわち、垂直ブランキング期間が、水平走査期間が 2 つ分の期間であるものとする。

【0163】

また、差動 IF として図 9 (A)、(B) に示した第 3 の構成例が適用されているものとして説明するが、第 1 及び第 2 の構成例についても同様である。

【0164】

表示コントローラは、内部で生成した表示タイミングを表示データ供給側である MPU に通知するため、垂直同期信号 Vsync 及び水平同期信号 Hsync を出力する。 10

【0165】

MPU は、垂直同期信号 Vsync の立ち上がり及び水平同期信号の立ち上がり (時刻 T_{T11}) を検出し、ダミーの水平ブランキング期間 B2 の水平同期信号 Hsync の立ち上がりを検出すると、電力制御信号 PS により差動 IF の動作を開始させるため、時刻 T_{T11} から時間 t₁₁ (t₁₁ - 1 H) だけ遅れて表示コントローラに通知する。これ以降、電力制御信号 PS の論理レベルが「H」の期間で、MPU の差動 IF 回路及び表示コントローラの差動 IF 回路の動作が開始し、定常電流が流れる。

【0166】

続く時刻 T_{T11} から時間 t₂₁ (t₁₁ - t₂₁ - 1 H) 経過後に、MPU から差動 IF によるデータ信号 D 及びクロック信号 CLK の送信が開始され、例えば 100 Mbps ~ 400 Mbps という高速な転送レートで 1 走査ライン目の表示データを時刻 T_{T21} まで転送を行う。 20

【0167】

すなわち、ダミーの水平ブランキング期間中に、1 走査ライン分の表示データの転送を開始させる。MPU では、1 走査ライン分の表示データの転送データ量が認識されているので、予め設定された転送レートとの関係から、1 走査ライン分の表示データの転送時間 T_L がわかる。したがって、MPU では、少なくとも 1 走査ライン分の表示データの転送時間 T_L だけ電力制御信号 PS の論理レベルが「H」になるようにする。

【0168】

この結果、当該走査ライン分の表示データの転送が終わってから電力制御信号 PS が時刻 T_{T31} (T_{T21} - T_{T31}) で論理レベル「L」となって、作動 IF の動作が停止される。これ以降、電力制御信号 PS の論理レベルが「L」の期間で、MPU の差動 IF 回路及び表示コントローラの差動 IF 回路の動作が停止し、電流消費が 0 になる。 30

【0169】

一方、表示コントローラは、垂直走査期間 1 V において垂直同期信号 Vsync の立ち上がりに同期して、水平走査期間 1 H で、表示データ RAM から、ダミーの水平ブランキング期間中から書き込まれた当該フレームの表示データを読み出し、上述したように液晶パネルを駆動する。

【0170】

続く、水平走査期間 2 H、3 H、・・・も同様に、各水平ブランキング期間を利用して走査ライン単位で表示データの転送制御を行う。このようにして、垂直走査期間 1 V では、1 フレーム分の表示が行われる (picture 1 表示)。 40

【0171】

フレーム周期が 60 Hz の場合、次の垂直走査期間 2 V において、垂直同期信号 Vsync が立ち上がると、垂直走査期間 1 V と同様にして 2 フレーム目についても走査ライン単位で表示データの転送制御を行って、垂直走査期間 2 V の各ダミーの水平ブランキング期間中から書き込まれた表示データを読み出し、上述したように液晶パネルを駆動する。垂直走査期間 2 V では、次の 1 フレーム分の表示が行われる (picture 2 表示)。

【0172】

このように、差動 I F は、各走査ライン分の表示データの転送中には定常電流が流れるが、転送終了後に差動 I F の動作を停止させることで、各水平走査期間において表示データの転送に伴う消費電流は、時間 $t_{11} \sim T_{T31}$ までの差動 I F の定常電流だけになる。したがって、図 10 に示したように C M O S インタフェースの場合に比べて、低消費電力化を図ることができる。これは、転送すべき表示データ量が多くなればなるほど効果的となる。

【0173】

図 17 に、第 2 の実施形態において、上述した差動 I F を介して表示コントローラに $15 f / s$ で表示データを転送した場合の動作タイミングの一例を示す。

【0174】

この場合も、表示データの転送制御については図 16 に示した $60 f / s$ と同様である。

【0175】

ただ、表示コントローラが液晶パネルを表示駆動するフレーム周期が $60 H z$ の場合には、連続する 4 フレームについて同一の表示データに基づいて表示駆動を行うため、1 フレーム目に各走査ラインごとに表示データを図 16 に示すように転送を行うと、3 フレーム空けて 4 フレーム目に次の表示データを転送すればよい。したがって、差動 I F の停止期間が長くなるため、より消費電力の低減を図ることが可能となる。

【0176】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0177】

また、図 3 では、差動 I F のビット幅 K が 1 ビットであるものとして説明したがこれに限定されるものではない。差動 I F のビット幅が 2 ビット以上の場合、動画表示に必要とされる表示データの転送時間をさらに短縮化することができるので、上述したような転送制御を行うことにより画像サイズの増大に対応でき、しかも更なる低消費電力化に貢献することができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態における表示コントローラを適用した電子機器の構成の概要の一例を示すブロック図である。

【図 2】第 1 の実施形態における M P U 及び表示ユニットを搭載した携帯電話機の構成例を示すブロック図である。

【図 3】第 1 の実施形態における表示コントローラとしての X ドライバ I C の構成要部の一例を示すブロック図である。

【図 4】図 4 (A) は、垂直同期信号及び水平同期信号の関係を示す説明図である。図 4 (B) は、ダミーのブランキング期間を説明するための説明図である。

【図 5】第 1 の実施形態におけるダミーの垂直ブランキング期間中に 1 フレーム分の表示データの転送制御を説明するための説明図である。

【図 6】図 6 (A) は、差動 I F の第 1 の構成例を示す構成図である。図 6 (B) は、第 1 の構成例における動作波形の一例を示す説明図である。

【図 7】電力制御信号による省電力制御を説明するための説明図である。

【図 8】図 8 (A) は、差動 I F の第 2 の構成例を示す構成図である。図 8 (B) は、第 2 の構成例における動作波形の一例を示す説明図である。

【図 9】図 9 (A) は、差動 I F の第 3 の構成例を示す構成図である。図 9 (B) は、第 3 の構成例における動作波形の一例を示す説明図である。

【図 10】差動 I F と C M O S インタフェースについて転送レートと消費電流との関係を説明するための説明図である。

【図 11】図 11 (A) は、差動 I F で送受信される信号の一例を示した説明図である。図 11 (B) は、差動 I F で送受信される信号の他の例を示した説明図である。

【図 12】第 1 の実施形態における表示コントローラに $60 f / s$ で表示データを転送した場合の動作タイミングの一例を示すタイミング図である。

10

20

30

40

50

【図 1 3】第 1 の実施形態における表示コントローラに 3 0 f / s で表示データを転送した場合の動作タイミングの一例を示すタイミング図である。

【図 1 4】第 1 の実施形態における表示コントローラに 1 5 f / s で表示データを転送した場合の動作タイミングの一例を示すタイミング図である。

【図 1 5】第 2 の実施形態におけるダミーの水平ブランキング期間中に走査ライン単位で表示データの転送制御を説明するための説明図である。

【図 1 6】第 2 の実施形態における表示コントローラに 6 0 f / s で表示データを転送した場合の動作タイミングの一例を示すタイミング図である。

【図 1 7】第 2 の実施形態における表示コントローラに 1 5 f / s で表示データを転送した場合の動作タイミングの一例を示すタイミング図である。

10

【符号の説明】

1 0 M P U

1 2 C P U

1 4 静止画用メモリ

1 6 D S P

1 8 動画処理用メモリ

2 0 表示ユニット

2 2 液晶パネル（表示パネル、マトリクスパネル、表示部）

2 4 表示コントローラ（XドライバIC）

2 6 YドライバIC

20

2 8 表示データRAM

3 0 携帯電話機

3 2 アンテナ

3 4 変復調回路

3 6 デジタルビデオカメラ

3 8 操作入力部

4 0、7 0 シリアルIF回路

4 2、6 0 差動IF回路

4 4、8 0 パラレルIF回路

5 0 ラッチ回路

30

5 2 液晶駆動回路

5 4 L C Dコントローラ

6 2 スタートフレーム検出回路

6 4、7 2、8 2 S / P変換回路

9 0 入力バッファ回路

9 4 O S C

1 0 0、1 3 0、1 5 0 差動ドライバ

1 0 2、1 3 2、1 5 2 差動レシーバ

1 0 4、1 0 8、1 1 0、1 3 4、1 3 8、1 4 0 p型（第1導電型）トランジスタ

1 0 6、1 3 6、1 5 6 電流源

40

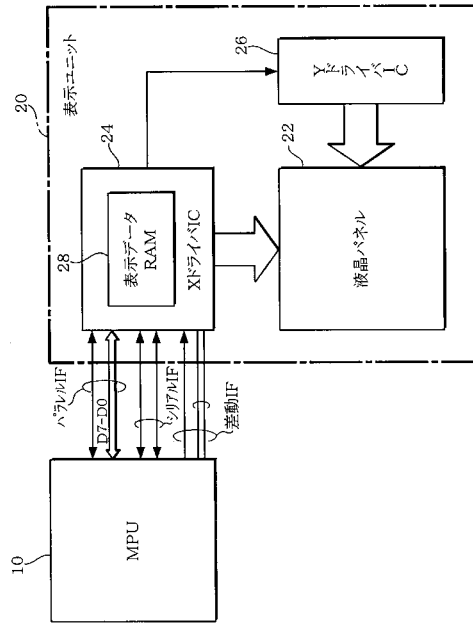
1 1 2、1 1 4、1 1 8、1 5 4、1 5 8、1 6 0、1 6 6 n型（第2導電型）トランジスタ

1 1 6、1 4 2、1 6 2 差動増幅器

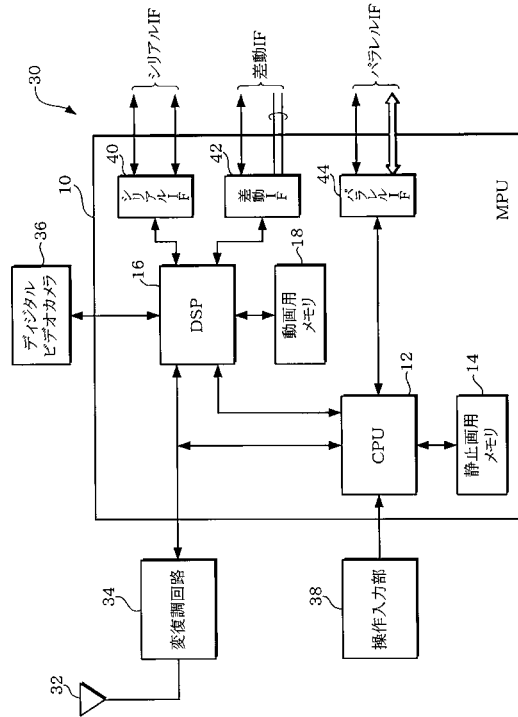
1 2 0、1 4 6、1 6 4 バッファ回路

1 5 6 電流源

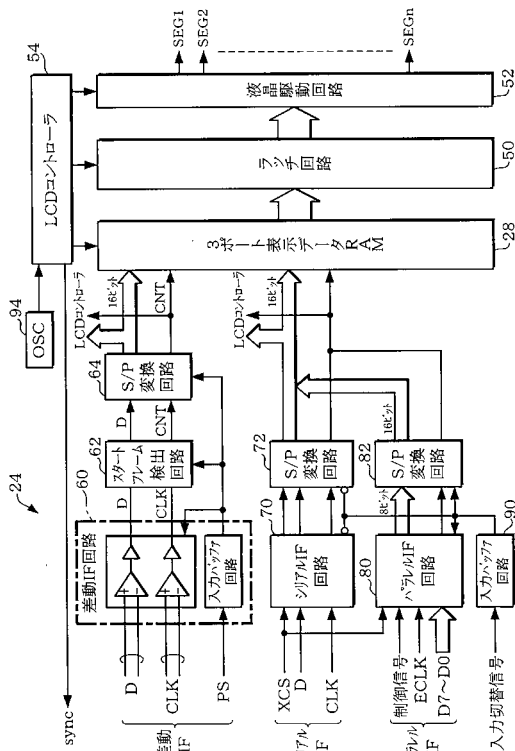
【図 1】



【図 2】



【図 3】

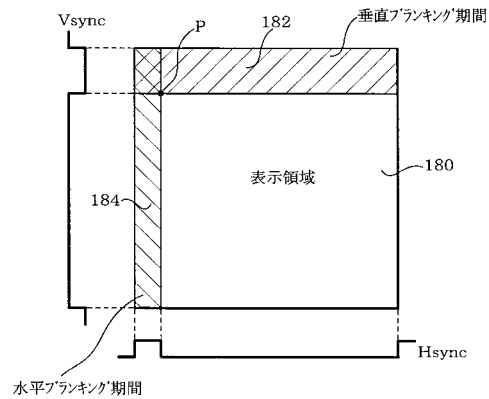


【図 4】

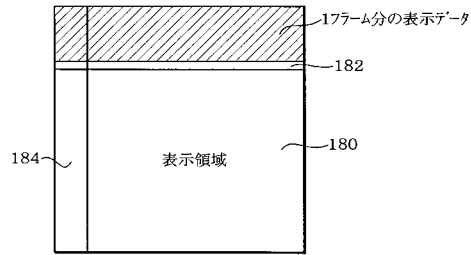
(A)



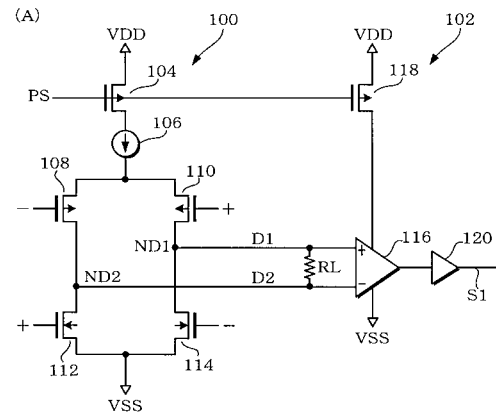
(B)



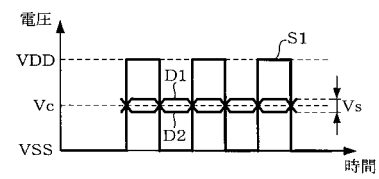
【 図 5 】



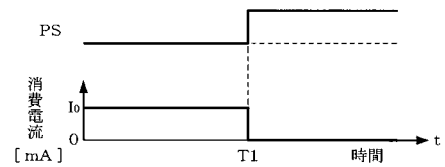
【 図 6 】



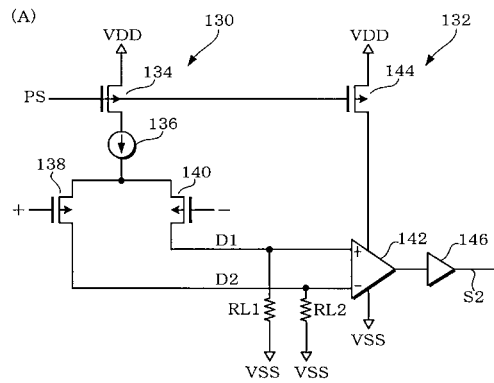
(B)



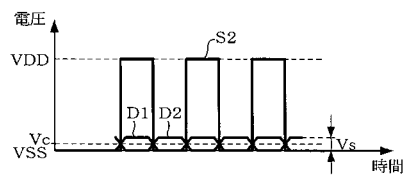
【 図 7 】



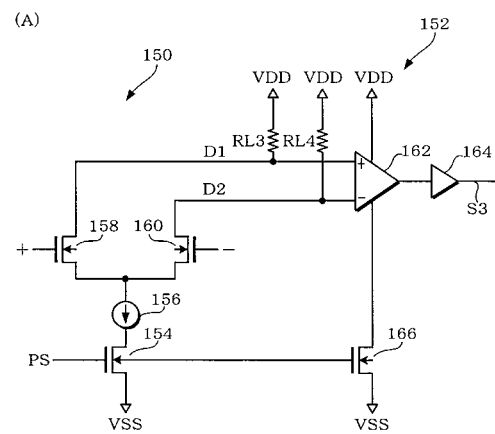
【 圖 8 】



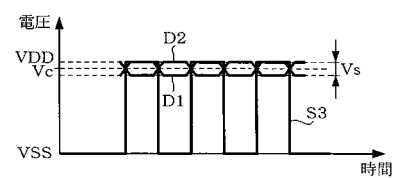
(B)



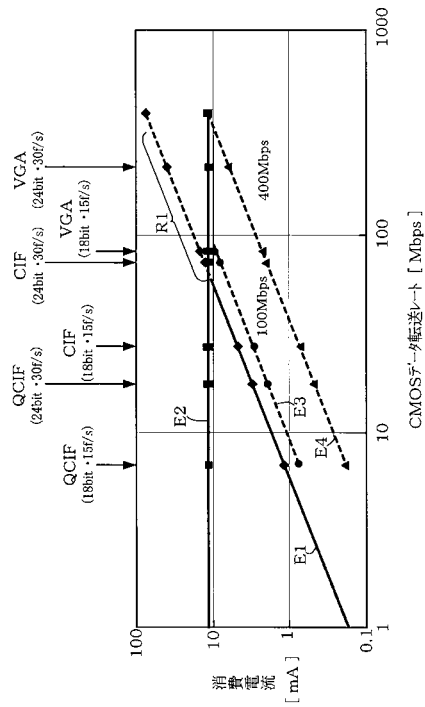
【圖 9】



(B)

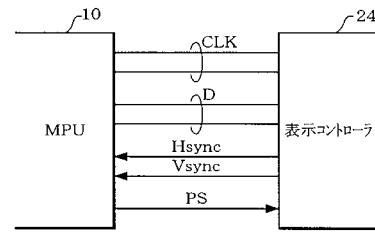


【図10】

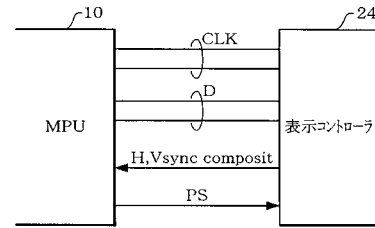


【図11】

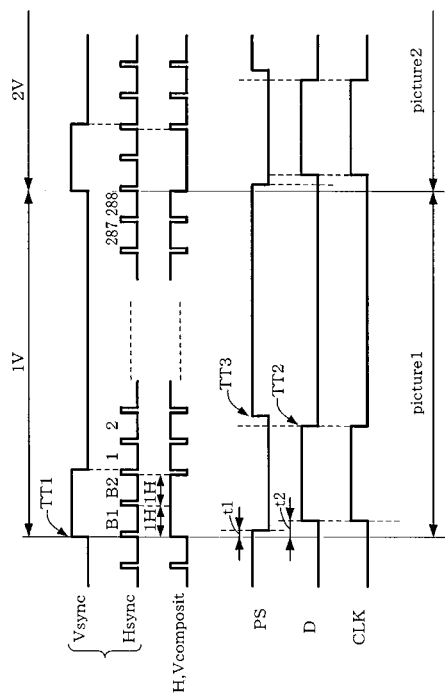
(A)



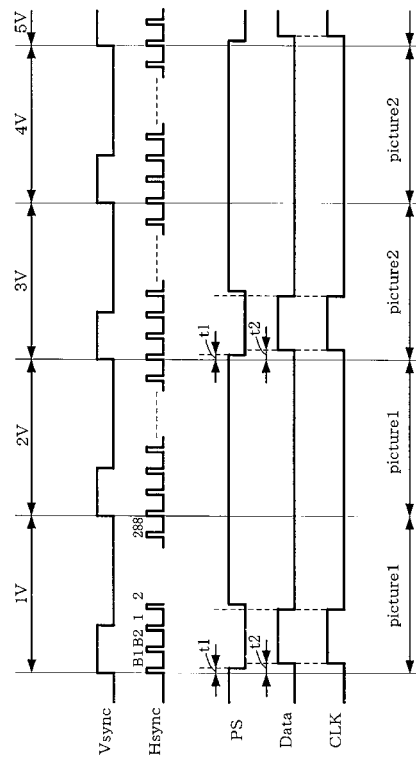
(B)



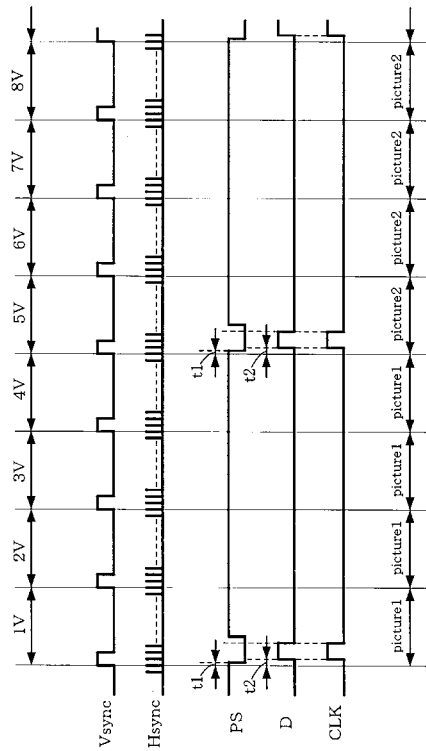
【図12】



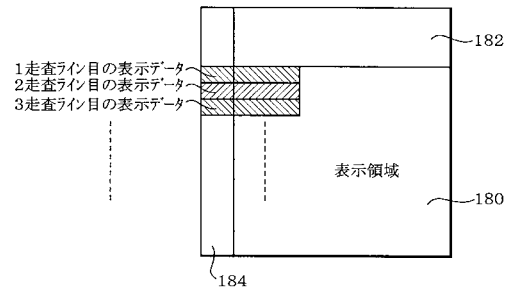
【図13】



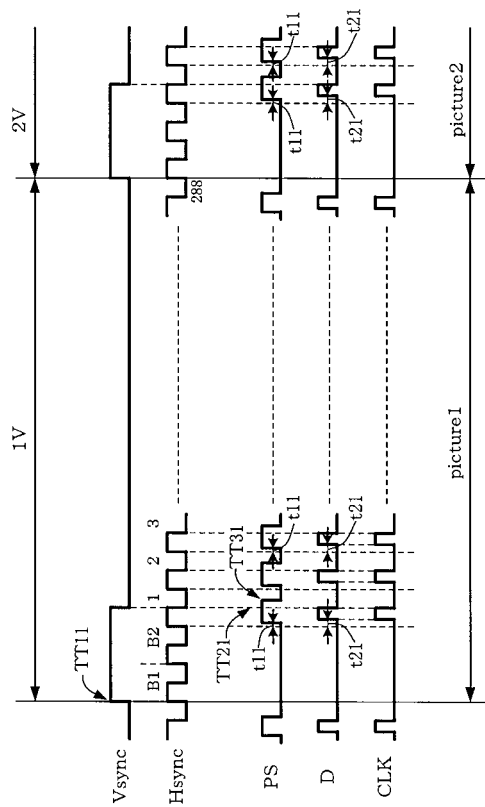
【図14】



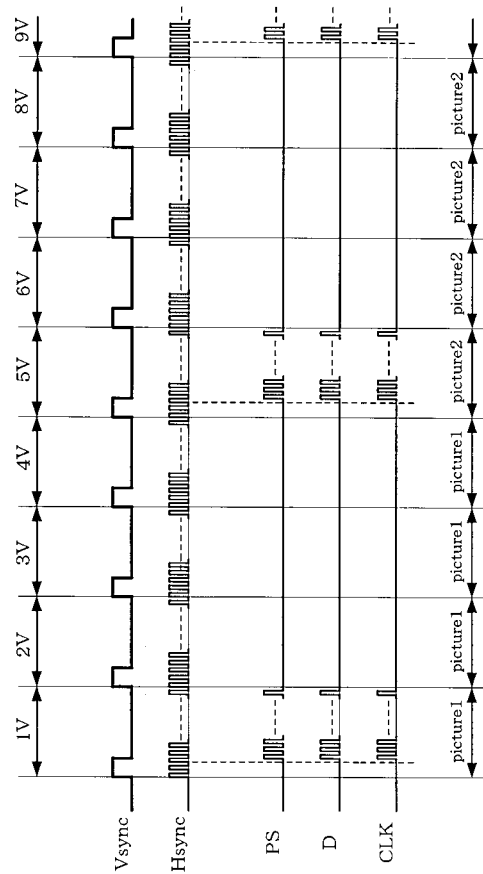
【図15】



【図16】



【図17】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 1 2 T

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 3 3 G

(56)参考文献 特開平 0 9 - 3 0 5 1 4 7 (J P , A)

特開平 1 1 - 0 6 5 5 4 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00-5/42

G02F 1/133

专利名称(译)	显示控制器，显示单元和电子设备		
公开(公告)号	JP3755585B2	公开(公告)日	2006-03-15
申请号	JP2001141997	申请日	2001-05-11
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小泉德夫		
发明人	小泉 德夫		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G06F3/147 H04M1/73		
CPC分类号	H04W52/027 G06F3/147 G09G2330/021 Y02B60/50		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.611.G G09G3/20.612.G G09G3/20.612.T G09G3/20.631.B G09G3/20.633.G		
F-TERM分类号	2H093/NA41 2H093/NA51 2H093/NC26 2H093/NC50 2H093/ND49 2H093/ND54 2H193/ZD21 5C006/AA01 5C006/AA02 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF44 5C006/AF59 5C006/AF68 5C006/BB11 5C006/BC16 5C006/BF16 5C006/BF25 5C006/FA15 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD22 5C080/DD26 5C080/EE01 5C080/EE17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	井上 一		
其他公开文献	JP2002341831A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示控制器，其能够以低功耗实现能够应对未来液晶面板的屏幕尺寸的放大所需的显示数据量的增加的传输速率，并且提供显示单元和使用该控制器的电子设备。解决方案：显示单元20包括液晶面板（显示部分）22，X驱动器IC（显示控制器）24，其具有显示数据RAM 28，其存储相当于至少一帧的显示数据并且显示器驱动面板具有规定的帧周期和Y驱动器IC 26扫描驱动面板22。显示数据通过差IF从MPU 10提供给IC 24。MPU 10通过差IF将显示数据提供给IC 24。MPU 10使用伪消隐间隔以高速传输速率向IF提供数据，并且停止IF的操作直到下一显示数据的传输定时。

【 図 3 】

