

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3705086号
(P3705086)**

(45) 発行日 平成17年10月12日(2005.10.12)

(24) 登録日 平成17年8月5日(2005.8.5)

(51) Int.Cl.⁷

F I

**G09G 3/36
G02F 1/133
G09G 3/20**G09G 3/36
G02F 1/133 525
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 621B

請求項の数 7 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2000-205561 (P2000-205561)
(22) 出願日 平成12年7月3日(2000.7.3)
(65) 公開番号 特開2002-23705 (P2002-23705A)
(43) 公開日 平成14年1月25日(2002.1.25)
審査請求日 平成15年4月24日(2003.4.24)(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 100075096
弁理士 作田 康夫
(72) 発明者 工藤 泰幸
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所 システム開発研究
所内
(72) 発明者 古橋 勉
神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所 システム開発研究
所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリックス状に配置された複数の画素を備えた液晶パネルを備える液晶表示装置であって、

前記マトリックス状に配置された画素の内、列を選択するX選択信号を出力するX選択信号生成部と、

前記マトリックス状に配置された画素の内、行を選択するY選択信号を出力するY選択信号生成部とを有し、

前記X選択信号生成部は、表示データが表す階調情報に応じた階調電圧を出力し、

前記液晶パネルの各画素は、

前記X選択信号およびY選択信号によって選択されると、前記X選択信号生成部からの前記階調電圧の保持を開始するメモリ回路と、

前記メモリ回路が保持した階調電圧を、前記表示データの階調情報に応じた幅を有するパルス幅信号に変換するパルス幅変換回路と、

前記パルス幅信号に応じて、前記パルス幅信号のハイ電圧とロー電圧との間のセンタ電圧と、第1の液晶印加電圧と第2の液晶印加電圧とが交流周期で変化する交流信号とのどちらかを選択する第1のスイッチ回路と、

前記第1のスイッチ回路で選択された前記センタ電圧または前記交流信号を液晶に与える画素電極と、

前記画素電極に対向し、全画素に共通で、前記センタ電圧が印加された対向電極とを有

10

20

し、

前記パルス幅変換回路は、

前記メモリ回路が保持した階調電圧に、階段状に電位が変化するスイープ信号であって前記交流周期に同期して電位の変化を繰り返すスイープ信号を加算する加算回路と、

前記加算回路の出力電圧のレベルがある設定値を超えるかどうかで前記ハイ電圧または前記ロー電圧を出力する第2のスイッチ回路とを有することを特徴とする液晶表示装置。

【請求項2】

請求項1の液晶表示装置において、

前記画素電極に前記交流信号を出力する時間は、該交流信号の交流周期 T を表示データの持つ階調数の二乗で分割した時間 t_a に対し、 t_a と階調情報を階調情報の二乗を乗算した時間であり、前記交流信号の振幅は一定であることを特徴とする液晶表示装置。

10

【請求項3】

請求項1の液晶表示装置において、

前記X選択信号生成部は、前記メモリ回路に保持された階調電圧をリフレッシュするリフレッシュ回路と、階調情報に応じて前記メモリ回路に保持された階調電圧の書き換えを行う書き換え回路を備え、

前記X選択信号生成部は、予め定められた周期の予め定められた期間前記リフレッシュによるリフレッシュ動作を行い、その他の期間では、前記書き換え回路による前記階調電圧の書き換えを行うことを特徴とする液晶表示装置。

【請求項4】

20

請求項1の液晶表示装置において、

前記スイープ信号の階段状の段差が β である場合に、第 N の階調電圧は第 $(N-1)$ の階調電圧よりも β 高いことを特徴とする液晶表示装置。

【請求項5】

少なくとも一方が透明の一对の基板と、その一对の基板に挟持された液晶層を有し、複数の画素をマトリックス状に配置する液晶パネルを有する液晶表示装置において、

前記マトリックス状に配置された画素の内、列を選択するX選択信号を出力するX選択信号生成部と、

前記マトリックス状に配置された画素の内、行を選択するY選択信号を出力するY選択信号生成部とを有し、

30

前記X選択信号生成部は、表示データが表す階調情報に応じた階調電圧を出力し、

前記液晶パネルの前記一对の基板の一方には、前記複数の画素から特定画素を特定するよう前記Y選択信号生成部からのY選択信号により行を選択するための複数のY選択信号線と前記X選択信号生成部からのX選択信号により列を選択するための複数のX選択信号線と、前記X選択信号生成部からの階調電圧を与えるための複数の階調信号線とを配置し、

各画素には、対応する前記Y選択信号線、前記X選択信号線、及び前記階調信号線が接続され、

前記各画素は、前記Y選択信号線と前記X選択信号線から与えられる信号が、共に選択状態を示すタイミングで、前記階調信号線から与えられる階調電圧の保持を開始するメモリ手段と、該メモリ手段が保持した電圧レベルを時間変調して前記表示データの階調情報に応じた幅を有する2値のパルス幅信号を生成するパルス幅変換手段と、該2値のパルス幅信号のハイ電圧とロー電圧に従い、第1の液晶印加電圧と第2の液晶印加電圧とが交流周期で変化する交流信号と該交流信号のセンタ電圧を切換える第1のスイッチ手段と、該第1のスイッチ手段と接続された画素電極から構成され、

40

該一对の基板の他方には、全画素共通の対向電極が具備され、該対向電極には該センタ電圧が印加され、

前記パルス幅変換手段は、前記メモリ回路が保持した階調電圧に、階段状に電位が変化するスイープ信号であって前記交流周期に同期して電位の変化を繰り返すスイープ信号を加算する加算手段と、前記加算回路の出力電圧のレベルがある設定値を超えるかどうかで

50

前記ハイ電圧または前記ロー電圧を出力する第2のスイッチ手段を有することを特徴とする液晶表示装置。

【請求項6】

請求項5の液晶表示装置において、

前記X選択信号生成部は、前記表示データと、前記表示データを表示すべき位置を示すアドレス情報を入力し、前記表示データとアドレス情報を基に、前記階調電圧を生成することを特徴とする液晶表示装置。

【請求項7】

マトリックス状に配置された複数の画素を備えた液晶パネルを備える液晶表示装置であって、

前記マトリックス状に配置された画素の内、列を選択するX選択信号を出力するX選択信号生成部と、

前記マトリックス状に配置された画素の内、行を選択するY選択信号を出力するY選択信号生成部とを有し、

前記液晶パネルの各画素は、

前記X選択信号および前記Y選択信号によって選択されると、表示データが表す階調情報に応じた階調電圧の保持を開始するメモリ回路と、

前記メモリ回路が保持した階調電圧を、パルス幅信号に変換するパルス幅変換回路と、

前記パルス幅信号に応じて、前記パルス幅信号のハイ電圧とロー電圧との間のセンタ電圧と、第1の液晶印加電圧と第2の液晶印加電圧とが交流周期で変化する交流信号とのどちらかを選択するスイッチ回路と、

前記第1のスイッチ回路で選択された前記センタ電圧または前記交流信号を液晶に与える画素電極とを有し、

前記画素電極に前記交流信号を出力する時間は、該交流信号の交流周期 T を表示データの持つ階調数で分割した時間 t_b に対し、 t_b と階調情報を乗算した時間であり、前記交流信号の振幅は、2を前記階調数で除算した値の平方根に、基準振幅 α を乗算した値ずつ前記分割時間 t_b 毎に増加することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリクス型液晶表示装置に係り、特に画素部にメモリ手段を具備したマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】

複数の走査線とデータ線のマトリクス交点近傍の画素にスイッチ素子、画素容量、画素電極を設け、液晶を挟んだ対向側に対向電極を設けた、従来のマトリクス型液晶表示装置の駆動方法として、下記の方法がある。1画面全体を表示するために要する時間であるフレーム期間において、走査線には選択ラインを指示する選択信号を1本ずつ時分割で印加し、データ線には選択ライン上の表示データの持つ階調情報に従ったレベルの階調信号を、選択電圧に同期して1ライン分一斉に印加する。この動作により、選択信号の印加された走査ライン上の画素のスイッチ素子は、選択信号が印加されている間一時的にオン状態となり、この時データ線から階調信号が画素容量に印加される。これにより、画素電極と対向対向電極との間に電圧差が生じ、次のフレーム期間で再び選択信号が印加されるまで、この電圧差が保持される。この動作により、印加電圧の実効値で光の透過率（以下、単に表示輝度と呼ぶ）が変化するマトリクス型液晶表示装置において、各画素の表示輝度を個別に制御することができる。なお、この駆動方法においては、液晶の劣化を防止する目的で、次のフレーム期間で印加する階調信号は、ある基準電圧を中心に反転したレベルとする。以下、このフレーム毎の極性反転の動作を、単に交流化と呼ぶ。また、本液晶表示装置を用いて4階調を表示する場合の液晶印加電圧の例を図2に示す。

【0003】

前記した従来の技術によれば、例えば表示する画像が静止画であっても、常に表示データを液晶表示装置に入力する必要がある。また、交流化を実現するため、選択信号と階調信号は、少なくともフレーム毎に1回は変化させる必要がある。これらの動作に多くの電力を消費していた。この点を改善する液晶表示装置として、各画素に表示データを保持するメモリ手段と、保持されたデータに応じてスイッチングを制御するスイッチ手段を具備すると共に、対向電極に交流波形を印加するものが、特開平9-258168号公報、特開平11-2797号公報に開示されている。この装置によれば、例えば静止画を表示する場合、メモリ手段がデータを保持する時間、表示データを入力する必要がなく、また、走査線とデータ線に印加する電圧も変化させる必要がない。一方、交流化は、表示データの入力等とは非同期に実現することができる。

10

【0004】

【発明が解決しようとする課題】

上記従来技術は、表示データの含む階調情報量が増加するに伴い、画素に接続する表示データの配線本数が増加し、回路が複雑化する課題がある。例えば、表示データが1画素あたり2階調(=2の1乗)の情報を含む場合、配線本数は1画素当たり1本で良いが、64階調(=2の6乗)の場合には、1画素当たり6本必要となる。

【0005】

本発明の目的は、マトリクス型の液晶表示装置において、表示データの含む階調情報量が増加しても、画素に接続する配線本数を少なく抑えることができる液晶表示装置を提供することにある。

20

【0006】

また、本発明の他の目的は、マトリクス型の液晶表示装置において、低消費電力にて多階調表示装置を提供することをににある。

【0007】

【課題を解決するための手段】

前記した課題である、画素に接続する配線本数を少なく抑えるためには、従来の技術と同様、階調情報を多レベルの階調信号に変換し、この階調信号を各画素に入力することが望ましい。これにより、1本の配線で多値の階調情報を入力することが可能になる。また、この階調信号を保持するメモリ手段を画素内部に設ける。これにより、画素に接続する配線本数を少なく押さえることができる。また、メモリ手段が表示データ(階調信号)を保持する時間、外部からの信号入力や、走査線とデータ線への電圧印加が不用となる。

30

【0008】

次に、保持した階調信号を、交流の液晶印加電圧に変換する手段として、パルス電圧への変換を図ることにした。この理由は、パルス幅制御を用いることにより、2値の電圧レベル(交流を含むと3値)で液晶印加電圧の実効値を制御できるため、回路が簡略化できることによる。例えば、先の図2に示した各階調毎の液晶印加電圧波形は、図3に示す交流パルス波形と、電圧実効値の点において等価である。したがって、印加電圧の実効値で表示輝度が変化する液晶にとっては、どちらの波形を印加しても同じ表示輝度が得られる。

【0009】

そこで本発明の液晶表示装置では、図4に示すように、まず表示データの持つ階調情報を階調信号Dに変換する手段を設け、この階調信号Dを画素に入力することにした。そして、画素内部には、階調信号Dを保持するメモリ手段、保持された階調信号Dを2値のパルス信号SPに変換する手段、2値のパルス信号SPの“ハイ”と“ロー”を基に交流パルス信号SACPを生成する手段をそれぞれ設け、この交流パルス信号SACPを液晶に印加することにした。より具体的には、図5に示すように、メモリ手段で保持された階調信号Dの電圧レベルにスイープ信号の電圧レベルを加算し、これをメモリ信号SMとして、次段のスイッチ手段の制御信号とした。これにより、スイッチ手段がハイとローを出力するパルスの時間幅を、階調信号Dのレベルによって制御することができる。さらに、このスイッチ手段が出力するパルス信号SPを、次段のスイッチ手段の制御信号とした。これにより、スイッチ手段が交流信号またはセンタ電圧を出力する時間幅を、パルス信号SP

40

50

によって制御することができる。以上の動作により、画素内で保持した階調信号 D を、図 3 に示した交流のパルス波形に変換することが可能となる。

【 0 0 1 0 】

本発明の液晶表示装置によれば、表示データが含む階調情報量が増加しても、この情報を伝達するための配線は 1 本で済み、また、画素内部も 1 個のメモリ手段と 2 個のスイッチ手段で構成できる。

【 0 0 1 1 】

【 発明の実施の形態 】

以下、本発明第 1 の実施の形態を、図 1 および図 6 ~ 2 7 を用いて説明する。図 1 は本発明第 1 の実施の形態に係るマトリクス型液晶表示装置における、 m 行 n 列番目の画素の構成を示す図である。画素 1 0 1 は、例えば 1 個の容量 1 0 2、5 個の N 型 MOS トランジスタ 1 0 3 ~ 1 0 7、1 個の P 型 MOS トランジスタ 1 0 8、画素電極 1 0 9、及び液晶層を介して画素電極 1 0 9 と対向側にある対向電極 1 1 0 から構成さる。また、画素に入力する信号は、Y 選択信号 Y_m 、X 選択信号 X_n 、階調信号 D_n 、スweep 信号 S_B 、交流信号 S_{AC} であり、画素に入力する電圧は、ハイ電圧 V_H 、ロー電圧 V_L 、センタ電圧 V_C である。これらの接続については、図 1 に示す通りである。

【 0 0 1 2 】

次に、先の図 3 で示した、階調 2 の液晶印加電圧波形を生成する場合を例にとり、図 6 ~ 図 8 を用いて画素 1 0 1 の動作を説明する。図 6 は画素入力信号群のタイミングチャートである。まず、スweep 信号 S_B は、交流化周期 T に同期とした階段状の波形であり、始めの $(T/9)$ 時間は 2β 、次の $(3T/9)$ 時間は β 、最後の $(5T/9)$ 時間は GND レベルに遷移する。ここで、電圧 2β のレベルはロー電圧 V_L よりも $(\beta/2)$ 分低いものとする。

【 0 0 1 3 】

次に、Y 選択信号 Y_m は、通常は GND レベルであり、画素に階調情報を書き込むタイミングで波高値 y の選択オン電圧 V_G に遷移する、いわゆるパルス波形である。同様に、X 選択信号 X_n も通常は GND レベルであり、画素に階調情報を書き込むタイミングで波高値 y の選択オン電圧 V_G に遷移する。なお、選択オン電圧 V_G のレベルは、ハイ電圧 V_H よりも高い。

【 0 0 1 4 】

次に、階調信号 D_n は、通常は GND レベルであり、画素に階調情報を書き込むタイミングでは、スweep 信号 S_B の電圧レベルに対し、階調情報に応じた電圧を加算した電圧レベルに遷移する。階調情報と加算する電圧レベルの関係については、図 7 に示す通りである。 D_n 線に印加する階調信号は、MPU の命令でシステムバスから転送される、複数ビットの階調情報を持つ表示データが表す階調情報を、図 7 に示した関係に基づき電圧レベルに変換したものである。なお、本説明は階調 2 を表示する例であり、また画素に階調情報を書き込むタイミングにおいて、スweep 信号 S_B の電圧レベルが GND レベルであることから、この時の階調信号 D_n の電圧レベルは 2β となる。

【 0 0 1 5 】

これらの電圧を画素 1 0 1 へ入力すると、まず、Y 選択信号 Y_m および X 選択信号 X_n が選択オン電圧 V_G に遷移するタイミングで、N 型 MOS トランジスタ 1 0 3 と 1 0 4 がオン状態となる。この時、階調信号 D_n が容量 1 0 2 へ書き込まれ、スweep 信号 S_B とメモリ信号 S_M 間に 2β の電位差が保持される。この動作により、N 型 MOS トランジスタ 1 0 3 または 1 0 4 がオフ状態となっても、メモリ信号 S_M は、スweep 信号 S_B に対して 2β 分電圧レベルの高い階段波形となる。

【 0 0 1 6 】

メモリ信号 S_M は、N 型 MOS トランジスタ 1 0 5 及び 1 0 6 の動作を制御する信号となり、その電圧レベルが V_L 以上であれば、N 型 MOS トランジスタ 1 0 6 がオン状態となり、パルス信号 S_P はロー電圧 V_L となる。反対に電圧レベルが V_L 以下であれば、N 型 MOS トランジスタ 1 0 6 はオフ状態となり、パルス信号 S_P はハイ電圧 V_H となる。

10

20

30

40

50

なお、図 6 の例において、パルス信号 $S P$ は、画素への階調情報の書込みが終了した次の周期から、最初の $(4 T / 9)$ 時間はロー電圧 $V L$ 、残りの $(5 T / 9)$ 時間はハイ電圧 $V H$ となり、この遷移を繰り返す。

【 0 0 1 7 】

パルス信号 $S P$ は、N 型 MOS トランジスタ 1 0 7 及び P 型トランジスタ 1 0 8 で構成されたセレクトスイッチ回路の動作を制御する信号となり、その電圧レベルがロー電圧の時、N 型 MOS トランジスタが 1 0 7 がオフ状態、P 型 MOS トランジスタ 1 0 8 がオン状態となり、交流パルス信号 $S A C P$ は交流信号 $S A C$ となる。反対にパルス信号 $S P$ がハイ電圧の時、N 型 MOS トランジスタが 1 0 7 がオン状態、P 型 MOS トランジスタ 1 0 8 がオフ状態となり、交流パルス信号 $S P A C$ はセンタ電圧 $V C$ となる。なお、図 6 の例において、交流パルス信号 $S A C P$ は、画素への階調情報の書込みが終了した次の周期から、最初の $(4 T / 9)$ 時間は交流信号 $S A C$ 、残りの $(5 T / 9)$ 時間はセンタ電圧 $V C$ となり、この遷移を繰り返す。なお、センタ電圧 $V C$ の電圧レベルは、ハイ電圧 $V H$ とロー電圧 $V L$ の中間レベルである。また、交流信号 $S A C$ の電圧振幅はセンタ電圧 $V C$ を中心にそれぞれ α であり、これらはハイ電圧 $V H$ とロー電圧の範囲内である。

【 0 0 1 8 】

ここで、対向電極 1 1 0 に印加する電圧レベルはセンタ電圧 $V C$ であることから、液晶印加電圧波形は、交流パルス信号 $S A C P$ とセンタ電圧 $V C$ の電圧差、すわわち 0 V を中心にした交流のパルス波形となる。これは先の図 3 で示した、階調 2 の液晶印加電圧波形と同じであることが判る。

【 0 0 1 9 】

なお、各入力信号の電圧レベルについては、前記した動作説明で逐次述べたが、これらの関係を図 8 にまとめて示す。

【 0 0 2 0 】

次に、本発明の画素 1 0 1 をマトリクス状に配置し、個々の画素に表示データに対応した表示輝度を与える動作について、図 9 ~ 図 1 1 を用いて説明する。図 9 は、画素 1 0 1 をマトリクス状に配置した画素群 9 0 1 に対する、入力信号群との接続を示したものである。図 9 において、Y 選択信号は横方向の画素に共通の信号として入力され、X 選択信号及び階調信号 D は縦方向の画素に共通の信号として入力される。また、他の入力信号であるスイープ信号 $S B$ 、交流信号 $S A C$ 、及び入力電圧であるハイ電圧 $V H$ 、ロー電圧 $V L$ 、センタ電圧 $V C$ は、全画素共通である。なお、各画素の内部構成は先に示した画素 1 0 1 の構成と同じであり、また、対向電極 1 1 0 は全画素共通のべた電極であり、センタ電圧 $V C$ が入力される。

【 0 0 2 1 】

ここで、図 1 0 に示すように、画素群 9 0 1 のある一部分 (Y 選択信号 $Y 0 \sim Y 2$ と X 選択信号 $X 0 \sim X 2$ が入力される画素) において、以下に示す 4 つの画素に順番に表示輝度を与える動作を説明する。

【 0 0 2 2 】

画素 A : Y 選択信号 $Y 0$ と X 選択信号 $X 0$ の交点 (階調 3)、
画素 B : Y 選択信号 $Y 2$ と X 選択信号 $X 2$ の交点 (階調 1)、
画素 C : Y 選択信号 $Y 0$ と X 選択信号 $X 1$ の交点 (階調 0)、
画素 D : Y 選択信号 $Y 1$ と X 選択信号 $X 1$ の交点 (階調 2)

図 1 1 は Y 選択信号 $Y 0 \sim Y 2$ と X 選択信号 $X 0 \sim X 2$ 、及び階調信号 $D 0 \sim D 2$ のタイミングチャートである。図 1 1 において、まず画素 A を選択するため、Y 選択信号 $Y 0$ と X 選択信号 $X 0$ が選択オン電圧 $V G$ に遷移し、このタイミングで階調信号 $D 0$ は点線で示したスイープ信号 $S B$ に対して 3β 高い電圧レベルに遷移する。次に、画素 B を選択するため、 $Y 2$ と $X 2$ が選択オン電圧 $V G$ に遷移し、このタイミングで $D 2$ はスイープ信号 $S B$ に対して β 高い電圧レベルに遷移する。同様に、画素 C を選択するため、 $Y 0$ と $X 1$ が選択オン電圧 $V G$ に遷移し、このタイミングで $D 1$ はスイープ信号 $S B$ と同じ電圧レベルに遷移する。最後に、画素 D を選択するため、 $Y 1$ と $X 1$ が選択オン電圧 $V G$ に遷移し、

10

20

30

40

50

このタイミングでD 1はスイープ信号S Bに対して 2β 高い電圧レベルに遷移する。

【0023】

以上の動作により、画素A～画素Dには、それぞれ所望の階調情報に対応した信号レベルが個々に書き込まれ、これを先に説明した階調情報に対応した時間幅の交流パルス信号SACPに変換する。したがって、画素群901における所望の画素に対し、所望の表示輝度を与えることが可能である。

【0024】

次に、前記した入力信号群を生成する駆動手段を含む、液晶モジュールの構成と動作について、図12～図20を用いて説明する。図12は液晶モジュール1201の構成を示すブロック図であり、1202は駆動電圧生成部、1203はY選択信号生成部、1204はX選択信号生成部及び階調信号生成部である。また、液晶モジュール1201に入力する信号群は、表示データ、アドレス、イネーブル、システム電圧、GNDである。

【0025】

まずはじめに、駆動電圧生成部1202の構成と動作について説明する。図13は駆動電圧生成部1202の構成を示すブロック図であり、基準電圧生成部1301、動作周期制御部1302、交流信号生成部1303、スイープ信号生成部1304から構成される。基準電圧生成部1301は、選択オン電圧VG、ハイ電圧VH、センタVC、ロー電圧VLを生成するブロックであり、図8で示した電圧レベルの関係となるように、各基準電圧を生成する。これは、例えば図14に示すように、まずシステム電圧を昇圧して選択オン電圧VGを生成し、その他の電圧レベルを、選択オン電圧VGとGNDレベルを抵抗分割することで生成可能である。次に、動作周期生成部1302は、図15に示すように、発振器1501、及び発振器の出力するクロック信号をカウントするカウンタ1502から構成される。ここで、発振器1502の出力するクロック信号の周期は、交流化周期Tの $(1/9)$ であり、0～17を繰り返しカウントする18進カウンタとする。交流信号生成部1303は、図15に示すように、分圧回路1503、カウントデコーダ1504、および分圧回路の出力をカウントデコーダの出力で選択するスイッチ1505から構成される。分圧回路1503はハイ電圧VHとロー電圧VLを分圧し、交流信号SACの電圧振幅である $+\alpha$ と $-\alpha$ の電圧レベルを出力する。カウントデコーダ1504は、カウンタ1502の出力をデコードしてスイッチ1505の制御信号を出力する。具体的には、カウンタ値が0～8の場合には“0”、9～17の場合には“1”を出力する。スイッチ1505は、制御信号が“0”の場合には $-\alpha$ の電圧、“1”の場合には $+\alpha$ の電圧を選択し、交流信号SACとして出力する。以上の動作により、交流信号SACは、図6に示した周期T毎に電圧レベルが $+\alpha$ 、 $-\alpha$ に遷移する信号波形となる。次に、スイープ信号生成部1304は、図16に示すように、分圧回路1601、カウントデコーダ1602、スイッチ1603、加算器1604から構成される。分圧回路1601は、ハイ電圧VHとGNDを分圧し、スイープ信号SBの基になる β 、 2β 、 3β の電圧レベルを出力する。カウントデコーダ1602は、カウンタ1502の出力をデコードしてスイッチ1603の制御信号を出力する。具体的には、カウンタ値が0または9の場合には“0”、1～3または10～12の場合には“1”、4～8または13～17の場合には“2”を出力する。スイッチ1603は、制御信号が“0”の場合には 2β 、“1”の場合には β 、“2”の場合にはGNDの電圧を選択し、スイープ信号SBとして出力する。以上の動作により、スイープ信号SBは、図6に示したように、周期Tにおけるはじめの $(T/9)$ 時間は 2β 、次の $(3T/9)$ 時間は β 、最後の $(5T/9)$ 時間はGNDレベルに遷移する信号波形となる。また、加算器1604は、スイープ信号SBに β 、 2β 、 3β の電圧レベルをそれぞれ加算し、 $SB+\beta$ 、 $SB+2\beta$ 、 $SB+3\beta$ として出力する。なお、これらの信号は、階調信号Dを生成するための信号として使用される。

【0026】

次に、Y選択信号生成部1203の構成と動作について説明する。Y選択信号生成部1203は、図17に示すように、Yアドレスデコーダ1701と、選択信号セクタ1702から構成され、入力信号はYアドレス、イネーブル、入力電圧は選択オン電圧VG、G

10

20

30

40

50

N Dである。Y アドレスデコーダ1701は、図19に示すように、イネーブル信号が“ハイ”の時、Y アドレス信号で指定されたラインが“ハイ”となるAY信号を出力する。そして、選択信号セクタ1702は、AY信号が“ハイ”を出力するラインの電圧レベルを選択オン電圧VG、それ以外のラインの電圧レベルをGNDに遷移させ、Y選択信号として出力する。なお、図19は先の図11に示した、Y選択信号Y0~Y2の動作を実現するための、Yアドレスとイネーブルの入力を示しており、Yアドレスの00h、01h、02hは、それぞれY選択信号Y0、Y1、Y2を選択するためのアドレスを意味する。

【0027】

次に、X選択信号生成部及び階調信号生成部1204の構成と動作について説明する。X選択信号生成部及び階調信号生成部1204は、図18に示すように、Xアドレスデコーダ1801、選択信号セクタ1802、データ信号セクタ1803から構成され、入力信号はXアドレス、イネーブル、表示データ、およびスweep電圧SB、 $SB + \beta$ 、 $SB + 2\beta$ 、 $SB + 3\beta$ であり、入力電圧は選択オン電圧VG、GNDである。まず、Xアドレスデコーダ1801は、図20に示すように、イネーブル信号が“ハイ”の時、Xアドレス信号で指定されたラインが“ハイ”となるAX信号を出力する。そして選択信号セクタ1802は、AX信号が“ハイ”を出力するラインの電圧レベルを選択オン電圧VG、それ以外のラインの電圧レベルをGNDに遷移させ、X選択信号として出力する。一方、データ信号セクタ1803は、AX信号が“ハイ”を出力するラインに対し、表示データの値に応じSB、 $SB + \beta$ 、 $SB + 2\beta$ 、 $SB + 3\beta$ の電圧レベルから1レベルを選択し、それ以外のラインはGNDに遷移させ、階調信号Dとして出力する。なお、表示データと階調信号Dとの選択の関係は、図7に示した階調データと階調信号Dの関係と等しい。また、図20は先の図11に示した、X選択信号X0~X2及び階調信号D0~D2の動作を実現するための、アドレスとイネーブルの入力を示しており、Xアドレスの00h、01h、02hは、それぞれX選択信号X0、X1、X2を選択するためのアドレスを意味する。

【0028】

以上の動作により、液晶モジュール1201は、アドレス、イネーブル信号、表示データを入力することにより、メモリ機能を具備した所望の画素に、所望の表示輝度を与えることが可能となる。

【0029】

次に、前記したアドレス、イネーブル信号、表示データを生成し、液晶モジュール1201へ出力する、液晶コントローラの構成と動作について、図21~図26を用いて説明する。図21は液晶コントローラ2101の構成を示すブロック図であり、2102はシステムインタフェース、2103はコマンドデコーダ、2104は制御レジスタ、2105はリード制御部、2106はメモリ制御部、2107は表示メモリである。また、液晶コントローラ2101に入力する制御信号群は、液晶を表示装置に持つ装置全体のシステムバスから供給されるものとする。表示の書き換えは、全てMPUによって制御されており、書き換え命令が実行されると、システムバスから書き換え部分の情報（アドレスとデータ）が液晶コントローラに転送される。システムバスから供給される制御信号群の転送のフォーマットは、いわゆる68系MPUのバスインタフェースに準拠している。つまり、液晶コントローラ2101は、表示データの変化した情報をMPUから受け取ることとなる。より具体的には、MPUは各画素毎に1フレーム前と現在のフレームとで階調が異なる場合、階調を表す表示データを液晶コントローラ2101に転送し、階調が変化しない画素については表示データを転送しない。本発明の液晶表示装置においては、各画素について階調が変化しない期間（リフレッシュ動作を除く）、書く画素毎に配置されたメモリ手段（容量102）が、階調信号に対応した電圧レベルを保持できるので、静止画や動きの少ない動画については、各フレーム毎に全ての画素に階調電圧を印加させる必要がなく低消費電力を実現できる。

【0030】

図 2 2 に示す 6 種類の制御信号 C S、A D S、M R S、E、R W、D A T A で構成され、各信号の意味は図 2 2 に記載した通りである。これらの信号はシステムインタフェース 2 1 0 2 を経由し、コマンドデコーダ 2 1 0 3 へ入力される。

【 0 0 3 1 】

コマンドデコーダ 2 1 0 3 は、入力される制御信号群の情報から、入力される D A T A がレジスタデータ、表示データ、またはそれらのアドレスかを判別し、図 2 3 に示すように、ライドアドレスである W A D D 信号、ライトデータである W D A T A 信号、メモリ用のライトイネーブルである W E _ A 信号、レジスタ用のライトイネーブルである W E _ B 信号を、それぞれ E 信号の “ ハイ ” に同期して出力する。なお、W A D D 信号が表示データのアドレスである場合、1 6 ビット中の上位 8 ビットは前記 Y アドレス、下位 8 ビットは X アドレスを意味する。

10

【 0 0 3 2 】

制御レジスタ 2 1 0 4 は、前記信号の中から、W A D D 信号、W D A T A 信号、W E _ B 信号を受け、W A D D 信号で指定されたアドレスに、W D A T A 信号のデータを、W E _ B 信号の “ ハイ ” に同期して格納する。なお、格納されたレジスタデータは、液晶コントローラ 2 1 0 1 を制御するための信号群となるが、これらの動作説明については、ここでは省略する。

【 0 0 3 3 】

次に、リード制御部 2 1 0 5 は、表示メモリ 2 1 0 7 の読出しを制御するブロックであり、リードアドレス R A D D 信号と、リードイネーブル R E 信号を生成して出力する。具体的には、例えば図 2 4 に示すように、表示読出し期間において、R A D D 信号は 0 0 0 0 h から順にインクリメントし、この間 R E 信号は “ ハイ ” に遷移する。そして、1 画面分の表示データのアドレス全てが指定されると、インクリメントが停止し、R E 信号が “ ロー ” に遷移する。この一連の動作を間欠的に繰り返す。なお、表示データの読出し期間であっても、ライトイネーブルである W E _ A 信号が “ ハイ ” の場合には、アドレスのインクリメントは停止し、R E 信号も “ ロー ” に遷移する。また、1 6 ビットの R A D D 信号の内、上位 8 ビットは Y アドレス、下位 8 ビットは X アドレスを意味する。

20

【 0 0 3 4 】

次にメモリ制御部 2 1 0 6 は、表示メモリ 2 1 0 7 の書込み、読出しを制御する部分であり、図 2 5 に示すように、W E _ A 信号が “ ハイ ” の時にはライト用、W E _ A 信号が “ ロー ” の時にはリード用の、アドレス、データ、イネーブル信号を選択し、それぞれ M A D D 信号、M D A T A 信号、M R E 信号、M W E 信号として、表示メモリ 2 1 0 7 へ出力する。またこれとは別に、前記したアドレス、表示データ、イネーブルは、液晶モジュール 1 2 0 1 へ、表示データ、アドレス、イネーブルとして出力される。ここで、表示データは M P U の命令でシステムバスから転送される、複数ビットの階調情報を持つデータであり、液晶モジュール 1 2 0 1 において、この階調情報に応じた電圧レベルとして D n 線に印加されるものとなる。なお、イネーブルと表示データの出力タイミングを模式的に示すと、図 2 6 のようになり、ある周期で 1 画面分の表示データが間欠的に出力され、書換える必要が発生した部分の表示データは、この周期とは関係に随時出力される。なお、ある周期で 1 画面分の表示データを間欠的に出力する理由は、画素 1 0 1 内の容量 1 0 2 に蓄積された電荷のリークを考慮し、電荷をリチャージするためである。この周期の求め方の指針としては、まず、リークによるメモリ信号 S M の電圧降下量が $(\beta / 2)$ 以上になると、隣接の階調であると誤認され、これに応じたパルス信号 S P が生成されてしまう。したがって、メモリ信号 S M の電圧降下量が $(\beta / 2)$ になる前に表示データを転送し、リチャージを行う必要がある。具体的な数値で考えると、例えば $(\beta / 2)$ が 1 V、容量 1 0 2 が 1 p F、リーク電流が 0 . 1 p A の場合、 $(\beta / 2)$ 電圧の放電時間は 1 0 秒となるため、この周期で表示データを転送すればよい。これは、従来技術の転送周期である $(1 / 60)$ 秒と比較して 6 0 0 倍も長い。

30

40

【 0 0 3 5 】

以上述べた、液晶コントローラ 2 1 0 1 の構成と動作により、システムバスから供給され

50

る制御信号群から、先に示した液晶モジュール 1201 の入力信号を生成することが実現可能である。

【0036】

以上、本発明第 1 の実施の形態に係る液晶モジュール 1201 は、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、Y 選択信号、X 選択信号、及び階調信号 D を変化させる必要がなく、また、交流化は、表示データの入力等とは非同期に実現できる。一方、本発明第 1 の実施の形態に係る液晶コントローラ 2101 は、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、表示データを出力する必要がない。したがって、従来の技術に比べて消費電力を低く抑えられる効果がある。

10

【0037】

また、本発明第 1 の実施の形態に係る液晶モジュール 1201 は、メモリ機能を画素部に具備すると共に、表示データの含む階調情報量が増加しても、表示データを伝達するための配線を 1 画素あたり 1 本に抑えることが可能であり、回路の複雑化を回避できる。したがって、低価格な液晶表示装置を提供することができる。

【0038】

なお、本発明第 1 の実施の形態に係る液晶モジュール 1201 と液晶コントローラ 2101 を用いたシステムの一例として、携帯電話のブロック構成を図 27 に示す。図 27 に示すように、全て周辺装置はシステムバスに接続され、これらは全て MPU で制御される。

【0039】

20

次に、本発明第 2 の実施の形態を図 28 ~ 31 を用いて説明する。まず、本発明第 1 の実施の形態では、交流化周期 T の中で、階調データに応じた時間、振幅 α の電圧を液晶に印加するが、この電圧印加時間は、例えば [階調データ / (階調数 - 1)] の 2 乗から求めることができる。この式を基に、階調数 8 及び 16 における、各階調データの電圧印加時間を求めると、図 28 に示すようになる。このように、本発明第 1 の実施の形態では、交流化周期 T を (階調数 - 1) の 2 乗で分割することから、階調データの値が小さい部分 (例えば階調データ 1) における電圧印加時間は、階調数の増加に伴い急激に短くなる。

【0040】

これに対し、本発明第 2 の実施の形態は、交流化周期 T を (階調数 - 1) で均等に分割し、階調データに応じた時間、液晶に電圧を印加する方法について述べる。

30

【0041】

まず、交流化周期 T を (階調数 - 1) で均等に分割した場合、振幅を α 固定にすると各階調毎の液晶印加電圧の実効値が指数的に変化する。このため、階調データと液晶印加電圧実効値 (表示輝度) のリニアリティが損なわれ、所望の表示輝度が得られない。そこで、振幅を α に固定するのではなく、分割された時間毎に振幅を変化させることを考えた。例えば、図 29 に示すような、分割時間毎に振幅が $\sqrt{(2/3)} \times \alpha$ ずつ増加する電圧波形と、パルス幅制御を組合せることで、先の図 3 に示した交流パルス波形と、各階調毎の液晶印加電圧実効値を等価にすることができる。一般的には、交流周期を T を (階調数 - 1) で分割する場合、パルス信号の振幅を、分割期間毎に $\sqrt{[2 / (階調数 - 1)]} \times \alpha$ ずつ増加させることで、階調データと表示輝度のリニアリティを得ることができる。

40

【0042】

なお、この動作を実現するためには、例えば図 30 に示すように、スweep信号 S B を、(T / 3) 毎に 2β から GND レベルに遷移する階段波形とし、階調信号 D n はこのスweep信号 S B を基に生成される波形とすれば良い。また、交流信号 S A C は、分割期間毎に、図 30 に示した電圧レベルに遷移する波形とすれば良い。これは液晶モジュール内に具備された駆動電圧生成部の回路を変更することで容易に実現可能である。

【0043】

以上述べた、本発明第 2 の実施の形態によれば、交流化周期 T を (階調数 - 1) で均等に分割する方法において、本発明第 1 の実施の形態と等しい階調データ - 表示輝度特性を得

50

ることができる。したがって、本発明第 1 の実施の形態と比べ、階調データの値が小さい部分（例えば階調データ 1）における液晶への電圧印加時間を長くすることが可能である。

【0044】

さらに、図 31 に示すように、交流化周期 T 毎にスイープ信号 S B の位相を反転させると、スイープ信号 S B の周波数を低減することができる。これにより、消費電力をより低減させることが可能である。

【0045】

次に本発明第 3 の実施の形態を、図 32 ~ 37 を用いて説明する。本発明第 3 の実施の形態は、画素内部のトランジスタ数を削減可能な、マトリクス型液晶表示装置について述べたものである。

10

【0046】

図 32 は、本発明第 3 の実施の形態に係るマトリクス型液晶表示装置における、m 行 n 列番目の画素の構成を示す図である。画素 3201 は、本発明第 1 及び第 2 の実施の形態に係る画素 101 と比較し、X 選択信号によって制御される N 型の MOS トランジスタが削除された構造となっており、残りの回路素子、および入力信号波形は、画素 101 と同じであり、同じ動作を行う。また図 33 は、画素 3201 をマトリクス状に配置した画素群 3301 に対する、入力信号群との接続を示したものであるが、これも、本発明第 1 及び第 2 の実施の形態に係る画素群 901 の構成と比較し、X 選択信号が削除された点以外は同じである。

20

【0047】

このように、本発明第 3 の実施の形態は、X 選択信号を用いることなく、個々の画素に対して所望の表示輝度を与えることを目的とする。ここで、X 選択信号がない場合、Y 選択信号が選択オン電圧に遷移したライン上の全て画素は、階調電圧 D が書き込まれる状態になる。そこで、Y 選択信号が選択オン電圧に遷移したライン上の画素に対しては、階調情報が変化する / しないによらず、一斉に階調電圧 D を印加する動作を行うことにした。

【0048】

この動作の一例として、先の図 10 で示した、4 つの画素に順番に表示輝度を与える場合を説明する。なお、図 10 において、変化なしと記載された画素は、全て階調 0 に対応した表示輝度が予め与えられているものとする。

30

【0049】

図 34 は Y 選択信号 Y0 ~ Y2 と階調信号 D0 ~ D2 のタイミングチャートである。図 34 において、まず画素 A を選択するため、Y 選択信号 Y0 が選択オン電圧 V_G に遷移する。この時 Y0 が印加されるライン上には下記の画素がある。

【0050】

画素 A (Y0 と D0 の交点：階調 3)

画素 C (Y0 と D1 の交点：階調 0)

変化無しの画素 (Y0 と D2 の交点：階調 0)

したがって、このタイミングで階調信号 D0 は点線で示したスイープ信号 S B に対して 3 β 高い電圧レベル、D1 及び D2 はスイープ信号 S B と同じ電圧レベルに遷移する。次に、画素 B を選択するため、Y2 が選択オン電圧 V_G に遷移し、同様にこのタイミングで、D2 はスイープ信号 S B に対して β 高い電圧レベル、D0 及び D1 はスイープ信号 S B と同じ電圧レベルに遷移する。同様に、画素 C を選択するため、Y0 が選択オン電圧 V_G に遷移し、このタイミングで D0 はスイープ信号 S B に対して 3 β 高い電圧レベル、D1 及び D2 はスイープ信号 S B と同じ電圧レベルに遷移する。最後に、画素 D を選択するため、Y1 が選択オン電圧 V_G に遷移し、このタイミングで D1 はスイープ信号 S B に対して 2 β 高い電圧レベル、D0 及び D2 はスイープ信号 S B と同じ電圧レベルに遷移する。

40

【0051】

以上の動作により、画素 A ~ 画素 D には、それぞれ所望の階調情報に対応した信号レベルが個々に書き込まれ、これを先に説明した階調情報に対応した時間幅の交流パルス信号 S

50

A C Pに変換する。したがって、画素群 3 3 0 1における所望の画素に対し、所望の表示輝度を与えることが可能である。

【 0 0 5 2 】

次に、前記した入力信号群を生成する駆動手段を含む、液晶モジュールの構成と動作について、図 3 5 ~ 図 3 7 を用いて説明する。図 3 5 は液晶モジュール 3 5 0 1 の構成を示すブロック図であり、階調信号生成部 3 5 0 2 以外は、本発明第 1 及び第 2 の実施の形態に係る液晶モジュール 1 2 0 1 の構成と同じであり、同じ動作を行う。また、液晶モジュール 3 5 0 1 に入力する信号群は、表示データ、リセット、クロック、イネーブル、Y アドレス、システム電圧、G N D である。以下、階調信号生成部 3 5 0 2 の構成と動作について説明する。

10

【 0 0 5 3 】

階調信号生成部 3 5 0 2 は、例えば図 3 6 に示すように、データラッチ 3 6 0 1、データ信号セクタ 3 6 0 2 から構成され、入力信号は表示データ、リセット、クロック、イネーブル、及びスイープ電圧 $S B$ 、 $S B + \beta$ 、 $S B + 2 \beta$ 、 $S B + 3 \beta$ である。まず、データラッチ 3 6 0 1 は、図 3 7 に示すように、リセットの“ハイ”に同期して初期化され、その後、クロックの立上りに同期して表示データを順次取り込み、これを $A D 0 \sim A D n$ として出力する。そしてデータ信号セクタ 3 6 0 2 は、イネーブルが“ハイ”の期間、表示データ $A D$ の値に応じ $S B$ 、 $S B + \beta$ 、 $S B + 2 \beta$ 、 $S B + 3 \beta$ の電圧レベルから 1 レベルを選択し、また“ロー”の期間は G N D を、階調信号 D として出力する。なお、表示データと階調信号 D との関係は、図 7 に示した階調データと階調信号 D の関係と等しい。このように、階調信号生成部 3 5 0 2 は、Y アドレスで選択されたライン上の全画素分の表示データを一旦取り込み、その後イネーブルに同期し、表示データを階調信号 D に変換して出力する動作を行う。

20

【 0 0 5 4 】

なお、前記した表示データ、リセット、クロック、イネーブル、及び Y アドレスを生成し、液晶モジュール 3 5 0 1 へ出力するための液晶コントローラは、先の図 2 1 で示した本発明第 1 及び第 2 の実施の形態に係る液晶コントローラ 2 1 0 1 の構成と動作を基に、若干の修正を加えることで実現可能である。この詳細については説明を省略するが、要はシステムバスから入力される表示データを表示メモリに書き込んだ後、この表示データを含むライン上の表示データを順次読み出し、同期クロックと共に出力すればよい。また、リセットとイネーブルについては、図 3 7 で示したように、1 ライン分の表示データを出力する前と後に、それぞれ“ハイ”を出力すればよい。

30

【 0 0 5 5 】

以上、本発明第 3 の実施の形態に係る液晶表示装置は、本発明第 1 及び第 2 の実施の形態と同様、従来の技術に比べて消費電力を低く抑えらる効果があるのに加え、画素内部のトランジスタ数が削減できることから、より低価格な液晶表示装置を提供することができる。なお、本発明第 3 の実施の形態の液晶表示装置に、本発明第 2 の実施の形態に係る信号波形を印加することは勿論可能であり、これにより、前記した効果と同じ効果を得ることができる。

【 0 0 5 6 】

40

なお、本発明の実施の形態においては、4 階調表示を例に説明したが、これに限定される訳ではない。例えばより多くの階調を表示するには、交流化周期 T の分割数を多くし、これに応じてスイープ信号 $S B$ のステップを細かくすることで、実現可能である。また、本発明の実施の形態においては、スイープ信号の波形を階段波形として説明したが、これに限定される訳ではない。

【 0 0 5 7 】

また、本発明の画素群は、ポリシリコン T F T 素子を用いて形成することが望ましく、これにより、高性能かつ低コストで製造することが可能である。さらに、周辺の信号生成部、駆動電圧生成部までを含む液晶モジュールを、ポリシリコン T F T 素子で一体形成しても良い。これにより、さらに製造コストを下げる事が可能である。

50

【 0 0 5 8 】

【 発明の効果 】

本発明によれば、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、Y選択信号、X選択信号、及び階調信号Dを変化させる必要がなく、また、交流化は、表示データの入力等とは非同期に実現できる。一方、液晶コントローラは、画素部に設けたメモリ手段がデータを保持する時間、表示データを出力する必要がない。したがって、従来の技術に比べて消費電力を低く抑えられる効果がある。

【 0 0 5 9 】

また、表示データの含む階調情報量が増加しても、表示データを伝達するための配線を1画素あたり1本に抑えることが可能であり、回路の複雑化を回避でき、低価格な液晶表示装置を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明第1の実施の形態に係わる、画素101の構造を示す図である。

【 図 2 】 従来の液晶表示装置における、液晶印加電圧波形を示すタイミングチャートである。

【 図 3 】 本発明第1の実施の形態に係わる、液晶印加電圧波形を示すタイミングチャートである。

【 図 4 】 本発明第1の実施の形態に係わる、画素の構造を示す図である。

【 図 5 】 本発明第1の実施の形態に係わる、画素の構造を示す図である。

【 図 6 】 本発明第1の実施の形態に係わる、画素101の動作を示すタイミングチャートである。

【 図 7 】 本発明第1の実施の形態に係わる、表示データと階調信号との関係を示す図である。

【 図 8 】 本発明第1の実施の形態に係わる、画素101の入力信号の電位関係を示す図である。

【 図 9 】 本発明第1の実施の形態に係わる、画素群901の構造を示す図である。

【 図 10 】 本発明第1の実施の形態に係わる、画素群901の表示情報を示す図である。

【 図 11 】 本発明第1の実施の形態に係わる、画素群901の入力信号のタイミングチャートである。

【 図 12 】 本発明第1の実施の形態に係わる、液晶モジュール1201の構成を示す図である。

【 図 13 】 本発明第1の実施の形態に係わる、駆動電圧生成部1202の構成を示す図である。

【 図 14 】 本発明第1の実施の形態に係わる、基準電圧生成部1301の構成を示す図である。

【 図 15 】 本発明第1の実施の形態に係わる、動作周期制御部1302及び交流信号生成部1303の構成を示す図である。

【 図 16 】 本発明第1の実施の形態に係わる、スweep信号生成部1304の構成を示す図である。

【 図 17 】 本発明第1の実施の形態に係わる、Y選択信号生成部1203の構成を示す図である。

【 図 18 】 本発明第1の実施の形態に係わる、X選択信号生成部及び階調信号生成部1204の構成を示す図である。

【 図 19 】 本発明第1の実施の形態に係わる、Y選択信号生成部1203の動作を示すタイミングチャートである。

【 図 20 】 本発明第1の実施の形態に係わる、X選択信号生成部及び階調信号生成部1204の動作を示すタイミングチャートである。

【 図 21 】 本発明第1の実施の形態に係わる、液晶コントローラ2101の構成を示す図である。

【 図 22 】 本発明第1の実施の形態に係わる、制御信号群の構成を示す図である。

10

20

30

40

50

【図 2 3】本発明第 1 の実施の形態に係わる、コマンドデコーダ 2 1 0 3 の動作を示すタイミングチャートである。

【図 2 4】本発明第 1 の実施の形態に係わる、リード制御部 2 1 0 5 の動作を示すタイミングチャートである。

【図 2 5】本発明第 1 の実施の形態に係わる、メモリ制御部 2 1 0 6 の動作を示す図である。

【図 2 6】本発明第 1 の実施の形態に係わる、液晶コントローラ 2 1 0 1 の出力信号のタイミングチャートである。

【図 2 7】本発明第 1 の実施の形態に係わる、携帯電話のシステム構成を示す図である。

【図 2 8】本発明第 1 の実施の形態に係わる、階調データと電圧印加時間の関係を示す図である。 10

【図 2 9】本発明第 2 の実施の形態に係わる、液晶印加電圧波形を示すタイミングチャートである。

【図 3 0】本発明第 2 の実施の形態に係わる、画素 1 0 1 の動作を示すタイミングチャートである。

【図 3 1】本発明第 2 の実施の形態に係わる、画素 1 0 1 の動作を示すタイミングチャートである。

【図 3 2】本発明第 3 の実施の形態に係わる、画素 3 2 0 1 の構造を示す図である。

【図 3 3】本発明第 3 の実施の形態に係わる、画素群 3 3 0 1 の構造を示す図である。

【図 3 4】本発明第 3 の実施の形態に係わる、画素群 3 3 0 1 の入力信号のタイミングチャートである。 20

【図 3 5】本発明第 3 の実施の形態に係わる、液晶モジュール 3 5 0 1 の構成を示す図である。

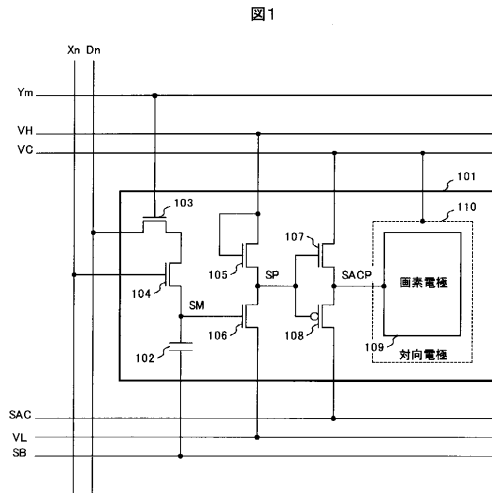
【図 3 6】本発明第 3 の実施の形態に係わる、階調信号生成部 3 5 0 2 の構成を示す図である。

【図 3 7】本発明第 3 の実施の形態に係わる、階調信号生成部 3 5 0 2 の動作を示すタイミングチャートである。

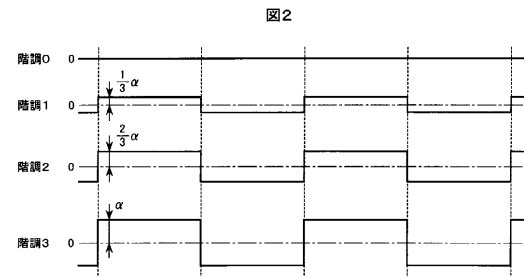
【符号の説明】

1 0 1 ... 画素、1 0 2 ... 容量、1 0 3 ~ 1 0 7 ... N 型 MOS トランジスタ、1 0 8 ... P 型 MOS トランジスタ、1 0 9 ... 画素電極、1 1 0 ... 対向電極、9 0 1 ... 画素群、1 2 0 1 ... 液晶モジュール、1 2 0 2 ... 駆動電圧生成部、1 2 0 3 ... Y 選択信号生成部、1 2 0 4 ... X 選択信号生成部及び階調信号生成部、1 3 0 1 ... 基準電圧生成部、1 3 0 2 ... 動作周期制御部、1 3 0 3 ... 個閏信号生成部、1 3 0 4 ... スイープ信号生成部、1 5 0 1 ... 発振器、1 5 0 2 ... カウンタ、1 5 0 3 ... 分圧回路、1 5 0 4 ... カウントデコーダ、1 5 0 5 ... スイッチ、1 6 0 1 ... 分圧回路、1 6 0 2 ... カウントデコーダ、1 6 0 3 ... スイッチ、1 6 0 4 ... 加算器、1 7 0 1 ... Y アドレスデコーダ、1 7 0 2 ... 選択信号セレクタ、1 8 0 1 ... X アドレスデコーダ、1 8 0 2 ... 選択信号セレクタ、1 8 0 3 ... データ信号セレクタ、2 1 0 1 ... 液晶コントローラ、2 1 0 2 ... システムインタフェース、2 1 0 3 ... コマンドデコーダ、2 1 0 4 ... 制御レジスタ、2 1 0 5 ... リード制御部、2 1 0 6 ... メモリ制御部、2 1 0 7 ... 表示メモリ、3 2 0 1 ... 画素、3 3 0 1 ... 画素群、3 5 0 1 ... 液晶モジュール、3 5 0 2 ... 階調信号生成部、3 6 0 1 ... データラッチ、3 6 0 2 ... データ信号セレクタ 40

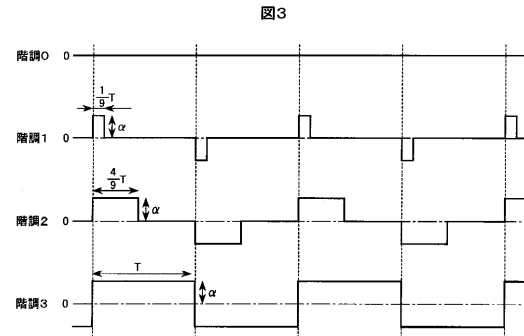
【図 1】



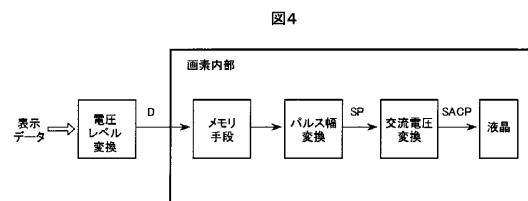
【図 2】



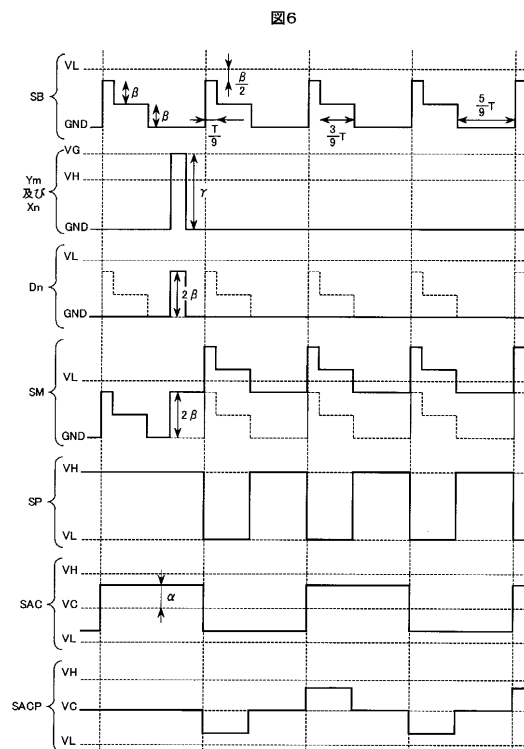
【図 3】



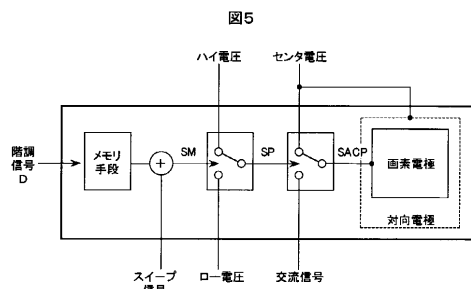
【図 4】



【図 6】



【図 5】



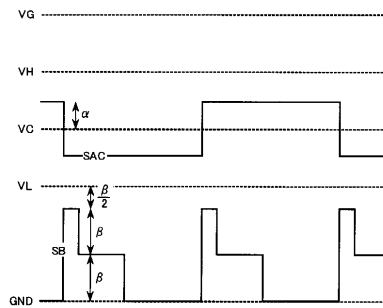
【図 7】

図7

	階調0	階調1	階調2	階調3
階調信号 Dnの 電圧レベル	VB	$VB + \beta$	$VB + 2\beta$	$VB + 3\beta$

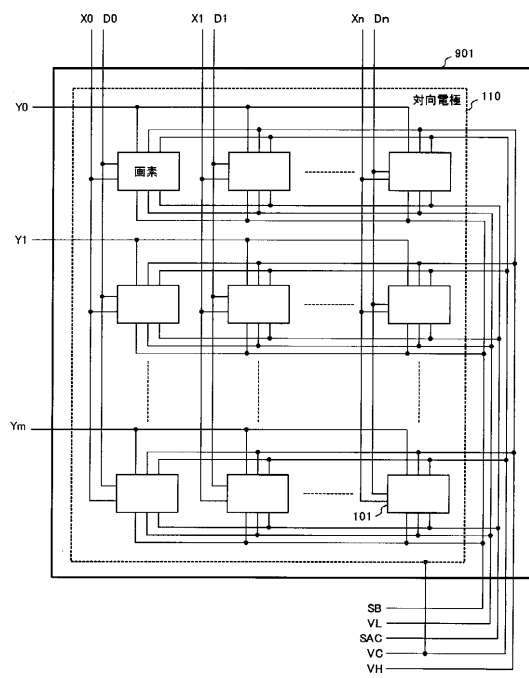
【図 8】

図8



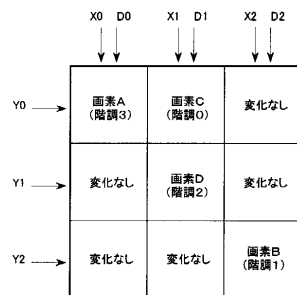
【図 9】

図9



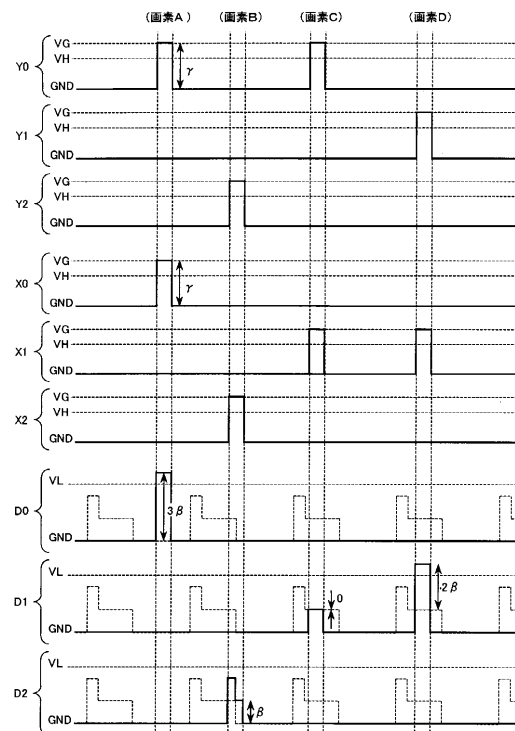
【図 10】

図10

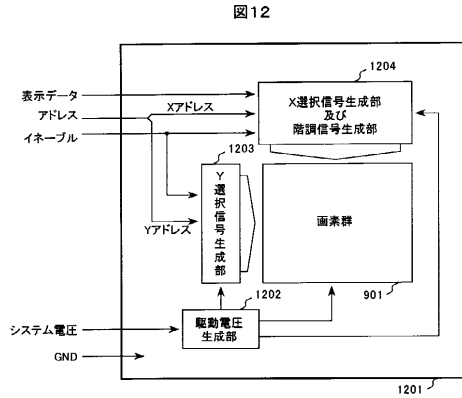


【図 11】

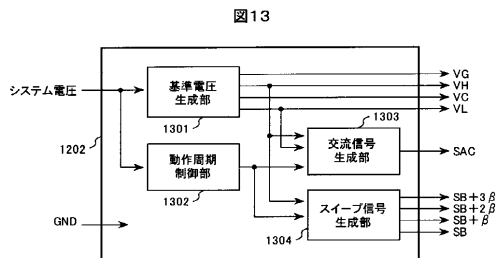
図11



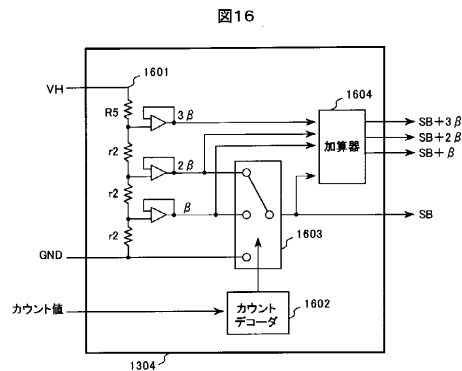
【図 1 2】



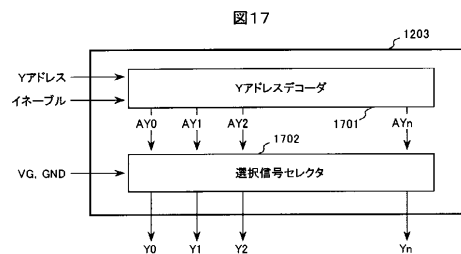
【図 1 3】



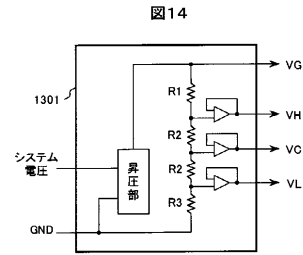
【図 1 6】



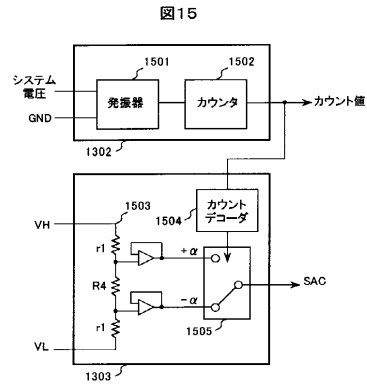
【図 1 7】



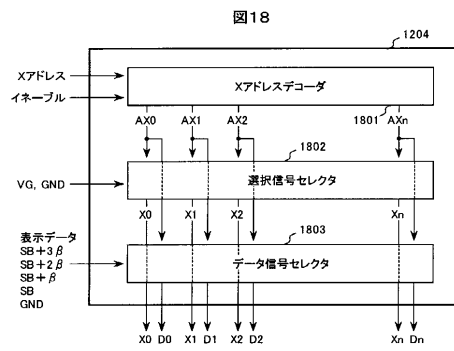
【図 1 4】



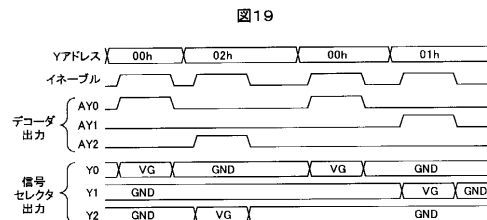
【図 1 5】



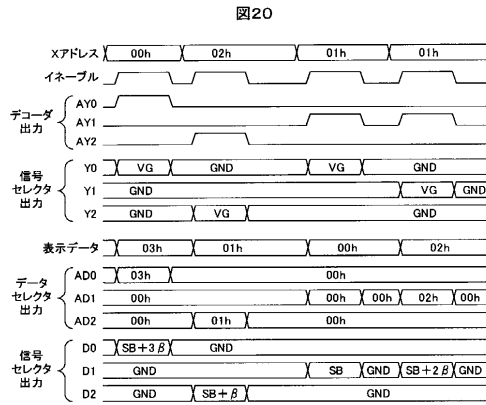
【図 1 8】



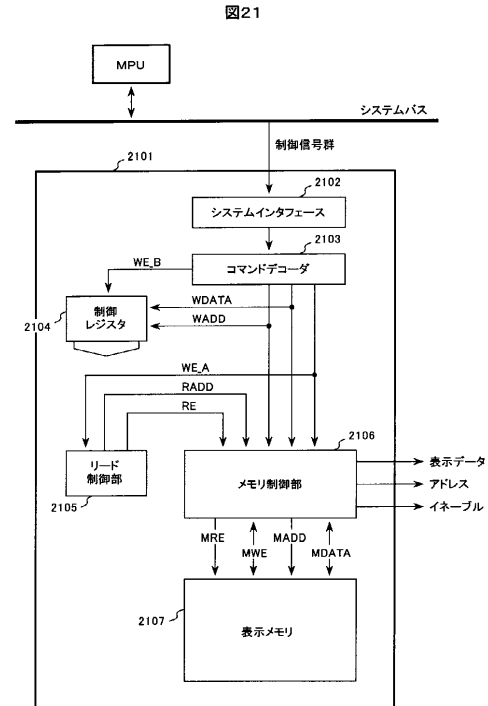
【図 1 9】



【図 20】



【図 21】



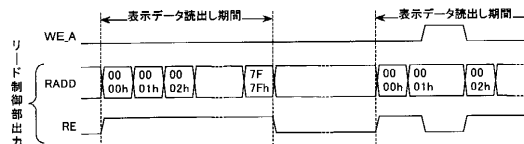
【図 22】

図22

信号名	意味	“ロー”	“ハイ”
CS	チップの選択	アクセス可	アクセス不可
ADS	アドレス/データの選択	アドレス	データ
MRS	メモリ/アドレスの選択	メモリ	アドレス
E	データ書き込み/読出しの起動	非起動	起動
RW	データ書き込み/読出しの選択	書き込み	読出し
DATA	16ビット双方向データ	—	—

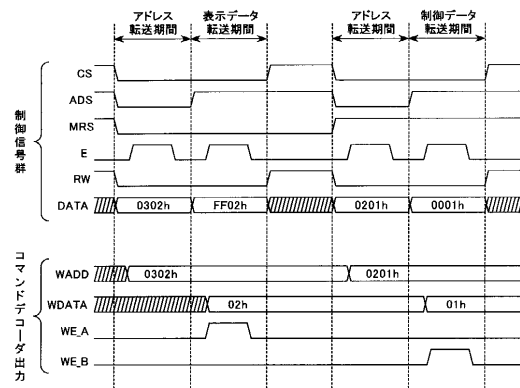
【図 24】

図24



【図 23】

図23



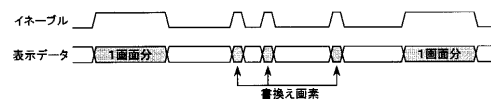
【図 25】

図25

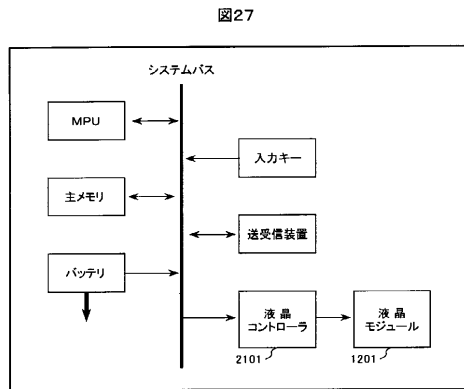
	WE_A=ハイ	WE_A=ロー
MADD	WADD	RADD
MDATA	WDATA	RDATA (メモリ出力)
MRE	RE	RE
MWE	WE_A	WE_A
表示データ	WDATA	RDATA
アドレス	WADD	RADD
イネーブル	WE_A	RE

【図 26】

図26



【図 27】



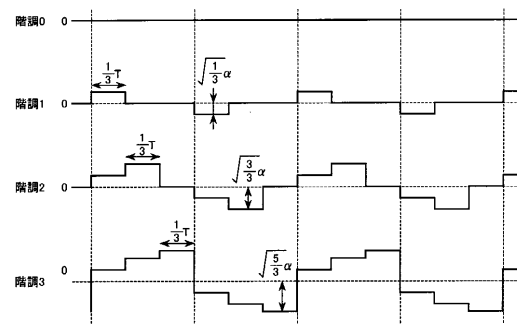
【図 28】

図28

階調数が8の場合		階調数が16の場合	
階調データ	電圧印加時間	階調データ	電圧印加時間
0	$(0/49)T$	0	$(0/225)T$
1	$(1/49)T$	1	$(1/225)T$
2	$(4/49)T$	2	$(4/225)T$
3	$(9/49)T$	3	$(9/225)T$
...	...	...	...
7	$(49/49)T$	15	$(225/225)T$

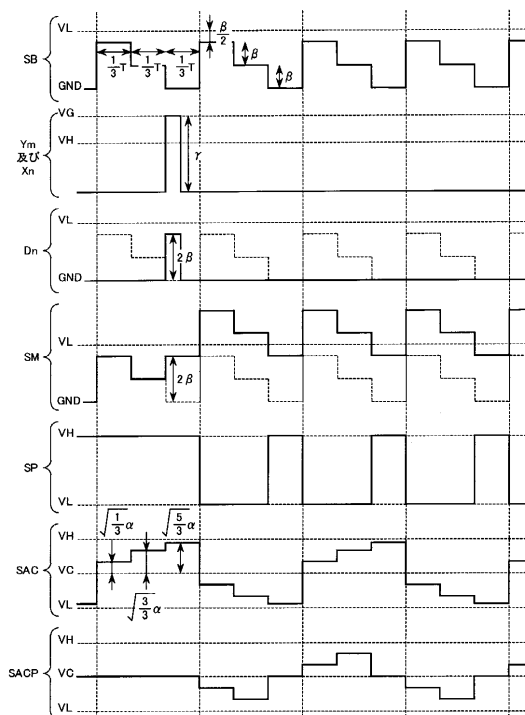
【図 29】

図29



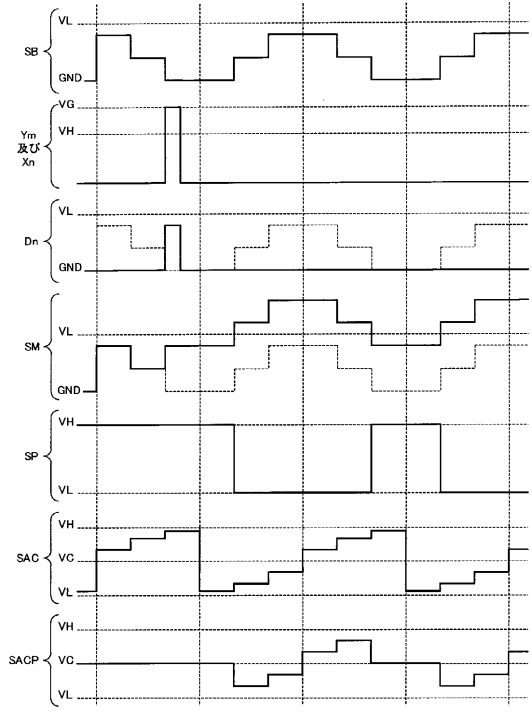
【図 30】

図30

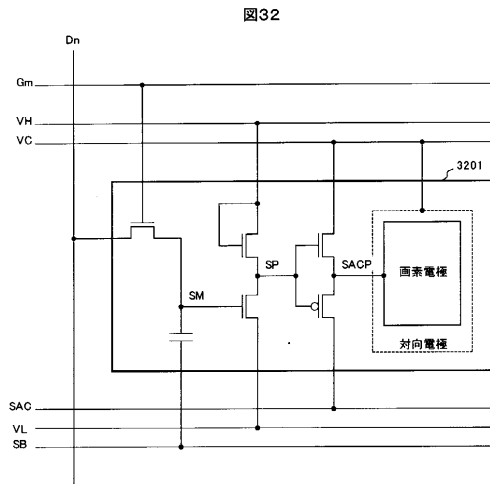


【図 31】

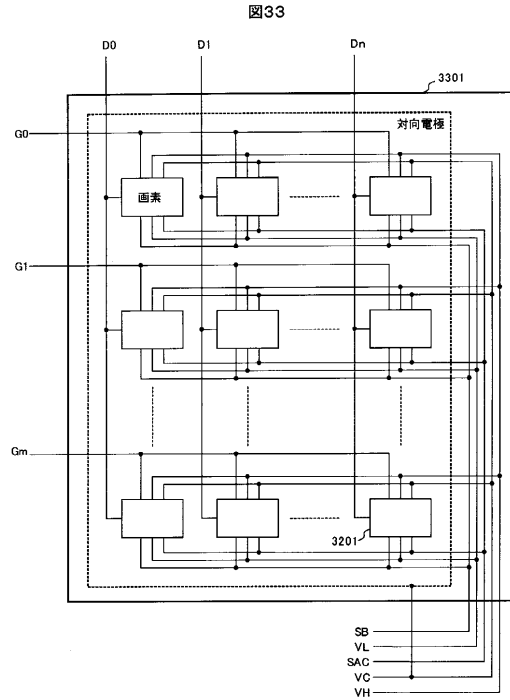
図31



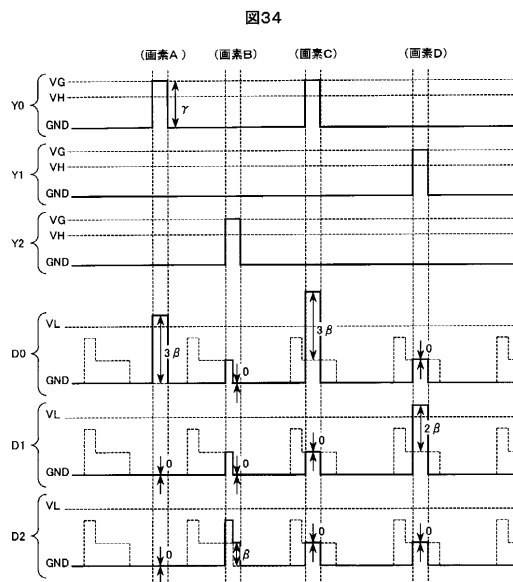
【図 3 2】



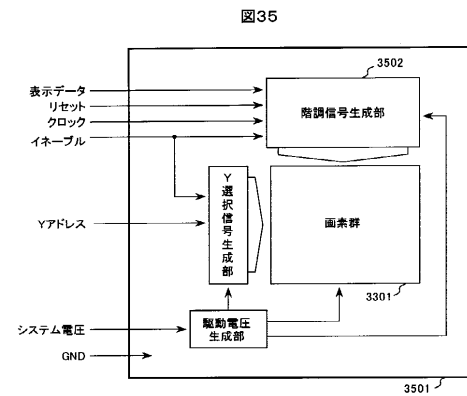
【図 3 3】



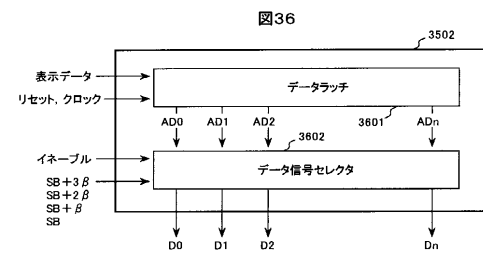
【図 3 4】



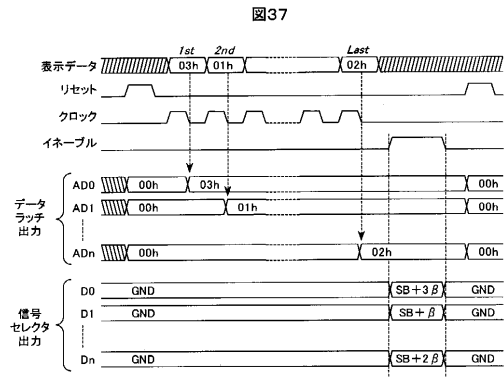
【図 3 5】



【図 3 6】



【図 37】



フロントページの続き(51) Int.Cl.⁷

F I

G 0 9 G 3/20 6 2 3 C

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 A

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

(72)発明者 小村 真一

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

(72)発明者 宮沢 敏夫

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

審査官 福村 拓

(56)参考文献 特開平 0 9 - 2 1 2 1 4 0 (J P , A)

特開平 0 9 - 2 4 3 9 9 4 (J P , A)

特開平 0 7 - 2 5 3 7 6 4 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B 名)

G09G 3/00-3/38

G02F 1/133 505-580

专利名称(译)	液晶表示装置		
公开(公告)号	JP3705086B2	公开(公告)日	2005-10-12
申请号	JP2000205561	申请日	2000-07-03
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	工藤泰幸 古橋勉 三上佳朗 小村真一 宮沢敏夫		
发明人	工藤 泰幸 古橋 勉 三上 佳朗 小村 真一 宮沢 敏夫		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/39 G09G5/395 H04N1/00		
CPC分类号	G09G5/39 G09G3/2007 G09G3/2014 G09G3/2081 G09G3/3614 G09G3/3655 G09G3/3659 G09G3/3688 G09G3/3696 G09G5/395 G09G2300/0408 G09G2300/0809 G09G2300/0833 G09G2300/0842 G09G2310/0259 G09G2310/0262 G09G2310/04 G09G2310/06 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.623.C G09G3/20.624.B G09G3/20.641.A G02F1/133.575 G09G3/20.631.B		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA56 2H093/NC13 2H093/NC15 2H093/NC21 2H093/NC34 2H093/NC40 2H093/NC49 2H093/ND06 2H093/ND35 2H093/ND39 2H093/ND49 2H093/NH14 2H093/NH18 2H193/ZA04 2H193/ZA19 2H193/ZC20 2H193/ZD26 5C006/AA15 5C006/AC11 5C006/AC21 5C006/AC26 5C006/AF03 5C006/AF04 5C006/BB16 5C006/BC11 5C006/FA42 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	福村 拓		
其他公开文献	JP2002023705A		
外部链接	Espacenet		

摘要(译)

在像素部分中具有存储功能并且实现低功耗的矩阵型液晶显示装置中，即使显示数据中包括的灰度信息量增加，连接到像素的布线的数量也被抑制为少量。发明内容本发明的目的是提供一种能够避免电路复杂化的显示装置及其驱动方法。Y选择信号线，X选择信号线和灰度信号线连接到液晶显示装置的每个像素，并且每个像素由Y选择信号线和X选择信号线提供。一种存储装置，用于在两个信号变为有效的定时保持与从灰度信号线提供的显示数据相对应的灰度电压，并且对由存储装置保持的电压电平进行时间调制，以产生脉冲宽度信号。脉冲宽度转换装置，用于根据脉冲宽度信号的值切换交流信号和交流信号的中心电压的开关装置，以及连接到开关装置的像素电极中心电压施加到相对侧的相对电极上

图2

