

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-216963

(P2009-216963A)

(43) 公開日 平成21年9月24日(2009.9.24)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2008-60507 (P2008-60507)
 (22) 出願日 平成20年3月11日 (2008.3.11)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 110000187
 特許業務法人ウィンテック
 (72) 発明者 加藤 隆幸
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 (72) 発明者 金子 英樹
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 (72) 発明者 中尾 元
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H092 JA24 JA46 JB77 MA56 NA30

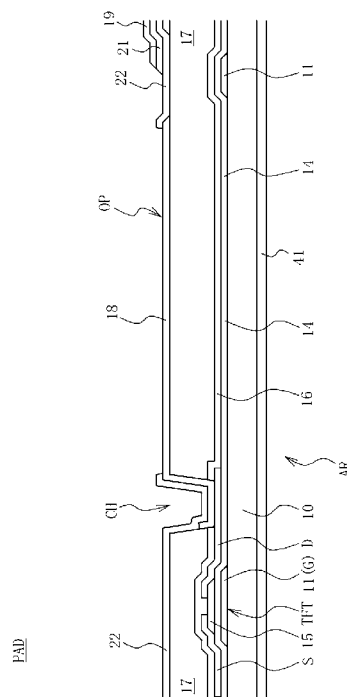
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】ダミー画素を用いたスイッチング素子の特性検査を正確に行うことが可能な液晶表示装置を提供すること。

【解決手段】本発明は、アレイ基板ARに、表示領域DA内に形成された走査線11及び信号線12と、信号線及び走査線の交差部に設けられたスイッチング素子と、スイッチング素子上に形成された層間膜17と、層間膜のスイッチング素子のドレイン電極D上に形成されたコンタクトホールCHを介してドレイン電極に電気的に接続された下電極18と、下電極の表面を覆う電極間絶縁膜22と、下電極に電極間絶縁膜を挟んで対向配置された上電極21と、が設けられた液晶表示装置1において、走査線及び信号線で囲まれた複数の画素領域のうち、外縁部に位置する少なくとも1つの画素領域がダミー画素PADを構成しており、ダミー画素に形成された電極間絶縁膜には開口部OPが形成されて、開口部から下電極が外部に露出している。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

一対の基板間に液晶を挟持してなり、前記一対の基板のうちの一方には、表示領域内にマトリクス状に形成された複数本の走査線及び信号線と、前記複数本の信号線及び走査線の交差部に設けられたスイッチング素子と、前記スイッチング素子上に形成された層間膜と、前記層間膜の前記スイッチング素子の電極上に形成されたコンタクトホールを介して前記スイッチング素子の電極に電氣的に接続された第 1 電極と、前記第 1 電極の表面を覆う絶縁膜と、前記第 1 電極に前記絶縁膜を挟んで対向配置された第 2 電極と、が設けられた液晶表示装置において、

前記複数本の走査線及び信号線で囲まれてマトリクス状に配設された複数の画素領域のうち、外縁部に位置する少なくとも 1 つの前記画素領域がダミー画素を構成しており、前記ダミー画素に形成された前記絶縁膜には開口部が形成されて、前記開口部から前記第 1 電極が外部に露出していることを特徴とする液晶表示装置。

10

【請求項 2】

前記ダミー画素は、表示領域外に配設されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記開口部から露出した前記第 1 電極上には、前記第 2 電極と同一材料からなる導電性材料が直接重畳されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 電極の前記開口部から露出した部分の面積は、前記ダミー画素の画素領域の半分以上の面積であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記第 1、第 2 電極は、それぞれくし歯状に形成されると共に、互いに所定の隙間を空けて対向配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 2 電極には、前記画素領域毎に複数のスリットが形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明はアクティブマトリクス型の液晶表示装置に関するものであり、詳しくは、スイッチング素子の特性検査を正確に行うことが可能な液晶表示装置に関するものである。

【背景技術】**【0002】**

液晶表示装置は、軽量で高精細な画像を表示することが可能なことから様々な用途に使用されている。液晶表示装置は、表面に各種配線等が形成された一対の基板をその表面が互いに対向するように隙間を空けてシール材で貼り合わせた後、この隙間に液晶を封入することで形成される。両基板間に封入された液晶は、基板に形成された配線に所定の電圧を印加することで動作する。

40

【0003】

液晶の駆動方法としては、主に 2 つの方式が知られている。1 つ目は、一方の基板上に複数の走査線を設けると共に他方の基板上に走査線にクロスするように複数の信号線を設け、表示したい画素に対応する走査線及び信号線に電圧を印加することによって液晶を駆動するパッシブマトリクス方式と呼ばれるものである。2 つ目は、一方の基板上にマトリクス状に複数の走査線及び信号線を設けると共に、走査線と信号線の交差部に T F T (Thin Film Transistor) 等のスイッチング素子からなるアクティブ素子を設け、表示したい画素に対応する走査線に電圧を印加した状態で同じく表示したい画素に対応する信号線に所定の信号電圧を印加することで液晶を駆動するアクティブマトリクス式と呼ばれるものである。

50

【 0 0 0 4 】

この2つの駆動方式は、用途に応じて適宜選択して使用されるが、アクティブマトリクス式のものは実質的にスタティック駆動で液晶を駆動させることが可能である等の利点があるために、現在のほとんどの液晶表示装置にはこのアクティブマトリクス式の駆動方法が採用されている。

【 0 0 0 5 】

また、液晶表示装置における液晶の動作モードとして、従来からTN (Twisted Nematic) モード、VA (Vertical Alignment) モードあるいはMVA (Multi-Vertical Alignment) モードなどが知られている。これらの動作モードは、何れも両基板に2つの電極をそれぞれ設け、これらの電極間に電界を形成することにより液晶を駆動するものである。加えて、近年このような液晶の動作モードに代えて、2つの電極を一方の基板にのみ設け、これらの電極間に基板延在方向に平行な電界を発生させることにより液晶を動作させるIPS (In-Plane Switching) モードあるいはFFS (Fringe Field Switching) モードなどの動作モードも使用されるようになってきている。これらのうち、前者は縦方向に電界を発生させるため縦電界方式といわれ、後者は横方向に電界を発生させるため横電界方式といわれている。

【 0 0 0 6 】

図7Aは下記特許文献に開示された液晶表示装置の表示画素を示す拡大平面図、図7Bは図7AのVII B - VII B 線で切断した断面図、図7Cはダミー画素を示す拡大平面図、図7CはVII D - VII D 線で切断した断面図である。

下記特許文献1には、横電界方式の1つであるIPSモードのアクティブマトリクス型液晶表示装置において、スイッチング素子の特性評価解析を容易に行うことが可能な構造が開示されている。詳しくは、表示画素110を構成する電極群と表示画素110を選択するスイッチング素子を少なくとも具備したアクティブ素子基板を有するアクティブマトリクス型液晶表示装置において、アクティブ素子基板100上に二次元に配列された表示画素で構成した表示領域の外側に、表示領域の画素と異なる構成のダミー画素120を配置した構成が開示されている。

【 0 0 0 7 】

このうち、表示画素110は、図7A及び図7Bに示すように、透明な基板100上に、格子状に形成された走査信号線100Gと映像信号線100S、走査信号線100Gから延びるゲート電極101G、映像信号線100Sから延びる信号入力電極101S、スイッチング素子を形成する半導体層104、信号入力電極101Sと同層の出力電極101D、出力電極101Dを延在させてなる第1のくし歯電極102D、走査信号線100Gの間に設けられた対向電極共通線100C、対向電極共通線100Cに接続された第2のくし歯電極102C、ゲート電極101Gを含む走査信号線100Gと第2のくし歯電極102Cとを被覆するゲート絶縁膜103、上記各種配線等を覆う保護膜105を備えている。

【 0 0 0 8 】

また、ダミー画素120は、上記表示画素110と同時に形成されるものであり、図7C及び図7Dに示すように、表示画素110の構成と比較すると、対向電極共通線100Cに代わってダミー画素用の対向電極線100Dmyが形成され、第1、第2のくし歯電極102D、102Cがなく、更には出力電極101Dが保護膜105に形成されたコンタクトホール107を介して広い面積の電極106が形成されている。

【特許文献1】特開平10 - 339887号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上記特許文献1に開示された液晶表示装置によれば、ダミー画素120の電極106にプローブ針を接触させることで、表示画素110のスイッチング素子の特性検査を行うことができるようになる。

【 0 0 1 0 】

しかしながら、上記特許文献 1 の液晶表示装置では、プローブ針を接触させる部分をダミー画素 1 2 0 の電極 1 0 6 としている。この電極 1 0 6 は保護膜 1 0 5 に形成されたコンタクトホール 1 0 7 を介して出力電極 1 0 1 D に接続されたものであって、スイッチング素子の特性検査を行うために特別に設けられたものであり、表示画素 1 1 0 には存在しない構成である。このように表示画素 1 1 0 にはない構成要素を介して検査を行った場合、表示画素 1 1 0 のスイッチング素子の特性検査を厳密に行ったとはいえない。すなわち、ダミー画素 1 2 0 は、例えば電極 1 0 6 と出力電極 1 0 1 D との接触部の接触抵抗や、コンタクトホール 1 0 7 をエッチング形成する場合に生じる出力電極 1 0 1 D の劣化など、表示画素 1 1 0 にはない要因による影響を受ける恐れがある。したがって、このように条件の異なるダミー画素 1 2 0 の特性検査を行っても表示画素 1 1 0 の特性検査を厳密に行ったとは言えず、誤った良品判別を行ってしまう可能性がある。

10

【 0 0 1 1 】

本発明は上記問題点を解消するためになされたものであって、本発明の目的は、ダミー画素を用いたスイッチング素子の特性検査を行う場合に、表示画素と同一条件下でダミー画素の検査を行うことにより、正確な特性検査を行うことが可能な液晶表示装置を提供することである。

【課題を解決するための手段】

【 0 0 1 2 】

上記目的を達成するために、本発明の液晶表示装置は、一対の基板間に液晶を挟持してなり、前記一対の基板のうちの一方には、表示領域内にマトリクス状に形成された複数本の走査線及び信号線と、前記複数本の信号線及び走査線の交差部に設けられたスイッチング素子と、前記スイッチング素子上に形成された層間膜と、前記層間膜の前記スイッチング素子の電極上に形成されたコンタクトホールを介して前記スイッチング素子の電極に電氣的に接続された第 1 電極と、前記第 1 電極の表面を覆う絶縁膜と、前記第 1 電極に前記絶縁膜を挟んで対向配置された第 2 電極と、が設けられた液晶表示装置において、

20

前記複数本の走査線及び信号線で囲まれてマトリクス状に配設された複数の画素領域のうち、外縁部に位置する少なくとも 1 つの前記画素領域がダミー画素を構成しており、前記ダミー画素に形成された前記絶縁膜には開口部が形成されて、前記開口部から前記第 1 電極が外部に露出していることを特徴とする。

30

【 0 0 1 3 】

上記発明によれば、実際に液晶を駆動させて所定の画像を表示する表示画素と全く同一の材料及び構成で形成されスイッチング素子と電氣的に接続されたダミー画素の第 1 電極を開口部から露出させている。したがって、この露出されたダミー画素の第 1 電極に検査用の端子を接触させて所定の信号を検出すれば、表示画素のスイッチング素子（例えば T F T ）の特性検査をこのダミー画素のスイッチング素子を検査することで代替的に行うことが可能となる。また、このダミー画素の第 1 電極及び T F T の成膜構成は表示画素のものと同一となるので、従来のようにダミー画素の検査結果と表示画素の検査結果とが異なるような恐れがなく、正確な検査を行うことができる。

【 0 0 1 4 】

40

また、上記発明において、前記ダミー画素は、表示領域外に配設されていると好ましい。

【 0 0 1 5 】

上記好ましい態様によれば、ダミー画素を表示領域外に配設、例えばシール材塗布領域に配設すれば、画像の表示に悪影響を及ぼすことなく T F T の特性検査を行うことができるようになる。

【 0 0 1 6 】

また、上記発明において、前記開口部から露出した前記第 1 電極上には、前記第 2 電極と同一材料からなる導電性材料が直接重畳されていると好ましい。

【 0 0 1 7 】

50

上記好ましい態様によれば、開口部から露出した第 1 電極を第 2 電極と同一材料からなる導電性材料により直接被覆することにより、この導電性材料を開口部より大きくすれば検査用の端子を接触させる面積を大きくすることが可能となる。ただし、この際第 1 電極と導電性材料との接触抵抗が無視できるほど小さい必要がある。

【0018】

また、上記発明において、前記第 1 電極の前記開口部から露出した部分の面積は、前記ダミー画素の画素領域の半分以上の面積であると好ましい。

【0019】

上記好ましい態様によれば、第 1 電極の開口部から露出した部分の面積をダミー電極の画素領域の面積の半分以上とすれば、検査時のプローブ針の接触が容易に行える。

10

【0020】

また、上記発明において、前記第 1、第 2 電極は、それぞれくし歯状に形成されると共に、互いに所定の隙間を空けて対向配置されていると好ましい。

【0021】

上記好ましい態様によれば、いわゆる IPS モードの液晶表示装置であっても上述する効果を得ることが可能となる。

【0022】

また、上記発明において、前記第 2 電極には、前記画素領域毎に複数のスリットが形成されていると好ましい。

【0023】

20

上記好ましい態様によれば、いわゆる FFS モードの液晶表示装置であっても上述する効果を得ることが可能となる。

【発明を実施するための最良の形態】

【0024】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための液晶表示装置を例示するものであって、本発明をこの液晶表示装置に限定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものも等しく適応し得るものである。なお、以下の実施形態においては FFS モードで駆動する液晶表示装置について説明するが、他の駆動モード、例えば IPS モードの液晶表示装置であっても同様に適応可能であることは明らかである。

30

【0025】

図 1 は本発明の一実施形態に係る液晶表示装置を示す平面図である。図 2 は図 1 の液晶表示装置のアレイ基板に形成された表示画素とダミー画素の位置関係を示す概略説明図である。図 3 は図 2 の III 部分を拡大した断面図である。図 4 は図 3 の IV - IV 線で切断した表示画素の断面図である。図 5 は図 3 の V - V 線で切断したアレイ基板側のダミー画素の断面図である。図 6 は本発明の変形例に係るダミー画素の断面図である。なお、図 6 に示す断面図は図 5 に示す断面図に対応するように示したものである。

【0026】

本発明の液晶表示装置 1 は、図 1 に示すように、FFS モードで駆動するアクティブマトリクス式の液晶表示装置である。また、この液晶表示装置 1 は、アレイ基板 AR 及びカラーフィルタ基板 CF と、両基板 AR、CF を貼り合わせるためのシール材 2 と、アレイ基板 AR、カラーフィルタ基板 CF 及びシール材 2 により囲まれた領域に封入された液晶層 40 (図 4 参照) と、から構成されたいわゆる COG (Chip On Glass) 型の液晶表示装置である。この液晶表示装置 1 においては、シール材 2 により囲まれた領域内には表示領域 DA が形成されており、この表示領域 DA の外側は額縁領域となっている。さらに、シール材 2 の一部には液晶を注入するための液晶注入口 2a が形成されている。なお、これらアレイ基板 AR 及びカラーフィルタ基板 CF の外側表面には偏光板 41 (図 4 参照) が配設されている。また、図 1 には表示領域 DA に当たる領域に格子状のハッチングが施されている。

40

【0027】

50

アレイ基板 A R は、ガラス等からなる透明基板 1 0 上に各種配線が設けられたものからなり、カラーフィルタ基板 C F よりもその長手方向の長さが長く、両基板 A R、C F を貼り合わせた際に外部に延在する延在部 1 0 a が形成されるようになっており、この延在部 1 0 a には駆動信号を出力する I C チップあるいは L S I からなるドライバ D r が設けられている。そして、このアレイ基板 A R の額縁領域には、ドライバ D r からの各種信号を後述する走査線 1 1 及び信号線 1 2 に送るために各種引回し線（図示省略）が形成されており、更には、後述する上電極 2 1 に接続されるコモン配線 C o m も形成されている。

【 0 0 2 8 】

シール材 2 により区画された領域内には、図 2 に示すように、アレイ基板 A R に形成された走査線 1 1 及び信号線 1 2 により区画された画素領域が複数個マトリクス状に形成されている。そして、この走査線 1 1 及び信号線 1 2 によって区画されてなる画素領域のうち、表示領域 D A 内に配設されて表示に寄与する部分が表示画素 P A を形成している。この表示画素 P A は、例えば m 行 × n 列で配設されている。

10

【 0 0 2 9 】

また、平行に配列された複数本の走査線 1 1 あるいは信号線 1 2 の、例えば一方の外側には、隣接する走査線 1 1 あるいは信号線 1 2 に平行に延びるダミー走査線 1 1 D あるいはダミー信号線 1 2 D が配設されている。そして、このダミー走査線 1 1 D 又はダミー信号線 1 2 D に接続されたスイッチング素子を有するダミー画素 P A D が、表示画素 P A の外縁部、詳しくは一方の短辺（図 2 における表示画素 P A (1 , 1)、P A (1 , 2)、... P A (1 , n) の上方辺）及び長辺（図 2 における表示画素 P A (1 , 1)、P A (2 , 1)、... P A (m , 1) の左方辺）に沿って配設されている。このダミー画素 P A D は、好ましくは表示領域 D A の外縁部で、シール材 2 が塗布される領域に形成される。

20

【 0 0 3 0 】

次に、アレイ基板 A R 及びカラーフィルタ基板 C F の特に表示領域 D A 内に形成される各種配線構造について、図 3 及び図 4 を参照して以下に説明する。

アレイ基板 A R は、ガラス等からなる透明基板 1 0 の表面に、例えば M o / A l の 2 層配線からなる複数の走査線 1 1 が互いに平行になるように形成されている。この走査線 1 1 の端部は、額縁領域を引回されてドライバ D r まで延在されている。また、この走査線 1 1 が形成された透明基板 1 0 の表面全体に亘って窒化シリコン (S i N _x) ないしは酸化シリコン (S i O ₂) 等の無機透明絶縁材料からなるゲート絶縁膜 1 4 が被覆されている。更に、このゲート絶縁膜 1 4 の表面のスイッチング素子、詳しくは T F T (Thin Film Transistor) が形成される領域には、アモルファスシリコン (a - S i)、ポリシリコン (p - S i) あるいは L T P S (Low Temperature Poly Silicon) 等からなる半導体層 1 5 が形成されている。また、この半導体層 1 5 が形成されている位置の走査線 1 1 の領域が T F T のゲート電極 G を形成する。

30

【 0 0 3 1 】

また、ゲート絶縁膜 1 4 の表面には、例えば M o / A l / M o の 3 層構造の導電性層からなるソース電極 S を含む信号線 1 2 及びドレイン電極 D が形成されている。このうち、信号線 1 2 はゲート絶縁膜 1 4 の下層に設けられている走査線 1 1 と平面視で直交する方向に延在しており、その端部は走査線 1 1 と同様に額縁領域を引回されてドライバ D r まで延在されている。この信号線 1 2 のソース電極 S 部分及びドレイン電極 D は、いずれも半導体層 1 5 の表面に部分的に重なっている。そして上述したゲート電極 G、ソース電極 S、ドレイン電極 D 及び半導体層 1 5 により T F T が形成される。更に、この透明基板 1 0 の表面全体には、さらに透明な無機絶縁材料からなるパッシベーション膜 1 6 が形成されている。そして、このパッシベーション膜 1 6 の表面全体に感光性材料からなる層間膜 1 7 が被覆されており、加えて、この層間膜 1 7 のドレイン電極 D の端部に対応する位置にはコンタクトホール C H が形成されている。なお、複数の走査線 1 1 及び信号線 1 2 により囲まれた領域が表示画素（サブ画素）P A を構成している。なお、本発明の請求項に記載されている層間膜は、本実施形態においてはパッシベーション膜 1 6 および層間膜 1 7 のことを示しているが、例えば層間膜 1 7 を設けずにパッシベーション膜 1 6 だけが形

40

50

成された構造であっても良い。

【0032】

そして、図3に示したパターンとなるように、走査線11及び信号線12で囲まれた各表示画素PAの層間膜17上に、透明導電性材料、例えばITOないしIZOからなる第1電極としての下電極(画素電極)18が形成されている。この下電極18はコンタクトホールCHを介してドレイン電極Dと電氣的に接続されている。更に、この下電極18上には電極間絶縁膜22が形成されている。この電極間絶縁膜22には、例えばSiNx等の無機透明絶縁材料が使用される。

【0033】

そして、この電極間絶縁膜22上には、走査線11及び信号線12で囲まれた領域に複数のスリット20を有する透明導電性材料、例えばITOないしIZOからなる第2電極としての上電極(共通電極)21が形成されている。また、この上電極21は、額縁領域に配線されたコモン配線Comに電氣的に接続されている。このコモン配線Comと上電極21とは例えば図1のX部分で接続され、コモン配線Comの他端部はドライバDrに接続されている。上電極21のスリット20は、走査線11及び信号線12で囲まれた画素領域PA1単位で形成されており、所定角度に傾斜した楕円状の開口で形成されている。そして最後に、この基板の表示領域DA全体に亘り所定の配向膜19が形成されている。

【0034】

カラーフィルタ基板CFは、図4に示すように、透明基板30の表面に走査線11、信号線12、TFT及びコンタクトホールCHに対応する位置を被覆するように遮光層31が形成されている。更に、遮光層31で囲まれた透明基板30の表面には、複数色、例えばR(赤)、G(緑)、B(青)の3色からなるカラーフィルタ層32が形成され、更に遮光層31及びカラーフィルタ層32の表面を被覆するように保護膜33が形成されている。そして、この基板の表面全体に亘り所定の配向膜35が形成されている。

【0035】

次に、アレイ基板ARの特に表示領域DAの外縁部に形成されたダミー画素PADの構成について、上述した表示領域DAの構成に関連付けて、図5を参照して説明を行う。なお、図5においてはカラーフィルタ基板CFは省略されている。

アレイ基板ARの透明基板10上の、表示領域DAの外縁部の2辺に近接する位置には、ダミー画素PADが複数個形成されている。このダミー画素PADのうち、例えば表示領域DAの列方向(図2における縦方向)に沿って配列されているものは、図5に示すように、表示画素PAのTFTに接続されたものと同様の走査線11に接続されるとともに、このダミー画素PADに所定の信号を送るためのダミー信号線12Dに接続されたTFTを備えている。ダミー信号線12Dは表示画素PAに接続された信号線12と同一材料かつ同一工程で形成されるものであるが、その端部はドライバDrまで引回されておらず、図示しない所定位置に形成されたダミー信号線用ブロープ端子に接続されている。このダミー信号線用ブロープ端子は、TFTの特性検査を行う際に検査ブロープが接触されて所定の信号を各ダミー画素PADに送ることができるようになっている。また、TFTのその他の構成、詳しくは走査線11、ゲート絶縁膜14、半導体層15、ソース電極S及びドレイン電極Dは、表示画素PAの対応する各部材と同一材料かつ同一構成で形成されている。

【0036】

ダミー画素PADのTFT上を含むダミー画素PAD表面全体は、表示画素PAと同様に、パッシベーション膜16により被覆されている。また、このパッシベーション膜16の表面全体には層間膜17が被覆されており、加えて、この層間膜17のドレイン電極Dの端部に対応する位置にはコンタクトホールCHが形成されている。そして、図3に示したパターンとなるように、走査線11及び信号線12で囲まれた各画素領域PAの層間膜17上には、下電極18が形成されている。また、この下電極18はコンタクトホールCHを介してドレイン電極Dと電氣的に接続されている。すなわち、ダミー画素PADの構

10

20

30

40

50

成は、上述の下電極 18 までは表示画素 P A とほとんど同一である。

【0037】

上述のように、下電極 18 まではほぼ同一の構成を備えるダミー画素 P A D と表示画素 P A であるが、下電極 18 形成後は異なる構成となる。詳しくは、図 5 に示すように、ダミー画素 P A D の上電極 21 には、表示画素 P A のように電極間絶縁膜 22、スリット 20 を有する上電極 21 及び配向膜 19 が形成されておらず、下電極 18 表面が開口部 O P により露出した構成となっている。この開口部 O P は、一旦透明基板 10 上に一様に塗布された電極間絶縁膜 22 の、ダミー画素 P A D の下電極 18 上に形成された部分をエッチングにより除去することにより形成される。なお、上電極 21 及び配向膜 19 は、その製造プロセスにおいてこの開口部 O P に配設されないようにすればよい。

10

【0038】

ダミー画素 P A D の下電極 18 表面に上述のような開口部 O P を形成することにより、ダミー画素 P A D の下電極 18 はアレイ基板 A R 表面に露出することになる。また、このダミー画素 P A D の下電極 18 は複数のダミー画素 P A D 全体にそれぞれ形成されているので、開口部 O P から露出する面積は、各ダミー画素 P A D の面積とほぼ同様となる。ただし、開口部 O P に形成される電極の面積は、ダミー画素 P A D の画素領域の面積の半分以上を占めていれば、例えば検査時のプローブ針の接触も容易に行えるため好ましい。

【0039】

なお、上では列方向に沿って配列されたダミー画素 P A D について説明したが、行方向（図 2 における横方向）に沿って配列されたダミー画素 P A D もほぼ同様の配線構造を備えている。ただし、列方向に沿って配列されたダミー画素 P A D は表示画素 P A の信号線 12 に代えてダミー信号線 12 D に接続された構成であったが、行方向に沿って配列されたダミー画素 P A D は表示画素 P A の走査線 11 に代えてダミー走査線 11 D に接続された構成を備えている点異なる。ちなみに、このダミー走査線 11 D は表示画素 P A の走査線 11 と同一材料かつ同一工程で形成されるものであり、その端部は図示しないダミー走査線用プローブ端子に接続されている。

20

【0040】

上述の構成を有するダミー画素 P A D を用いた T F T の特性検査方法について説明すると、例えば列方向に沿って配列された複数のダミー画素 P A D においては、走査線 11 に所定の電圧を印加することで所望のダミー画素 P A D の T F T をオン状態とし、この状態でダミー信号線用プローブ端子にプローブを接触させて信号を入力する。次いで、所望のダミー画素 P A D の T F T を介してドレイン電極 D 及び上電極 18 に出力された出力信号を、開口部 O P を介して上電極 18 に接触させた受け側端子（図示省略）で検出する。そして、この検出された信号を測定することにより T F T の特性検査を行うものである。

30

【0041】

このような方法により検査が行われたダミー画素 P A D は、従来のように表示画素 P A とは異なる層構造からなるものではなく、T F T の構成に加えてその表面を覆う絶縁膜や T F T に接続される電極まで表示画素 P A と同一条件で形成したものである。したがって、従来のようにダミー画素 P A D の表示画素 P A にはない構成部分で何らかの障害が発生し、誤った特性検査が行われることがなく、高精度に表示画素 P A の T F T 特性を検査することができるようになる。

40

【0042】

なお、上記実施形態においてはダミー画素 P A D を表示領域 D A の外縁部の 2 辺に沿って複数個形成した例について説明したが、このダミー画素 P A D は、例えば表示領域 D A の四方の隅部に 1 つずつ設けても良いし、この四方の隅部のうちの 1 つの隅部に 1 つのみ形成するようにしてもよい。

【0043】

[変形例]

上記実施形態においては開口部 O P から下電極 18 を露出させ、この露出した下電極に受け側端子を接触させる構成について説明したが、この構成には限定されない。例えば、

50

図 6 に示すように、ダミー画素 P A D' の電極間絶縁膜 2 2 に形成された開口部 O P を覆うようにこの開口部 O P より大きな導電性材料 2 3 を形成することで、受け側端子をこの導電性材料 2 3 に接触させることで検査を行うことができるようにしてもよい。この導電性材料 2 3 は、上電極 2 1 と同一材料かつ同一工程で形成する。ただし、下電極 1 8 と導電性材料 2 3 との接触面の接触抵抗が十分小さい必要がある。

【図面の簡単な説明】

【 0 0 4 4 】

【図 1】図 1 は本発明の一実施形態に係る液晶表示装置を示す平面図である。

【図 2】図 2 は図 1 の液晶表示装置のアレイ基板に形成された表示画素とダミー画素の位置関係を示す概略説明図である。

10

【図 3】図 3 は図 2 の III 部分を拡大した断面図である。

【図 4】図 4 は図 3 の IV - IV 線で切断した表示画素の断面図である。

【図 5】図 5 は図 3 の V - V 線で切断したアレイ基板側のダミー画素の断面図である。

【図 6】図 6 は本発明の変形例に係るダミー画素の断面図である。

【図 7】図 7 A は従来の液晶表示装置の表示画素を示す拡大平面図、図 7 B は図 7 A の VI B - VII B 線で切断した断面図、図 7 C はダミー画素を示す拡大平面図、図 7 C は VII D - VIII D 線で切断した断面図である。

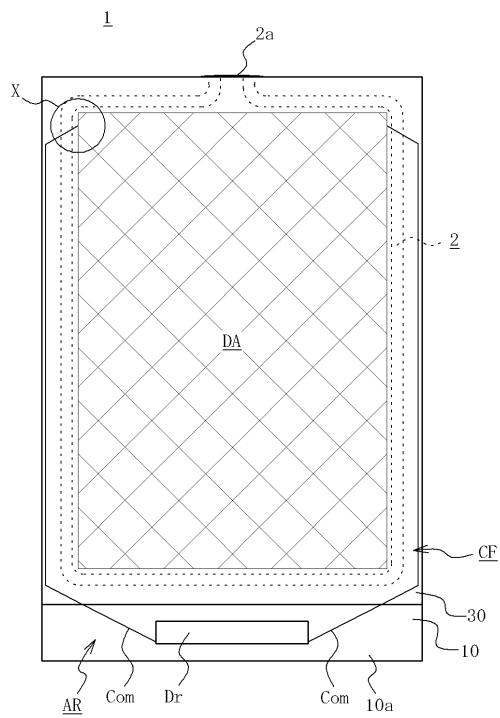
【符号の説明】

【 0 0 4 5 】

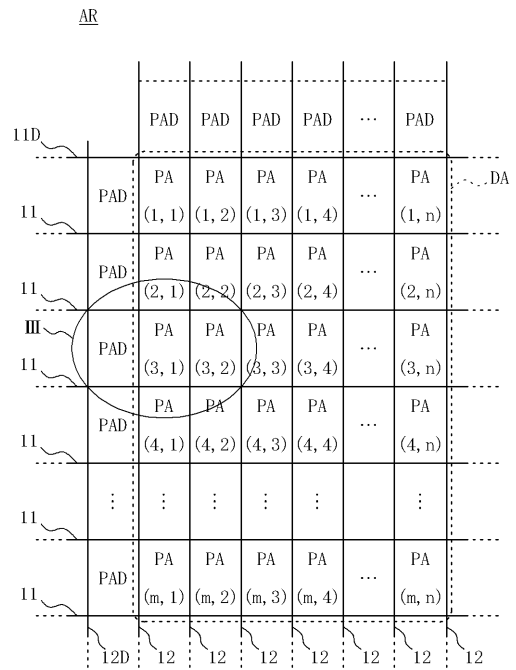
1 : 液晶表示装置 2 : シール材 1 0、3 0 : 透明基板 1 1 : 走査線 1 1 D : ダミー走査線 1 2 : 信号線 1 2 D : ダミー信号線 1 4 : ゲート絶縁膜 1 5 : 半導体層 1 6 : パッシベーション膜 1 7 : 層間膜 1 8 : 下電極 1 9、3 5 : 配向膜 2 0 : スリット 2 1 : 上電極 2 2 : 電極間絶縁膜 2 3 : 導電性材料 3 1 : 遮光層 3 2 : カラーフィルタ層 3 3 : 保護膜 A R : アレイ基板 C F : カラーフィルタ基板 D A : 表示領域 S : ソース電極 D : ドレイン電極 G : ゲート電極 C H : コンタクトホール P A : 表示画素 P A D、P A D' : ダミー画素 D r : ドライバ C o m : コモン配線

20

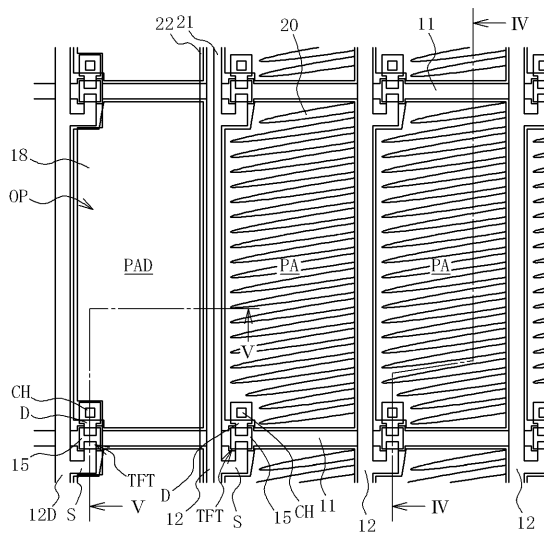
【図 1】



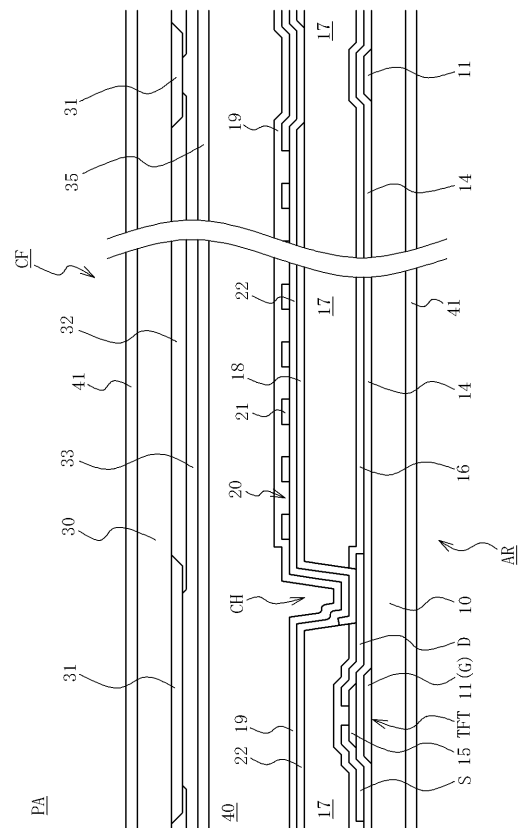
【図 2】



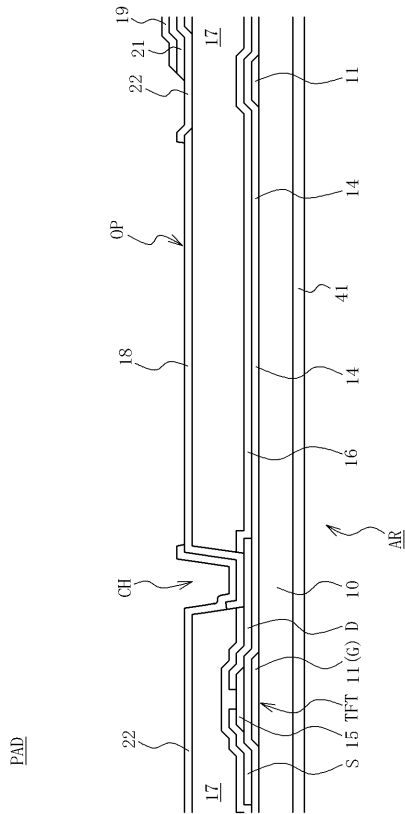
【図 3】



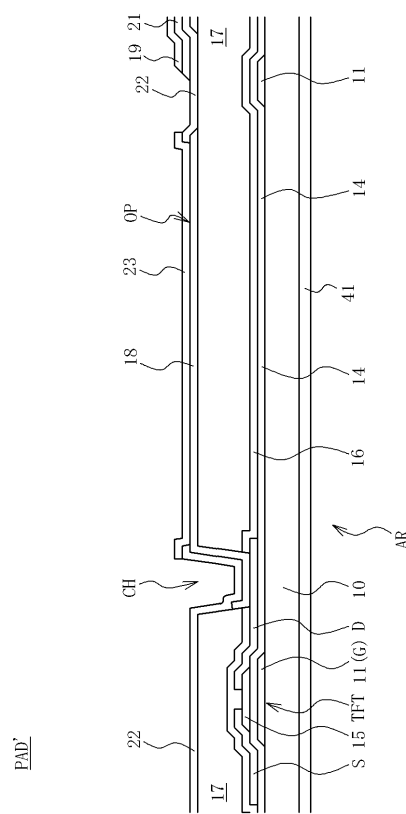
【図 4】



【図 5】



【図 6】



【図 7】

図7A

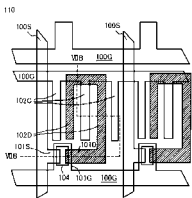


図7C

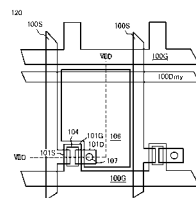


図7B

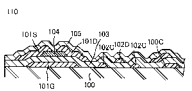
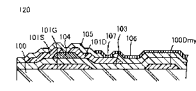


図7D



专利名称(译)	液晶表示装置		
公开(公告)号	JP2009216963A	公开(公告)日	2009-09-24
申请号	JP2008060507	申请日	2008-03-11
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	加藤隆幸 金子英樹 中尾元		
发明人	加藤 隆幸 金子 英樹 中尾 元		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB77 2H092/MA56 2H092/NA30 2H192/AA24 2H192/BB02 2H192/BB12 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC72 2H192/EA22 2H192/EA43 2H192/EA64 2H192/FA02 2H192/FA73 2H192/FB22 2H192/HB04 2H192/HB14 2H192/JA33		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够使用哑像素正确地进行开关元件的特性检查的液晶显示装置。ŽSOLUTION：在液晶显示装置1中，阵列基板AR设置有扫描线11和信号线12，扫描线11和信号线12形成在显示域DA中，开关元件设置在信号线的交叉部分和扫描线，形成在开关元件上的层间膜17，通过形成在层间膜的开关元件的漏电极D上的接触孔CH电连接到漏电极的下电极18，覆盖的电极间绝缘膜22下电极的表面和上电极21与下电极相对设置，其间放置有电极间绝缘膜。位于由扫描线和信号线围绕的多个像素区域的外边缘中的至少一个像素区域构成虚设像素PAD。在形成在虚设像素上的电极间绝缘膜上形成开口OP，并且下电极从开口暴露在外部。Ž

