

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-145874

(P2009-145874A)

(43) 公開日 平成21年7月2日(2009.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
H04N 5/66 (2006.01)	H04N 5/66 102Z	5C006
G02F 1/133 (2006.01)	G02F 1/133 505	5C058
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/20 611C	

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21) 出願番号	特願2008-284973 (P2008-284973)	(71) 出願人	501426046
(22) 出願日	平成20年11月6日 (2008.11.6)		エルジー ディスプレイ カンパニー リ
(31) 優先権主張番号	10-2007-0128483		ミテッド
(32) 優先日	平成19年12月11日 (2007.12.11)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(33) 優先権主張国	韓国 (KR)		イドードン 20
(31) 優先権主張番号	10-2008-0052261	(74) 代理人	100064447
(32) 優先日	平成20年6月3日 (2008.6.3)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

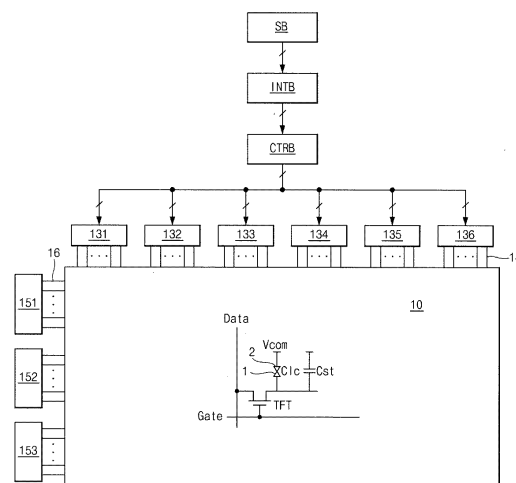
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明は液晶表示装置を提供する。

【解決手段】本発明に係る液晶表示装置は、複数のデータラインと複数のゲートラインが交差される液晶表示パネルと、前記データラインにデータ電圧を供給するソースドライバICと、前記ゲートラインにゲートパルスを供給するゲートドライバICと、スケーラが実装され、前記スケーラから出力されるデータを第1インターフェース方式で伝送するシステムボードと、前記第1インターフェース方式で伝送されるデータを受信し第2インターフェース方式で前記データを伝送するインターフェースボードと、前記第2インターフェース方式で伝送されるデータを受信し前記ソースドライバICに供給して前記ソースドライバICと前記ゲートドライバICの動作タイミングを制御するタイミングコントローラとが実装されたコントロールボードを備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数のデータラインと複数のゲートラインが交差する液晶表示パネルと、
前記データラインにデータ電圧を供給するソースドライバICと、
前記ゲートラインにゲートパルスを供給するゲートドライバICと、
スケーラ（s c a l e r）が実装され、前記スケーラから出力されるデータを第 1
インターフェース方式で伝送するシステムボードと、前記第 1 インターフェース方式で伝
送されるデータを受信し、第 2 インターフェース方式で前記データを伝送するインター
フェースボードと、前記第 2 インターフェース方式で伝送されるデータを受信し、前記デー
タを前記ソースドライバICに供給し、前記ソースドライバICと前記ゲートドライバIC
の動作タイミングを制御するタイミングコントローラが実装されたコントロールボード
を備え、前記第 2 インターフェース方式で必要なデータ伝送ラインの数は前記第 1 インタ
ーフェース方式で必要なデータ伝送ラインの数より小さなことを特徴とする液晶表示装置
。

10

【請求項 2】

前記第 1 及び第 2 インターフェース方式の中で前記第 1 インターフェース方式だけがク
ロック伝送ラインを含むことを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 3】

複数のデータラインと複数のゲートラインが交差される液晶表示パネルと、
前記データラインにデータ電圧を供給するソースドライバICと、
前記ゲートラインにゲートパルスを供給するゲートドライバICと、
スケーラが実装されて前記スケーラから出力されるデータを 4 対のデータ伝送ライ
ンを含むインターフェースを通じて伝送するシステムボードと、
前記インターフェースを通じて前記データを受信し前記ソースドライバICに供給し、
前記ソースドライバICと前記ゲートドライバICの動作タイミングを制御するタイミ
ングコントローラが実装されたコントロールボードを備えることを特徴とする液晶表示装置
。

20

【請求項 4】

前記インターフェースは前記 4 対のデータ伝送ラインとともに、補助信号が伝送される
2 対の補助信号伝送ラインを含み前記システムボード上に実装されるインターフェース送
信回路と、前記コントロールボード上に実装され、前記補助信号を受信した後に前記デー
タを受信し、前記受信したデータを前記タイミングコントローラに伝送するインターフェ
ース受信回路を備えて、

30

前記スケーラは 20 対のデータ伝送ラインを通じて前記インターフェース送信回路に
データを送って 4 対のクロック伝送ラインを通じてクロック信号を前記インターフェース
送信回路に伝送することを特徴とする、請求項 3 記載の液晶表示装置。

【請求項 5】

前記インターフェースは前記 4 対のデータ伝送ラインとともに補助信号が伝送される 1
対の補助信号伝送ラインを含み、前記スケーラ内に内蔵するインターフェース送信回路
及び前記タイミングコントローラの内に内蔵して前記補助信号を受信した後に前記デー
タを受信するインターフェース受信回路を備えることを特徴とする、請求項 3 記載の液晶表
示装置。

40

【請求項 6】

前記インターフェースは前記 4 対のデータ伝送ラインとともに補助信号が伝送される 1
対の補助信号伝送ラインを含み、前記スケーラ内に内蔵するインターフェース送信回路
と、前記コントロールボード上に実装され、前記 4 対のデータ伝送ラインを通じてデー
タを受信し、2 対の補助信号伝送ラインを通じて前記補助信号を受信するインターフェ
ース受信回路を備え、前記システムボードは前記スケーラと前記インターフェース送信回路
間に配置され、前記インターフェース送信回路からの補助信号を前記 2 対の補助信号伝送
ラインで分配するラインスイッチング回路をさらに備えることを特徴とする、請求項 3 記

50

載の液晶表示装置。

【請求項 7】

前記インターフェースは前記 4 対のデータ伝送ラインとともに、補助信号が伝送される 1 対の補助信号伝送ラインを含む前記スケーラー内に内蔵するインターフェース送信回路と、前記タイミングコントローラ内に内蔵し前記 4 対のデータ伝送ラインを通じてデータを受信し、前記 1 対の補助信号伝送ラインを通じて前記補助信号を受信するインターフェース受信回路を備えて、

前記システムボードは前記スケーラーと前記インターフェース送信回路間に配置され、前記スケーラーからの前記データと前記補助信号を前記タイミングコントローラへ伝達するラインスイッチング回路をさらに備えることを特徴とする、請求項 3 記載の液晶表示装置。

10

【請求項 8】

前記インターフェースは前記 4 対のデータ伝送ラインとともに、補助信号が伝送される 2 対の補助信号伝送ラインを含む前記システムボード上に実装されるインターフェース送信回路と、前記タイミングコントローラ内に内蔵し、前記 4 対のデータ伝送ラインを通じて前記データを受信し、1 対の補助信号伝送ラインを通じて前記補助信号を受信するインターフェース受信回路を備え、前記コントロールボードは、前記インターフェース送信回路と前記タイミングコントローラの間に配置され、前記インターフェース送信回路からの補助信号を前記 1 対の補助信号伝送ラインに伝送するラインスイッチング回路をさらに備え、前記スケーラーは、20 対のデータ伝送ラインを通じて前記インターフェース送信回路にデータを伝送し、4 対のクロック伝送ラインを通じてクロック信号を前記インターフェース送信回路に伝送することを特徴とする、請求項 3 記載の液晶表示装置。

20

【請求項 9】

前記インターフェースは前記 4 対のデータ伝送ラインとともに、補助信号が伝送される 2 対の補助信号伝送ラインを含む前記システムボード上に実装されるインターフェース送信回路と、前記システムボード上に実装され、前記 4 対のデータ伝送ラインを通じて前記データを受信し、前記 2 対の補助信号伝送ラインを通じて前記補助信号を受信するインターフェース受信回路を備え、前記コントロールボードは前記インターフェース送信回路と前記タイミングコントローラの間に配置され、前記インターフェース送信回路からの補助信号を前記 2 対の補助信号伝送ラインで伝送するラインスイッチング回路をさらに備え、前記スケーラーは、20 対のデータ伝送ラインを通じて前記インターフェース送信回路にデータを伝送し、4 対のクロック伝送ラインを通じてクロック信号を前記インターフェース送信回路に伝送することを特徴とする、請求項 3 記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は軽量、薄型、低消費電力駆動などの特徴によってその応用範囲が徐々に広がっているこの液晶表示装置はノート・パソコンのようなポータブルコンピュータ、事務自動化器機、オーディオ/ビデオ器機、屋内外広告表示装置などに利用されている。液晶表示装置の大部分を占めている透過型液晶表示装置は液晶層に印加される電界を制御してバックライトユニットから入射される光を変調することで画像を表示する。

40

【0003】

このような液晶表示装置は液晶表示モジュールと、液晶表示モジュールの駆動回路を備える。液晶表示モジュールの駆動回路は液晶表示パネルのデータラインにデータ電圧を供給するデータ駆動回路、液晶表示パネルのスキャンラインにスキャンパルスを供給するゲート駆動回路、及びその駆動回路の動作タイミングを制御するためのタイミングコントローラを含む。タイミングコントローラはコントロールボードに実装され、データ駆動回路

50

のICはソースPCB (Printed Circuit Board) に実装される。コントロールボードとソースPCB の間には、デジタルビデオデータとタイミング制御信号が伝送されるFPC (Flexible Printed Circuit) が設置される。コントロールボードはインターフェースケーブルを通じてシステムボードに接続される。システムボードにはスケーラが実装される。スケーラは液晶表示パネルの解像度に合うようにデータの解像度を変換してコントロールボードに伝送する。

【 0 0 0 4 】

システムボードとコントロールボードの間を接続するインターフェースケーブルの配線数は伝送しようとするデータの量とクロック信号によって決まる。現在液晶表示装置をFull-HD 120Hz 駆動する時、システムボードとコントロールボードの間のインターフェースケーブルはLVDS (Low - Voltage Differential Signaling) インターフェース方式を適用した場合に48個のライン数を要する。LVDSインターフェース方式を適用してもインターフェースケーブルの配線数が多く、インターフェースケーブルをシステムボードとコントロールボードに接続するためのコネクタのピンの個数が多い。このために従来液晶表示装置はインターフェースケーブル及びコネクタのコストによって費用節減に困難がありインターフェースケーブルを通じて伝送される高周波のクロック信号などによって、EMI (Electromagnetic Interference) が高くなる問題がある。

10

【 0 0 0 5 】

最近ではLVDSインターフェースに比べてEMIが少なく伝送ライン数が小さなインターフェース方式が開発されているがそのインターフェースで既存のLVDSインターフェースを取り替える前までの過渡期の間、新たに開発されるインターフェースと既存LVDSインターフェースを併用して使わなければならない。この場合、新たに開発されるインターフェースと既存LVDSインターフェースを互換性あるように接続する方法が要求されている。

20

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 6 】

したがって、本発明の目的は前記従来技術の問題点を解決するために、互いに異なるインターフェースの互換性があるように接続した液晶表示装置を提供する。

30

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 0 7 】

前記目的を果たすために、本発明の実施形態に係る液晶表示装置は複数のデータラインと複数のゲートラインが交差される液晶表示パネルと、データラインにデータ電圧を供給するソースドライバICと、ゲートラインにゲートパルスを供給するゲートドライバICと、スケーラが実装され、そこから出力されるデータを第1インターフェース方式で伝送するシステムボードと、第1インターフェース方式で伝送されるデータを受信し第2インターフェース方式でそのデータを伝送するインターフェースボードと、第2インターフェース方式で伝送されるデータを受信しそのデータをソースドライバICに供給し、ソースドライバICとゲートドライバICの動作タイミングを制御するタイミングコントローラが実装されたコントロールボードを備える。

40

【 0 0 0 8 】

第2インターフェース方式で必要なデータ伝送ラインの数は、第1インターフェース方式で必要なデータ伝送ラインの数より小さい。

【 0 0 0 9 】

本発明の他の実施形態に係る液晶表示装置は、複数のデータラインと複数のゲートラインが交差する液晶表示パネルと、データラインにデータ電圧を供給するソースドライバICと、ゲートラインにゲートパルスを供給するゲートドライバICと、スケーラが実装されそこから出力されるデータを4対のデータ伝送ラインを含むインターフェースを通じて伝送するシステムボードと、インターフェースを通じてそのデータを受信し、そしてソ

50

ースドライブＩＣに供給するソースドライブＩＣと前記ゲートドライブＩＣの動作タイミングを制御するタイミングコントローラが実装されたコントロールボードを備える。

【発明の効果】

【００１０】

上述のように、本発明の実施形態に係る液晶表示装置は既存のインターフェース方式を採用する液晶表示装置で、既存のインターフェースとともにクロック伝送ラインがなく必要なデータ伝送ライン数が小さなインターフェースを併用してインターフェースの信号伝送ライン数を減らしてＥＭＩを減らすことができるだけでなく、既存インターフェースとの互換性を向上させることができる。

【発明を実施するための最良の形態】

10

【００１１】

前記目的外に本発明の他の目的及び特徴は添付した図面を参照した実施形態の説明を通じて明白に現われるようになる。

【００１２】

以下では本発明による具体的な実施形態を添付された図面を参照して説明する。

【００１３】

図１乃至図９を参照して本発明の望ましい実施形態に対して詳しく説明する。

【００１４】

図１を参照すれば、本発明の第１実施形態に係る液晶表示装置は、液晶表示パネル１０、複数のゲートドライブＩＣ（１５１乃至１５３）、複数のソースドライブＩＣ（１３１乃至１３６）、システムボード（ＳＢ）、インターフェースボード（ＩＮＴＢ）及びコントロールボード（ＣＴＲＢ）を備える。

20

【００１５】

液晶表示パネル１０は二枚のガラス基板間に液晶層を含む。この液晶表示パネル１０の液晶セルはデータライン１４とゲートライン１６の交差構造によってマトリックス形態に配置される。

【００１６】

液晶表示パネル１０の下部ガラス基板にはデータライン１４、ゲートライン１６、ＴＦＴ、ＴＦＴに接続され画素電極１と共通電極２との間の電界によって駆動される液晶セル（Ｃｌｃ）、及びストレージキャパシター（Ｃｓｔ）などが形成される。

30

【００１７】

液晶表示パネル１０の上部ガラス基板上にはブラックマトリックス、カラーフィルター及び共通電極２が形成される。

【００１８】

共通電極２はＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モードとＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モードのような垂直電界駆動方式で上部ガラス基板上に形成されて、ＩＰＳ（Ｉｎ Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）モードとＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モードのような水平電界駆動方式で画素電極１と共に下部ガラス基板上に形成される。液晶表示パネル１０の上部ガラス基板と下部ガラス基板上には光軸が直交する偏光版が附着して液晶と接する界面に液晶のフリーチルト角（ｐｒｅ-ｔｉｌｔ ａｎｇｌｅ）を設定するための配向膜が形成される。

40

【００１９】

ソースドライブＩＣ（１３１乃至１３６）は、コントロールボード（ＣＴＲＢ）からｍｉｎｉ ＬＶＤＳ方式で伝送されるデジタルビデオデータを受信し、そのデータをコントロールボード（ＣＴＲＢ）からのデータタイミング制御信号に応じアナログデータ電圧に変換した後、液晶表示パネル１０のデータライン１４に供給する。このソースドライブＩＣそれぞれは、ｍｉｎｉ ＬＶＤＳ データを受信して復元するｍｉｎｉ ＬＶＤＳ 受信回路を内蔵する。

【００２０】

ゲートドライブＩＣ（１５１乃至１５３）それぞれは、コントロールボード（ＣＴＲＢ

50

）からのゲートタイミング制御信号に応答してゲートパルスを発生し、そのゲートパルスをゲートライン 16 に順に供給する。

【0021】

システムボード（SB）はデジタルビデオデータの解像度を、液晶表示パネル 10 の解像度に合うように変換し、そのデジタルビデオデータ及びタイミング信号を LVDS クロックとともに LVDS インターフェース方式でインターフェースボード（INTB）に伝送する。タイミング信号は垂直及び水平同期信号、データイネーブル信号、ドットクロックなどを含む。

【0022】

インターフェースボード（INTB）は LVDS インターフェース受信回路を通じてシステムボードからデジタルビデオデータと LVDS クロックを受信し、それを Vbyone インターフェース方式で変換する。そしてインターフェースボード（INTB）は Vbyone インターフェース方式で補助信号を Vbyone 受信回路に送信し、Vbyone 受信回路からの応答信号を受信した後、デジタルビデオデータ及びタイミング信号をコントロールボード（CTRB）に伝送する。ここで、補助信号は、デジタルビデオデータ及びタイミング信号の送信に先立って低い周波数で何回かだけ伝送されるので、EMI をほとんど発生しない。

【0023】

コントロールボード（CTRB）は、Vbyone データを受信し、これを mini LVDS データに変換し、mini LVDS データとともに mini LVDS クロックをソースドライバ IC（131 乃至 136）に伝送する。また、コントロールボード（CTRB）は、ソースドライバ IC（131 乃至 136）の動作タイミングを制御するためのデータタイミング制御信号と、ゲートドライバ IC（151 乃至 153）の動作タイミングを制御するためのゲートタイミング制御信号を発生する。以下で、液晶表示パネル 10 を Full-HD 120Hz 駆動する場合を仮定してシステムボード（SB）、インターフェースボード（INTB）及びコントロールボード（CTRB）の信号配線接続及び動作を説明する。

【0024】

図 2 はシステムボード（SB）、インターフェースボード（INTB）及びコントロールボード（CTRB）を示す図である。

【0025】

図 2 を参照すれば、システムボード（SB）にはスケーラ（SCL）が実装される。スケーラ（SCL）には LVDS 送信回路が内蔵する。スケーラ（SCL）はデジタルビデオデータの解像度を変換し、デジタルビデオデータ及びタイミング信号とともに LVDS クロックを、LVDS 送信回路を通じてインターフェースボード（INTB）に伝送する。

【0026】

システムボード（SB）とインターフェースボード（INTB）にはコネクタを通じて第 1 及び第 2 ケーブル（CON1、CON2）が接続される。第 1 及び第 2 ケーブル（CON1、CON2）には 24 対の伝送ラインに分けられる。LVDS インターフェース規格によって、24 対の伝送ラインはデジタルビデオデータ及びタイミング信号が伝送される 20 対のデータ伝送ラインと、4 対の LVDS クロック伝送ラインを含む。

第 1 ケーブル（CON1）には 10 対のデータ伝送ラインと 2 対の LVDS クロック伝送ラインが形成される。また、第 2 ケーブル（CON2）には 10 対のデータ伝送ラインと 2 対の LVDS クロック伝送ラインが形成される。

【0027】

インターフェースボード（INTB）には第 1 乃至第 4 LVDS 受信回路（LIP1 乃至 LIP4）、LVDS-Vbyone 中継回路（LVC）、第 1 及び第 2 Vbyone 送信回路（VTX1、VTX2）が実装される。

【0028】

10

20

30

40

50

第1 LVDS 受信回路 (LIP1) は、第1 ケーブル (CON1) に含まれる10対のデータ伝送ライン及び2対のLVDSクロック伝送ラインと接続され、システムボード (SB) からデジタルビデオデータ及びタイミング信号とともにLVDSクロックを受信し、LVDSクロックによってデジタルビデオデータを復元し、それをLVDS-Vbyone中継回路 (LVC) に伝達する。第2 LVDS 受信回路 (LIP2) は、第1 ケーブル (CON1) に含まれる残り10対のデータ伝送ライン及び2対のLVDSクロック伝送ラインと接続され、システムボード (SB) からデジタルビデオデータ及びタイミング信号とともにLVDSクロックを受信し、LVDSクロックによってデジタルビデオデータを復元してLVDS-Vbyone中継回路 (LVC) に伝達する。第3 LVDS 受信回路 (LIP3) は、第2 ケーブル (CON2) に含まれる10対のデータ伝送ライン及び1対のLVDSクロック伝送ラインと接続され、システムボード (SB) からデジタルビデオデータ及びタイミング信号とともにLVDSクロックを受信し、LVDSクロックによってデジタルビデオデータを復元し、それをLVDS-Vbyone中継回路 (LVC) に伝達する。第4 LVDS 受信回路 (LIP4) は、第2 ケーブル (CON2) に含まれる残り10対のデータ伝送ライン及び1対のLVDSクロック伝送ラインと接続され、システムボード (SB) からデジタルビデオデータ及びタイミング信号とともにLVDSクロックを受信し、LVDSクロックによってデジタルビデオデータを復元し、それをLVDS-Vbyone中継回路 (LVC) に伝達する。

10

【0029】

LVDS-Vbyone中継回路 (LVC) はLVDS 受信回路を含む。LVDS-Vbyone中継回路 (LVC) はLVDS 受信回路 (LIP1乃至LIP4) とVbyone送信回路 (VTX1、VTX2) の間に配置され、LVDS 受信回路 (LIP1乃至LIP4) からのデジタルビデオデータをLVDSクロックで復元する。そしてLVDS-Vbyone中継回路 (LVC) は、復元されたデジタルビデオデータとタイミング信号を、Vbyone送信回路 (VTX1、VTX2) に分配する。

20

【0030】

第1 Vbyone送信回路 (VTX1) はLVDS-Vbyone中継回路 (LVC) に接続され、デジタルビデオデータを圧縮し、圧縮されたデジタルビデオデータとともにタイミング信号を出力する。第2 Vbyone送信回路 (VTX2) はLVDS-Vbyone中継回路 (LVC) に接続され、デジタルビデオデータを圧縮し、圧縮されたデジタルビデオデータとともにタイミング信号を出力する。Vbyone送信回路 (VTX1、VTX2) それぞれは、クロック信号を発生しないでコントロールボード (CTRB) のVbyone受信回路の動作を、受信モードで変換するための補助信号を発生する。

30

【0031】

インターフェースボード (INTB) はコネクタを通じ、第3 ケーブル (CON3) を経由してコントロールボード (CTRB) に接続される。第3 ケーブル (CON3) は4対のデータ伝送ラインと2対の補助信号伝送ラインを含む。第1 Vbyone送信回路 (VTX1) から出力されるデジタルビデオデータ及びタイミング信号は第3 ケーブル (CON3) に形成された2対のデータ伝送ラインを通じてコントロールボード (CTRB) に伝送され、第1 Vbyone送信回路 (VTX1) から出力される補助信号は第3 ケーブル (CON3) に形成された1対の補助信号伝送ラインを通じてコントロールボード (CTRB) に伝送される。第2 Vbyone送信回路 (VTX2) から出力されるデジタルビデオデータ及びタイミング信号は、第3 ケーブル (CON3) に形成された他の2対のデータ伝送ラインを通じてコントロールボード (CTRB) に送信されて、第2 Vbyone送信回路 (VTX2) から出力される補助信号は、第3 ケーブル (CON3) に形成された他の1対の補助信号伝送ラインを通じてコントロールボード (CTRB) に伝送される。

40

【0032】

コントロールボード (CTRB) は、第1 及び第2 Vbyone 受信回路 (VRX1、VRX2)、Vbyone-LVDS中継回路 (VLC)、第5乃至第8 LVDS 受信

50

回路 (L I P 5 乃至 L I P 8)、タイミングコントローラ (T C O N) などを備える。

【 0 0 3 3 】

第 1 V b y o n e 受信回路 (V R X 1) は、受信された補助信号に対する応答信号を第 1 V b y o n e 送信回路 (V T X 1) に伝送した後、第 3 ケーブル (C O N 3) を通じて第 1 V b y o n e 送信回路 (V T X 1) からのデジタルビデオデータを受信し復元した後、それを V b y o n e - L V D S 中継回路 (V L C) に伝送する。第 2 V b y o n e 受信回路 (V R X 2) は、受信された補助信号に対する応答信号を第 2 V b y o n e 送信回路 (V T X 2) に伝送した後、第 3 ケーブル (C O N 3) を通じて第 2 V b y o n e 送信回路 (V T X 2) からのデジタルビデオデータを受信し復元した後、それを V b y o n e - L V D S 中継回路 (V L C) に伝送する。

10

【 0 0 3 4 】

V b y o n e - L V D S 中継回路 (V L C) は、L V D S インターフェース規格によってデジタルビデオデータを変換し、L V D S クロックを生成する L V D S 送信回路を含む。この V b y o n e - L V D S 中継回路 (V L C) は、第 1 及び第 2 V b y o n e 受信回路 (V R X 1、V R X 2) からのデジタルビデオデータを、L V D S インターフェース規格によって変換し、そのデジタルビデオデータ及びタイミング信号とともに L V D S クロックを第 5 乃至第 8 L V D S 受信回路 (L I P 5 乃至 L I P 8) に分配する。

【 0 0 3 5 】

第 5 乃至第 8 L V D S 受信回路 (L I P 5 乃至 L I P 8) それぞれはコントロールボード (C T R B) 上に形成された 1 0 対のデータ伝送ライン及び 1 対の L V D S クロック伝送ラインを通じて、デジタルビデオデータ及びタイミング信号とともに L V D S クロックを受信し、L V D S クロックによってデジタルビデオデータを復元し、それをタイミングコントローラ (T C O N) に伝送する。したがって、V b y o n e - L V D S 中継回路 (V L C) と L V D S 受信回路 (L I P 5 乃至 L I P 8) との間には 4 0 対のデータ伝送ラインと 4 対の L V D S クロック伝送ラインが形成される。

20

【 0 0 3 6 】

タイミングコントローラ (T C O N) は駆動回路のタイミング制御信号発生回路、データサンプリング回路、m i n i L V D S 送信回路などを含む。タイミングコントローラ (T C O N) は受信されたタイミング信号すなわち、垂直及び水平同期信号、データライン信号、ドットクロックを利用してソースドライブ I C (1 3 1 乃至 1 3 6) の動作タイミングを制御し、液晶表示パネル 1 0 に供給されるデータ電圧の極性を制御するためのデータタイミング制御信号を発生するとともに、ゲートドライブ I C (1 5 1 乃至 1 5 3) の動作タイミングを制御するためのゲートタイミング制御信号を発生する。また、タイミングコントローラ (T C O N) は、m i n i L V D S インターフェース規格によって、デジタルビデオデータとともに m i n i L V D S クロックをソースドライブ I C (1 3 1 乃至 1 3 6) に伝送する。

30

【 0 0 3 7 】

したがって、本発明の第 1 実施形態に係る液晶表示装置は、システムボード (S B) からのデータを L V D S インターフェース伝送方式でインターフェースボード (I N T B) に伝送し、インターフェースボード (I N T B) からのデータを V b y o n e インターフェース伝送方式でコントロールボード (C T R B) に送る、L V D S インターフェースと V b y o n e を併用する。その結果、インターフェースボード (I N T B) とコントロールボード (C T R B) との間にクロック伝送ラインをとり除くことができ、ボード間での E M I を最小化することができる。

40

【 0 0 3 8 】

図 3 は本発明の第 2 実施形態に係る液晶表示装置を示す。

【 0 0 3 9 】

図 3 を参照すれば、本発明の第 1 実施形態に係る液晶表示装置は、液晶表示パネル 1 0、複数のゲートドライブ I C (1 5 1 乃至 1 5 3)、複数のソースドライブ I C (1 3 1 乃至 1 3 6)、システムボード (S B)、及びコントロールボード (C T R B) を備える

50

。液晶表示パネル 10、ゲートドライバ IC (151 乃至 153)、ソースドライバ IC (131 乃至 136) は前述の第 1 実施形態と実質的に同一であるので、同一な図面符号を付けてそれに対する詳細な説明を略する。

【0040】

システムボード (SB) はデジタルビデオデータの解像度を液晶表示パネル 10 の解像度に合うように変換し、そのデジタルビデオデータ及びタイミング信号を Vbyone インターフェース規格で伝送する。

【0041】

コントロールボード (CTRB) は、Vbyone データを受信し、それを mini LVDS データへ変換して、mini LVDS データとともに mini LVDS クロックをソースドライバ IC (131 乃至 136) に伝送する。また、コントロールボード (CTRB) は、ソースドライバ IC (131 乃至 136) の動作タイミングを制御するためのデータタイミング制御信号と、ゲートドライバ IC (151 乃至 153) の動作タイミングを制御するためのゲートタイミング制御信号を発生する。

【0042】

図 4 は図 3 に示されるシステムボード (SB) 及びコントロールボード (CTRB) の第 1 実施形態を詳しく示す図である。

【0043】

図 4 を参照すれば、システムボード (SB) にはスケーラ (SCL)、第 1 及び第 2 Vbyone 送信回路 (VTX1、VTX2) などが実装される。スケーラ (SCL) には LVDS 送信回路が内蔵する。スケーラ (SCL) はデジタルビデオデータの解像度を変換し、デジタルビデオデータ及びタイミング信号とともに LVDS クロックを、LVDS 送信回路を通じて第 1 及び第 2 Vbyone 送信回路 (VTX1、VTX2) に伝送する。スケーラ (SCL) と第 1 及び第 2 Vbyone 送信回路 (VTX1、VTX2) 間のデータ伝送のために、システムボード (SB) 上には、スケーラ (SCL) の出力端と Vbyone 送信回路 (VTX1、VTX2) の入力端を接続する 20 対のデータ伝送ラインと、4 対のクロック伝送ラインが形成される。第 1 Vbyone 送信回路 (VTX1) はスケーラ (SCL) から入力されるデジタルビデオデータを圧縮し、圧縮されたデジタルビデオデータとともにタイミング信号を出力する。第 2 Vbyone 送信回路 (VTX2) は、スケーラ (SCL) から入力されるデジタルビデオデータを圧縮して圧縮されたデジタルビデオデータとともにタイミング信号を出力する。Vbyone 送信回路 (VTX1、VTX2) それぞれは、クロック信号を発生しないで、コントロールボード (CTRB) に実装された Vbyone 受信回路の動作を、受信モードで変換するための補助信号を発生する。

【0044】

コントロールボード (CTRB) には第 1 及び第 2 Vbyone 受信回路 (VRX1、VRX2)、タイミングコントローラ (TCON) などが実装される。

【0045】

システムボード (SB) とコントロールボード (CTRB) はコネクタとケーブルを通じて接続される。ケーブルには、Vbyone インターフェース規格によって 4 対のデータ伝送ラインと 2 対の補助信号伝送ラインが形成される。第 1 Vbyone 送信回路 (VTX1) と第 1 Vbyone 受信回路 (VRX1) は、2 対のデータ伝送ラインと 1 対の補助信号伝送ラインを通じて接続される。第 1 Vbyone 受信回路 (VRX1) は受信された補助信号に対する応答信号を、第 1 Vbyone 送信回路 (VTX1) に伝送し、2 対のデータ伝送ラインを通じてデジタルビデオデータを受信し復元した後、復元されたデータをタイミングコントローラ (TCON) に伝送する。第 2 Vbyone 受信回路 (VRX2) は、受信された補助信号に対する応答信号を、第 2 Vbyone 送信回路 (VTX2) に伝送し、2 対のデータ伝送ラインを通じてデジタルビデオデータを受信し復元した後、復元されたデータをタイミングコントローラ (TCON) に伝送する。

【 0 0 4 6 】

タイミングコントローラ (T C O N) は駆動回路のタイミング制御信号発生回路、データサンプリング回路、mini LVDS 送信回路などを含む。タイミングコントローラ (T C O N) は、受信されたタイミング信号すなわち、垂直及び水平同期信号、データイネーブル信号、ドットクロックを利用してソースドライブIC (1 3 1 乃至 1 3 6) の動作タイミングを制御し、液晶表示パネル 1 0 に供給されるデータ電圧の極性を制御するためのデータタイミング制御信号を発生するとともに、ゲートドライブIC (1 5 1 乃至 1 5 3) の動作タイミングを制御するためのゲートタイミング制御信号を発生する。また、タイミングコントローラ (T C O N) は、mini LVDS インターフェース規格によってデジタルビデオデータとともにmini LVDS クロックをソースドライブIC (1 3 1 乃至 1 3 6) に伝送する。

10

【 0 0 4 7 】

したがって、本発明の第 2 実施形態に係る液晶表示装置はシステムボード (S B) とコントロールボード (C T R B) を直接接続し、それらの間のデータ伝送を、クロック伝送ラインが必要ないVbyone インターフェースで伝送することで、EMI とデータ伝送ラインを減らすことができる。

【 0 0 4 8 】

図 5 は図 3 に示されたシステムボード (S B) 及びコントロールボード (C T R B) の第 2 実施形態を詳しく示す図である。

【 0 0 4 9 】

20

図 5 を参照すれば、システムボード (S B) にはスケーラ (S C L) などが実装される。スケーラ (S C L) にはVbyone 送信回路が内蔵する。スケーラ (S C L) はデジタルビデオデータの解像度を変換する。解像度が変換されたデジタルビデオデータとともにタイミング信号は、スケーラ (S C L) に内蔵したVbyone 送信回路によってVbyone インターフェース規格で圧縮され、コントロールボード (C T R B) に伝送される。また、スケーラ (S C L) のVbyone 送信回路は、データ伝送に先立って補助信号をコントロールボード (C T R B) に伝送する。

【 0 0 5 0 】

システムボード (S B) とコントロールボード (C T R B) は、コネクタとケーブルを通じて接続される。ケーブルにはVbyone インターフェース規格によって 4 対のデータ伝送ラインと 1 対の補助信号伝送ラインが形成される。ここで、システムボード (S B) に実装されたスケーラ (S C L) とコントロールボード (C T R B) に実装されたタイミングコントローラ (T C O N) の間に、Vbyone インターフェースでデータが伝送されるのに必要な補助信号伝送ラインは 1 対である。

30

【 0 0 5 1 】

コントロールボード (C T R B) にはタイミングコントローラ (T C O N) などが実装される。

【 0 0 5 2 】

タイミングコントローラ (T C O N) はVbyone 受信回路、駆動回路のタイミング制御信号発生回路、データサンプリング回路、mini LVDS 送信回路などを内蔵する。このタイミングコントローラ (T C O N) は、受信されたタイミング信号すなわち、垂直及び水平同期信号、データイネーブル信号、ドットクロックを利用してソースドライブIC (1 3 1 乃至 1 3 6) の動作タイミングを制御し、液晶表示パネル 1 0 に供給されるデータ電圧の極性を制御するためのデータタイミング制御信号を発生するとともに、ゲートドライブIC (1 5 1 乃至 1 5 3) の動作タイミングを制御するためのゲートタイミング制御信号を発生する。また、タイミングコントローラ (T C O N) は、Vbyone 受信回路を利用してVbyone インターフェース規格に圧縮されたデータを復元して、mini LVDS 送信回路を利用してmini LVDS インターフェース規格でデジタルビデオデータを変換し、そのデータとともにmini LVDS クロックをソースドライブIC (1 3 1 乃至 1 3 6) に伝送する。

40

50

【 0 0 5 3 】

図 5 の実施形態はシステムボード (S B) とコントロールボード (C T R B) 上に実装されるインターフェース関連部品数を減らすことができる上、ボード間のデータ伝送をクロック伝送ラインが必要ない V b y o n e インターフェースで伝送することで、E M I とデータ伝送ラインを減らすことができる。

【 0 0 5 4 】

一方、図 5 のようにスケーラー (S C L) とシステムボード (S B) の内の何れか一つだけが、V b y o n e 送信回路または受信回路を内蔵することができる。この場合、V b y o n e インターフェース送信端から出力される補助信号数と、V b y o n e インターフェース受信端に必要な補助信号数とが異なるので、それらの補助信号数を互換性のあるように一致させる信号ラインスイッチング回路が必要である。図 6 乃至図 8 は、信号ラインスイッチング回路を利用し、V b y o n e インターフェース送信端と受信端の間の補助信号ラインを一致させる実施形態を示す図である。

10

【 0 0 5 5 】

図 6 は図 3 に示されたシステムボード (S B) 及びコントロールボード (C T R B) の第 3 実施形態を示す図である。

【 0 0 5 6 】

図 6 を参照すれば、システムボード (S B) にはスケーラー (S C L) 、ラインスイッチング回路 (L S W) などが実装される。スケーラー (S C L) には V b y o n e 送信回路が内蔵する。スケーラー (S C L) に内蔵した V b y o n e 送信回路は、補助信号をコントロールボード (C T R B) に伝送し、V b y o n e 受信回路から応答信号を受信した後、V b y o n e インターフェース規格でデジタルビデオデータとタイミング信号を圧縮し、それをコントロールボード (C T R B) に伝送する。

20

【 0 0 5 7 】

スケーラー (S C L) とラインスイッチング回路 (L S W) は、クロック伝送ラインを必要とせずに、4 対のデータ伝送ラインと 1 対の補助信号伝送ラインを通じて接続される。

【 0 0 5 8 】

ラインスイッチング回路 (L S W) は、自身の制御端子に入力されるオプション信号 (O P T 1) によって出力される補助信号対を調整する。オプション信号 (O P T 1) はラインスイッチング回路 (L S W) の制御端子に供給される電圧で決まることができる。例えば、ラインスイッチング回路 (L S W) の制御端子に共通電源 (V c c) が供給される場合、オプション信号 (O P T 1) の論理値はハイ論理すなわち、“ 1 ” になる。一方、ラインスイッチング回路 (L S W) の制御端子にプルダウン抵抗を通じて基底電圧 (G N D) が供給される場合、オプション信号 (O P T 1) の論理値は、ロー論理すなわち、“ 0 ” になる。図 6 及び図 7 の実施形態で、ラインスイッチング回路 (L S W) はラインスイッチング回路 (L S W) の制御端子にハイ論理のオプション信号 (O P T 1) が供給される時に 2 対の補助信号を発生する一方、ロー論理のオプション信号 (O P T 1) が供給される時に 1 対の補助信号を発生する。勿論、ラインスイッチング回路 (L S W) の動作は上記条件に限定されない。例えば、ラインスイッチング回路 (L S W) は、ラインスイッチング回路 (L S W) の制御端子にハイ論理のオプション信号 (O P T 1) が供給される時 1 対の補助信号を発生し、一方、ロー論理のオプション信号 (O P T 1) が供給される時 2 対の補助信号を発生することもできる。

30

40

【 0 0 5 9 】

コントロールボード (C T R B) には二つの V b y o n e 受信回路 (V R X) 、タイミングコントローラ (T C O N) などが実装される。システムボード (S B) とコントロールボード (C T R B) はコネクタとケーブルを通じて接続される。ケーブルは、クロック信号伝送ライン必要とせずに 4 対のデータ伝送ラインと 1 対の補助信号伝送ラインを含む。

【 0 0 6 0 】

50

V b y o n e 受信回路 (V R X) それぞれは、V b y o n e インターフェースでデータを受信するために補助信号の入力を受けなければならない。したがって、V b y o n e 受信回路 (V R X) それぞれの入力端は、2 対のデータ伝送ラインと 1 対の補助信号伝送ラインと繋がる。一方、システムボード (S B) のスケーラー (S C L) は、4 対のデータ伝送ラインを通じてデジタルビデオデータ及びタイミング信号を出力し、1 対の補助信号伝送ラインを通じて補助信号を出力する。

したがって、V b y o n e 送信端と V b y o n e 受信端で必要な補助信号ライン数が一致しない。

【 0 0 6 1 】

このような補助信号ライン数の不一致問題を解決するために、システムボード (S B) に実装されたラインスイッチング回路 (L S W) の制御端子には、ハイ論理のオプション信号 (O P T 1) が印加される。したがって、ラインスイッチング回路 (L S W) は、1 対の補助信号ラインを通じて入力されるスケーラー (S C L) からの補助信号を、二つの V b y o n e 受信回路 (V R X) に 1 対ずつ接続された総 2 対の補助信号伝送ラインで分配する。また、ラインスイッチング回路 (L S W) は、4 対のデータ伝送ラインを通じて入力されるスケーラー (S C L) からのデジタルビデオデータ及びタイミング信号を、二つの V b y o n e 受信回路 (V R X) に 2 対ずつ接続された総 4 対の補助信号伝送ラインで分配する。

【 0 0 6 2 】

V b y o n e 受信回路 (V R X) それぞれは、受信された補助信号に対する応答信号を、ラインスイッチング回路 (L S W) を経由してスケーラー (S C L) の V b y o n e 送信回路に伝送し、ラインスイッチング回路 (L S W) を経由して V b y o n e インターフェース規格に伝送されるデジタルビデオデータを復元し、そのデータとタイミング信号をタイミングコントローラ (T C O N) に伝送する。

【 0 0 6 3 】

タイミングコントローラ (T C O N) は駆動回路のタイミング制御信号発生回路、データサンプリング回路、m i n i L V D S 送信回路などを含む。タイミングコントローラ (T C O N) は、二つの V b y o n e 受信回路 (V R X) から受信されたタイミング信号すなわち、垂直及び水平同期信号、データイネーブル信号、ドットクロックを利用してソースドライブ I C (1 3 1 乃至 1 3 6) の動作タイミングを制御し、液晶表示パネル 1 0 に供給されるデータ電圧の極性を制御するためのデータタイミング制御信号を発生するとともに、ゲートドライブ I C (1 5 1 乃至 1 5 3) の動作タイミングを制御するためのゲートタイミング制御信号を発生する。また、タイミングコントローラ (T C O N) は、m i n i L V D S インターフェース規格によってデジタルビデオデータとともに m i n i L V D S クロックをソースドライブ I C (1 3 1 乃至 1 3 6) に伝送する。

【 0 0 6 4 】

図 7 は図 3 に示されたシステムボード (S B) 及びコントロールボード (C T R B) の第 4 実施形態を示す図である。

【 0 0 6 5 】

図 7 を参照すれば、システムボード (S B) は、ラインスイッチング回路 (L S W) の制御端子にロー論理のオプション信号が供給されることを除けば、その構成が図 6 に示されたそれと実質的に同一である。したがって、スケーラー (S C L) とラインスイッチング回路 (L S W) は、クロック伝送ラインを必要とせずに、4 対のデータ伝送ラインと、1 対の補助信号伝送ラインを通じて接続される。これらの伝送ラインを通じてスケーラー (S C L) は、V b y o n e インターフェース規格に圧縮されたデジタルビデオデータとタイミング信号、そして補助信号をラインスイッチング回路 (L S W) に伝送する。

【 0 0 6 6 】

コントロールボード (C T R B) は図 5 の実施形態と実質的に同一である。したがって、コントロールボード (C T R B) にはタイミングコントローラ (T C O N) などが実装される。コントロールボード (C T R B) は、4 対のデータ伝送ラインと 1 対の補助信号

10

20

30

40

50

伝送ラインを含むケーブルと、そのケーブルをボードに接続するためのコネクタを通じて、システムボード（ＳＢ）のラインスイッチング回路（ＬＳＷ）の出力端に接続される。

【００６７】

タイミングコントローラ（ＴＣＯＮ）は、Ｖｂｙｏｎｅ 受信回路、駆動回路のタイミング制御信号発生回路、データサンプリング回路、mini L V D S 送信回路などを内蔵する。したがって、タイミングコントローラ（ＴＣＯＮ）の入力端は、ケーブルに形成された４対のデータ伝送ラインと１対の補助信号伝送ラインが接続される。

【００６８】

システムボード（ＳＢ）に実装されたラインスイッチング回路（ＬＳＷ）の制御端子にはロー論理のオプション信号（ＯＰＴ１）が印加される。したがって、ラインスイッチング回路（ＬＳＷ）は、１対の補助信号ラインを通じて入力されるスケーラー（ＳＣＬ）からの補助信号を、タイミングコントローラ（ＴＣＯＮ）の補助信号入力端子に接続された１対の補助信号伝送ラインにそのまま伝達する。また、ラインスイッチング回路（ＬＳＷ）は４対のデータ伝送ラインを通じて入力されるスケーラー（ＳＣＬ）からのデジタルビデオデータ及びタイミング信号を、タイミングコントローラ（ＴＣＯＮ）のデータ入力端子に接続された４対のデータ伝送ラインに伝達する。

【００６９】

図８及び図９は図３に示されたシステムボード（ＳＢ）及びコントロールボード（ＣＴＲＢ）の第５及び第６実施形態を示す図である。この第５及び第６実施形態は前述の第３及び第４実施形態と異なりラインスイッチング回路（ＬＳＷ）をコントロールボード（ＣＴＲＢ）に実装する。

【００７０】

図８を参照すれば、システムボード（ＳＢ）には図４の実施形態と同じくスケーラー（ＳＣＬ）、第１及び第２Ｖｂｙｏｎｅ 送信回路（ＶＴＸ１、ＶＴＸ２）などが実装される。スケーラー（ＳＣＬ）にはＬＶＤＳ送信回路が内蔵する。スケーラー（ＳＣＬ）は内蔵したＬＶＤＳ送信回路を通り、２０対のデータ伝送ラインを通じてデジタルビデオデータとタイミング信号を出力し、４対のクロック伝送ラインを通じてＬＶＤＳクロックを出力する。Ｖｂｙｏｎｅ 送信回路（ＶＴＸ１、ＶＴＸ２）それぞれは、スケーラー（ＳＣＬ）から入力されるデジタルビデオデータを、Ｖｂｙｏｎｅ インターフェース規格で圧縮し、圧縮されたデジタルビデオデータとともにタイミング信号を出力し、また１対の補助信号を出力する。このＶｂｙｏｎｅ 送信回路（ＶＴＸ１、ＶＴＸ２）の出力端は、コネクタを通じてシステムボード（ＳＢ）と、コントロールボード（ＣＴＲＢ）を接続するケーブルを通じてコントロールボード（ＣＴＲＢ）に実装されたラインスイッチング回路（ＬＳＷ）の入力端とに接続される。ケーブルは４対のデータ伝送ラインと２対の補助信号伝送ラインを含む。

【００７１】

コントロールボード（ＣＴＲＢ）に実装されたタイミングコントローラ（ＴＣＯＮ）は、Ｖｂｙｏｎｅ 受信回路、駆動回路のタイミング制御信号発生回路、データサンプリング回路、mini L V D S 送信回路などを内蔵する。タイミングコントローラ（ＴＣＯＮ）のＶｂｙｏｎｅ 受信回路は、４対のデータ伝送ラインと１対の補助信号伝送ラインのみを要する。これと比べて、システムボード（ＳＢ）のＶｂｙｏｎｅ 送信回路それぞれが補助信号対を発生するので、システムボード（ＳＢ）で出力される補助信号とタイミングコントローラ（ＴＣＯＮ）の入力端に含まれる補助ライン数が一致しない。

【００７２】

ラインスイッチング回路（ＬＳＷ）は自身の制御端子に入力されるオプション信号（ＯＰＴ２）によって出力される補助信号対を調整する。オプション信号（ＯＰＴ２）は前述のようにラインスイッチング回路（ＬＳＷ）の制御端子に供給される電圧で決めることができる。図８及び図９の実施形態で、ラインスイッチング回路（ＬＳＷ）は、ハイ論理のオプション信号（ＯＰＴ２）に応答し２対の補助信号を１対の補助信号へ変換して１対の

10

20

30

40

50

補助信号伝送ラインに出力する一方、ロー論理のオプション信号（OPT2）に应答し2対の補助信号をそのまま2対の補助信号伝送ラインに出力する。

勿論、ラインスイッチング回路（LSW）の動作は上のような条件に限定されるのではない。例えば、ラインスイッチング回路（LSW）は上の動作とは逆にハイ論理のオプション信号（OPT1）に应答して2対の補助信号を出力する一方、ロー論理のオプション信号（OPT1）に应答して1対の補助信号を出力することもできる。

【0073】

図8の実施形態では、ラインスイッチング回路（LSW）の制御端子に、ハイ論理のオプション信号（OPT2）が入力される。したがって、ラインスイッチング回路（LSW）は、2対の補助信号伝送ラインを通じて入力される2対の補助信号を1対の補助信号へ変換し、その補助信号を1対の補助信号伝送ラインを通じてタイミングコントローラ（TCON）の補助信号入力端子に供給する。また、ラインスイッチング回路（LSW）は、4対のデータ伝送ラインを通じて入力されるデジタルビデオデータ及びタイミング信号を、4対のデータ伝送ラインを通じてタイミングコントローラ（TCON）のデータ入力端子とタイミング信号入力端子に供給する。

10

【0074】

図9を参照すれば、システムボード（SB）は図8の実施形態と同一である。システムボード（SB）のVbyone送信回路（VTX1、VTX2）それぞれは、スケーラ（SCl）から入力されるデジタルビデオデータをVbyone インターフェイス規格で圧縮し、圧縮されたデジタルビデオデータとともにタイミング信号を出力し、また、1対の補助信号を出力する。システムボード（SB）とコントロールボード（CTRB）は、コネクタとケーブルを通じて接続される。したがって、システムボード（SB）はケーブルに形成された4対のデータ伝送ラインを通じてデジタルビデオデータとタイミング信号をコントロールボード（CTRB）に伝送し、また、ケーブルに形成された2対の補助信号伝送ラインを通じて補助信号をコントロールボード（CTRB）に伝送する。

20

【0075】

コントロールボード（CTRB）にはラインスイッチング回路（LSW）、第1及び第2Vbyone受信回路（VRX1、VRX2）、タイミングコントローラ（TCON）などが実装される。コントロールボード（CTRB）は、4対のデータ伝送ラインと2対の補助信号伝送ラインを含むケーブルと、ケーブルをボードに接続するためのコネクタを通じてシステムボード（SB）のラインスイッチング回路（LSW）の出力端に接続される。

30

【0076】

ラインスイッチング回路（LSW）の制御端子にはロー論理のオプション信号（OPT2）が供給される。したがって、ラインスイッチング回路（LSW）は、ロー論理のオプション信号（OPT2）に应答して、2対の補助信号伝送ラインを通じて入力される2対の補助信号をそのまま2対の補助信号伝送ラインに出力する。ラインスイッチング回路（LSW）の出力の内、2対のデータと1対の補助信号は第1Vbyone受信回路（VRX1）に供給され、残り2対のデータと1対の補助信号は第2Vbyone受信回路（VRX2）に供給される。

40

【0077】

Vbyone受信回路（VRX1、VRX2）それぞれは、Vbyone インターフェイス規格によって入力されたデジタルビデオデータを復元し、それをタイミングコントローラ（TCON）に供給する。

【0078】

ここで、これまで挙げてきた実施形態は液晶表示パネルがFull HD 120Hzで駆動される実施形態である。したがって、液晶表示パネルの解像度や駆動周波数が変われば前述のインターフェイスのライン数などが変わることができる。

【0079】

前述の実施形態でVbyone インターフェイス方式は、LVD Sインターフェイス

50

方式に比べて必要な伝送ライン数が小さな何れかのインターフェース方式でも取り替えることができる。また、LVDS インターフェース方式はRSDS (Reduced Swing Differential Signaling) インターフェース方式で取り替えることができる。

【0080】

以上説明した内容を通じて当業者なら本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲によって決められなければならない。

【図面の簡単な説明】

10

【0081】

【図1】本発明の第1実施形態に係る液晶表示装置を示すブロック図。

【図2】図1に示されたシステムボード、インターフェースボード及びコントロールボードを詳しく示すブロック図。

【図3】本発明の第2実施形態に係る液晶表示装置を示すブロック図。

【図4】図3に示されたシステムボードとコントロールボードの第1実施形態を示すブロック図。

【図5】図3に示されたシステムボードとコントロールボードの第2実施形態を示すブロック図。

【図6】図3に示されたシステムボードとコントロールボードの第3実施形態を示すブロック図。

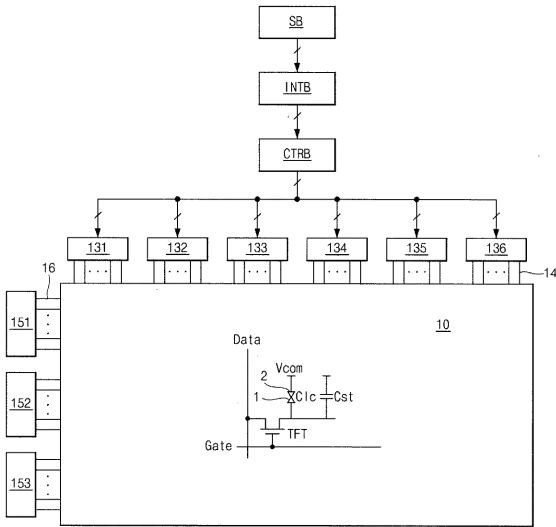
20

【図7】図3に示されたシステムボードとコントロールボードの第4実施形態を示すブロック図。

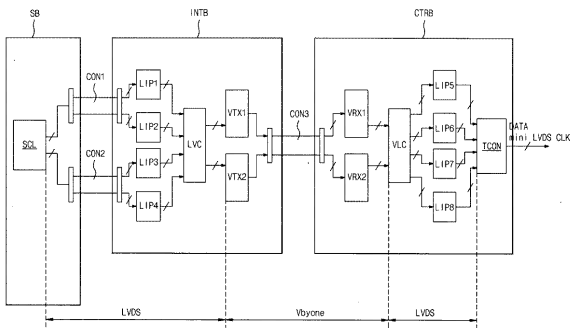
【図8】図3に示されたシステムボードとコントロールボードの第5実施形態を示すブロック図。

【図9】図3に示されたシステムボードとコントロールボードの第6実施形態を示すブロック図。

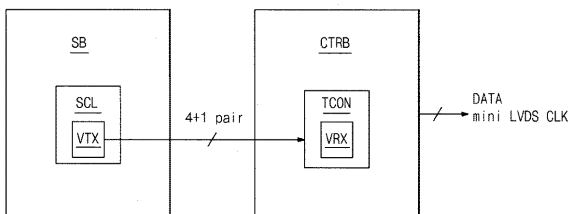
【図 1】



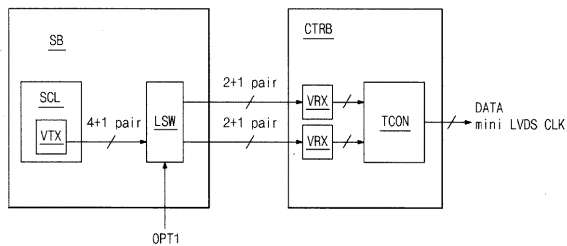
【図 2】



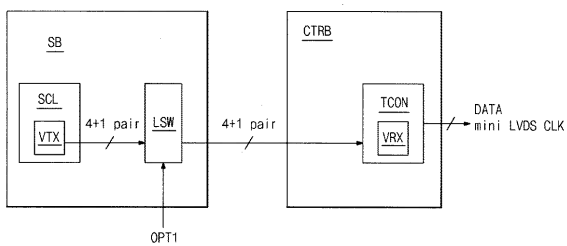
【図 5】



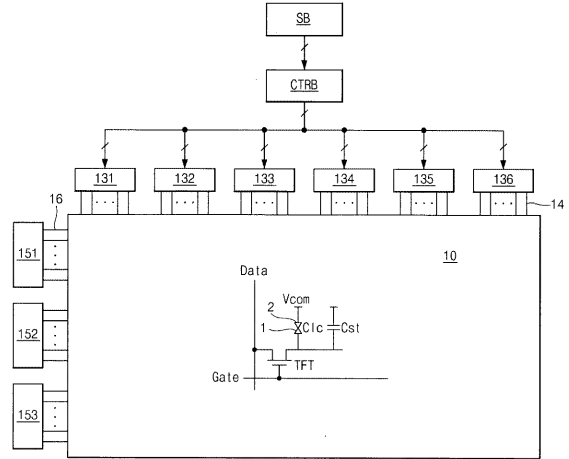
【図 6】



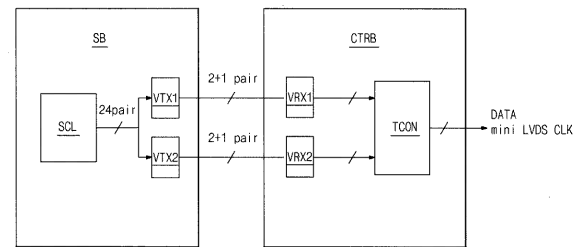
【図 7】



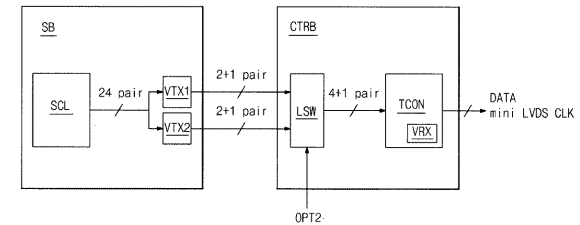
【図 3】



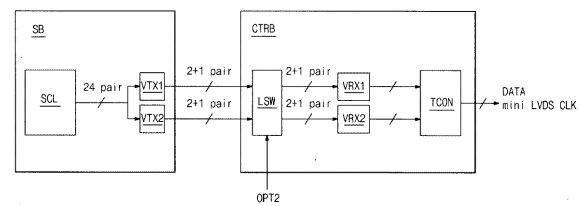
【図 4】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 3 C
	G 0 9 G 3/20	6 3 3 H
	G 0 9 G 3/20	6 3 3 D
	G 0 9 G 3/20	6 3 3 P
	G 0 9 G 3/20	6 1 2 P
	G 0 9 G 3/20	6 1 2 L
	G 0 9 G 3/20	6 3 2 C
	G 0 9 G 3/20	6 3 2 B
	G 0 9 G 3/20	6 5 0 C

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 宋 鴻 聲

大韓民国 キョンブク グミシ グピョンドン 4 7 4 - 7 ブヨン アパートメント 8 0 3 - 7 0 6

(72)発明者 趙 在 烈

大韓民国 キョンギド アンサンシ イドン 5 2 1 - 2 3 0 2

(72)発明者 閔 雄 基

大韓民国 デグ ブック ドンチョンドン 8 9 1 ドンファ ゴールデン ヴィル 1 0 3 - 1 2 0 5

(72)発明者 孫 勇 気

大韓民国 キョンナム ミリャンシ サノイミョン ダジュクリ 1 5 6

(72)発明者 張 修 赫

大韓民国 デグ ブック ドンチョンドン ヨンナムセカンドタウン 1 0 3 - 9 0 2

F ターム(参考) 2H093 NA16 NC09 NC11 NC16 NC34 NC49 NC90 ND50 ND60

5C006 AA01 AA16 AA22 AA28 AF26 AF47 AF83 BB16 BC06 BC16

FA07 FA32 FA42 FA51

5C058 AA06 BA01 BA33 BA35 BB25

5C080 AA10 BB05 CC03 DD12 DD23 DD27 EE29 EE30 FF11 GG08

JJ02 JJ03 KK02 KK34 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009145874A	公开(公告)日	2009-07-02
申请号	JP2008284973	申请日	2008-11-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	宋鴻聲 趙在烈 閔雄基 孫勇氣 張修赫		
发明人	宋 鴻 聲 趙 在 烈 閔 雄 基 孫 勇 氣 張 修 赫		
IPC分类号	G09G3/36 H04N5/66 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3611 G09G3/3648 G09G5/006 G09G2330/06 G09G2370/08		
FI分类号	G09G3/36 H04N5/66.102.Z G02F1/133.505 G02F1/133.550 G09G3/20.611.C G09G3/20.633.C G09G3/20.633.H G09G3/20.633.D G09G3/20.633.P G09G3/20.612.P G09G3/20.612.L G09G3/20.632.C G09G3/20.632.B G09G3/20.650.C		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC34 2H093/NC49 2H093/NC90 2H093/ND50 2H093/ND60 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AA28 5C006/AF26 5C006/AF47 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC16 5C006/FA07 5C006/FA32 5C006/FA42 5C006/FA51 5C058/AA06 5C058/BA01 5C058/BA33 5C058/BA35 5C058/BB25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD23 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/KK02 5C080/KK34 5C080/KK43 2H193/ZA04 2H193/ZA05 2H193/ZD12 2H193/ZD37 2H193/ZF21 2H193/ZF31 2H193/ZF34 2H193/ZJ11 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020070128483 2007-12-11 KR 1020080052261 2008-06-03 KR		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置。 根据本发明的液晶显示装置包括液晶显示面板，其中多条数据线和多条栅极线交叉，所述源驱动器IC供给的数据电压到数据线，栅极到栅极线用于供应脉冲的栅极驱动器IC，所述缩放器被实现，并且该系统板用于在第一接口模式从定标器发送数据输出，所接收的第二接口方法数据由待传输所述第一接口方法在用于发送数据的接口板，用于控制所述第二接收数据传输的接口方法的操作定时的定时控制器被提供给源极驱动器IC，所述源极驱动器IC和栅极驱动器IC是配备安装控制板。 点域

