

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-42791

(P2009-42791A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 有 請求項の数 8 O L (全 18 頁)

(21) 出願番号	特願2008-299520 (P2008-299520)	(71) 出願人	502356528
(22) 出願日	平成20年11月25日 (2008.11.25)		株式会社 日立ディスプレイズ
(62) 分割の表示	特願2003-389024 (P2003-389024)		千葉県茂原市早野3300番地
	の分割	(74) 代理人	100083552
原出願日	平成15年11月19日 (2003.11.19)		弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	永山 育子
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】点欠陥の低減および透過率の向上を図った液晶表示装置を提供する。

【解決手段】1画素領域の一方の基板に透明材料で構成した平面パターンが矩形の対向電極と櫛歯状の透明の画素電極が絶縁膜を介して重なる構造において、薄膜トランジスタから透明の画素電極に電位を伝える不透明材料のソース電極が対向電極と重ならないように、対向電極に切り欠きあるいはスリットをいれる。

【特許請求の範囲】**【請求項 1】**

第 1 の透明絶縁基板上に、複数の対向電極信号線、複数のゲート信号配線、および複数のドレイン信号配線を形成し、隣り合う前記ゲート信号配線および隣り合う前記ドレイン信号配線に囲まれた領域を画素領域とし、当該画素領域に、薄膜トランジスタ、矩形の透明の対向電極、当該対向電極と絶縁膜を介して形成された透明の画素電極を有する液晶表示装置において、

前記対向電極は、隣接する前記画素領域の対向電極と、前記対向電極間に形成された前記ゲート信号配線を絶縁膜を介して跨ぐように形成された連結配線で接続されたことを特徴とする液晶表示装置。

10

【請求項 2】

請求項 1 において、前記連結配線は、当該連結配線と前記対向電極間の絶縁膜に形成されたスルーホールを介して接続されることを特徴とする液晶表示装置。

【請求項 3】

請求項 2 において、前記連結配線と前記ゲート信号配線間に、前記ゲート信号配線と同じ材料からなる接続部材が配置されることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 において、前記連結配線と前記ゲート信号配線間に、半導体層が形成されることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 において、前記連結配線は、前記画素電極と同じ材料からなることを特徴とする液晶表示装置。

20

【請求項 6】

請求項 1 において、前記連結配線は、前記ドレイン信号配線と平行に形成されることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 において、前記対向電極配線は、前記ゲート信号配線と平行に配置されることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 において、前記画素電極は、前記ゲート信号配線に対して、時計回りに 3 ~ 20 度あるいは反時計回りに 3 ~ 20 度の角度を持つ複数のスリットを有することを特徴とする液晶表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に係り、液晶を介して対向配置される各基板のうち一方の基板の液晶の面側に画素電極と対向電極とが形成されている液晶表示装置に関するものである。

【背景技術】**【0002】**

この種の液晶表示装置は、画素電極と対向電極の間の領域を透過する光に対して、その量を前記各電極の間に発生する電界が印加される液晶の駆動によって、制御されている。

40

【0003】

このような液晶表示装置は、表示面に対して斜めの方向から観察しても表示に変化のない、いわゆる広視野角特性に優れたものとして知られている。

【0004】

そして、これまで、前記画素電極と対向電極は光を透過させることのない導電層で形成されていた。

【0005】

50

しかし、近年、画素領域の周辺を除く領域の全域に透明電極からなる対向電極を形成し、この対向電極上に絶縁膜を介して一方向に延在し該一方向に交差する方向に並設させた透明電極からなる帯状の画素電極を形成した構成のものが知られるに到った。

【0006】

このような構成の液晶表示装置は、基板とほぼ平行な方向の電界が画素電極と対向電極との間に発生し、依然として広視野角特性に優れるとともに、開口率が大幅に向上するようになる（下記特許文献参照）。

【0007】

【特許文献1】特開平11-202356号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0008】

しかしながら、このような液晶表示装置は、その画素領域の僅かな周辺を除く領域に形成された対向電極が、絶縁膜を介して形成される櫛歯状の画素電極と大きな面積で重畳されており、前記絶縁膜にピンホールがあった場合ショート不良が発生し表示上の点欠陥となり画質が低下する課題があった。

【0009】

また、上記画素領域では、画素電極と、この画素電極と接続されるべく薄膜トランジスタがそれぞれ絶縁膜を介して異なる絶縁膜上に配置されているため、その接続個所において面積の大きなコンタクトホールが必要となり、開口率すなわち液晶表示装置の透過率が低下する課題があった。さらに、各対向電極に電気低効率の小さな不透明の金属材料で構成された対向電極配線によって信号を供給する構成の場合、該対向電極配線の幅が広いと同様に透過率が低下する課題があった。

20

【0010】

さらに、前記のコンタクトホールの形成個所は段差が大きくなり、これに配向膜を成膜しラビングを行った場合、ラビング方向にほぼ沿って液晶配向が乱れる領域ができ透過率が低下する課題があった。

【0011】

本発明は、このような事情に基づいてなされたものであり、その目的は、画素電極と対向電極とのショート回避し、画質を向上させた液晶表示装置を提供するにある。

30

【0012】

また、本発明の他の目的は、開孔率の向上を図った液晶表示装置を提供することにある。

【0013】

さらに、本発明の他の目的は、コンタクトホール周辺における液晶配向の乱れを回避した液晶表示装置を提供するにある。

【課題を解決するための手段】

【0014】

前記課題に対して概略以下の手段を持ち、課題を解決する。

【0015】

40

(1) 本発明は、たとえば、第1の透明絶縁基板上に、複数の対向電極信号線、複数のゲート信号配線、および複数のドレイン信号配線を形成し、隣り合う前記ゲート信号配線および隣り合う前記ドレイン信号配線に囲まれた領域を画素領域とし、当該画素領域に、薄膜トランジスタ、矩形の透明の対向電極、当該対向電極と絶縁膜を介して形成された透明の画素電極を有する液晶表示装置において、

前記対向電極は、隣接する前記画素領域の対向電極と、前記対向電極間に形成された前記ゲート信号配線を絶縁膜を介して跨ぐように形成された連結配線で接続されたことを特徴とする。

【0016】

(2) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記連結配線

50

は、当該連結配線と前記対向電極間の絶縁膜に形成されたスルーホールを介して接続されることを特徴とする。

【0017】

(3) 本発明による液晶表示装置は、たとえば、(2)の構成を前提とし、前記連結配線と前記ゲート信号配線間に、前記ゲート信号配線と同じ材料からなる接続部材が配置されることを特徴とする。

【0018】

(4) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記連結配線と前記ゲート信号配線間に、半導体層が形成されることを特徴とする。

【0019】

(5) 本発明による液晶表示装置は、たとえば、前記連結配線は、前記画素電極と同じ材料からなることを特徴とする。

【0020】

(6) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記連結配線は、前記ドレイン信号配線と平行に形成されることを特徴とする。

【0021】

(7) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記対向電極配線は、前記ゲート信号配線と平行に配置されることを特徴とする。

【0022】

(8) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記画素電極は、前記ゲート信号配線に対して、時計回りに3~20度あるいは反時計回りに3~20度の角度を持つ複数のスリットを有することを特徴とする。

【発明を実施するための最良の形態】

【0023】

実施例1.

図2は、本発明の第1の実施例の液晶表示パネルの等価回路を該液晶表示パネルの外付け回路とともに示した図である。

【0024】

図2中、x方向に延在されy方向に並設される各ゲート信号線GLには垂直走査回路Vによって順次走査信号(電圧信号)が供給されるようになっている。

【0025】

走査信号が供給されたゲート信号線GLに沿って配置される各画素領域の薄膜トランジスタTFTは該走査信号によってオンするようになっている。

【0026】

そして、このタイミングにあわせて映像信号駆動回路Hから各ドレイン信号線DLに映像信号が供給されるようになっている。各ドレイン信号線DLは、図中、y方向に延在されx方向に並設されている。この映像信号は各画素領域の該薄膜トランジスタを介して画素電極PXに印加されるようになっている。

【0027】

各画素領域において、画素電極PXとともに形成されている対向電極CTには対向電圧信号線CLを介して対向電圧が印加されるようになって、それら各電極の間に電界を発生させるようになっている。画素電極PXおよび対向電極CTはそれぞれ、ドレイン信号線DLからの映像情報電圧をゲート信号線GLがオン電圧を印加されたタイミングで薄膜トランジスタTFTがオンされて画素電極PXへ印加される一方において、外部電源につながれた対向電圧信号線CLから各画素領域で対向電極CTへ伝播され、これによって液晶容量へ電圧を印加する働きをする。上記、画素電極PXおよび対向電極CTは薄膜トランジスタTFTの形成された第1の透明基板SUB1上に形成される。上記画素電極PXおよび対向電極CTは絶縁膜を挟んで形成された保持容量素子Cstgと画素電極PXと対向電極CT間の電界が液晶部を通過することによる液晶容量Clcの二つの容量の和の容量を構成している。本発明の液晶モードは絶縁膜を挟んで対向電極CTと画素電極PXが積

10

20

30

40

50

層される面積が大きくそのため1画素の保持容量素子 C_{stg} が大きな値を有する特徴がある。

【0028】

そして、この電界のうち透明基板SUB1と平行な成分を有する電界によって液晶LCの光透過率を制御するようになっている。

【0029】

なお、同図において各画素領域に示したR、G、Bの各符号は、各画素領域にそれぞれ赤色用フィルタ、緑色用フィルタ、青色用フィルタが形成されていることを示している。

【0030】

上記で、1画素の領域は隣り合うドレイン信号線DLおよび隣り合うゲート信号線GL内に囲まれた領域であり、その領域に前述のように、薄膜トランジスタTFT、画素電極PX、対向電極CTが形成されている。

【0031】

一方、対向電圧信号線CLは第1の透明基板SUB1で、ゲート信号線GLと平行に配置された横方向の配線になっており画素領域外部でまとめられ、外部電源につながる。

【0032】

図1は、本発明による液晶表示装置(パネル)の画素領域における構成図であり、液晶を介して互に対向配置される各透明基板のうちで一方の透明基板の液晶側から見た平面図である。

【0033】

図1のI(a)-I(b)線における断面図を図3に、II(a)-II(b)線における断面図を図5に、III(a)-III(b)線における断面図を図6に、IV(a)-IV(b)線における断面図を図7に示している。図4は、本液晶モードの液晶分子の電圧オン、オフ時における動作を模式的に表す平面図である。

【0034】

まず、図1において、図中x方向に延在されy方向に並設されるゲート信号線GLが、たとえば第1の透明基板側からモリブデン(Mo)、アルミニウム(Al)、モリブデン(Mo)の3層積層膜で形成されている。このゲート信号線GLは後述するドレイン信号線DLとで矩形状の領域を形成し、その領域は画素領域を構成するようになっている。

【0035】

そして、この画素領域には、後述する画素電極PXとの間で電界を発生せしめる対向電極CTが形成され、この対向電極CTは該画素領域の僅かな周辺を除く中央のほぼ全域に形成され、透明導電体であるたとえばITO(Indium-Tin-Oxide)から構成されている。なお、この対向電極CTには一部切欠きを有するが、このことについては後述する。

【0036】

この対向電極CTは、隣り合うゲート信号線GLのほぼ中央付近に前述のゲート信号線GLと平行に配置された対向電圧信号線CLと接続され、この対向電圧信号線CLは図中左右の画素領域(ゲート信号線GLに沿って配置される各画素領域)における対向電極CTに同様に形成された対向電圧信号線CLと一体的に形成されている。

【0037】

この対向電圧信号線CLは、たとえばモリブデン(Mo)、アルミニウム(Al)、モリブデン(Mo)の3層積層膜からなる不透明の材料で形成されている。

【0038】

また、上述したように、対向電圧信号線CLの材料をゲート信号線GLと同一の材料とすることにより、それらを同一の工程で形成でき製造工数の増大を回避させることができる。

【0039】

ここで、前記対向電圧信号線CLは、上記三層膜に限定されることなく、たとえばCr、Ti、Moの単層膜あるいは、これらとAlを含有する材料との2層膜あるいは3層膜

10

20

30

40

50

で形成するようにしてもよいことはいうまでもない。

【0040】

しかし、この場合、この対向電圧信号線CLは対向電極CTに対して上層に位置づけるのが効果的となる。けだし、対向電極CTを構成するITO膜の選択エッチング液（たとえばHBr）は容易にAlを溶解してしまうからである。

【0041】

さらに、対向電圧信号線CLの対向電極CTとの少なくとも接触面にはTi、Cr、Mo、Ta、W等の高融点金属を介在させることが効果的となる。けだし、対向電極CTを構成するITOは対向電圧信号線CL中のAlを酸化させて高抵抗層を生成させてしまうからである。

10

【0042】

このため、一実施例として、Al、あるいはAlを含有する材料からなる対向電圧信号線CLを形成する場合、前記高融点金属を一層目とする多層構造とすることが好ましい。

【0043】

そして、このように対向電極CT、対向電圧信号線CL、およびゲート信号線GLが形成された透明基板の上面には、それらをも被ったたとえばSiNからなる絶縁膜GIが形成されている。

【0044】

この絶縁膜GIは、後述のドレイン信号線DLに対しては対向電圧信号線CLおよびゲート信号線GLの層間絶縁膜としての機能を、後述の薄膜トランジスタTFETの形成領域においてはそのゲート絶縁膜としての機能を、後述の容量素子Cstgの形成領域においてはその誘電体膜としての機能を有するようになっている。

20

【0045】

そして、ゲート信号線GLの一部（図中左下）に重畳されて薄膜トランジスタTFETが形成され、この部分の前記絶縁膜GI上にはたとえばa-Siからなる半導体層ASが形成されている。

【0046】

この半導体層ASの上面にドレイン電極SD1およびソース電極SD2が形成されることによって、ゲート信号線GLの一部をゲート電極とする逆スタガ構造のMIS型トランジスタが形成されることになる。そして、このドレイン電極SD1およびソース電極SD2はドレイン信号線DLと同時に形成されるようになっている。

30

【0047】

すなわち、図1中y方向に延在されx方向に並設されたドレイン信号線DLが形成され、このドレイン信号線DLの一部が前記薄膜トランジスタTFETの半導体層ASの表面にまで延在されることによって薄膜トランジスタTFETのドレイン電極SD1を構成するようになっている。

【0048】

また、該ドレイン信号線DLの形成の際にソース電極SD2が形成され、このソース電極SD1は画素領域内にまで延在されて後述の画素電極PXとの接続を図るコンタクトホールCNをも一体的に形成されるようになっている。

40

【0049】

なお、図5に示すように、半導体層ASの前記ソース電極SD2およびドレイン電極SD1との界面にはたとえばn型不純物がドーピングされたコンタクト層d0が形成されている。

【0050】

このコンタクト層d0は、半導体層ASの表面の全域にn型不純物ドーピング層を形成し、さらにソース電極SD2およびドレイン電極SD1の形成後において、該各電極をマスクとしてこれら各電極から露出された半導体層ASの表面のn型不純物ドーピング層をエッチングすることによって形成されるようになっている。

【0051】

50

そして、このように薄膜トランジスタTFTが形成された透明基板の表面には、該薄膜トランジスタTFTをも被ってたとえばSiNからなる保護膜PASが形成されている。薄膜トランジスタTFTの液晶LCとの直接の接触を回避するためである。

【0052】

さらに、この保護膜PASの上面には画素電極PXがたとえばITO(Indium-Tin-Oxide)からなる透明な導電膜によって形成されている。

【0053】

画素電極PXは、前記対向電極CTの形成領域に重畳されて、それぞれ図中x方向に対して約10度の角度を持ち、延在して等間隔に形成されているとともに、その両端はそれぞれy方向に延在する同材料層で互いに接続されるようになっている。

10

【0054】

ちなみに、この実施例では、隣り合う画素電極PX間の間隔Lはたとえば3~10μm、幅Wはたとえば2~6μmの範囲で設定されるようになっている。

【0055】

この場合、各画素電極PXの下端の同材料層は前記保護膜PASに形成されたコンタクト孔を通して前記薄膜トランジスタTFTのソース電極SD2のコンタクト部と接続されるようになっており、また、上端の同材料層は前記対向電極CTと重畳されて形成されている。

【0056】

このように構成した場合、対向電極CTと各画素電極PXとの重畳部にはゲート絶縁膜GIと保護膜PASとの積層膜を誘電体膜とする容量素子Cstgが形成されるようになっている。

20

【0057】

この容量素子Cstgは、薄膜トランジスタTFTを介してドレイン信号線DLからの映像信号が画素電極PXに印加された後に、該薄膜トランジスタTFTがオフとなっても該映像信号が画素電極PXに比較的長く蓄積される等のために設けられたものとなっている。

【0058】

ここで、この容量素子Cstgの容量は、対向電極CTと各画素電極PXとの重畳面積に比例し、その面積が比較的大きくなってしまう。誘電体膜は絶縁膜GIと保護膜PASとの積層構造となっている。

30

【0059】

なお、前記保護膜PASとしては、SiNに限定されることなく、たとえば合成樹脂によって形成されていてもよいことはいうまでもない。この場合、塗布により形成することから、その膜厚を大きく形成する場合においても製造が容易であるという効果を奏する。

【0060】

そして、このように画素電極PXおよび対向電極CTが形成された透明基板SUB1の表面には該画素電極PXおよび対向電極CTをも被って配向膜ORI1が形成されている。この配向膜ORI1は液晶LCと直接に接触する膜で該液晶LCの初期配向方向を決定づけるものとなっている。

40

【0061】

上記実施例において、透明導電膜としてITOを用いて説明したが、たとえばIZO(Indium-Zinc-Oxide)を用いても同様の効果が得られることはいうまでもない。

【0062】

このように構成された第1の透明基板SUB1はTFT基板と称され、このTFT基板と液晶LCを介して対向配置される第2の透明基板SUB2はフィルタ基板と称されている。

【0063】

フィルタ基板は、図3あるいは図6ないし図7に示すように、その液晶側の面に、まず

50

、各画素領域を画するようにしてブラックマトリクスＢＭが形成され、このブラックマトリクスＢＭの実質的な画素領域を決定する開口部にはそれを被ってフィルタＦＩＬが形成されるようになっている。

【００６４】

そして、ブラックマトリクスＢＭおよびフィルタＦＩＬを被ったたとえば樹脂膜からなるオーバーコート膜ＯＣが形成され、このオーバーコート膜の上面には配向膜ＯＲＩ２が形成されている。

【００６５】

上記が本実施例１の概略の平面および断面構成である。次に本液晶モードの動作を図３および図４で説明する。本実施例では液晶としては電界方向に液晶分子の長軸方向に揃う、いわゆるボジ型のネマチック液晶を使用している。液晶表示のオン、オフは無電界で黒状態、電圧を印加すると白状態へと遷移するノーマリブラックの電圧—透過率特性を持つ挙動を示す。

【００６６】

図３は図１のⅠ（ａ）からⅠ（ｂ）線をつなぐ２点破線上の断面図である、図３の正面から見て左手側からⅠ（ａ）、右手側がⅠ（ｂ）である。本インプレーン表示モード（すなわち第１の透明基板ＳＵＢ１側に画素電極ＰＸおよび対向電極ＣＴを有する）では、櫛歯状の画素電極ＰＸからの電気力線（図３のＥ）が液晶ＬＣ中へ印加され、その電気力線は液晶ＬＣ中を経て上記櫛歯の隙間の保護膜ＰＡＳ、ゲート絶縁膜ＧＩを通過し、画素領域でほぼ方形に全面に形成された対向電極ＣＴへ至る。図３において、中央の対向電圧信号線ＣＬに対して左手側の液晶分子ＬＣ１（すなわち図１の画素領域で横方向に走る対向電圧信号線ＣＬの下側の領域）では第１の基板ＳＵＢ１にほぼ平行方向に対して時計回りに回転、図３の右側の領域においてはその液晶分子ＬＣ２は反時計回り回転する。

【００６７】

図４の模式的な平面図でその光学的動作を説明する。対向電圧信号線ＣＬが横方向に１画素の中央領域に配置されている。その上方の領域では櫛歯状の画素電極ＰＸは対向電圧信号線ＣＬに対して、時計回り方向で約１０度の傾きを持つように延在し、一方、下方の領域では、画素電極ＰＸは対向電圧信号線ＣＬに対して反時計回りに約１０度の方向に延在するように配置されている。第１の基板ＳＵＢ１の偏光板での偏光軸は対向電圧信号線ＣＬの延在方向に平行方向、第２基板ＳＵＢ２側の偏光板の偏光軸は垂直方向に配置される、いわゆる、クロスニコルの偏光軸配置である。液晶分子をその配向膜（ＯＲＬ１およびＯＲＬ２）界面で方向制御するラビング方向は上下基板側共に平行（対向電圧信号線ＣＬおよびゲート信号線ＧＬ延在方向に平行）に処理されている。

【００６８】

液晶の印加電圧がないか、あるいは小さい時は、対向電圧信号線ＣＬの延在方向にその液晶分子ＬＣ１およびＬＣ２の長軸がそろう。上方領域の画素電極ＰＸは時計回り方向に１０度の傾きを持つ。一方、電圧が印加される、図３の断面で示す画素電極ＰＸから液晶を経て対向電極ＣＴへ至る電気力線Ｅの方向は画素電極ＰＸと垂直すなわち、対向電圧信号線ＣＬ時計回りに１１０度の角度を持つ。液晶分子ＬＣ１はこれに追従し電界方向すなわち反時計回りに回転し、偏光板の偏光軸と４５度方向に長軸が回転した際に透過率が最大となる。下方領域の液晶分子は画素電極ＰＸが対向電圧信号線ＣＬに対して、上下対称に配置されているため、その回転方向は逆向きの時計回りとなる。本実施例ではこのように１画素の液晶分子を時計回りと反時計回りの２つの領域に分けているため、画面の視野角はどの方向から見ても反転することがなく、また色変化が小さい広視野角の表示が可能となる。また、画素電極ＰＸおよび対向電極ＣＴが透明のＩＴＯで形成され、さらに液晶ＬＣに十分な電界が印加されるのでブラックマトリクスＢＭの内側の画素領域ではほぼ全面に透過して明るい画像が表示できる。

【００６９】

次に本実施例が開口率あるいは透過率を高めた画素構造を持ちさらに、その際に点欠陥が発生しにくい良好な画質を持つ特徴を詳細に説明する。

10

20

30

40

50

【 0 0 7 0 】

開口率を落とす最大の原因は不透過の金属材料で形成されるゲート信号線 G L、ドレイン信号線 D L、あるいは対向電圧信号線 C Lに加えて、ソース電極 S D 2、ドレイン電極 S D 1の面積の占める割合が大きくなってしまふことである。特に、本実施例のようにゲート絶縁膜 G I上に形成されたソース電極 S D 2と保護膜 P A S上に形成された画素電極 P Xをコンタクトホール C Nで接続する必要がある場合、そのコンタクトホール C N付近のソース電極 S D 1はその面積が保護膜 P A Sの厚さに応じて増加し開口率が低下する。

【 0 0 7 1 】

また薄膜トランジスタ T F Tのパターン設計のみならず、実質的に透過率が低下する場合がある。一番大きい要因は、液晶分子の界面制御の配向膜が良好にラビングされない場合である。特に、段差の大きいコンタクトホール C Nはその穴付近ではラビングが充分されなく、ラビング方向の影にあたる部分に影状の液晶分子が制御されない領域がコンタクトホールの面積の数倍にもわたり広がる。本現象は単純に透過率が低下するだけでなく、液晶分子の制御乱れであるため、応答速度が低下したような画像にも見える。この乱れを少なくとも応答速度への影響をなくすにはブラックマトリクス B Mや第 1の基板 S U B 1上の配線のような不透明材料で遮光する必要があるが、逆に開口率を低下させてしまう場合がある。

【 0 0 7 2 】

以下図面を引用しながら、その対策を行った構造を示す。開口率低下を回避するにはすでに、不透過の領域である対向電圧信号線 C L上に上記コンタクトホール C Nのソース電極 S D 2を薄膜トランジスタ T F Tから延在しこれを重畳し配置すれば、その透過率損失が新たに増えることはない。しかしながら、この場合新たに、点欠陥の不良が増加する問題を生じる。

【 0 0 7 3 】

本実施例の液晶表示モードは前記のように透明の対向電極 C Tを画素内に矩形に配置し、その上部にゲート絶縁膜 G Iおよび保護膜 P A Sを積層し、その上部に透明の画素電極 P Xを配置する。この両電極の積層面積は 1画素領域の 20 から 30 %に及び、これは他の液晶モードに比べて大きな値である。絶縁膜がピンホールなどがあるとショート不良となり画面上の点欠陥となる。これを最小限に防ぐためにも、本実施例は工程が異なる 2つの絶縁膜であるゲート絶縁膜 G Iと保護膜 P A Sの積層膜として片方の膜にピンホールがあった際にも他の膜でこの絶縁性を保つ冗長構造となっている。

【 0 0 7 4 】

しかるに前述のように、透過率を向上させるために、図 7に示すように、対向電圧信号線 C L上にコンタクトホール C Nのソース電極 S D 2を形成すれば良い。このためソース電極 S D 2を図 1のように単純に薄膜トランジスタ T F Tのドレイン電極 S D 1から延在させると、対向電極 C T上の単層のゲート絶縁膜 G I上をソース電極 S D 1が延在することになり、ショート不良に対する冗長性が損なわれることが自明となる。

【 0 0 7 5 】

本実施例はまず、図 1の平面図でわかるように、ソース電極 S D 1が延びる領域の下部の対向電極 C Tをスリット状に切り込みを入れている。これにより下部の対向電極 C Tとソース電極 S D 1はショート不良を起こすことはない。図 5の断面構造でわかるように前記ソース電極 S D 1は対向電圧信号線 C Lに重なる部分で初めてゲート絶縁膜 G Iの単層部分で重なる。これにより透過率を向上させた場合でも点欠陥の発生を防止でき良好な画質が得られる。

【 0 0 7 6 】

一方、ソース電極 S D 1を横切るように保護膜 P A S上に配置された画素電極 P Xは単層の保護膜 P A Sと大きな面積で重なっているが、画素電極 P Xとソース電極 S D 1は同一画像電位が与えられているため、仮に物理的にショートしても点欠陥になることはない。このため、画素電極 P Xは対向電極 C Tにスリットのない対向電圧信号線 C Lの図 1における上部領域と同様にレイアウトができる。これでスリットを設けたことによる開口率

10

20

30

40

50

低下が抑えられる。上記対向電極のスリットは図6に示すように最小加工寸法で形成されたソース電極SD1より、各レイヤのホト工程の位置合わせずれを考慮して、広めの幅が設定される。

【0077】

一方、コンタクトホールCNのラビングに起因する液晶配向も乱れは以下のように改善し透過率を向上させている。図4を用いて説明したように、ラビング方向はゲート信号線GL及び対向電圧信号線CLに平行に規定した。そのため、コンタクトホールCN径の数倍にも及ぶラビング影の液晶分子の乱れは対向電圧信号線CLに沿って発生する。図1の平面図でわかるように、コンタクトホールCNのラビング方向には対向電圧信号線CLが延在し、第1の透明基板SUB1側の光源を遮光する。

10

【0078】

以上の実施例の構造により、透過率が高く明るく、また画素電極PXと対向電極CTのショート不良による点欠陥が少ない良好な画質の液晶表示装置を提供できる。

【0079】

実施例2.

図9は、本発明の第2実施例における液晶表示パネルの等価回路を該液晶表示パネルの外付け回路とともに示した図である。

【0080】

図9中、x方向に延在されy方向に並設される各ゲート信号線GLには垂直走査回路Vによって順次走査信号(電圧信号)が供給されるようになっている。

20

【0081】

走査信号が供給されたゲート信号線GLに沿って配置される各画素領域の薄膜トランジスタTFTは該走査信号によってオンするようになっている。

【0082】

そして、このタイミングにあわせて映像信号駆動回路Hから各ドレイン信号線DLに映像信号が供給されるようになっており、この映像信号は各画素領域の該薄膜トランジスタを介して画素電極PXに印加されるようになっている。

【0083】

各画素領域において、画素電極PXとともに形成されている対向電極CTには対向電圧信号線CLを介して対向電圧が印加されており、それらの間に電界を発生させるようになっている。画素電極PXおよび対向電極CTはそれぞれ、ドレイン信号線DLからの映像情報電圧をゲート信号線GLがオン電圧を印加されたタイミングで薄膜トランジスタTFTがオンされて画素電極PXへ印加される、外部電源につながれた対向電圧信号線CLから各画素領域で対向電極CTへ伝播され液晶容量へ電圧を印加する働きをする。上記、画素電極PXおよび対向電極CTは薄膜トランジスタTFTの形成された第1の透明基板SUB1上に形成される。上記画素電極PXおよび対向電極CTは絶縁膜を挟んで形成された保持容量素子Cstgと画素電極PXと対向電極CT間の電界が液晶部を通過することによる液晶容量Clcの二つ容量の和の容量を構成している。本発明の液晶モードは絶縁膜を挟んで対向電極CTと画素電極PXが積層する面積が大きくそのため1画素の保持容量素子Cstgが大きな値を有する特徴がある。

30

40

【0084】

そして、この電界のうち透明基板SUB1と平行な成分を有する電界によって液晶LCの光透過率を制御するようになっている。

【0085】

上記で、1画素の領域は隣り合うドレイン信号線DLおよび隣り合うゲート信号線GL内に囲まれた領域であり、その領域に前述のように、薄膜トランジスタTFT、画素電極PX、対向電極CTが形成されている。

【0086】

図10は、液晶表示パネルに供給する各信号のタイミングチャートを示すもので、図中、Vgh、Vglはそれぞれゲート信号線GLに供給する走査信号の高電圧レベル、低電

50

圧レベルを、 V_{dh} 、 V_{dl} はドレイン信号線DLに供給する映像信号の最大、最小電圧レベルを、また、 V_{com} は対向電圧信号線CLに供給する対向電圧信号を示している。駆動は1周期あたりの画面スクロール時間に対して、ゲート信号線GL毎にパルス状の駆動電圧を印加して、ドレイン信号線DLは全ライン同時に映像電圧を送る線順次走査である。したがって、1本のゲート信号線GLが選択(オン)している間は他のゲート信号線GLはオフ電圧(V_{gl})が印加される。この走査はGL1、GL2、のように順番に行われる。1本のゲート選択時間 t_p はおおよそ1周期のスクロール時間に対して、ゲート信号線GLの総数で割った時間となる。

【0087】

これに対して、1本のゲート信号線GLに対して、連なる薄膜トランジスタTFTがオン(V_{gh} が印加されている期間)し、各画素の画素電極PXの電位が決まる。この電位と容量素子である保持容量 C_{stg} 及び液晶容量 C_{lc} の和のもう一方の電極の対向電極CTとの電位 V_{com} との差電圧で液晶がオンする。再度、ゲート信号線GLがオンするまでこの差電位は保持される。

【0088】

一方、対向電圧信号線CLは第1の透明基板SUB1で、ゲート信号線GLと平行に配置された横方向の配線に対して、ゲート信号線GLに対して第1の基板SUB1の絶縁を挟んでこれを横断するような縦方向の配線によっても接続され、いわば網の目状に接続されている。この網の目状配線により、外部電源から遠い画面中央領域においても、ゲート信号線GLの大きな電圧振幅が1画素内の寄生容量を介して変動し、これが対向電圧信号線CLの電圧を不安定にして、残像、フリッカなどの直流電圧が液晶に印加することによる表示不良を著しく低減する。結果的に本網の目状結線によりゲート信号線GLと並走する対向電圧信号線CLの抵抗仕様は緩和され、そのレイアウト上の幅を細くでき透過率を向上させることができる。ゲート信号線GLと並走する対向電圧信号線CL間はゲート信号線GLと絶縁膜を介して保護膜PASに配置された連結配線SEで接続する。上記1画素内の対向電極CTおよび対向電圧信号線CLの結線方法は以下で詳細を示す。

【0089】

図8は、本発明による液晶表示装置の他の実施例を示す平面図で、同図のV(a)-V(b)線における断面図、VI(a)-VI(b)線における断面図、VII(a)-VII(b)線における断面図、それぞれ図11、図12、図13に示している。

【0090】

図8の平面図の構成は、本発明の目的である透過率が高くことに加えて、絶縁膜を挟んで形成された画素電極PXと対向電極CTのショート不良による点欠陥が少ない明るく画質の良い液晶表示装置を実現するようになっている。

【0091】

まず、第1のコンタクトホールCN1下部のソース電極SD2は対向電極CTと平面的に重なっていない。すなわち、対向電極CTがドレイン信号線DLと同一工程で形成されたソース電極SD2と重ならないように切り欠き形状となっている。これは図12の断面構造でその効果を理解できる。薄膜トランジスタTFTの半導体層ASに接続されたソース電極SD2は基本的に半導体層ASあるいは同一工程で連続的に成膜されているゲート絶縁膜GI上を延在している。ソース電極SD2は保護膜PAS上に開けられた第1のコンタクトホールCN1を介してITOの画素電極と接続されている。ソース電極SD2は、ゲート絶縁膜GIの単層膜あるいは同一工程のプラズマ化学気相成長(PCVD)法で連続的に成膜されたゲート絶縁膜GI及び半導体層AS上に形成されている。ソース電極SD2下部にはこれを避けるようにITOで形成された対向電極が存在せず、ピンホールが発生しやすい単層の絶縁膜だけでも原理的にショート不良が発生しない。

【0092】

図11は1画素の主透過部の断面構造を示す。第1の透明基板SUB1上のほぼ全面に形成された透明の対向電極およびこれをゲート信号線GL方向にそって形成された給電する対向電圧信号線CL上にはSINで構成されたゲート絶縁膜GI及び保護膜PASが積

層されている。ゲート絶縁膜 G I と保護膜 P A S は共に P C V D 法で成膜であるが、それぞれの成膜は異なる工程で行われ、さらにその間に異物などの洗浄工程が入るため、仮に一方の膜にピンホールがあっても 2 層膜が同一箇所でショートすることがない冗長構成となる。本断面構造で示すように画素電極 P X と対向電極 C T は 1 画素領域内ですべて 2 層の絶縁膜で間が絶縁されており、両者の電極がショート不良となり点欠陥が発生することはない。このように本実施例では、1 画素内で画素電位が T F T から供給されるソース電極 S D 2 及び画素電極 P X と共通電極 C T 及び対向電圧信号線 C L がすべてゲート絶縁膜 G I 及び保護膜 P A S の 2 層配線で絶縁されており、これらの絶縁膜を挟んで重なった領域のショート不良が極めて小さく点欠陥のない液晶表示装置が提供できる。

【 0 0 9 3 】

次に本実施例で透過率を上げるメカニズムを説明する。図 8 の 1 画素の平面図において、ブラックマトリクス B M の内側の開口領域で不透過の面積が大きいのは対向電圧信号線 C L である。しかし、本実施例 2 の対向電圧信号線 C L の幅は実施例 1 のその幅に比べて半分以下となっている。対向電圧信号線 C L の幅を狭くすると配線遅延が増加し、液晶に直流電圧が印加され、残像やフリッカが発生し画質が悪化する。

【 0 0 9 4 】

本実施例では図 8 の平面図の右下あるいは右上の連結配線 S E で上下の隣り合う対向電極 C T を連結することにより、対向電圧信号線 C L 幅が狭く抵抗が高くても画質劣化を起こさない。まず、この連結配 S E の構造を示し、さらにこれが透過率向上への作用を示す。

【 0 0 9 5 】

連結配線 S E は上下の対向電極 C T を接続する配線である。図 1 3 の断面構造でもわかるように、ゲート信号線 G L を挟むように 1 画素内に矩形に配置された対向電極 C T 上のゲート絶縁膜 G I 及び保護膜 P A S にコンタクトホール C N 2 及び C N 3 を開口し、これを介して、画素電極 P X と同一工程で成膜された I T O からなる連結配線 S E で接続する。

【 0 0 9 6 】

コンタクトホール C N の下部にはゲート信号線 G L と同一工程で成膜されたパッド領域 P A D がありこれは第 2 のコンタクトホール C N 2 及び第 3 のコンタクトホール C N 3 より広めの面積を持つ。したがって、ゲート信号線 G L と並走する対向電圧信号線 C L は対向電極 C T、パッド領域 P A D、連結配線 S E の繰り返し構成で互いに電氣的に接続されている。

【 0 0 9 7 】

上記連結配線 S E を形成することにより結果的に透過率が向上する。図 1 0 で示したように、ゲート信号線 G L は 1 本ずつ順番に走査される、ゲート信号線 G L にオン電圧が給電されると薄膜トランジスタ T F T がオンし、画素電極 P X には映像電圧が印加される。一方、ゲート信号線 G L がオフされる瞬間には、ゲート信号線 G L と画素電極 P X 間の浮遊容量のカップリング効果により画素電位は意図せず低下する。同時に対向電圧信号線 C L も振られ、結果として、液晶へ印加される電圧が電源からの配線距離に応じて歪む影響の画質となる。その対策としては対向電圧配線を太くして遅延を小さくすれば良いが開口率が低下する。本実施例では、図 8 で示すように 1 画素のブラックマトリクス B M の内側に 1 画素の面積に近い矩形の I T O の対向電極 C T が形成されている。これは第 1 基板 S U B 1 の開口部をすべてシールドするように大きな面積である。したがって、I T O であるためその固有抵抗は高いが対向電圧信号線 C L の延在方向に大きな広がりを持ち、抵抗低減に効果がある。さらに、この開口領域をシールドした対向電極 C T はゲート信号線 G L をまたぐ連結配線 S E で表示装置の全領域が接続されている。そのため仮に、1 本のゲート信号線 G L が選択されてオフ状態になる瞬間に該当する対向電圧信号線 C L の電位が振られても連結配線 S E を通して電荷が補充され直ちに安定化する。

【 0 0 9 8 】

上記のような連結配線 S E の効果は、従来ゲート信号線 G L に並走する対向電圧信号線

10

20

30

40

50

C Lをいわば面配線にしたことにより、著しく低下する。この効果は対向電極C Tが開口領域をシールドしているほど面積が広いことでさらに効果が高まっている。結果的に不透明材料で構成された対向電圧信号線C Lの幅をきわめて細く設定できるので透過率を向上させることができる。

【0099】

本実施例では、ラビング工程におけるコンタクトホール段差部の影の影響を以下のように低減し、さらに透過率を向上させている。

【0100】

すなわち、本実施例は第1の実施例同様に対向電圧信号線C Lあるいは対向電極の延在方向にラビング処理されている。

【0101】

図8に示すように、第1から第3のすべてのコンタクトホールC N 1、C N 2、C N 3はラビング方向にブラックマトリクスB Mが形成されている。さらに、連結配線S EのコンタクトホールC N 2およびC N 3の下部には不透明のパッド領域P A Dがありこれで上下基板とも遮光されている。

【0102】

逆に言えば、絶縁膜を挟むように矩形の対向電極C Tこれに画素電極P Xを組み合わせた液晶画素構造で、ゲート信号線G Lをまたぐようにコンタクトホールを介して形成した連結配線S Eを有する場合、隣合う連結配線S E間をつなぐ線に対してラビング方向がほぼ垂直あるいはこれから20度以内の角度であれば透過率を向上できる。

【0103】

さらに、この連結配線S EのコンタクトホールC N 2およびC N 3はゲート信号線G Lの延在方向（正確には第1基板S U B 1の偏光板の偏光軸方向）に対して時計回り、あるいは反時計回りに約10度の角度で画素電極P Xが傾き配置されている。その角度で矩形の対向電極C Tの端部のスペースに配置されており、透過率を低下させる要因を削除している。

【図面の簡単な説明】

【0104】

【図1】本発明による液晶表示装置の画素領域の一実施例を示す平面図である。

【図2】本発明による液晶表示装置の一実施例を示す等価回路図である。

【図3】図1のI (a) - I (b) 線における断面図である。

【図4】第1の実施例における液晶分子の偏光挙動を示す模式図である。

【図5】図1のII (a) - II (b) 線における断面図である。

【図6】図1のIII (a) - III (b) 線における断面図である。

【図7】図1のIV (a) - IV (b) 線における断面図である。

【図8】本発明による液晶表示装置の画素領域における他の実施例を示す平面図である。

【図9】本発明による液晶表示装置の他の実施例を示す等価回路図である。

【図10】本発明による液晶表示装置の駆動における他の実施例を示すタイミングチャートである。

【図11】図8のV (a) - V (b) 線における断面図である。

【図12】図8のVI (a) - VI (b) 線における断面図である。

【図13】図8のVII (a) - VII (b) 線における断面図である。

【符号の説明】

【0105】

S U B 1 ... 第1の透明基板、S U B 2 ... 第2の透明基板、P O L 1 ... 第1の透明基板の偏光板、P O L 2 ... 第2の透明基板の偏光板、B M ... ブラックマトリクス、F I L ... カラーフィルタ、O C ... オーバーコート膜、O R I 1 ... 第1の透明基板の配向膜、O R I 2 ... 第2の透明基板の配向膜、L C ... 液晶層あるいは液晶分子、G L ... ゲート信号線、C L ... 対向電圧信号線、D L ... ドレイン信号線、C T ... 対向電極、P X ... 画素電極、T F T ... 薄膜トランジスタ、A S ... 半導体層、S D 1 ... ドレイン電極、S D 2 ... ソース電極、C N ...

10

20

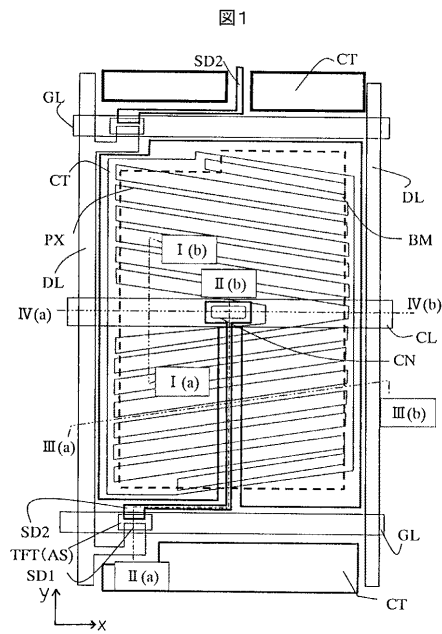
30

40

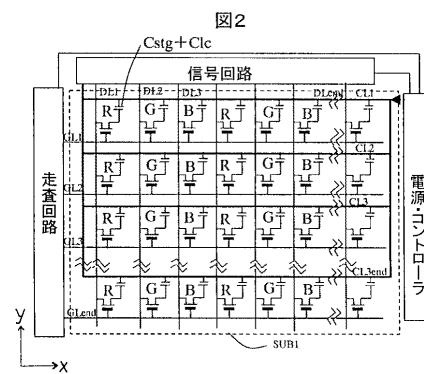
50

コンタクトホール、S E ... 連結配線、P A D ... パッド領域、G I ... ゲート絶縁膜、P A S ... 保護膜

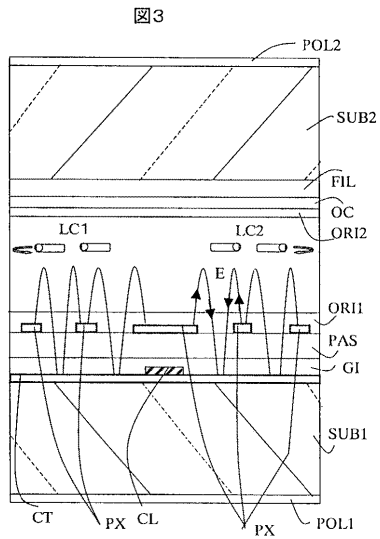
【図 1】



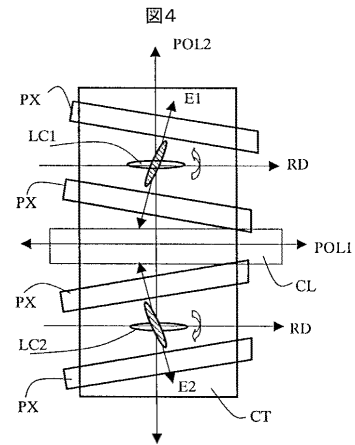
【図 2】



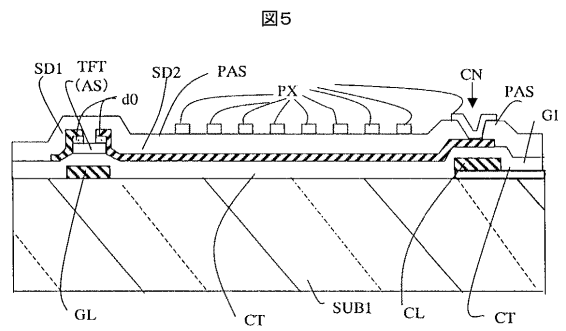
【図3】



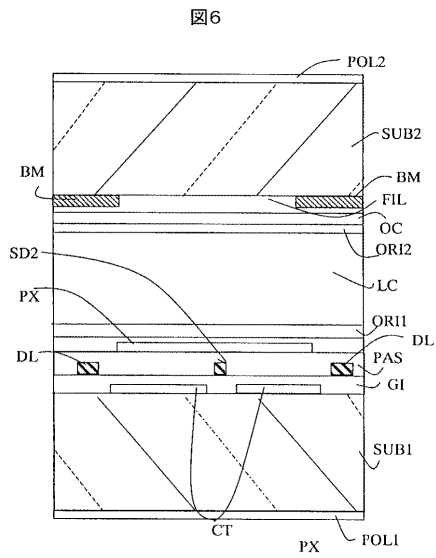
【図4】



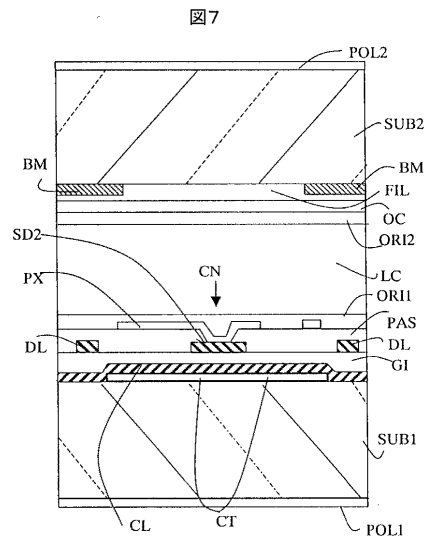
【図5】



【図6】



【図7】



【 図 9 】

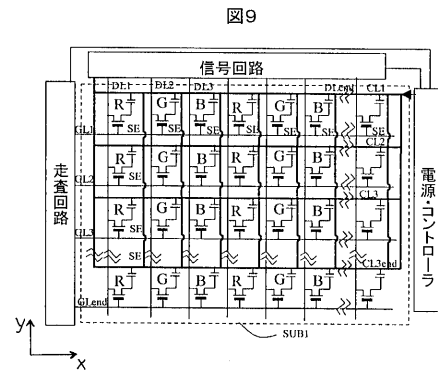
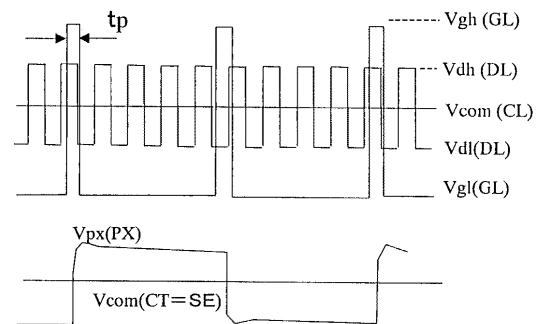
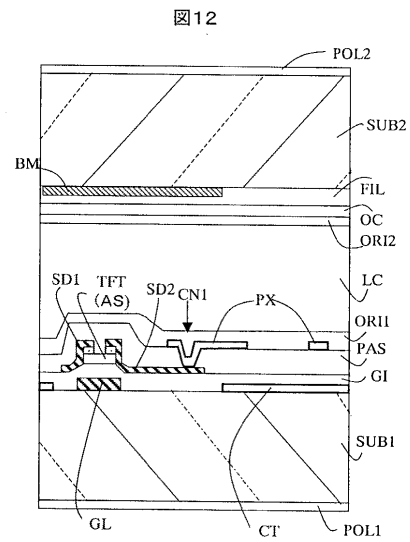


图10

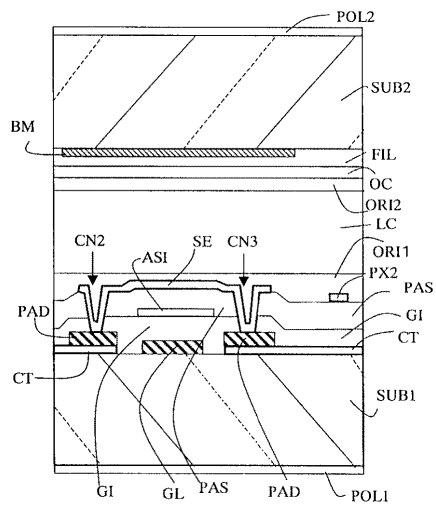


【 ㊦ 1 2 】



【図 13】

図13



フロントページの続き

(72)発明者 桶 隆太郎

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 鎗田 浩幸

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 GA13 GA14 JA26 JA28 JA34 JA37 JA41 JA46 JA48 JB05
JB14 JB22 JB31 JB56 JB57 JB69 KA05 KA07 KA18 NA01
NA16 PA02 PA08 PA09 PA11 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009042791A	公开(公告)日	2009-02-26
申请号	JP2008299520	申请日	2008-11-25
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄 永山育子 桶隆太郎 鎗田浩幸		
发明人	小野 記久雄 永山 育子 桶 隆太郎 鎗田 浩幸		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA48 2H092/JB05 2H092/JB14 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB57 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KA18 2H092/NA01 2H092/NA16 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/QA06 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB66 2H192/BB73 2H192/BB82 2H192/BB83 2H192/BB86 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC32 2H192/EA22 2H192/EA43 2H192/JA33		
其他公开文献	JP4889711B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少点缺陷并提高透射率的液晶显示装置。
ŽSOLUTION：在由透明材料构成并具有矩形平面图案的相对电极和交叉指透明像素电极通过绝缘膜叠加在一个像素区域的一个基板上的结构中，相对电极具有切口或切割使得由不透明材料制成并且从薄膜晶体管向透明像素电极传输电位的源电极不与相对电极重叠。Ž

