

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-70615  
(P2008-70615A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl.	F 1			テーマコード (参考)
<b>G09G</b> 3/36 (2006.01)	GO9G	3/36		2H093
<b>G02F</b> 1/133 (2006.01)	GO2F	1/133	550	5C006
<b>G09G</b> 3/20 (2006.01)	GO9G	3/20	621L	5C080
	GO9G	3/20	621A	
	GO9G	3/20	631M	

審査請求 未請求 請求項の数 6 O.L. (全 17 頁) 最終頁に続く

(21) 出願番号	特願2006-249395 (P2006-249395)	(71) 出願人	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成18年9月14日 (2006. 9. 14)	(74) 代理人	100095728 弁理士 上柳 雅善
		(74) 代理人	100127661 弁理士 宮坂 一彦
		(72) 発明者	小橋 裕 東京都港区浜松町二丁目4番1号 三洋エ プソンイメージングデバイス株式会社内
		F ターム (参考)	2H093 NC16 NC22 NC24 NC34 NC35 ND39 ND48 ND49 ND54 5C006 AF42 AF71 AF82 BB16 BC12 BC20 BF05 BF09 BF34 BF37 BF46 FA16 FA43 FA47 FA51

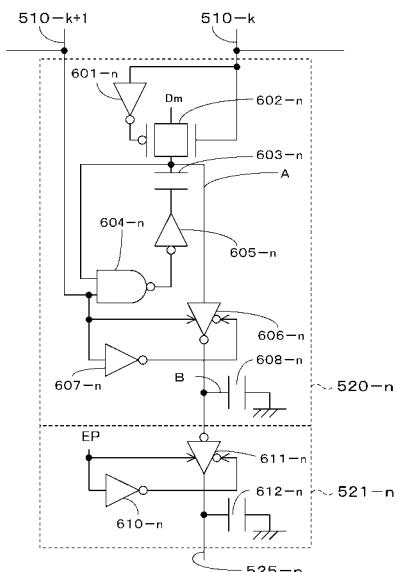
(54) 【発明の名称】データ線駆動回路、液晶表示装置およびこれを搭載した電子機器

(57) 【要約】

【課題】高精細で低消費電力な D A C 内蔵データ線駆動回路を実現すること。

【解決手段】順次選択回路で出力端子が選択されたタイミングで低振幅の映像信号を取り込み、別の出力端子が選択されたタイミングで信号を増幅する。さらにメモリ回路をダイナミック型で構成することで素子数を低減して高精細化を実現する。

【選択図】図 4



**【特許請求の範囲】****【請求項 1】**

順次選択される複数の出力端子を有した順次選択回路と、  
複数の単位メモリ回路を有したメモリ回路と、  
映像信号配線と、  
を備えたデータ線駆動回路であって、  
前記複数の単位メモリ回路のそれぞれは、前記順次選択回路の前記複数の出力端子のうちの2つであるそれぞれの第1出力端子と第2出力端子とに接続されていて、  
前記複数の単位メモリ回路のそれぞれについて、  
前記第1出力端子が選択されたタイミングで前記映像信号配線のデータが前記単位メモリ回路の第1ノードへ書き込まれるとともに、  
前記第2出力端子が選択されたタイミングで前記第1ノードに書き込まれた前記データの電位がレベルシフトされる  
ことを特徴としたデータ線駆動回路。

**【請求項 2】**

前記複数の単位メモリ回路のそれぞれは、蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型のメモリであるとともに、前記第2出力端子が選択されたタイミングでレベルシフトされた前記データを前記蓄積容量に書き込むことでメモリ動作を行うように構成されている  
ことを特徴とした請求項1に記載のデータ線駆動回路。

**【請求項 3】**

前記複数の単位メモリ回路のそれぞれは、昇圧用容量を有するとともに、前記第1出力端子が選択されたタイミングで前記映像信号配線と前記昇圧用容量の一端が電気的に接続されて、前記第2出力端子が選択されるタイミングで前記昇圧用容量の一端の電位に応じて前記昇圧用容量の他端の電位が変動するように構成されている  
ことを特徴とした請求項1または請求項2に記載のデータ線駆動回路。

**【請求項 4】**

前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスターであることを特徴とした請求項1から請求項3のいずれか一つに記載のデータ線駆動回路。

**【請求項 5】**

請求項1から請求項4のいずれか一つに記載のデータ線駆動回路を備えた液晶表示装置。  
。

**【請求項 6】**

請求項5に記載の液晶表示装置を備えた電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は例えば、データ線駆動回路、液晶表示装置およびこれを搭載した電子機器に関する。

**【背景技術】****【0002】**

近年、低温ポリシリコン薄膜形成技術を用いてガラス基板上に薄膜トランジスター(TFT)回路を形成する、いわゆるSystem On Glass(SOG)技術がさかんに開発されており、液晶ディスプレイのガラス基板上にドライバー回路を内蔵する駆動回路一体型液晶表示装置、あるいはモノシリックドライバーと呼ばれる表示装置の開発が進んでおり、特にDAC(Digital Analogue Converter)回路を含むデータ線駆動回路をガラス基板上に形成することでドライバーICのコストが非常に安価になることが期待され、実用化されている。このようなDAC回路内蔵のデータ線駆動回路(あるいは水平駆動回路、H-Driverなどと称される)をガラス基板上

10

20

30

40

50

に構成する場合、順次選択回路（あるいはシフトレジスタ回路）、第1メモリ回路（あるいはサンプリングラッチ回路）、第2メモリ回路（あるいは線順次駆動ラッチ回路）、D A C回路（あるいはD / A変換回路）などで構成される。ここで第1メモリ回路は外部から入力されるデジタル映像信号を順次選択回路によって与えられる適切なタイミングで取り込むためのメモリであって、第2メモリ回路は点順次で送信されるデジタルデータを用いて線順次駆動でD A C回路を動作させるためのメモリである。このような液晶表示装置の詳細な構成例としては特許文献1などが提案されている。

#### 【0003】

ここで第1メモリ回路に入力される映像デジタルデータの信号振幅は消費電力の低減およびドライバーI Cのコスト低減の両面からなるべく低いことが要請され、2.5~5.0V程度であることが望ましい。一方、低温ポリシリコン薄膜形成技術で製造したTFTの閾値電圧はMOS-I Cのトランジスターに比べて高いことから、D A C回路が精度よく動作するために第2メモリ回路からの出力電位振幅は6~12V程度であることが要求される。この両者の要求から、第1メモリ回路もしくは第2メモリ回路で電位のレベルシフトを行う必要がある。これを実現する回路構成として、特許文献2、特許文献3などが提案されている。これらはいずれも第1メモリ回路及び第2メモリ回路の構成としてS-RAM (Static Random Access Memory)回路を応用したものである。

10

#### 【0004】

【特許文献1】特開2000-242209号公報

20

【特許文献2】特開2000-221926号公報

【特許文献3】特開2000-221929号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0005】

駆動回路一体型液晶表示装置においては複雑な回路をI Cに比べ10倍程度大きなデザインルールで形成する必要があるため、精細度が低いものしかできないと言う課題がある。そこで、第1メモリ回路および第2メモリ回路についてもD-RAM (Dynamic Random Access Memory)を用いて回路構成を簡略化すればより高精細な駆動回路一体型液晶表示装置を製造できる。しかしながら、D-RAM構成ではレベルシフトを行うことが難しいため、従来はS-RAM回路の構成が提案してきた。本発明は上記の問題点に鑑み、その目的の一つはD-RAM構成によるレベルシフト可能なデータ線駆動回路を提案することである。

30

#### 【課題を解決するための手段】

#### 【0006】

本発明のある態様によればデータ線駆動回路が、順次選択される複数の出力端子を有した順次選択回路と、複数の単位メモリ回路を有したメモリ回路と、映像信号配線と、を備えている。そして、前記複数の単位メモリ回路のそれぞれは、前記順次選択回路の前記複数の出力端子のうちの2つであるそれぞれの第1出力端子と第2出力端子とに接続されている。さらに、前記複数の単位メモリ回路のそれぞれについて、前記第1出力端子が選択されたタイミングで前記映像信号配線のデータが前記単位メモリ回路の第1ノードへ書き込まれるとともに、前記第2出力端子が選択されたタイミングで前記第1ノードに書き込まれた前記データの電位がレベルシフトされる。

40

#### 【0007】

上記構成によれば、素子数の多いS-RAM回路の構成を用いずとも映像信号のレベルシフトが可能になり、高精細化対応が可能でかつ低消費電力なデータ線駆動回路が構成できるようになる。

#### 【0008】

また、本発明の他の態様によれば、前記複数の単位メモリ回路のそれぞれは、蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型のメモリであると

50

もに、前記第2出力端子が選択されたタイミングでレベルシフトされた前記データを前記蓄積容量に書き込むことでメモリ動作を行うように構成されている。

【0009】

上記構成によれば、レベルシフトがS-RAM構成でなくても可能であるから、より素子数の少ないダイナミック型のメモリを用いることができ、かつレベルシフトと同一タイミングで書き込みを行うことで映像信号より高い電圧を書き込み、出力電圧を高くすることが可能である。

【0010】

また、本発明のさらに他の態様によれば、前記複数の単位メモリ回路のそれぞれは、昇圧用容量を有するとともに、前記第1出力端子が選択されたタイミングで前記映像信号配線と前記昇圧用容量の一端が電気的に接続されて、前記第2出力端子が選択されるタイミングで前記昇圧用容量の一端の電位に応じて前記昇圧用容量の他端の電位が変動するように構成している。

10

【0011】

上記構成によれば、第2出力端子が選択された時に容易に電位振幅を2倍以上にすることができます、しかもリーコ電流が生じない上に素子数の増加が少ない。

【0012】

また、本発明のさらに他の態様によれば、前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスターである。

20

【0013】

上記構成によれば、ガラス基板上に形成された閾値電圧が高い薄膜トランジスターでD-A-C回路を構成するとD-A-C回路に入力するデジタル信号は高い電位振幅を必要とするが、本回路構成によって映像信号は低い電位振幅のままにおさえることができるから、ガラス基板上に形成された薄膜トランジスターで駆動回路を一体形成する際にも低消費電力な回路とすることが出来るため、D-A-C回路をガラス基板上に形成することでコストを安価に出来る。

【0014】

また、上記のデータ線駆動回路を備えた液晶表示装置、およびその液晶表示装置を備えた電子機器も提案する。本発明のデータ線駆動回路を内蔵した液晶表示装置は従来のものにくらべ高精細で低消費電力であり、ガラス基板上に形成することができるからコストが低くなる。電子機器に応用すれば安価でバッテリー駆動時間が長く、表示品位の高い電子機器を実現できる。

30

【0015】

上記のような構成によれば、メモリ回路に素子数の多いS-RAMでなくD-RAMを用いることができ、かつ映像信号からの入力信号振幅は低いままD-A-C回路への出力データ振幅を大きくすることができるため、高精細で低消費電力なデータ線駆動回路を低温ポリシリコンTFT回路で構成できる。

【発明を実施するための最良の形態】

【0016】

(実施例1)

40

図1は本発明の第1の実施例を実現するための6BitD-A-C内蔵VGA液晶用データ線駆動回路302のブロック図である。

【0017】

データ線駆動回路302は順次選択回路500、第1メモリ回路501、第2メモリ回路502、D-A-C回路503よりなる。順次選択回路500は641個の出力端子510-1~641を有し、適切なクロック信号CLK、スタートパルス信号SPを供給されることにより出力端子510-1~641に順次選択信号を供給し、出力端子510-641を選択した後に終端信号EPを第2メモリ回路502へ出力する。

【0018】

第1メモリ回路501は11520個の単位メモリ回路520-1~11520よりな

50

るメモリ回路であって、18本のデジタル映像信号D0～D17が入力される。デジタル映像信号D0～D17の電位は0/3Vの信号である。順次選択回路500から出力端子510-kに選択信号が出力されると、各デジタル映像信号D0～D17に接続された18個の単位メモリ回路520-k\*18-17～k\*18に0/3Vの信号が書き込まれる。次のタイミングで出力端子510-k+1が選択されると、単位メモリ回路520-k\*18-17～k\*18の信号はメモリ内容を保持したまま0/8Vの信号にレベルシフトされる。同時に、単位メモリ回路520-k\*18-17～k\*18+17にデジタル映像信号D0～D17より0/3Vの信号が書き込まれている。

## 【0019】

また、第2メモリ回路502は11520個の単位メモリ回路521-1～11520よりなるメモリ回路であって、順次選択回路500からの終端信号EPが選択されたタイミングで第1メモリ回路の単位メモリ回路520-nの内容をコピーし、次のEP信号が選択されるまでの間、その内容を保持したまま出力端子525-nに出力しつづける。これによってDAC回路503は線順次書き込みが可能になるのである。

10

## 【0020】

DAC回路503は第2メモリ回路502からの出力端子525-1～11520を元にデジタル・アナログ変換を行い、データ線202-1～1920へアナログ電位を書き込む。ここでDAC回路503は6Bitのデジタル・アナログ変換であって、出力端子525-n\*6-5～出力端子525-n\*6までの6Bitのデータをもとにデータ線202-nへのアナログ電位に変換する。

20

## 【0021】

図2は順次選択回路500の回路図である。643段のD-FF回路530-1～643が直列に接続されてなり、D-FF回路530-nとD-FF回路530-n+1の出力端子がNAND回路531-nの入力段に接続され、NAND回路531-nの出力がインバーター回路532-nに接続され、インバーター回路532-nの出力が出力端子510-kに繋がる。初段のD-FF回路530-1の入力端子はスタートパルス信号SPに接続され、終段のD-FF回路530-643の出力端子は駆動能力を上げるためのバッファを介して終端信号EPに接続される。これらの構成回路は全て+8Vと0Vの電源に接続される。スタートパルス信号SPは35μ秒周期でパルス長54n秒の矩形波信号であって+8V/0Vのレベルの信号である。クロック信号CLKは周期108n秒の矩形クロック信号であって+8V/0Vのレベルの信号である。このように構成することで、出力端子510-1 出力端子510-2 出力端子510-3...と各出力端子が順次54n秒ずつ選択され、出力端子510-641が選択された後、EP信号が108n秒選択される。なお、順次選択回路としては本実施例であげたようなD-FF回路を用いた構成の他、SRAMラッチやRS-フリップフロップを用いた構成など、既知のいかなる順次選択回路を用いても差し支えない。また、反転表示を実現するため、双方向転送回路を組み込んでもよい。

30

## 【0022】

図3はDAC回路503の回路図である。DAC回路503は6Bitのデジタル・アナログ変換回路であり、1920個のDACユニット回路540-1～1920と基準電位発生源550による。基準電位発生源550は反転する2つの電位VBとVWを与えられ、これを適当な抵抗で分割することで64個の基準電位V1～V64を発生する。ここでVBとVWは互いに極性が反転している0-4VのAC電位であり、周期は70μ秒であってスタートパルス信号SPが選択される直前に反転する。これによってDAC回路503から出力される信号は1H期間毎に反転する、1H反転駆動が実現される。DACユニット回路540-nは第2メモリ回路からの出力端子525-n\*6-5～n\*6に接続され、その信号に応じてV1～V64の中から一つの電位を選択(デコード)してデータ線202-nに出力する。これによって6Bitのデジタル・アナログ変換がなされる。なお、本実施例では基準電位発生源550の出力を直接データ線202-nに接続する構成をとったが、オペアンプ、ソースフォロアなどのアナログバッファを間にいれる構

40

50

成にしても差し支えない。また、D A C回路として本実施例であげた構成の他に容量を使ったC - D A Cや階段波を用いたP W M変調D A C等、既知のあらゆる他方式のD A Cと組み合わせて構わない。

【0023】

図4は第1メモリ回路501の単位メモリ回路520-nおよび第2メモリ回路502の単位メモリ回路521-nの回路構成である。

【0024】

単位メモリ回路520-nは、第1インバーター回路601-nと、第1伝送ゲート602-nと、第1蓄積容量603-nと、N A N D回路604-nと、第2インバーター回路605-nと、第1クロックド・インバーター606-nと、第3インバーター607-nと、第2蓄積容量608-nと、を備えている。10

【0025】

第1伝送ゲート602-nは、出力端子510-kの選択／非選択に応じて、映像信号配線上に現れるデジタル映像信号DmをノードAへ伝送するように構成されている。ここで、ノードAは、本実施例では第1伝送ゲート602-nの出力と、第1蓄積容量603-nの一端と、N A N D回路604-nの入力の一方と、第1クロックド・インバーター606-nの入力と、が接続された部分である。また、本実施例では、第1伝送ゲート602-nの2つのゲート入力には、出力端子510-k上の信号と、出力端子510-k上の信号に対して反転された信号と、が供給される。なお、出力端子510-kの信号に対して反転された信号は、第1インバーター回路601-nによって出力される。20

【0026】

N A N D回路604-nの2つの入力の他方は、順次選択回路500の出力端子510-k+1に接続されている。ここで、出力端子510-k+1は、出力端子510-kの次に選択される出力端子である。N A N D回路604-nの出力は、第2インバーター回路605-nを介して、第1蓄積容量603-nの他方の端子に接続されている。

【0027】

第1クロックド・インバーター606-nは、出力端子510-k+1の選択／非選択に応じて、ノードAの電位が表す信号に対して反転した信号を表す電位をノードBへ供給するように構成されている。ここで、ノードBは、本実施例では、第1クロックド・インバーター606-nの出力と、第2蓄積容量608-nの一端と、単位メモリ回路521-nにおける第2クロックド・インバーター611-nの入力と、が接続された部分である。また、本実施例では、第1クロックド・インバーター606-nの正負2つのクロック端子には、出力端子510-k+1上の信号と、出力端子510-k+1上の信号に対して反転した信号と、がそれぞれ供給される。ここで、出力端子510-k+1上の信号に対して反転された信号は、第3インバーター607-nによって出力される。また、本実施例では、第2蓄積容量608-nの他端は接地されている。30

【0028】

単位メモリ回路521-nは、第4インバーター回路610-nと、第2クロックド・インバーター611-nと、第3蓄積容量612-nと、を備えている。

【0029】

第2クロックド・インバーター611-nは、終端信号E Pに応じて、ノードBの電位が表す信号に対して反転した信号を表す電位を、第3蓄積容量612-nの一端に供給するように構成されている。なお、本実施例では、第2クロックド・インバーター611-nの正負2つのクロック端子には、終端信号E Pと、第4インバーター回路610-nによって反転された終端信号E Pと、が供給される。また、本実施例では、第3蓄積容量612-nの他端は接地されている。40

【0030】

上述のような構成を有する単位メモリ回路520-nと単位メモリ回路521-nとは、以下のように動作する。

【0031】

10

20

30

40

50

順次選択回路 500 により出力端子 510 - k が選択される (= H i g h 電位となる) と、第 1 インバーター回路 601 - n は L o w 電位を出力する。なお、ここで  $k = 1 \sim 640$  であって、 $n = (k - 1) * 18 + m + 1$ 、 $m = 0 \sim 17$  であり、一つの出力端子 510 - k に対して 18 個の単位メモリが同時に動作する。 $m = 0 \sim 17$  は外部から入力される 18 本の映像信号配線に対応しており、同時に選択される各単位メモリはそれぞれ接続される映像信号配線が異なる。ここで順次選択回路 500 及び第 1 インバーター回路 601 - n の電源は +8V と 0V であるので出力端子 510 - k は +8V、第 1 インバーター回路 601 - n の出力は 0V である。このとき、第 1 伝送ゲート 602 - n はゲート開となり、映像信号配線と第 1 蓄積容量 603 - n とが電気的に接続されて、結果として映像信号配線上のデジタル映像信号 Dm (m = 0 ~ 17) の電位が第 1 蓄積容量 603 - n の一端であるノード A に充電される。ここでデジタル映像信号 Dm は 0V / +3V の電位振幅であるとする。すなわちノード A は +3V または 0V となる。順次選択回路 500 からの出力は同時に複数が選択されることはないので、出力端子 510 - k + 1 の信号は必ず非選択、すなわち 0V である。従って N A N D 回路 604 - n は H i g h を出力し、第 2 インバーター回路 605 - n は L o w を出力する。ここで N A N D 回路 604 - n および第 2 インバーター回路 605 - n の電源は +3V と 0V である。すなわち、第 2 インバーター回路 605 - n は 0V を出力している。ゆえに第 3 インバーター 607 - n の出力は常に H i g h であって第 1 クロックド・インバーター 606 - n は常に無出力 (ハイインピーダンス状態) である。また、第 3 インバーター 607 - n 及び第 1 クロックド・インバーター 606 - n の電源は +8V と 0V であって、第 3 インバーター 607 - n の出力は +8V である。10 20

#### 【0032】

次に C L K 信号が反転すると順次選択回路 500 が動作し、出力端子 510 - k は非選択 (= 0V) となって出力端子 510 - k + 1 が選択 (= +8V) される。すると第 1 伝送ゲート 602 - n は閉状態となり、ノード A とデジタル映像信号 Dm は切り離される。ノード A に +3V が充電されていたとすると、N A N D 回路 604 - n からの出力は 0V に反転し、第 2 インバーター回路 605 - n は +3V を出力する。ノード A はこのときフローティング状態であるので、第 1 蓄積容量 603 - n が十分大きければ (ここでは 1pF)、容量結合によって +6V に電位が増幅される。一方、ノード A に 0V が充電されていたとすると、N A N D 回路 604 - n からの出力は +3V、第 2 インバーター回路 605 - n の出力は 0V のままであるので、ノード A の電位は 0V のままである。すなわち、順次選択回路 500 からの出力端子 510 - k + 1 が選択されたタイミングでノード A の信号は 0 ~ 3V 振幅から 0 ~ 6V に増幅されるのである。第 1 蓄積容量 603 - n がこのようにノード A の振幅を増幅することから、第 1 蓄積容量 603 - n は「昇圧用容量」とも呼ばれる。30

#### 【0033】

さらに、出力端子 510 - k が非選択となり、かつ出力端子 510 - k + 1 が選択されるタイミングで、第 1 クロックド・インバーター 606 - n は動作を始める。第 1 クロックド・インバーター 606 - n を構成する N c h 型トランジスターと P c h 型トランジスターの閾値や駆動能力が等しければ、第 1 クロックド・インバーター 606 - n はゲート電極に +6V が入力されていれば約 0V を出力し、0V が入力されていれば +8V を出力し、第 2 蓄積容量 608 - n の一端 (ノード B) に書き込まれる。第 2 蓄積容量 608 - n の他の一端は 0V 電源に接続される。ゆえに、出力端子 510 - k が選択タイミングでのデジタル映像信号 Dm の電位が +3V ならノード B の電位は +0V、出力端子 510 - k が選択タイミングでのデジタル映像信号 Dm の電位が 0V ならノード B の電位は +8V が、それぞれ出力端子 520 - n + 1 の選択後にメモリされることになる。40

#### 【0034】

次にまた C L K 信号が反転すると順次選択回路 500 が動作し、出力端子 510 - k は非選択 (= 0V) のまま、出力端子 510 - k + 1 も非選択 (= 0V) になる。このとき、ノード A の電位は +3V に戻るが、第 1 クロックド・インバーター 606 - n は非動作50

になるのでノードBの電位は変動しない。次にノードBへ書き込みが行われるのは35μ秒後となる。この間、ノードBの電位はクロックド・インバーター回路606-nのリーク電流(1nAとする)によって徐々に変動するが、第2蓄積容量608-nの容量が1pFであるので35mV以下しか変動せず、ノードBの電位は次の選択期間までほぼ保持されることになる。すなわち、第1メモリ回路501として動作するのである。

#### 【0035】

順次選択回路500が動作を続け、出力端子510-641まで選択を終えると、次にEP信号が選択(8V)される。すると第4インバーター回路610-nはLow(0V)を出力し、第2クロックド・インバーター611-nが出力を開始する。このとき、全ての第2クロックド・インバーター611-1~115220が同時に動作する。

10

#### 【0036】

ここで第4インバーター回路610-nおよび第2クロックド・インバーター611-nの電源電圧は+8Vと0Vである。すなわち、ノードBが電位0Vなら+8Vを、ノードBが電位+8Vなら0Vをそれぞれ第3蓄積容量612-nの一端に接続されている出力端子525-nへ出力する。第3蓄積容量612-nの他端は0V電源に接続される。70n秒後にEP信号が非選択になると第2クロックド・インバーター611-nは非動作となる。先ほどと同様に第2クロックド・インバーター611-nのリーク電流は1nA以下であり、第3蓄積容量612-nの容量は1pFであって、次にEP信号が選択するまでの期間は35μ秒、従って電位変動は35mV以下であるから、次のEP信号選択期間までの間、出力端子525-nの電位は保持されることになる。すなわち、第2メモリ回路502として動作するのである。出力端子525-nの電位はそのままDAC回路503へ接続されるので、DAC回路503ではEP信号選択から次EP信号選択の間、すなわち35μ秒間、入力電位が0/8Vで保持される。この間に全てのデータ線202-1~1920へ単位メモリ回路521-nの出力(=出力端子525-n電位)に従ってデジタル・アナログ変換した結果を同時に書き込むのである(線順次書き込み)。

20

#### 【0037】

なお、本実施例では選択=Highという正論理にし、レベルシフト方向もプラス側に増幅したが、選択=Lowという負論理で回路を構成してもよいし、レベルシフト方向をマイナスになるようにしても差し支えないのはもちろんである。この場合、インバーターを間に挟む、NAND回路の変わりにNOR回路を使用するなどして論理を反転させればよい。また、十分にトランジスターの閾値(Vth)が低い場合は伝送ゲート602-nを片チャネル構成とし、第1インバーター回路601-nを略することもできる。また、NAND回路604-n、第2インバーター回路605-nをパスゲートAND回路に置き換えるよい。また、レベルシフト用の出力端子は本実施例のように隣接した出力端子(n+1)ではなく、2つ隣(n+2)やそれ以上離れた端子でも差し支えない。また、本実施例では第1インバーター回路601-n、第3インバーター607-n、第4インバーター回路610-nを各単位メモリ回路520-n、521-n内に配置しているが、2個以上の単位メモリ回路に1つの配置としても良い。第1インバーター回路601-n、第3インバーター607-nでは最大6個の単位メモリ回路ごとでよく、第4インバーター回路610-nは全ての単位メモリ回路で一つのインバーターに統合可能である。

30

#### 【0038】

このように、本実施例のようにデータ線駆動回路302を構成することで素子数の多いスタティック型RAM構成では無く、ダイナミック型RAM構成でメモリ回路を構成できるため素子数が少くなり、より高精細な液晶表示装置を実現可能である。また、デジタル映像信号の電位振幅を低く(0~3V)できるので消費電力を低減できる一方、第2メモリ回路502からの出力電位振幅は高い(0~8V)ので閾値の高いポリシリコン薄膜トランジスターを用いて構成したDAC回路503の精度が低下することが無い。

40

#### 【0039】

図5は図1のデータ線駆動回路302を用いたアクティブマトリクス基板101の構成図である。アクティブマトリクス基板101上には、480本の走査線(201-1~4

50

80) と 1920 本のデータ線 (202-1 ~ 1920) が直交して形成されており、480 本の容量線 (203-1 ~ 480) は走査線 (201-1 ~ 480) と並行に配置されている。容量線 (203-1 ~ 480) は相互に短絡され、対向導通部 (330) に接続され、電源回路 304 から適切な共通電位を与えられる。

【0040】

走査線 (201-1 ~ 480) は走査線駆動回路 301 に接続されて駆動信号を与えられる。また、データ線 (202-1 ~ 1920) はデータ線駆動回路 302 に接続されて映像信号を与えられる。走査線駆動回路 301、データ線駆動回路 302 は電源回路 304 および信号回路 305 に接続され、必要な信号 (例えば SP, CLK 信号) と必要な電位 (例えば +8V, +3V, 0VDC 電源) を供給される。データ線駆動回路 302 は信号入力端子 320 からデジタル映像信号 D0 ~ D17 を与えられる。また信号回路 305 および電源回路 304 も必要な信号 (マスタークロック、SYNC 信号など) および電源電位 (例えば +2V) を与えられる。

10

【0041】

走査線駆動回路 301、データ線駆動回路 302、電源回路 304、信号回路 305 はアクティブマトリクス基板の一部を構成するガラス基板上に能動素子としてのポリシリコン薄膜トランジスターを集積することで形成されており、後述する画素スイッチング素子 (401-n-m) と同一工程で製造される、いわゆる駆動回路内蔵型の液晶表示装置となっている。

20

【0042】

図 6 は図 5 の点線 310 部で示す画素表示領域中の m 番目のデータ線 (202-m) と n 番目の走査線 (201-n) の交差部付近の回路図である。走査線 (201-n) とデータ線 (202-m) の各交点には N チャネル型電界効果ポリシリコン薄膜トランジスターによりなる画素スイッチング素子 (401-n-m) が形成されており、そのゲート電極は走査線 (201-n) に、ソース・ドレイン電極はそれぞれデータ線 (202-m) と画素電極 (402-n-m) に接続されている。画素電極 (402-n-m) 及び同一電位に短絡される電極は容量線 (203-n) と補助容量コンデンサー (403-n-m) を形成し、また液晶表示装置として組み立てられた際には液晶素子をはさんで対向基板電極 930 (コモン電極) とやはりコンデンサーを形成する。なお、ここでの m は 1 以上 1920 以下の整数であり、n は 1 以上 480 以下の整数である。

30

【0043】

図 7 は図 5 のアクティブマトリクス基板を用いた第 1 の実施例における 6Bit DAC 内蔵透過型 VGA 解像度液晶表示装置の斜視構成図 (一部断面図) である。液晶表示装置 910 は、アクティブマトリクス基板 101 (第 1 の基板) と対向基板 912 (第 2 の基板) とをシール材 923 により一定の間隔で貼り合わせ、ネマティック相液晶材料 922 を挟持してなる。アクティブマトリクス基板 101 上には図示しないがポリイミドなどからなる配向材料が塗布されラビング処理されて配向膜が形成されている。また、対向基板 912 は、図示しないが画素に対応したカラーフィルタと、光抜けを防止し、コントラストを向上させるためのブラックマトリクスと、アクティブマトリクス基板 101 上の対向導通部 330 と短絡されるコモン電位が供給される ITO 膜でなる対向基板電極 930 が形成される。液晶材料 922 と接触する面にはポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板 101 の配向膜のラビング処理の方向とは直交する方向にラビング処理されている。

40

【0044】

さらに対向基板 912 の外側には、上偏光板 924 を、アクティブマトリクス基板 101 の外側には、下偏光板 925 を各々配置し、互いの偏光方向が直交するよう (クロスニコル状) に配置する。さらに下偏光板 925 下には、面光源を成すバックライトユニット 926 が配置される。バックライトユニット 926 は、冷陰極管や LED に導光板や散乱板をとりつけたものでも良いし、EL 素子によって全面発光するユニットでもよい。図示しないが、さらに必要に応じて、周囲を外殻で覆っても良いし、あるいは上偏光板 924

50

のさらに上に保護用のガラスやアクリル板を取り付けても良いし、視野角改善のため光学補償フィルムを貼っても良い。

【0045】

また、アクティブマトリクス基板101は、対向基板912から張り出す張り出し部927が設けられ、その張り出し部927にある信号入力端子320には、FPC(可撓性基板)928が実装され電気的に接続されている。

【0046】

図8は本実施例での電子機器990の具体的な構成を示すブロック図である。液晶表示装置910は図7で説明した6BitDAC内蔵VGA解像度液晶表示装置であって、電源回路784、映像処理回路780がFPC(可撓性基板)928および信号入力端子320を通じて必要な信号と電源を液晶表示装置910に供給する。中央演算回路781は外部I/F回路(782)を介して入出力機器(783)からの入力データを取得する。ここで入出力機器(783)とは例えばキーボード、マウス、トラックボール、LED、スピーカー、アンテナなどである。中央演算回路(781)は外部からのデータをもとに各種演算処理を行い、結果をコマンドとして映像処理回路780あるいは外部I/F回路782へ転送する。映像処理回路780は中央演算回路781からのコマンドに基づき映像情報を更新し、液晶表示装置910への信号を変更することで、液晶表示装置910の表示映像が変化する。

【0047】

このように構成された電子機器990は表示装置が高精細であって、駆動回路や信号回路がアクティブマトリクス基板101上に一体形成されているゆえにコストが安い上に信頼性が高い。このため、表示品位の良好で高信頼性の電子機器990を安価に提供できるのである。

【0048】

ここで電子機器990とは具体的にはモニター、TV、ノートパソコン、PDA、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯DVDプレイヤー、携帯オーディオプレイヤーなどである。

【0049】

(実施例2)

図9は第2の実施例を実現するための第1メモリ回路501の単位メモリ回路520-nおよび第2メモリ回路502の単位メモリ回路521-nの回路構成であり、第1の実施例の図4にかわるものである。なお、データ線駆動回路302の構成、順次選択回路500の回路構成は第1の実施例と基本的に同じなので説明を省略する。また、図9中、図4と構成・動作が変わらない部分については同じ記号を用いることで詳細な説明は省略する。

【0050】

図9の構成は第1メモリ回路501の単位メモリ回路520-nについては第1の実施例で説明した図4と基本的に同じであり、動作も同一である。第2メモリ回路502の単位メモリ回路521-nについては第1の実施例における図4の第2クロックド・インバータ-611-nを第2伝送ゲート614-nに置き換えている。本実施例の場合、第2蓄積容量608-nの容量と第3蓄積容量612-nの容量分割によりノードBの電位を出力端子525-nに書き込むので、第2蓄積容量608-nの容量が第3蓄積容量612-nの容量より十分大きい必要がある。出力端子510-k+1が選択された時にノードBに充電された電位をVB、EP信号が選択される前の出力端子525-nの電位をVC、第2蓄積容量608-nの容量をC2、第3蓄積容量612-nの容量をC3、DAC回路503の入力容量をC4とすると、EP信号が選択された時の出力端子525-nの電位VC'は $VC' = (VB * C2 + VC * (C3 + C4)) / (C2 + C3 + C4)$ であって、本実施例ではC2=10pF、C3=1pF、C4=100fFとするのでVB=8V、VC=0VだったときにEP信号が選択された時の出力端子525-nの電位VC'=7.3Vとなり、DAC回路503の動作上、十分な電位を出力端子525-n

10

20

30

40

50

から出力出来る。このような構成をとると第1の実施例よりさらに構成素子数を減らすことができるが、第2蓄積容量608-nの素子サイズが大きくなるため、回路面積が大きくなる可能性があり、各種プロセス値を勘案してよりメリットのある方式を選択すればよい。また、トランジスターの閾値(V<sub>th</sub>)が十分に低い場合は第2伝送ゲート614-nを片チャネル構成とし、第4インバーター回路610-nを略することができ、同様に第1伝送ゲート602-nを片チャネル構成として第1インバーター回路601-nを省略できるのは第1の実施例と同様である。

#### 【0051】

本実施例では第1の実施例と比較し、出力端子525-n上の信号の極性が反転する。従って、極性及びカーブをあわせるため、DAC回路503について電位V<sub>B</sub>及び電位V<sub>W</sub>の極性を第1の実施例とは逆に設定し、基準電位回路550内の抵抗値も設定を変更する必要がある。その他の回路構成等については図3のとおりであり、第1の実施例と何ら変わることはない。

10

#### 【0052】

本実施例のデータ線駆動回路302を用いたアクティブマトリクス基板101、液晶表示装置910、電子機器990の構成は第1の実施例と同様であるので省略する。

#### 【0053】

なお、第2メモリ回路502についてはダイナミック型でなく、スタティック型のメモリ(S-RAM)で構成しても良い。このような回路構成例を図10に示す。図10の構成では、第2メモリ回路502における単位メモリ521-nが、第3蓄積容量612-nを用いたダイナミック型メモリに代えて、スタティック型メモリ(S-RAM)回路618-nを用いている。この回路はリークやEP信号周期を気にする必要が無く、プロセスマージンが広くなる。一方、第1メモリ回路はダイナミック型であるので、従来の構成よりは素子数を低減でき、消費電力も低減可能である。しかしながら第1の実施例や図9の構成と比べれば素子数は大きくなるので、どちらの方式を選ぶかは以上の点を勘案して決めればよい。

20

#### 【0054】

##### (実施例3)

図11は第3の実施例を実現するための第1メモリ回路501の単位メモリ回路520-nおよび第2メモリ回路502の単位メモリ回路521-nの回路構成であり、第1の実施例の図4にかわるものである。なお、データ線駆動回路302のプロック図、順次選択回路500の回路図、DAC回路503の回路図などは第1の実施例と基本的に同じなので説明を省略する。また、図11中、図4と構成・動作が変わらない部分については同じ記号を用いることで詳細な説明は省略する。

30

#### 【0055】

本実施例では第1メモリ回路501の単位メモリ回路520-nにおける第1伝送ゲート602-nを通過したデジタル映像信号D<sub>m</sub>を表す電位は、レベルシフタ回路630-nの入力端子および第4蓄積容量640-nの一端に入力されて保持される。第4蓄積容量640-nの他端は接地されている。また、本実施例では、第1伝送ゲート602-nの出力と、第4蓄積容量640-nの一端と、レベルシフタ回路630-nの入力と、が接続された部分がノードAである。

40

#### 【0056】

レベルシフタ回路630-nは第1トランジスター631-nと、第2トランジスター632-nと、第3トランジスター633-nと、を直列に接続した構成となっている。ここで第1トランジスター631-nおよび第2トランジスター632-nはnチャネル型トランジスターであって、第3トランジスター633-nはpチャネル型トランジスターである。第1トランジスター631-nは0V電源に、第3トランジスター633-nは電源電位V<sub>P</sub>にそれぞれソース電極が接続される。ここで電源電位V<sub>P</sub>は+8VのDC電源電位である。第1トランジスター631-nのゲート電極は順次選択回路500の出力端子510-k+1に接続されており、第2トランジスター632-nおよび第3トランジスター633-nのゲート電極はノードAに接続される。

50

ンジスター 633-n のゲート電極はレベルシフタ回路 630-n の入力端子に接続されている。出力端子 510-k+1 が非選択 (LOW = 0V) になる場合は第 1 トランジスター 631-n は OFF 状態になり、レベルシフタ回路 630-n からは常に VP 電位 (= 8V) が output され、貫通電流が流れないように構成されている。ここで出力端子 510-k+1 が選択 (High = 8V) になると、レベルシフタ回路 630-n の入力端子にかかる電圧が 0V であれば第 3 トランジスター 633-n のインピーダンスは低くなり、第 2 トランジスター 632-n は OFF し、レベルシフタ回路 630-n からは常に VP 電位 (= 8V) が output される。レベルシフタ回路 630-n の入力端子にかかる電圧が +3V であれば第 1 トランジスター 631-n、第 2 トランジスター 632-n、第 3 トランジスター 633-n は全て ON するので電源 VP から 0V 電源に向けて電流が流れるが、第 3 トランジスター 633-n のインピーダンスは高く、第 2 トランジスター 632-n のインピーダンスは低くなるように第 1 トランジスター 631-n、第 2 トランジスター 632-n、第 3 トランジスター 633-n の素子サイズおよび閾値を適切に設定すれば、レベルシフタ回路 630-n からは約 0V が output される。例えば第 1 トランジスター 631-n のチャネル幅 10 μm・チャネル長 5 μm、第 2 トランジスター 632-n のチャネル幅 100 μm・チャネル長 5 μm、第 3 トランジスター 633-n のチャネル幅 5 μm・チャネル長 5 μm とし、第 1 トランジスター 631-n・第 2 トランジスター 632-n の閾値 (Vth) を +1V、第 3 トランジスター 633-n の閾値 (Vth) を -3V などと調整すればよい。以上のようにしてノード B には 8V - 約 0V にレベルシフトされた電位が充電される。なお、第 4 蓄積容量 640-n の容量については第 1 伝送ゲート 602-n のリーク電流によって決定され（ここでは 1 pF）、第 1 伝送ゲート 602-n のリーク電流が十分小さければ省略しても構わない。なお、レベルシフタ回路 630-n の出力は、第 1 の実施例で説明した第 2 蓄積容量 608-n の一端と、単位メモリ回路 521-n における第 2 クロックド・インバーター 611-n の入力と、が接続された部分、すなわちノード B に接続されている。

#### 【0057】

レベルシフタ回路 630-n は本実施例で示した構成のみならず、出力端子 520-n+1 によって動作・非動作を制御できるようになっていれば既知のいかなる回路構成をとっても差し支えない。例えば図 12 のような構成である。本構成では第 2 トランジスター 632-n を第 4 トランジスター 634-n に置き換えており、そのゲート電極は VP 電源に接続されている。回路面積や動作マージンからどちらの方式の方が良いかはトランジスターの特性によるので、プロセスの要求に応じて決めればよい。

#### 【0058】

本実施例のデータ線駆動回路 302 を用いたアクティブマトリクス基板 101、液晶表示装置 910、電子機器 990 の構成は第 1 の実施例と同様であるので省略する。

#### 【産業上の利用可能性】

#### 【0059】

本発明は実施例の形態に限定されるものではなく、TN モードではなく垂直配向モード (VA モード)、横電界を利用した IPS モード、フリンジ電界を利用した FFS モードなどの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。

#### 【図面の簡単な説明】

#### 【0060】

【図 1】本発明の実施例に係るデータ線駆動回路のブロック図。

【図 2】本発明の実施例に係る順次選択回路の回路図。

【図 3】本発明の実施例に係る DAC 回路の回路図。

【図 4】本発明の第 1 の実施例に係る第 1 メモリ回路の単位メモリ回路および第 2 メモリ回路の単位メモリ回路の回路図。

【図 5】本発明の実施例に係るアクティブマトリクス基板の構成図。

【図 6】本発明の実施例に係るアクティブマトリクス基板の画素回路図。

10

20

30

40

50

【図7】本発明の実施例に係る液晶表示装置の斜視図。

【図8】本発明の電子機器の実施例を示すブロック図。

【図9】本発明の第2の実施例に係る第1メモリ回路の単位メモリ回路および第2メモリ回路の単位メモリ回路の回路図。

【図10】本発明の第2の実施例の別実施形態に係る第1メモリ回路の単位メモリ回路および第2メモリ回路の単位メモリ回路の回路図。

【図11】本発明の第3の実施例に係る第1メモリ回路の単位メモリ回路および第2メモリ回路の単位メモリ回路の回路図。

【図12】本発明の第3の実施例の別実施形態に係る第1メモリ回路の単位メモリ回路および第2メモリ回路の単位メモリ回路の回路図。

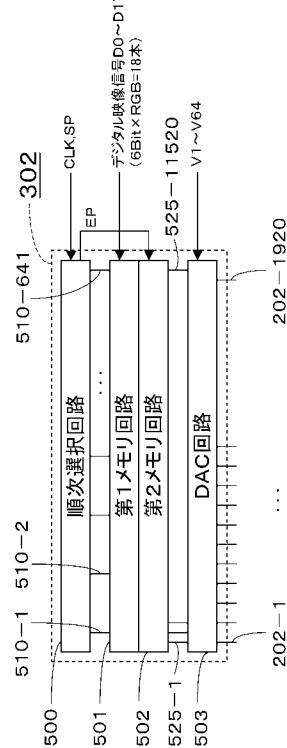
10

【符号の説明】

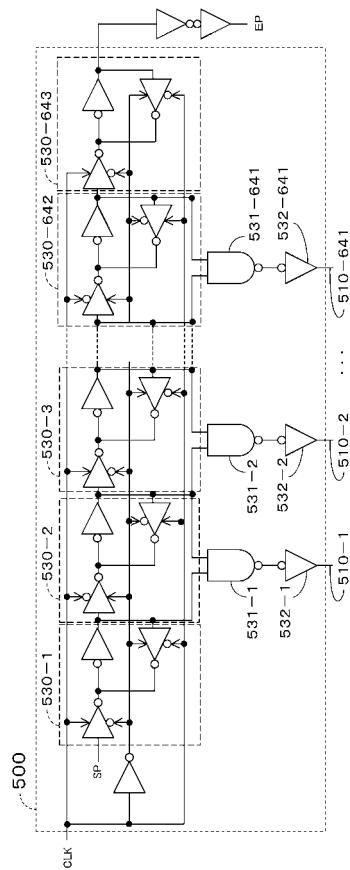
【0061】

101...アクティブマトリクス基板、201...走査線、202...データ線、302...データ線駆動回路、501...第1メモリ回路、502...第2メモリ回路、503...D A C回路、520-1~11520...第1メモリ回路の単位メモリ回路、521-1~11520...第2メモリ回路の単位メモリ回路、525-1~11520...第2メモリ回路の出力端子、401...画素スイッチング素子、402...画素電極、910...液晶表示装置、990...電子機器。

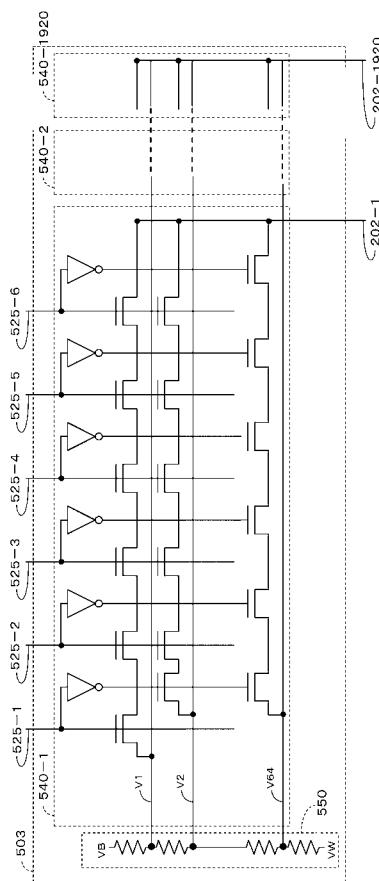
【図1】



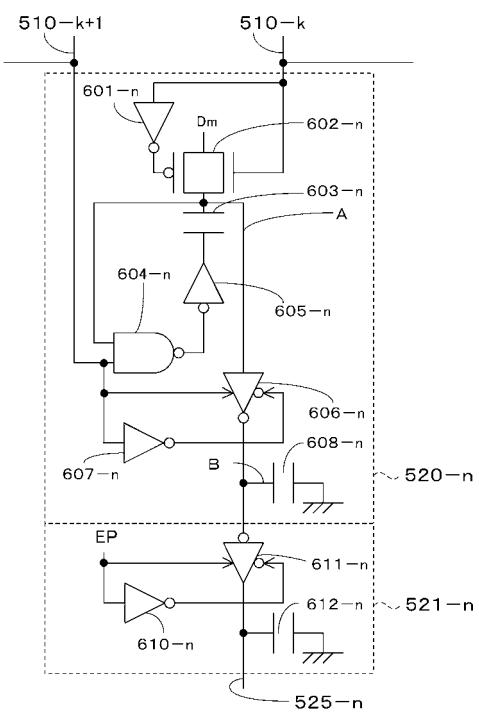
【図2】



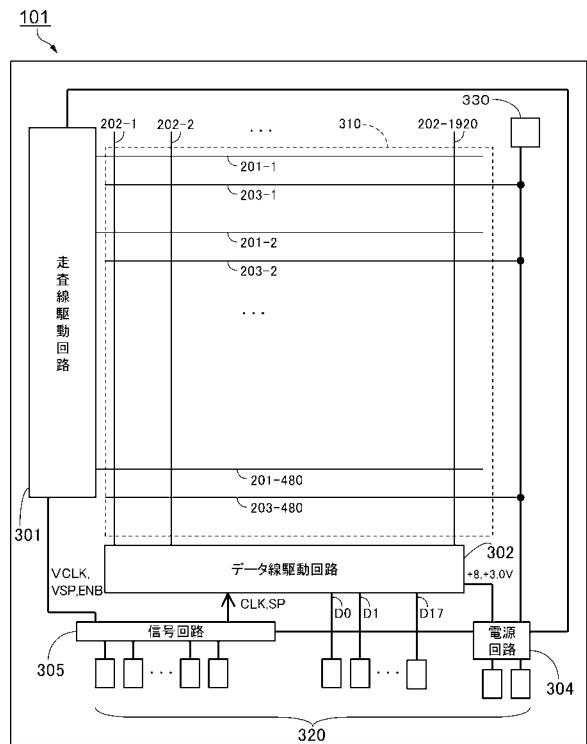
【図3】



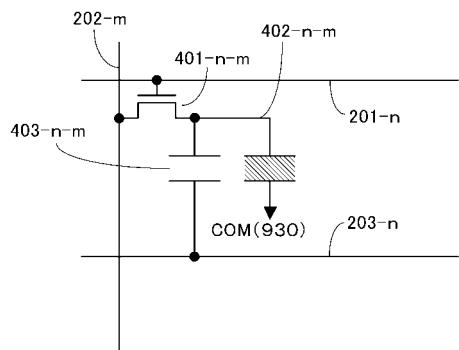
【図4】



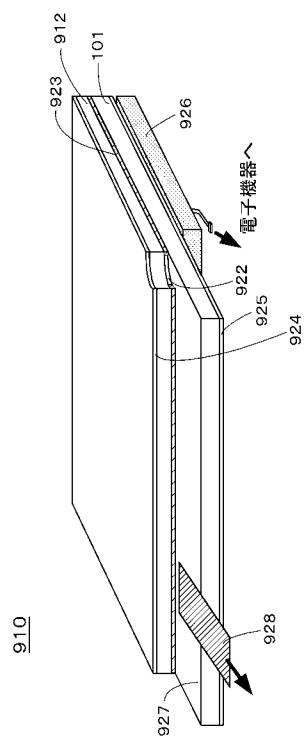
【図5】



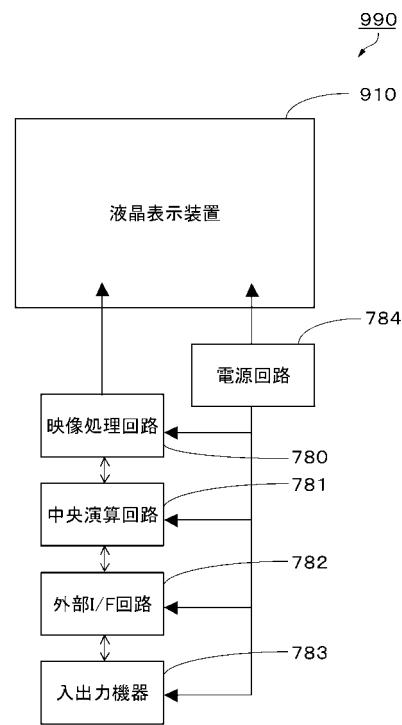
【図6】



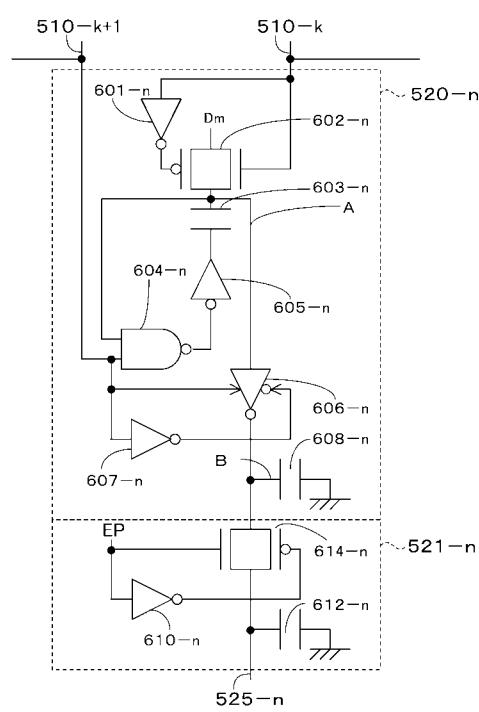
【図7】



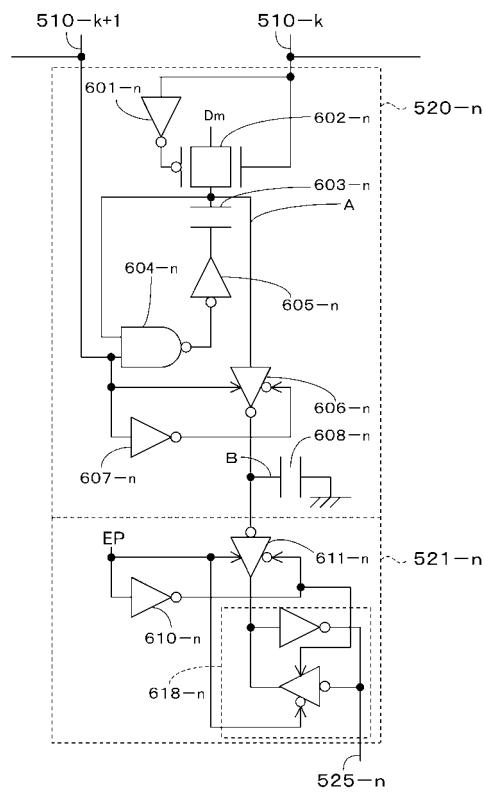
【図8】



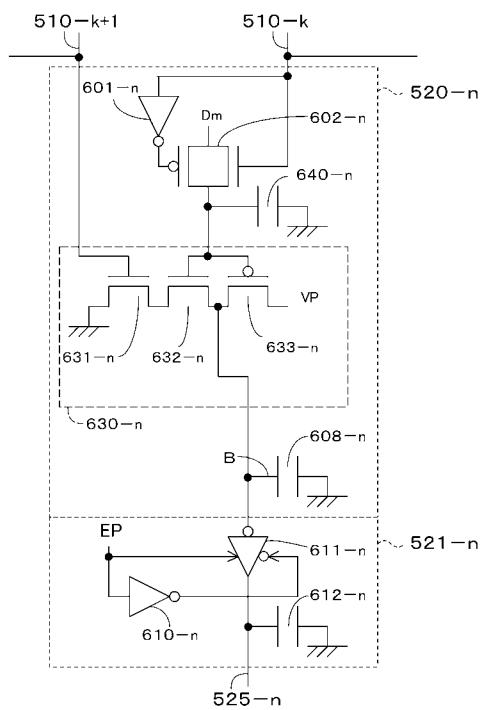
【図9】



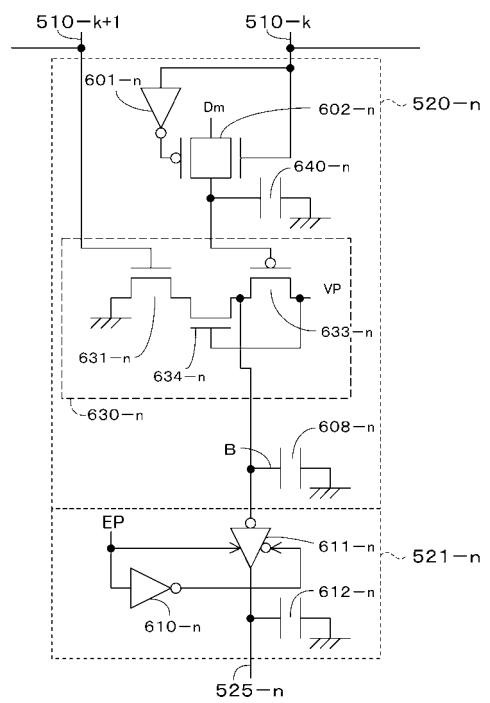
【図10】



【図 1 1】



【図 1 2】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 B  
G 0 9 G 3/20 6 1 1 A

F ターム(参考) 5C080 AA10 BB05 DD22 DD26 DD27 FF11 JJ02 JJ03 JJ06

专利名称(译)	数据线驱动电路，液晶显示设备和具有SAM的电子设备		
公开(公告)号	<a href="#">JP2008070615A</a>	公开(公告)日	2008-03-27
申请号	JP2006249395	申请日	2006-09-14
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小橋 裕		
发明人	小橋 裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.L G09G3/20.621.A G09G3/20.631.M G09G3/20.623.B G09G3/20.611.A		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND48 2H093/ND49 2H093/ND54 5C006/AF42 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF05 5C006/BF09 5C006/BF34 5C006/BF37 5C006/BF46 5C006/FA16 5C006/FA43 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 2H193/ZA04 2H193/ZF34		
代理人(译)	宫坂和彦		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

要解决的问题：要获得具有高清晰度和低功耗的数据线驱动电路，具有内置DAC。 ŽSOLUTION：数据线驱动电路在顺序选择电路选择输出端子时捕获低幅度的视频信号，并在选择另一个输出端子时定时放大信号。此外，通过构成动态类型的存储电路来减少元件的数量，以获得高清晰度。 Ž

