

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-70615

(P2008-70615A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	5C006
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621L	5C080
	G09G 3/20 621A	
	G09G 3/20 631M	
審査請求 未請求 請求項の数 6 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2006-249395 (P2006-249395)  
 (22) 出願日 平成18年9月14日 (2006.9.14)

(71) 出願人 304053854  
 エプソンイメージングデバイス株式会社  
 長野県安曇野市豊科田沢6925  
 (74) 代理人 100095728  
 弁理士 上柳 雅誉  
 (74) 代理人 100127661  
 弁理士 宮坂 一彦  
 (72) 発明者 小橋 裕  
 東京都港区浜松町二丁目4番1号 三洋エ  
 プソンイメージングデバイス株式会社内  
 Fターム(参考) 2H093 NC16 NC22 NC24 NC34 NC35  
 ND39 ND48 ND49 ND54  
 5C006 AF42 AF71 AF82 BB16 BC12  
 BC20 BF05 BF09 BF34 BF37  
 BF46 FA16 FA43 FA47 FA51  
 最終頁に続く

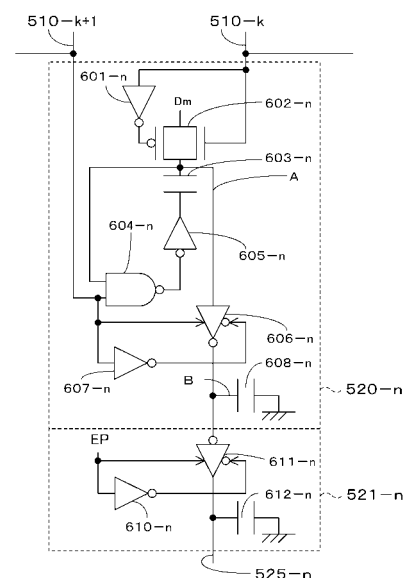
(54) 【発明の名称】 データ線駆動回路、液晶表示装置およびこれを搭載した電子機器

## (57) 【要約】

【課題】 高精細で低消費電力なD A C内蔵データ線駆動回路を実現すること。

【解決手段】 順次選択回路で出力端子が選択されたタイミングで低振幅の映像信号を取り込み、別の出力端子が選択されたタイミングで信号を増幅する。さらにメモリ回路をダイナミック型で構成することで素子数を低減して高精細化を実現する。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

順次選択される複数の出力端子を有した順次選択回路と、  
複数の単位メモリ回路を有したメモリ回路と、  
映像信号配線と、  
を備えたデータ線駆動回路であって、  
前記複数の単位メモリ回路のそれぞれは、前記順次選択回路の前記複数の出力端子のうちの 2 つであるそれぞれの第 1 出力端子と第 2 出力端子とに接続されていて、  
前記複数の単位メモリ回路のそれぞれについて、  
前記第 1 出力端子が選択されたタイミングで前記映像信号配線のデータが前記単位メモリ回路の第 1 ノードへ書き込まれるとともに、  
前記第 2 出力端子が選択されたタイミングで前記第 1 ノードに書き込まれた前記データの電位がレベルシフトされる  
ことを特徴としたデータ線駆動回路。

10

**【請求項 2】**

前記複数の単位メモリ回路のそれぞれは、蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型のメモリであるとともに、前記第 2 出力端子が選択されたタイミングでレベルシフトされた前記データを前記蓄積容量に書き込むことでメモリ動作を行うように構成されている  
ことを特徴とした請求項 1 に記載のデータ線駆動回路。

20

**【請求項 3】**

前記複数の単位メモリ回路のそれぞれは、昇圧用容量を有するとともに、前記第 1 出力端子が選択されたタイミングで前記映像信号配線と前記昇圧用容量の一端が電氣的に接続されて、前記第 2 出力端子が選択されるタイミングで前記昇圧用容量の一端の電位に応じて前記昇圧用容量の他端の電位が変動するように構成されている  
ことを特徴とした請求項 1 または請求項 2 に記載のデータ線駆動回路。

**【請求項 4】**

前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスタであることを特徴とした請求項 1 から請求項 3 のいずれか一つに記載のデータ線駆動回路。

30

**【請求項 5】**

請求項 1 から請求項 4 のいずれか一つに記載のデータ線駆動回路を備えた液晶表示装置。

**【請求項 6】**

請求項 5 に記載の液晶表示装置を備えた電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は例えば、データ線駆動回路、液晶表示装置およびこれを搭載した電子機器に関する。

40

**【背景技術】****【0002】**

近年、低温ポリシリコン薄膜形成技術を用いてガラス基板上に薄膜トランジスタ（TFT）回路を形成する、いわゆる System On Glass（SOG）技術がさかんに開発されており、液晶ディスプレイのガラス基板上にドライバー回路を内蔵する駆動回路一体型液晶表示装置、あるいはモノシリックドライバーと呼ばれる表示装置の開発が進んでおり、特に DAC（Digital Analogue Converter）回路を含むデータ線駆動回路をガラス基板上に形成することでドライバー IC のコストが非常に安価になることが期待され、実用化されている。このような DAC 回路内蔵のデータ線駆動回路（あるいは水平駆動回路、H-DRIVER などと称される）をガラス基板上

50

に構成する場合、順次選択回路（あるいはシフトレジスタ回路）、第1メモリ回路（あるいはサンプリングラッチ回路）、第2メモリ回路（あるいは線順次駆動ラッチ回路）、DAC回路（あるいはD/A変換回路）などで構成される。ここで第1メモリ回路は外部から入力されるデジタル映像信号を順次選択回路によって与えられる適切なタイミングで取り込むためのメモリであって、第2メモリ回路は点順次で送信されるデジタルデータを用いて線順次駆動でDAC回路を動作させるためのメモリである。このような液晶表示装置の詳細な構成例としては特許文献1などが提案されている。

#### 【0003】

ここで第1メモリ回路に入力される映像デジタルデータの信号振幅は消費電力の低減およびドライバーICのコスト低減の両面からなるべく低いことが要請され、2.5～5.0V程度であることが望ましい。一方、低温ポリシリコン薄膜形成技術で製造したTFTの閾値電圧はMOS-ICのトランジスタに比べて高いことから、DAC回路が精度よく動作するために第2メモリ回路からの出力電位振幅は6～12V程度であることが要求される。この両者の要求から、第1メモリ回路もしくは第2メモリ回路で電位のレベルシフトを行う必要がある。これを実現する回路構成として、特許文献2、特許文献3などが提案されている。これらはいずれも第1メモリ回路及び第2メモリ回路の構成としてS-RAM(Static Random Access Memory)回路を応用したものである。

10

#### 【0004】

【特許文献1】特開2000-242209号公報

20

【特許文献2】特開2000-221926号公報

【特許文献3】特開2000-221929号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0005】

駆動回路一体型液晶表示装置においては複雑な回路をICに比べ10倍程度大きなデザインルールで形成する必要があるため、精細度が低いものしかできないという課題がある。そこで、第1メモリ回路および第2メモリ回路についてもD-RAM(Dynamic Random Access Memory)を用いて回路構成を簡略化すればより高精細な駆動回路一体型液晶表示装置を製造できる。しかしながら、D-RAM構成ではレベルシフトを行うことが難しいため、従来はS-RAM回路の構成が提案されてきた。本発明は上記の問題点に鑑み、その目的の一つはD-RAM構成によるレベルシフト可能なデータ線駆動回路を提案することである。

30

【課題を解決するための手段】

#### 【0006】

本発明のある態様によればデータ線駆動回路が、順次選択される複数の出力端子を有した順次選択回路と、複数の単位メモリ回路を有したメモリ回路と、映像信号配線と、を備えている。そして、前記複数の単位メモリ回路のそれぞれは、前記順次選択回路の前記複数の出力端子のうちの2つであるそれぞれの第1出力端子と第2出力端子とに接続されている。さらに、前記複数の単位メモリ回路のそれぞれについて、前記第1出力端子が選択されたタイミングで前記映像信号配線のデータが前記単位メモリ回路の第1ノードへ書き込まれるとともに、前記第2出力端子が選択されたタイミングで前記第1ノードに書き込まれた前記データの電位がレベルシフトされる。

40

#### 【0007】

上記構成によれば、素子数の多いS-RAM回路の構成を用いずとも映像信号のレベルシフトが可能になり、高精細化対応が可能でかつ低消費電力なデータ線駆動回路が構成できるようになる。

#### 【0008】

また、本発明の他の態様によれば、前記複数の単位メモリ回路のそれぞれは、蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型のメモリであると

50

もに、前記第 2 出力端子が選択されたタイミングでレベルシフトされた前記データを前記蓄積容量に書き込むことでメモリ動作を行うように構成されている。

【 0 0 0 9 】

上記構成によれば、レベルシフトが S - R A M 構成でなくても可能であるから、より素子数の少ないダイナミック型のメモリを用いることができ、かつレベルシフトと同一タイミングで書き込みを行うことで映像信号より高い電圧を書き込み、出力電圧を高くすることが可能である。

【 0 0 1 0 】

また、本発明のさらに他の態様によれば、前記複数の単位メモリ回路のそれぞれは、昇圧用容量を有するとともに、前記第 1 出力端子が選択されたタイミングで前記映像信号配線と前記昇圧用容量の一端が電氣的に接続されて、前記第 2 出力端子が選択されるタイミングで前記昇圧用容量の一端の電位に応じて前記昇圧用容量の他端の電位が変動するように構成されている。

10

【 0 0 1 1 】

上記構成によれば、第 2 出力端子が選択された時に容易に電位振幅を 2 倍以上にすることができ、しかもリーク電流が生じない上に素子数の増加が少ない。

【 0 0 1 2 】

また、本発明のさらに他の態様によれば、前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスタである。

20

【 0 0 1 3 】

上記構成によれば、ガラス基板上に形成された閾値電圧が高い薄膜トランジスタで D A C 回路を構成すると D A C 回路に入力するデジタル信号は高い電位振幅を必要とするが、本回路構成によって映像信号は低い電位振幅のままにおさえることができるから、ガラス基板上に形成された薄膜トランジスタで駆動回路を一体形成する際にも低消費電力な回路とすることが出来るため、D A C 回路をガラス基板上に形成することでコストを安価に出来る。

【 0 0 1 4 】

また、上記のデータ線駆動回路を備えた液晶表示装置、およびその液晶表示装置を備えた電子機器も提案する。本発明のデータ線駆動回路を内蔵した液晶表示装置は従来のものにくらべ高精細で低消費電力であり、ガラス基板上に形成することができるからコストが低くなる。電子機器に応用すれば安価でバッテリー駆動時間が長く、表示品位の高い電子機器を実現できる。

30

【 0 0 1 5 】

上記のような構成によれば、メモリ回路に素子数の多い S - R A M でなく D - R A M を用いることができ、かつ映像信号からの入力信号振幅は低いまま D A C 回路への出力データ振幅を大きくすることができるため、高精細で低消費電力なデータ線駆動回路を低温ポリシリコン T F T 回路で構成できる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

( 実施例 1 )

40

図 1 は本発明の第 1 の実施例を実現するための 6 B i t D A C 内蔵 V G A 液晶用データ線駆動回路 3 0 2 のブロック図である。

【 0 0 1 7 】

データ線駆動回路 3 0 2 は順次選択回路 5 0 0、第 1 メモリ回路 5 0 1、第 2 メモリ回路 5 0 2、D A C 回路 5 0 3 よりなる。順次選択回路 5 0 0 は 6 4 1 個の出力端子 5 1 0 - 1 ~ 6 4 1 を有し、適切なクロック信号 C L K、スタートパルス信号 S P を供給されることにより出力端子 5 1 0 - 1 ~ 6 4 1 に順次選択信号を供給し、出力端子 5 1 0 - 6 4 1 を選択した後に終端信号 E P を第 2 メモリ回路 5 0 2 へ出力する。

【 0 0 1 8 】

第 1 メモリ回路 5 0 1 は 1 1 5 2 0 個の単位メモリ回路 5 2 0 - 1 ~ 1 1 5 2 0 よりな

50

るメモリ回路であって、18本のデジタル映像信号D0～D17が入力される。デジタル映像信号D0～D17の電位は0/3Vの信号である。順次選択回路500から出力端子510-kに選択信号が出力されると、各デジタル映像信号D0～D17に接続された18個の単位メモリ回路520-k\*18-17～k\*18に0/3Vの信号が書き込まれる。次のタイミングで出力端子510-k+1が選択されると、単位メモリ回路520-k\*18-17～k\*18の信号はメモリ内容を保持したまま0/8Vの信号にレベルシフトされる。同時に、単位メモリ回路520-k\*18～k\*18+17にデジタル映像信号D0～D17より0/3Vの信号が書き込まれている。

#### 【0019】

また、第2メモリ回路502は11520個の単位メモリ回路521-1～11520よりなるメモリ回路であって、順次選択回路500からの終端信号EPが選択されたタイミングで第1メモリ回路の単位メモリ回路520-nの内容をコピーし、次のEP信号が選択されるまでの間、その内容を保持したまま出力端子525-nに出力しつづける。これによってDAC回路503は線順次書き込みが可能になるのである。

#### 【0020】

DAC回路503は第2メモリ回路502からの出力端子525-1～11520を元にデジタル・アナログ変換を行い、データ線202-1～1920へアナログ電位を書き込む。ここでDAC回路503は6Bitのデジタル・アナログ変換であって、出力端子525-n\*6-5～出力端子525-n\*6までの6Bitのデータをもとにデータ線202-nへのアナログ電位に変換する。

#### 【0021】

図2は順次選択回路500の回路図である。643段のD-FF回路530-1～643が直列に接続されてなり、D-FF回路530-nとD-FF回路530-n+1の出力端子がNAND回路531-nの入力段に接続され、NAND回路531-nの出力がインバーター回路532-nに接続され、インバーター回路532-nの出力が出力端子510-kに繋がる。初段のD-FF回路530-1の入力端子はスタートパルス信号SPに接続され、終段のD-FF回路530-643の出力端子は駆動能力を上げるためのバッファを介して終端信号EPに接続される。これらの構成回路は全て+8Vと0Vの電源に接続される。スタートパルス信号SPは35μ秒周期でパルス長54n秒の矩形波信号であって+8V/0Vのレベルの信号である。クロック信号CLKは周期108n秒の矩形クロック信号であって+8V/0Vのレベルの信号である。このように構成することで、出力端子510-1 出力端子510-2 出力端子510-3...と各出力端子が順次54n秒ずつ選択され、出力端子510-641が選択された後、EP信号が108n秒選択される。なお、順次選択回路としては本実施例であげたようなD-FF回路を用いた構成の他、S-RAMラッチやRS-フリップフロップを用いた構成など、既知のいかなる順次選択回路を用いても差し支えない。また、反転表示を実現するため、双方向転送回路を組み込んでもよい。

#### 【0022】

図3はDAC回路503の回路図である。DAC回路503は6Bitのデジタル・アナログ変換回路であり、1920個のDACユニット回路540-1～1920と基準電位発生源550よりなる。基準電位発生源550は反転する2つの電位VBとVWを与えられ、これを適当な抵抗で分割することで64個の基準電位V1～V64を発生する。ここでVBとVWは互いに極性が反転している0-4VのAC電位であり、周期は70μ秒であってスタートパルス信号SPが選択される直前に反転する。これによってDAC回路503から出力される信号は1H期間毎に反転する、1H反転駆動が実現される。DACユニット回路540-nは第2メモリ回路からの出力端子525-n\*6-5～n\*6に接続され、その信号に応じてV1～V64の中から一つの電位を選択(デコード)してデータ線202-nに出力する。これによって6Bitのデジタル・アナログ変換がなされる。なお、本実施例では基準電位発生源550の出力を直接データ線202-nに接続する構成をとったが、オペアンプ、ソースフォロアなどのアナログバッファを間にいれる構

10

20

30

40

50

成にしても差し支えない。また、D A C回路として本実施例であげた構成の他に容量を使ったC - D A Cや階段波を用いたP W M変調D A C等、既知のあらゆる他方式のD A Cと組み合わせて構わない。

#### 【0023】

図4は第1メモリ回路501の単位メモリ回路520 - nおよび第2メモリ回路502の単位メモリ回路521 - nの回路構成である。

#### 【0024】

単位メモリ回路520 - nは、第1インバーター回路601 - nと、第1伝送ゲート602 - nと、第1蓄積容量603 - nと、N A N D回路604 - nと、第2インバーター回路605 - nと、第1クロックド・インバーター606 - nと、第3インバーター607 - nと、第2蓄積容量608 - nと、を備えている。

10

#### 【0025】

第1伝送ゲート602 - nは、出力端子510 - kの選択/非選択に応じて、映像信号配線上に現れるデジタル映像信号DmをノードAへ伝送するように構成されている。ここで、ノードAは、本実施例では第1伝送ゲート602 - nの出力と、第1蓄積容量603 - nの一端と、N A N D回路604 - nの入力の一方と、第1クロックド・インバーター606 - nの入力と、が接続された部分である。また、本実施例では、第1伝送ゲート602 - nの2つのゲート入力には、出力端子510 - k上の信号と、出力端子510 - k上の信号に対して反転された信号と、が供給される。なお、出力端子510 - kの信号に対して反転された信号は、第1インバーター回路601 - nによって出力される。

20

#### 【0026】

N A N D回路604 - nの2つの入力の他方は、順次選択回路500の出力端子510 - k + 1に接続されている。ここで、出力端子510 - k + 1は、出力端子510 - kの次に選択される出力端子である。N A N D回路604 - nの出力は、第2インバーター回路605 - nを介して、第1蓄積容量603 - nの他方の端子に接続されている。

#### 【0027】

第1クロックド・インバーター606 - nは、出力端子510 - k + 1の選択/非選択に応じて、ノードAの電位が表す信号に対して反転した信号を表す電位をノードBへ供給するように構成されている。ここで、ノードBは、本実施例では、第1クロックド・インバーター606 - nの出力と、第2蓄積容量608 - nの一端と、単位メモリ回路521 - nにおける第2クロックド・インバーター611 - nの入力と、が接続された部分である。また、本実施例では、第1クロックド・インバーター606 - nの正負2つのクロック端子には、出力端子510 - k + 1上の信号と、出力端子510 - k + 1上の信号に対して反転した信号と、がそれぞれ供給される。ここで、出力端子510 - k + 1上の信号に対して反転された信号は、第3インバーター607 - nによって出力される。また、本実施例では、第2蓄積容量608 - nの他端は接地されている。

30

#### 【0028】

単位メモリ回路521 - nは、第4インバーター回路610 - nと、第2クロックド・インバーター611 - nと、第3蓄積容量612 - nと、を備えている。

#### 【0029】

第2クロックド・インバーター611 - nは、終端信号E Pに応じて、ノードBの電位が表す信号に対して反転した信号を表す電位を、第3蓄積容量612 - nの一端に供給するように構成されている。なお、本実施例では、第2クロックド・インバーター611 - nの正負2つのクロック端子には、終端信号E Pと、第4インバーター回路610 - nによって反転された終端信号E Pと、が供給される。また、本実施例では、第3蓄積容量612 - nの他端は接地されている。

40

#### 【0030】

上述のような構成を有する単位メモリ回路520 - nと単位メモリ回路521 - nとは、以下のように動作する。

#### 【0031】

50

順次選択回路500により出力端子510-kが選択される(=High電位となる)と、第1インバーター回路601-nはLow電位を出力する。なお、ここで $k = 1 \sim 640$ であって、 $n = (k - 1) * 18 + m + 1$ 、 $m = 0 \sim 17$ であり、一つの出力端子510-kに対して18個の単位メモリが同時に動作する。 $m = 0 \sim 17$ は外部から入力される18本の映像信号配線に対応しており、同時に選択される各単位メモリはそれぞれ接続される映像信号配線が異なる。ここで順次選択回路500及び第1インバーター回路601-nの電源は+8Vと0Vであるので出力端子510-kは+8V、第1インバーター回路601-nの出力は0Vである。このとき、第1伝送ゲート602-nはゲート開となり、映像信号配線と第1蓄積容量603-nとが電氣的に接続されて、結果として映像信号配線上のデジタル映像信号 $D_m$  ( $m = 0 \sim 17$ )の電位が第1蓄積容量603-nの一端であるノードAに充電される。ここでデジタル映像信号 $D_m$ は0V/+3Vの電位振幅であるとする。すなわちノードAは+3Vまたは0Vとなる。順次選択回路500からの出力は同時に複数が選択されることはないので、出力端子510-k+1の信号は必ず非選択、すなわち0Vである。従ってNAND回路604-nはHighを出力し、第2インバーター回路605-nはLowを出力する。ここでNAND回路604-nおよび第2インバーター回路605-nの電源は+3Vと0Vである。すなわち、第2インバーター回路605-nは0Vを出力している。ゆえに第3インバーター607-nの出力は常にHighであって第1クロックド・インバーター606-nは常に無出力(Highインピーダンス状態)である。また、第3インバーター607-n及び第1クロックド・インバーター606-nの電源は+8Vと0Vであって、第3インバーター607-nの出力は+8Vである。

#### 【0032】

次にCLK信号が反転すると順次選択回路500が動作し、出力端子510-kは非選択(=0V)となって出力端子510-k+1が選択(=+8V)される。すると第1伝送ゲート602-nは閉状態となり、ノードAとデジタル映像信号 $D_m$ は切り離される。ノードAに+3Vが充電されていたとすると、NAND回路604-nからの出力は0Vに反転し、第2インバーター回路605-nは+3Vを出力する。ノードAはこのときフローティング状態であるので、第1蓄積容量603-nが十分大きければ(ここでは1pF)、容量結合によって+6Vに電位が増幅される。一方、ノードAに0Vが充電されていたとすると、NAND回路604-nからの出力は+3V、第2インバーター回路605-nの出力は0Vのままであるので、ノードAの電位は0Vのままである。すなわち、順次選択回路500からの出力端子510-k+1が選択されたタイミングでノードAの信号は0~3V振幅から0~6Vに増幅されるのである。第1蓄積容量603-nがこのようにノードAの振幅を増幅することから、第1蓄積容量603-nは「昇圧用容量」とも呼ばれる。

#### 【0033】

さらに、出力端子510-kが非選択となり、かつ出力端子510-k+1が選択されるタイミングで、第1クロックド・インバーター606-nは動作を始める。第1クロックド・インバーター606-nを構成するNch型トランジスターとPch型トランジスターの閾値や駆動能力が等しければ、第1クロックド・インバーター606-nはゲート電極に+6Vが入力されていれば約0Vを出力し、0Vが入力されていれば+8Vを出力し、第2蓄積容量608-nの一端(ノードB)に書き込まれる。第2蓄積容量608-nの他の一端は0V電源に接続される。ゆえに、出力端子510-kが選択タイミングでのデジタル映像信号 $D_m$ の電位が+3VならノードBの電位は+0V、出力端子510-kが選択タイミングでのデジタル映像信号 $D_m$ の電位が0VならノードBの電位は+8Vが、それぞれ出力端子520-n+1の選択後にメモリされることになる。

#### 【0034】

次にまたCLK信号が反転すると順次選択回路500が動作し、出力端子510-kは非選択(=0V)のまま、出力端子510-k+1も非選択(=0V)になる。このとき、ノードAの電位は+3Vに戻るが、第1クロックド・インバーター606-nは非動作

になるのでノードBの電位は変動しない。次にノードBへ書き込みが行われるのは35  $\mu$ 秒後となる。この間、ノードBの電位はクロックド・インバーター回路606 - nのリーク電流(1 nAとする)によって徐々に変動するが、第2蓄積容量608 - nの容量が1 pFであるので35 mV以下しか変動せず、ノードBの電位は次の選択期間まではほぼ保持されることになる。すなわち、第1メモリ回路501として動作するのである。

#### 【0035】

順次選択回路500が動作を続け、出力端子510 - 641まで選択を終えると、次にEP信号が選択(8V)される。すると第4インバーター回路610 - nはLow(0V)を出力し、第2クロックド・インバーター611 - nが出力を開始する。このとき、全ての第2クロックド・インバーター611 - 1 ~ 115220が同時に動作する。

10

#### 【0036】

ここで第4インバーター回路610 - nおよび第2クロックド・インバーター611 - nの電源電圧は+8Vと0Vである。すなわち、ノードBが電位0Vなら+8Vを、ノードBが電位+8Vなら0Vをそれぞれ第3蓄積容量612 - nの一端に接続されている出力端子525 - nへ出力する。第3蓄積容量612 - nの他端は0V電源に接続される。70 n秒後にEP信号が非選択になると第2クロックド・インバーター611 - nは非動作となる。先ほどと同様に第2クロックド・インバーター611 - nのリーク電流は1 nA以下であり、第3蓄積容量612 - nの容量は1 pFであって、次にEP信号が選択するまでの期間は35  $\mu$ 秒、従って電位変動は35 mV以下であるから、次のEP信号選択期間までの間、出力端子525 - nの電位は保持されることになる。すなわち、第2メモリ回路502として動作するのである。出力端子525 - nの電位はそのままDAC回路503へ接続されるので、DAC回路503ではEP信号選択から次EP信号選択の間、すなわち35  $\mu$ 秒間、入力電位が0/8Vで保持される。この間に全てのデータ線202 - 1 ~ 1920へ単位メモリ回路521 - nの出力(=出力端子525 - n電位)に従ってデジタル・アナログ変換した結果を同時に書き込むのである(線順次書き込み)。

20

#### 【0037】

なお、本実施例では選択=Highという正論理にし、レベルシフト方向もプラス側に増幅したが、選択=Lowという負論理で回路を構成してもよいし、レベルシフト方向をマイナスになるようにしても差し支えないのはもちろんである。この場合、インバーターを間に挟む、NAND回路の代わりにNOR回路を使用するなどして論理を反転させればよい。また、十分にトランジスタの閾値( $V_{th}$ )が低い場合は伝送ゲート602 - nを片チャネル構成とし、第1インバーター回路601 - nを略することもできる。また、NAND回路604 - n、第2インバーター回路605 - nをバスゲートAND回路に置き換えてもよい。また、レベルシフト用の出力端子は本実施例のように隣接した出力端子(n+1)ではなく、2つ隣(n+2)やそれ以上離れた端子でも差し支えない。また、本実施例では第1インバーター回路601 - n、第3インバーター607 - n、第4インバーター回路610 - nを各単位メモリ回路520 - n、521 - n内に配置しているが、2個以上の単位メモリ回路に1つの配置としても良い。第1インバーター回路601 - n、第3インバーター607 - nでは最大6個の単位メモリ回路ごとによく、第4インバーター回路610 - nは全ての単位メモリ回路で一つのインバーターに統合可能である。

30

40

#### 【0038】

このように、本実施例のようにデータ線駆動回路302を構成することで素子数の多いスタティック型RAM構成では無く、ダイナミック型RAM構成でメモリ回路を構成できるため素子数が少なくなり、より高精細な液晶表示装置を実現可能である。また、デジタル映像信号の電位振幅を低く(0~3V)できるので消費電力を低減できる一方、第2メモリ回路502からの出力電位振幅は高い(0~8V)ので閾値の高いポリシリコン薄膜トランジスタを用いて構成したDAC回路503の精度が低下することが無い。

#### 【0039】

図5は図1のデータ線駆動回路302を用いたアクティブマトリクス基板101の構成図である。アクティブマトリクス基板101上には、480本の走査線(201 - 1 ~ 4

50



80)と1920本のデータ線(202-1~1920)が直交して形成されており、480本の容量線(203-1~480)は走査線(201-1~480)と並行に配置されている。容量線(203-1~480)は相互に短絡され、対向導通部(330)に接続され、電源回路304から適切な共通電位を与えられる。

#### 【0040】

走査線(201-1~480)は走査線駆動回路301に接続されて駆動信号を与えられる。また、データ線(202-1~1920)はデータ線駆動回路302に接続されて映像信号を与えられる。走査線駆動回路301、データ線駆動回路302は電源回路304および信号回路305に接続され、必要な信号(例えばSP,CLK信号)と必要な電位(例えば+8、+3、0VDC電源)を供給される。データ線駆動回路302は信号入力端子320からデジタル映像信号D0~D17を与えられる。また信号回路305および電源回路304も必要な信号(マスタークロック、SYNC信号など)および電源電位(例えば+2V)を与えられる。

10

#### 【0041】

走査線駆動回路301、データ線駆動回路302、電源回路304、信号回路305はアクティブマトリクス基板の一部を構成するガラス基板上に能動素子としてのポリシリコン薄膜トランジスタを集積することで形成されており、後述する画素スイッチング素子(401-n-m)と同一工程で製造される、いわゆる駆動回路内蔵型の液晶表示装置となっている。

20

#### 【0042】

図6は図5の点線310部で示す画素表示領域中のm番目のデータ線(202-m)とn番目の走査線(201-n)の交差部付近の回路図である。走査線(201-n)とデータ線(202-m)の各交点にはNチャネル型電界効果ポリシリコン薄膜トランジスタよりなる画素スイッチング素子(401-n-m)が形成されており、そのゲート電極は走査線(201-n)に、ソース・ドレイン電極はそれぞれデータ線(202-m)と画素電極(402-n-m)に接続されている。画素電極(402-n-m)及び同一電位に短絡される電極は容量線(203-n)と補助容量コンデンサ(403-n-m)を形成し、また液晶表示装置として組み立てられた際には液晶素子をはさんで対向基板電極930(コモン電極)とやはりコンデンサを形成する。なお、ここでのmは1以上1920以下の整数であり、nは1以上480以下の整数である。

30

#### 【0043】

図7は図5のアクティブマトリクス基板を用いた第1の実施例における6BitDAC内蔵透過型VGA解像度液晶表示装置の斜視構成図(一部断面図)である。液晶表示装置910は、アクティブマトリクス基板101(第1の基板)と対向基板912(第2の基板)とをシール材923により一定の間隔で貼り合わせ、ネマティック相液晶材料922を挟持してなる。アクティブマトリクス基板101上には図示しないがポリイミドなどからなる配向材料が塗布されラビング処理されて配向膜が形成されている。また、対向基板912は、図示しないが画素に対応したカラーフィルタと、光抜けを防止し、コントラストを向上させるためのブラックマトリクスと、アクティブマトリクス基板101上の対向導通部330と短絡されるコモン電位が供給されるITO膜でなる対向基板電極930が形成される。液晶材料922と接触する面にはポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板101の配向膜のラビング処理の方向とは直交する方向にラビング処理されている。

40

#### 【0044】

さらに対向基板912の外側には、上偏光板924を、アクティブマトリクス基板101の外側には、下偏光板925を各々配置し、互いの偏光方向が直交するよう(クロスニコル状)に配置する。さらに下偏光板925下には、面光源を成すバックライトユニット926が配置される。バックライトユニット926は、冷陰極管やLEDに導光板や散乱板をとりつけたものでも良いし、EL素子によって全面発光するユニットでもよい。図示しないが、さらに必要に応じて、周囲を外殻で覆っても良いし、あるいは上偏光板924

50

のさらに上に保護用のガラスやアクリル板を取り付けても良いし、視野角改善のため光学補償フィルムを貼っても良い。

#### 【 0 0 4 5 】

また、アクティブマトリクス基板 1 0 1 は、対向基板 9 1 2 から張り出す張り出し部 9 2 7 が設けられ、その張り出し部 9 2 7 にある信号入力端子 3 2 0 には、F P C ( 可撓性基板 ) 9 2 8 が実装され電氣的に接続されている。

#### 【 0 0 4 6 】

図 8 は本実施例での電子機器 9 9 0 の具体的な構成を示すブロック図である。液晶表示装置 9 1 0 は図 7 で説明した 6 B i t D A C 内蔵 V G A 解像度液晶表示装置であって、電源回路 7 8 4、映像処理回路 7 8 0 が F P C ( 可撓性基板 ) 9 2 8 および信号入力端子 3 2 0 を通じて必要な信号と電源を液晶表示装置 9 1 0 に供給する。中央演算回路 7 8 1 は外部 I / F 回路 ( 7 8 2 ) を介して入出力機器 ( 7 8 3 ) からの入力データを取得する。ここで入出力機器 ( 7 8 3 ) とは例えばキーボード、マウス、トラックボール、L E D、スピーカー、アンテナなどである。中央演算回路 ( 7 8 1 ) は外部からのデータをもとに各種演算処理を行い、結果をコマンドとして映像処理回路 7 8 0 あるいは外部 I / F 回路 7 8 2 へ転送する。映像処理回路 7 8 0 は中央演算回路 7 8 1 からのコマンドに基づき映像情報を更新し、液晶表示装置 9 1 0 への信号を変更することで、液晶表示装置 9 1 0 の表示映像が変化する。

#### 【 0 0 4 7 】

このように構成された電子機器 9 9 0 は表示装置が高精細であって、駆動回路や信号回路がアクティブマトリクス基板 1 0 1 上に一体形成されているゆえにコストが安い上に信頼性が高い。このため、表示品位の良好で高信頼性の電子機器 9 9 0 を安価に提供できるのである。

#### 【 0 0 4 8 】

ここで電子機器 9 9 0 とは具体的にはモニター、T V、ノートパソコン、P D A、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯 D V D プレイヤー、携帯オーディオプレイヤーなどである。

#### 【 0 0 4 9 】

( 実施例 2 )

図 9 は第 2 の実施例を実現するための第 1 メモリ回路 5 0 1 の単位メモリ回路 5 2 0 - n および第 2 メモリ回路 5 0 2 の単位メモリ回路 5 2 1 - n の回路構成であり、第 1 の実施例の図 4 にかわるものである。なお、データ線駆動回路 3 0 2 の構成、順次選択回路 5 0 0 の回路構成は第 1 の実施例と基本的に同じなので説明を省略する。また、図 9 中、図 4 と構成・動作が変わらない部分については同じ記号を用いることで詳細な説明は省略する。

#### 【 0 0 5 0 】

図 9 の構成は第 1 メモリ回路 5 0 1 の単位メモリ回路 5 2 0 - n については第 1 の実施例で説明した図 4 と基本的に同じであり、動作も同一である。第 2 メモリ回路 5 0 2 の単位メモリ回路 5 2 1 - n については第 1 の実施例における図 4 の第 2 クロックド・インバーター 6 1 1 - n を第 2 伝送ゲート 6 1 4 - n に置き換えている。本実施例の場合、第 2 蓄積容量 6 0 8 - n の容量と第 3 蓄積容量 6 1 2 - n の容量分割によりノード B の電位を出力端子 5 2 5 - n に書き込むので、第 2 蓄積容量 6 0 8 - n の容量が第 3 蓄積容量 6 1 2 - n の容量より十分大きい必要がある。出力端子 5 1 0 - k + 1 が選択された時にノード B に充電された電位を V B、E P 信号が選択される前の出力端子 5 2 5 - n の電位を V C、第 2 蓄積容量 6 0 8 - n の容量を C 2、第 3 蓄積容量 6 1 2 - n の容量を C 3、D A C 回路 5 0 3 の入力容量を C 4 とすると、E P 信号が選択された時の出力端子 5 2 5 - n の電位 V C ' は  $V C ' = ( V B * C 2 + V C * ( C 3 + C 4 ) ) \div ( C 2 + C 3 + C 4 )$  であって、本実施例では C 2 = 1 0 p F、C 3 = 1 p F、C 4 = 1 0 0 f F とするので V B = 8 V、V C = 0 V だったときに E P 信号が選択された時の出力端子 5 2 5 - n の電位 V C ' = 7 . 3 V となり、D A C 回路 5 0 3 の動作上、十分な電位を出力端子 5 2 5 - n

から出力出来る。このような構成をとると第 1 の実施例よりさらに構成素子数を減らすことができるが、第 2 蓄積容量 6 0 8 - n の素子サイズが大きくなるため、回路面積が大きくなる可能性があり、各種プロセス値を勘案してよりメリットのある方式を選択すればよい。また、トランジスタの閾値 ( $V_{th}$ ) が十分に低い場合は第 2 伝送ゲート 6 1 4 - n を片チャネル構成とし、第 4 インバーター回路 6 1 0 - n を略することができ、同様に第 1 伝送ゲート 6 0 2 - n を片チャネル構成として第 1 インバーター回路 6 0 1 - n を省略できるのは第 1 の実施例と同様である。

#### 【0051】

本実施例では第 1 の実施例と比較し、出力端子 5 2 5 - n 上の信号の極性が反転する。従って、極性及びカーブをあわせるため、DAC 回路 5 0 3 について電位  $V_B$  及び電位  $V_W$  の極性を第 1 の実施例とは逆に設定し、基準電位回路 5 5 0 内の抵抗値も設定を変更する必要がある。その他の回路構成等については図 3 のとおりであり、第 1 の実施例と何ら変わる点はない。

10

#### 【0052】

本実施例のデータ線駆動回路 3 0 2 を用いたアクティブマトリクス基板 1 0 1、液晶表示装置 9 1 0、電子機器 9 9 0 の構成は第 1 の実施例と同様であるので省略する。

#### 【0053】

なお、第 2 メモリ回路 5 0 2 についてはダイナミック型でなく、スタティック型のメモリ ( $S-RAM$ ) で構成しても良い。このような回路構成例を図 1 0 に示す。図 1 0 の構成では、第 2 メモリ回路 5 0 2 における単位メモリ 5 2 1 - n が、第 3 蓄積容量 6 1 2 - n を用いたダイナミック型メモリに代えて、スタティック型メモリ ( $S-RAM$ ) 回路 6 1 8 - n を用いている。この回路はリークや EP 信号周期を気にする必要が無く、プロセスマージンが広がる。一方、第 1 メモリ回路はダイナミック型であるので、従来の構成よりは素子数を低減でき、消費電力も低減可能である。しかしながら第 1 の実施例や図 9 の構成と比べれば素子数は大きくなるので、どちらの方式を選ぶかは以上の点を勘案して決めればよい。

20

#### 【0054】

##### (実施例 3)

図 1 1 は第 3 の実施例を実現するための第 1 メモリ回路 5 0 1 の単位メモリ回路 5 2 0 - n および第 2 メモリ回路 5 0 2 の単位メモリ回路 5 2 1 - n の回路構成であり、第 1 の実施例の図 4 にかわるものである。なお、データ線駆動回路 3 0 2 のブロック図、順次選択回路 5 0 0 の回路図、DAC 回路 5 0 3 の回路図などは第 1 の実施例と基本的に同じなので説明を省略する。また、図 1 1 中、図 4 と構成・動作が変わらない部分については同じ記号を用いることで詳細な説明は省略する。

30

#### 【0055】

本実施例では第 1 メモリ回路 5 0 1 の単位メモリ回路 5 2 0 - n における第 1 伝送ゲート 6 0 2 - n を通過したデジタル映像信号  $D_m$  を表す電位は、レベルシフタ回路 6 3 0 - n の入力端子および第 4 蓄積容量 6 4 0 - n の一端に入力されて保持される。第 4 蓄積容量 6 4 0 - n の他端は接地されている。また、本実施例では、第 1 伝送ゲート 6 0 2 - n の出力と、第 4 蓄積容量 6 4 0 - n の一端と、レベルシフタ回路 6 3 0 - n の入力と、が接続された部分がノード A である。

40

#### 【0056】

レベルシフタ回路 6 3 0 - n は第 1 トランジスタ 6 3 1 - n と、第 2 トランジスタ 6 3 2 - n と、第 3 トランジスタ 6 3 3 - n と、を直列に接続した構成となっている。ここで第 1 トランジスタ 6 3 1 - n および第 2 トランジスタ 6 3 2 - n は n チャネル型トランジスタであって、第 3 トランジスタ 6 3 3 - n は p チャネル型トランジスタである。第 1 トランジスタ 6 3 1 - n は 0 V 電源に、第 3 トランジスタ 6 3 3 - n は電源電位  $V_P$  にそれぞれソース電極が接続される。ここで電源電位  $V_P$  は + 8 V の DC 電源電位である。第 1 トランジスタ 6 3 1 - n のゲート電極は順次選択回路 5 0 0 の出力端子 5 1 0 - k + 1 に接続されており、第 2 トランジスタ 6 3 2 - n および第 3 トラ

50

ンジスター 633 - n のゲート電極はレベルシフト回路 630 - n の入力端子に接続されている。出力端子 510 - k + 1 が非選択 (LOW = 0 V) になる場合は第 1 トランジスター 631 - n は OFF 状態になり、レベルシフト回路 630 - n からは常に VP 電位 (= 8 V) が出力され、貫通電流が流れないように構成されている。ここで出力端子 510 - k + 1 が選択 (High = 8 V) になると、レベルシフト回路 630 - n の入力端子にかかる電圧が 0 V であれば第 3 トランジスター 633 - n のインピーダンスは低くなり、第 2 トランジスター 632 - n は OFF し、レベルシフト回路 630 - n からは常に VP 電位 (= 8 V) が出力される。レベルシフト回路 630 - n の入力端子にかかる電圧が + 3 V であれば第 1 トランジスター 631 - n、第 2 トランジスター 632 - n、第 3 トランジスター 633 - n は全て ON するので電源 VP から 0 V 電源に向けて電流が流れるが、第 3 トランジスター 633 - n のインピーダンスは高く、第 2 トランジスター 632 - n のインピーダンスは低くなるように第 1 トランジスター 631 - n、第 2 トランジスター 632 - n、第 3 トランジスター 633 - n の素子サイズおよび閾値を適切に設定すれば、レベルシフト回路 630 - n からは約 0 V が出力される。例えば第 1 トランジスター 631 - n のチャネル幅 10  $\mu\text{m}$ ・チャネル長 5  $\mu\text{m}$ 、第 2 トランジスター 632 - n のチャネル幅 100  $\mu\text{m}$ ・チャネル長 5  $\mu\text{m}$ 、第 3 トランジスター 633 - n のチャネル幅 5  $\mu\text{m}$ ・チャネル長 5  $\mu\text{m}$  とし、第 1 トランジスター 631 - n・第 2 トランジスター 632 - n の閾値 (V<sub>th</sub>) を + 1 V、第 3 トランジスター 633 - n の閾値 (V<sub>th</sub>) を - 3 V などと調整すればよい。以上のようにしてノード B には 8 V - 約 0 V にレベルシフトされた電位が充電される。なお、第 4 蓄積容量 640 - n の容量については第 1 伝送ゲート 602 - n のリーク電流によって決定され (ここでは 1 pF)、第 1 伝送ゲート 602 - n のリーク電流が十分小さければ省略しても構わない。なお、レベルシフト回路 630 - n の出力は、第 1 の実施例で説明した第 2 蓄積容量 608 - n の一端と、単位メモリ回路 521 - n における第 2 クロックド・インバーター 611 - n の入力と、が接続された部分、すなわちノード B に接続されている。

#### 【0057】

レベルシフト回路 630 - n は本実施例で示した構成のみならず、出力端子 520 - n + 1 によって動作・非動作を制御できるようになっていれば既知のいかなる回路構成をとっても差し支えない。例えば図 12 のような構成である。本構成では第 2 トランジスター 632 - n を第 4 トランジスター 634 - n に置き換えており、そのゲート電極は VP 電源に接続されている。回路面積や動作マージンからどちらの方式の方が良いかはトランジスターの特性によるので、プロセスの要求に応じて決めればよい。

#### 【0058】

本実施例のデータ線駆動回路 302 を用いたアクティブマトリクス基板 101、液晶表示装置 910、電子機器 990 の構成は第 1 の実施例と同様であるので省略する。

#### 【産業上の利用可能性】

#### 【0059】

本発明は実施例の形態に限定されるものではなく、TN モードではなく垂直配向モード (VA モード)、横電界を利用した IPS モード、フリンジ電界を利用した FFS モードなどの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。

#### 【図面の簡単な説明】

#### 【0060】

【図 1】本発明の実施例に係るデータ線駆動回路のブロック図。

【図 2】本発明の実施例に係る順次選択回路の回路図。

【図 3】本発明の実施例に係る DAC 回路の回路図。

【図 4】本発明の第 1 の実施例に係る第 1 メモリ回路の単位メモリ回路および第 2 メモリ回路の単位メモリ回路の回路図。

【図 5】本発明の実施例に係るアクティブマトリクス基板の構成図。

【図 6】本発明の実施例に係るアクティブマトリクス基板の画素回路図。

10

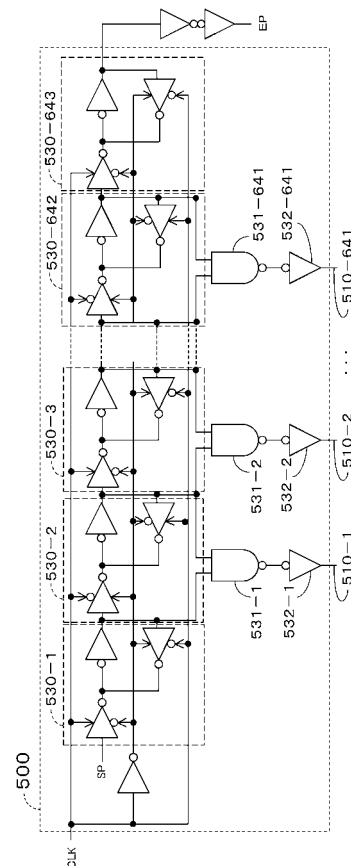
20

30

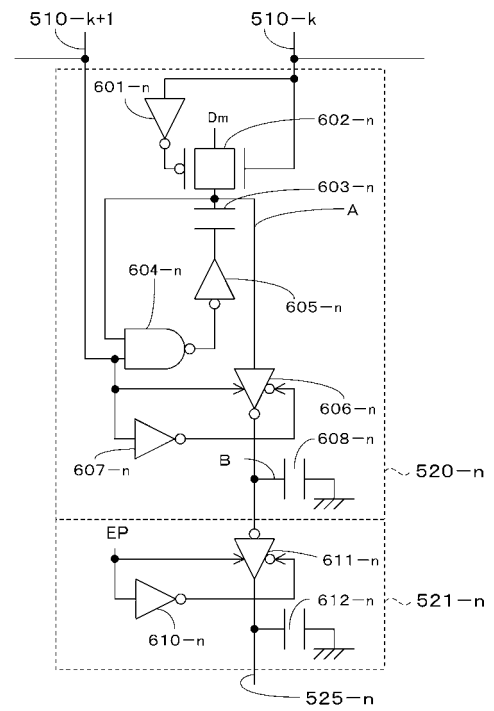
40

50

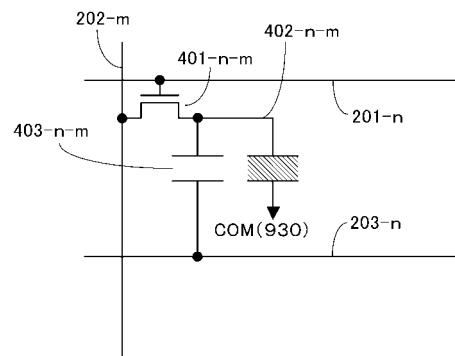
1 0 1 ... アクティブマトリクス基板、2 0 1 ... 走査線、2 0 2 ... データ線、3 0 2 ... データ線駆動回路、5 0 1 ... 第1メモリ回路、5 0 2 ... 第2メモリ回路、5 0 3 ... D A C 回路、5 2 0 - 1 ~ 1 1 5 2 0 ... 第1メモリ回路の単位メモリ回路、5 2 1 - 1 ~ 1 1 5 2 0 ... 第2メモリ回路の単位メモリ回路、5 2 5 - 1 ~ 1 1 5 2 0 ... 第2メモリ回路の出力端子、4 0 1 ... 画素スイッチング素子、4 0 2 ... 画素電極、9 1 0 ... 液晶表示装置、9 9 0 ... 電子機器。



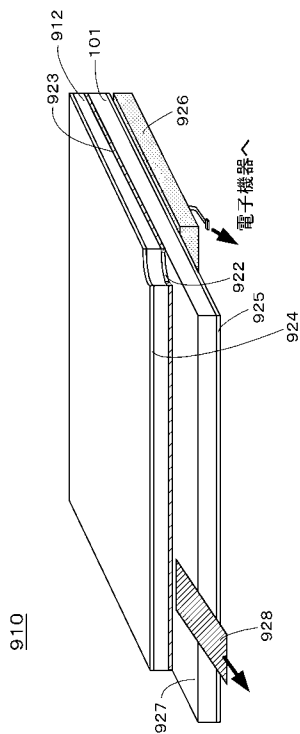
【 図 4 】



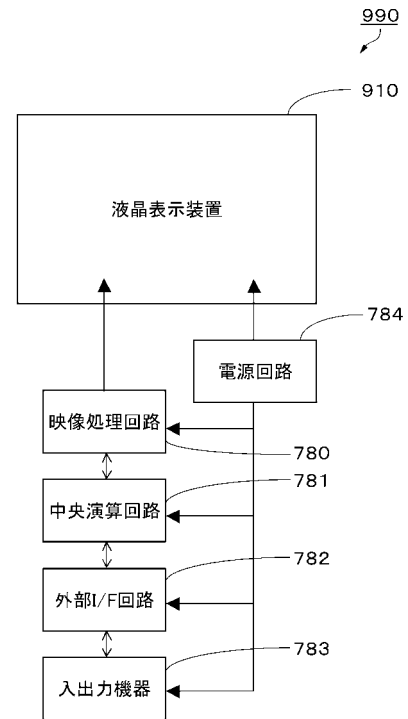
【 図 6 】



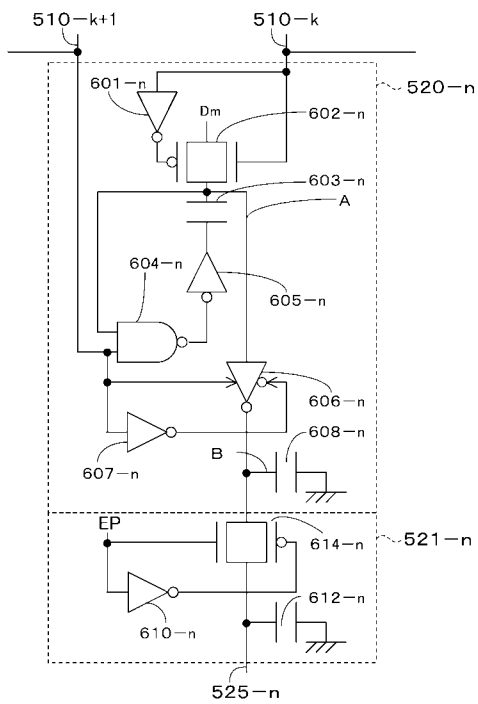
【図 7】



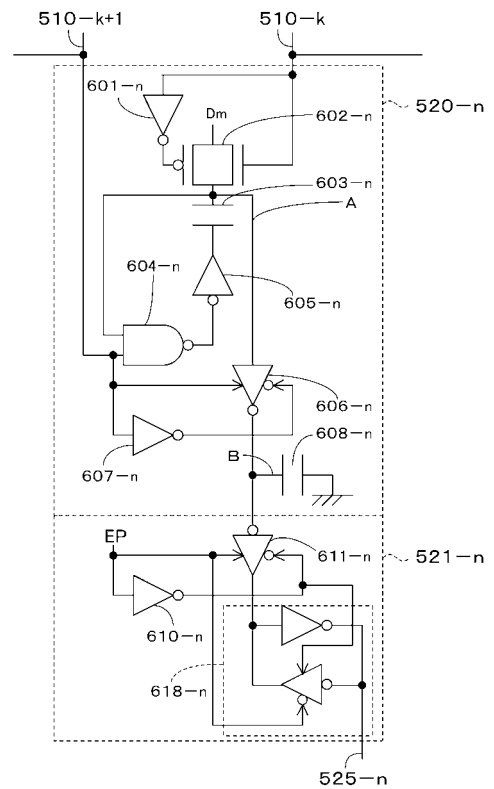
【図 8】



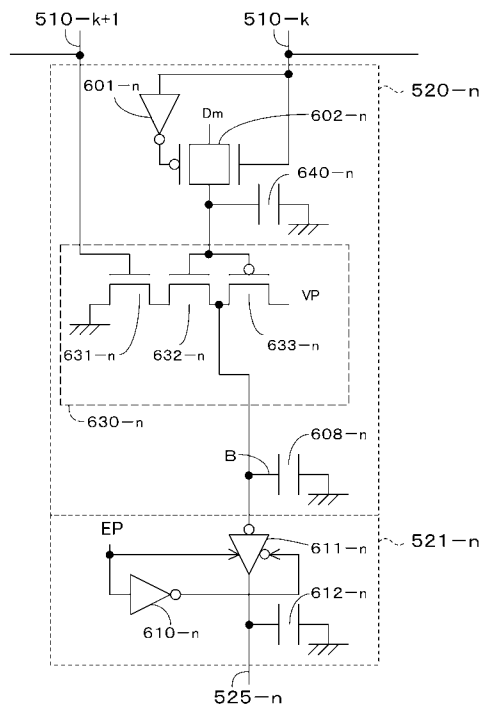
【図 9】



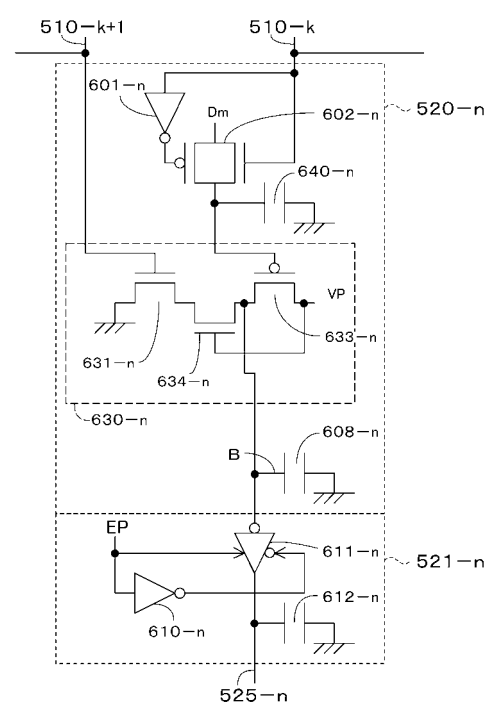
【図 10】



【図 1 1】



【図 1 2】





---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 1 1 A

F ターム(参考) 5C080 AA10 BB05 DD22 DD26 DD27 FF11 JJ02 JJ03 JJ06

专利名称(译)	数据线驱动电路，液晶显示设备和具有SAM的电子设备		
公开(公告)号	<a href="#">JP2008070615A</a>	公开(公告)日	2008-03-27
申请号	JP2006249395	申请日	2006-09-14
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小橋裕		
发明人	小橋 裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.L G09G3/20.621.A G09G3/20.631.M G09G3/20.623.B G09G3/20.611.A		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND48 2H093/ND49 2H093/ND54 5C006/AF42 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF05 5C006/BF09 5C006/BF34 5C006/BF37 5C006/BF46 5C006/FA16 5C006/FA43 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 2H193/ZA04 2H193/ZF34		
代理人(译)	宫坂和彦		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：要获得具有高清晰度和低功耗的数据线驱动电路，具有内置DAC。  
 解决方案：数据线驱动电路在顺序选择电路选择输出端子时捕获低幅度的视频信号，并在选择另一个输出端子时定时放大信号。此外，通过构成动态类型的存储电路来减少元件的数量，以获得高清晰度。  
 附图：1

