

【特許請求の範囲】**【請求項 1】**

透光性の基板上に、マトリクス状に配置された画素と、
前記画素に対応して配線されたゲート配線及びソース配線と、
前記ゲート配線と前記ソース配線との交差部に設けられ、ドレイン電極が前記画素に接続された能動素子と、

前記ゲート配線にゲート信号を供給するゲートドライバ回路と、

前記画素のコモン電位に対して正極性の電圧をもつソース信号と、負極性の電圧をもつソース信号とが 1 水平期間中に略同数となるように、前記ソース配線に前記ソース信号を供給するソースドライバ回路と、

10

前記ゲートドライバ回路及び前記ソースドライバ回路に所定の信号を供給し、制御するタイミングコントローラ回路とを備える液晶表示装置であって、

前記ソースドライバ回路は、垂直ブランキング期間に、所定の電圧を有する正極性及び負極性の前記ソース信号を前記ソース配線に供給し、当該前記ソース信号の供給後に前記ソース配線から電氣的に切り離すと共に、反対極性の前記ソース信号が供給された隣接する前記ソース配線同士を短絡させる所定の動作により、前記ソース配線に所定の直流電圧値を保持させることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

前記ソースドライバ回路は、前記所定の動作を、前記垂直ブランキング期間に複数回繰り返すことを特徴とする液晶表示装置。

20

【請求項 3】

請求項 1 又は請求項 2 に記載の液晶表示装置であって、

前記ソースドライバ回路は、保持する前記所定の直流電圧値を前記コモン電位と前記ソース信号の振幅中間電位との間になるように、前記垂直ブランキング期間に供給する前記ソース信号の前記所定の電圧を決定することを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 つに記載の液晶表示装置であって、

前記ソースドライバ回路は、前記垂直ブランキング期間に供給する前記ソース信号の前記所定の電圧を、前記ソース配線毎に設定することを特徴とする液晶表示装置。

30

【請求項 5】

請求項 1 乃至請求項 3 のいずれか 1 つに記載の液晶表示装置であって、

前記ソースドライバ回路は、正極性及び負極性の電圧が供給される前記ソース配線が略同数となるように群に分け、前記垂直ブランキング期間に供給する前記ソース信号の前記所定の電圧を、当該群毎に設定することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 つに記載の液晶表示装置であって、

前記タイミングコントローラ回路は、

入力信号から垂直周期及び垂直ブランキング期間を検出する信号周期検出部と、

前記信号周期検出部の結果に基づき、前記垂直ブランキング期間に供給する前記ソース信号の前記所定の電圧を生成するブランキング期間出力データ生成部とを備えることを特徴とする液晶表示装置。

40

【請求項 7】

透光性の基板上に、マトリクス状に配置された画素と、

前記画素に対応して配線されたゲート配線及びソース配線と、

前記ゲート配線と前記ソース配線との交差部に設けられ、ドレイン電極が前記画素に接続された能動素子と、

前記ゲート配線にゲート信号を供給するゲートドライバ回路と、

前記画素のコモン電位に対して正極性の電圧をもつソース信号と、負極性の電圧をもつソース信号とが 1 水平期間中に略同数となるように、前記ソース配線に前記ソース信号を

50

供給するソースドライバ回路と、

前記ゲートドライバ回路及び前記ソースドライバ回路に所定の信号を供給し、制御するタイミングコントローラ回路とを備える液晶表示装置の駆動方法であって、

垂直ブランキング期間に、前記ソースドライバ回路が所定の電圧を有する正極性及び負極性の前記ソース信号を前記ソース配線に供給する出力ステップと、

前記出力ステップ後に、前記ソース配線を前記ソースドライバ回路から電氣的に切り離すと共に、反対極性の前記ソース信号が供給された隣接する前記ソース配線同士を短絡させる短絡ステップと、

前記短絡ステップ後に、前記ソース配線に所定の直流電圧値を保持させる保持ステップとを備えることを特徴とする液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に係る発明であって、特に、能動素子を備える液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

一般的なアクティブマトリクス型TFT(Thin Film Transistor)液晶表示装置(以下、単に液晶表示装置という)の構成及び動作原理を説明する。まず、液晶表示装置は、透光性の基板上に、マトリクス状に画素が設けられ、当該画素を囲むようにゲート配線及びソース配線が配線されている。そして、ゲート配線とソース配線との交差部には、能動素子である薄膜トランジスタ(TFT)が設置され、当該TFTのドレイン電極が画素に接続されている。なお、画素が形成されたアレイ基板に対向する位置に対向基板が設けられ、当該対向基板とアレイ基板とで液晶を挟持している。対向基板には対向電極が形成され、当該対向電極がコモン電位に設定されている。そのため、TFTのドレイン電極には、対向電極のコモン電位に接続された容量が接続されているとみなすことができる。通常、液晶容量を C_{LC} と表す。また、液晶表示装置では、液晶容量 C_{LC} 以外に、当該容量と並列するように保持容量 C_S が形成されている。

20

【0003】

ゲート配線は、ゲートドライバに接続されており、ゲートドライバには、タイミングコントローラからスタートパルスSTV、垂直クロックCLKVが供給される。そして、ゲートドライバは、スタートパルスSTVを垂直クロックCLKVのタイミングでシフトしたシフトレジスタの内容を出力バッファによりレベルシフトして、所望のゲート電位 V_{gh} (ゲートON電圧)及び V_{gl} (ゲートOFF電圧)を出力する。あるゲート配線が1垂直期間中に選択されるのは1回であり、その選択された時間は1水平期間と同じ位の時間であり、その期間ゲート配線はON状態であるが、それ以外はOFF状態である。

30

【0004】

一方、ソース配線はソースドライバに接続されている。そして、ソース配線自身も寄生容量を持っている。ソースドライバには、タイミングコントローラからスタートパルスSTH、データ信号DATA、及び水平クロックCLKHが供給される。そして、ソースドライバは、スタートパルスSTHを基点として、データ信号DATAを水平クロックCLKHのタイミングで順次シフト・データレジスタに取り込み格納する。また、ソースドライバは、タイミングコントローラから供給されるラッチ信号LPに基づき、シフト・データレジスタに格納された値をD/AコンバータでD/A変換し、出力バッファを介してソース配線に出力する。

40

【0005】

次に、データ信号DATAをD/A変換する際、タイミングコントローラから供給されるPOL信号がラッチ信号LPによってラッチされ、ソースドライバは、POL信号の極性によりD/Aコンバータからの出力が正極性若しくは負極性の電圧を有することになる。良く知られているように、液晶は直流電圧が印加され続けると劣化し、画像の焼きつ

50

きなどの不具合を生じる。そのため、液晶表示装置では、ある周期毎に液晶に印加される電圧の極性を反転させる駆動方式が採用されている。

【0006】

液晶表示装置の一般的な極性反転周期は、1垂直周期が最も良く採用されているが、1垂直周期内での空間的な反転方法として、全画面同一極性のフレーム反転がある。しかし、フレーム反転の場合、正極性印加電圧と負極性印加電圧との微妙な差がフリッカとして視認されてしまう。そのため、空間的に微細同極性領域を混在させた、 n 行おきに反転する行反転駆動、 m 列おきに反転する列反転駆動、 n 行 m 列ごとに反転する $n \times m$ ドット反転駆動が広く採用されている。

【0007】

ところで、1垂直期間には、垂直有効期間と、垂直ブランキング期間とがある。パネルの垂直方向のスキャンは、垂直有効期間内に行われ、垂直ブランキング期間にはどのゲート配線も選択されていない。また、ソース配線は、垂直ブランキング期間において、特に何もしなければ最終ラインで書き込んだ電位を保持することになる。そして、この垂直ブランキング期間が短ければ特に問題とならないが、これが長ければ以下のような弊害が生じる。

【0008】

TFTは、非選択時においても完全にオフとはならず、ある程度のリークが生じる。そのリーク量は、TFTのドレイン - ソース間電圧 V_{DS} に依存し変化する。そのため、垂直ブランキング期間中にソース配線の電位が、極端に高い電圧である場合、同じ階調である画素A、Bのうち、正極性の電圧で書き込まれた画素Aは比較的緩やかに極端に高い電圧に近づき、負極性の電圧で書き込まれた画素Bは急激に極端に高い電圧に近づくことになる。この変化により画素Aが暗くなって行き、画素Bが明るくなって行くことになる(NWの場合)。また、画像が静止画である場合、次のフレームにおいて逆極性で同じことが生じることになる。つまり、垂直ブランキング期間中にソース配線の電位が極端に低い電圧である場合、負極性の電圧で書き込まれた画素Aは暗くなって行き、正極性の電圧で書き込まれた画素Bは明るくなって行くことになる。

【0009】

前述のような問題は、TFTのリークのみならず、ドレイン - ソース間の寄生容量 C_{DS} によっても引き起こされる。ソース配線が n 行毎に反転する場合、画素電位は寄生容量 C_{DS} の影響を受けて絶えず変化する。そのため、垂直ブランキング期間では、最終行の電位によって影響を受けた画素電位が保持されることになり、前述と同様の問題が生じる。

【0010】

前述の問題は、画素A、Bに明暗差が生じるだけでなく、液晶に実効的な直流成分が印加されることになり、液晶劣化にもつながっていた。また、液晶表示装置の低消費電力化のため、例えば静止画の場合には一旦画像を書き込んだ後、数垂直周期の期間保持させる低フレーム周波数駆動方式が採用されている。特に、バッテリー駆動の携帯機器用の液晶表示装置に低フレーム周波数駆動方式が採用されている。低フレーム周波数駆動方式を採用した液晶表示装置の場合、ブランキング期間が著しく長くなることになり、前述の問題がさらに助長される。

【0011】

上記の問題を解決するための手段として、特許文献1や特許文献2が提案されている。

【0012】

【特許文献1】特開平5 - 313607号公報

【特許文献2】特開2003 - 173175号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

特許文献1では、垂直ブランキング期間中にソース配線に印加する電圧を反転する反転駆動を採用している。しかし、特許文献1の手法では、本来駆動する必要のない垂直ブラ

10

20

30

40

50

ンキング期間もソース配線を駆動する必要があるため消費電力が増大してしまう欠点があった。そのため、低消費電力のために低フレーム周波数駆動方式を採用した液晶表示装置に対して、特許文献 1 の手法を採用することはできなかった。

【 0 0 1 4 】

また、特許文献 2 では、低フレーム周波数駆動方式にも対応できる駆動方法として、垂直ブランキング期間が始まってから、一旦ソース配線をコモン電位に充電する手法が示されている。しかし、特許文献 2 では、別途充電回路が必要となるため、回路規模の増大を招くことになる。

【 0 0 1 5 】

そこで、本発明は、低消費電力で、且つ回路規模を増大させることなく、垂直ブランキング期間中の能動素子の保持特性を向上させることができる液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 6 】

本発明に係る解決手段は、透光性の基板上に、マトリクス状に配置された画素と、画素に対応して配線されたゲート配線及びソース配線と、ゲート配線とソース配線との交差部に設けられ、ドレイン電極が画素に接続された能動素子と、ゲート配線にゲート信号を供給するゲートドライバ回路と、画素のコモン電位に対して正極性の電圧をもつソース信号と、負極性の電圧をもつソース信号とが 1 水平期間中に略同数となるように、ソース配線にソース信号を供給するソースドライバ回路と、ゲートドライバ回路及びソースドライバ回路に所定の信号を供給し、制御するタイミングコントローラ回路とを備える液晶表示装置であって、ソースドライバ回路は、垂直ブランキング期間に、所定の電圧を有する正極性及び負極性のソース信号をソース配線に供給し、当該ソース信号の供給後にソース配線から電氣的に切り離すと共に、反対極性のソース信号が供給された隣接するソース配線同士を短絡させる所定の動作により、ソース配線に所定の直流電圧値を保持させる。

【発明の効果】

【 0 0 1 7 】

本発明に記載の液晶表示装置は、ソースドライバ回路が、垂直ブランキング期間に、所定の電圧を有する正極性及び負極性のソース信号をソース配線に供給し、当該ソース信号の供給後にソース配線から電氣的に切り離すと共に、反対極性のソース信号が供給された隣接するソース配線同士を短絡させ、ソース配線に所定の直流電圧値を保持させるので、低消費電力で、且つ回路規模を増大させることなく、垂直ブランキング期間中の能動素子の保持特性を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 1 8 】

(実施の形態 1)

図 1 に、本実施の形態に係る液晶表示装置のソース配線電位の変化を示す。図 2 に、本実施の形態に係る液晶表示装置のブロック図を示す。まず、図 2 を用いて、本実施の形態に係る液晶表示装置の構成を説明する。なお、本実施の形態に係る液晶表示装置には、一般的なアクティブマトリクス型 TFT 液晶表示装置の構成を用いることができる。

【 0 0 1 9 】

まず、図 2 の液晶表示装置は、透光性の基板 1 上に、マトリクス状に画素 2 が設けられ、当該画素 2 を囲むようにゲート配線 3 及びソース配線 4 が配線されている。そして、ゲート配線 3 とソース配線 4 との交差部には、能動素子である薄膜トランジスタ (TFT 5) が設置され、当該 TFT 5 のドレイン電極 6 が画素電極に接続されている。なお、画素 2 が形成された基板 1 と対向する位置に対向基板 (図示せず) が設けられ、当該対向基板と基板 1 とで液晶を挟持することで液晶パネルを構成している。対向基板には対向電極が形成され、当該対向電極がコモン電位 V_{COM} に設定されている。また、液晶は誘電体あるため、他端が対向電極のコモン電位 V_{COM} となる容量 7 が、TFT 5 のドレイン電極 6 に接続されているとみなすことができる。

【 0 0 2 0 】

図 3 に、1つの T F T 5 近傍の回路図を示す。図 3 では、容量 7 が液晶容量 C_{LC} と、液晶容量 C_{LC} に並列する保持容量 C_S で形成されている。また、図 3 では、T F T 5 のゲート - ドレイン間で生じる寄生容量 C_{GD} と、ドレイン - ソース間で生じる寄生容量 C_{DS} とが図示されている。

【 0 0 2 1 】

次に、ゲート配線 3 は、ゲートドライバ 8 に接続されており、ゲートドライバ 8 には、タイミングコントローラ 9 からスタートパルス S T V、垂直クロック C L K V が供給される。そして、ゲートドライバ 8 は、スタートパルス S T V を垂直クロック C L K V のタイミングでシフトしたシフトレジスタ 10 の内容を入力バッファ 11 によりレベルシフトして、所望のゲート電位 V_{gh} (ゲート O N 電圧) 及び V_{gl} (ゲート O F F 電圧) を出力する。

【 0 0 2 2 】

一方、ソース配線 4 はソースドライバ 12 に接続されている。そして、ソース配線 4 自身も寄生容量を持っている。ソースドライバ 12 には、タイミングコントローラ 9 からスタートパルス S T H、データ信号 D A T A、及び水平クロック C L K H が供給される。そして、ソースドライバ 12 は、スタートパルス S T H を基点として、データ信号 D A T A を水平クロック C L K H のタイミングで順次シフト・データレジスタ 13 に取り込み格納する。また、ソースドライバ 12 は、タイミングコントローラ 9 から供給されるラッチ信号 L P に基づき、シフト・データレジスタ 13 に格納した値を D / A コンバータ 14 で D / A 変換し、出力バッファ 15 を介してソース配線 4 に出力する。アナログ信号が入力されるソースドライバ 12 の場合は、なお、データ信号 D A T A がデジタル信号でなくアナログ信号の場合、ソースドライバ 12 は、シフト・データレジスタ 13 をサンプル・ホールド回路に変更し、D / A コンバータを設けない構成とすればよい。

【 0 0 2 3 】

次に、データ信号 D A T A を D / A 変換する際、タイミングコントローラ 9 から供給される P O L 信号がラッチ信号 L P によってラッチされ、ソースドライバ 12 は、P O L 信号の極性により D / A コンバータ 14 からの出力が正極性若しくは負極性の電圧を有することになる。

【 0 0 2 4 】

次に、正極性若しくは負極性の電圧が液晶に印加される駆動について説明する。図 4 は、ノーマリーホワイト (N W) の液晶に印加される電圧の順位を示した模式図である。簡単のために、図 4 に示す液晶表示装置では、4 つの階調表示ができるものとする。なお、ノーマリーブラック (N B) の場合は黒と白を入れ替えて読めばよい。今、コモン電位 (V_{COM}) を V_4 と V_5 との中間に設定すれば、液晶に印加される電圧は、 $V_n - V_{COM}$ ($n = 1 \sim 8$) となる。そのため、正極性の電圧 V_n ($n = 1 \sim 4$) の場合、液晶に正の電圧が印加され、負極性の電圧 V_n ($n = 5 \sim 8$) の場合、液晶に負の電圧が印加される。液晶の光学応答は、印加電圧の絶対値で決まるため、 $n = (1, 8)$ 、 $(2, 7)$ 、 $(3, 6)$ 、 $(4, 5)$ の組み合わせは同じ階調となる。つまり、該当の組み合わせの印加電圧は絶対値が同じである。

【 0 0 2 5 】

図 4 を用いて、前述した T F T 5 のリークについて説明する。まず、垂直ブランキング期間中にソース配線 4 の電位が、極端に高い電圧 V_1 である場合、同じ階調である正極性の電圧 V_3 と負極性の電圧 V_6 とで書き込まれた画素 A , B は、画素 A (V_3) の方が比較的緩やかに電圧 V_1 に近づき、画素 B (V_6) の方が急激に電圧 V_1 に近づくことになる。この変化により画素 A が暗くなって行き、画素 B が明るくなって行くことを示している (N W の場合)。また、画像が静止画である場合、次のフレームにおいて逆極性で同じことが生じることになり、垂直ブランキング期間中にソース配線 4 の電位が電圧 V_8 である場合、電圧 V_6 の画素 A は暗くなって行き、電圧 V_3 の画素 B は明るくなって行くことになる。

【 0 0 2 6 】

次に、本実施の形態では、ソースドライバ 1 2 の出力極性が m 本毎に反転し、パネル全体として $n \times m$ ドット反転若しくは m 列反転駆動する。当該構成は、現在市場で最も多く流通している 1 本毎に反転するソースドライバ IC を使用することで実現できる。さらに、本実施の形態のソースドライバ 1 2 には、極性の異なる出力同士を短絡させ、ソース配線 4 に蓄えられている電荷を中和させる機能を有するものとする。この機能は、一般にチャージシェアと呼ばれ、液晶印加極性の切り替わる行において、反対極性に充電されているソース配線 4 の電荷を、一旦中和させることでソース配線 4 を充電するための消費電力を抑える機能である。

【 0 0 2 7 】

10

チャージシェア機能を有する本実施の形態に係るソースドライバ 1 2 の出力段の等価回路を図 5 に示す。図 5 に示すソースドライバ 1 2 では、奇数番目 ($2n+1, 2(n+1)+1$) の出力バッファ 1 5 と偶数番目 ($2n, 2(n+1)$) の出力バッファ 1 5 との出力極性は反対である。そして、出力バッファ 1 5 の後段には、制御信号 (ラッチ信号 LP) が High で開くノーマリークローズスイッチ (NC SW 2 0) がソース配線 4 に対し直列に接続されている。さらに、図 5 に示すソースドライバ 1 2 では、奇数番目 ($2n+1, 2(n+1)+1$) の出力バッファ 1 5 の後段と偶数番目 ($2n, 2(n+1)$) の出力バッファ 1 5 の後段とは、High で閉じるノーマリーオープンスイッチ (NOSW 2 1) でそれぞれ接続されている。

【 0 0 2 8 】

20

NC SW 2 0 は、ラッチ信号 LP で制御され、NOSW 2 1 は、ラッチ信号 LP と CS MODE 信号との AND 回路 1 6 で AND をとった信号にて制御される。CS MODE 信号が Low であれば、出力バッファ 1 5 間に接続された NOSW 2 1 は動作せず、すなわちチャージシェアは働かない。この時、ラッチ信号 LP は、D/A 変換を開始する信号 (立ち上がりエッジで変換開始するものとする) であるため、ラッチ信号 LP が High になると、その期間中の無効な出力を止めるために NC SW 2 0 が開放される。CS MODE 信号が High であれば、ラッチ信号 LP が High の期間は隣接する逆極性の出力が短絡され、ソース配線 4 に充電されていた電荷が中和される。

【 0 0 2 9 】

市場にあるソースドライバ IC の幾つかには、この CS MODE 信号が外部から制御できないものもある。しかし、本発明では少なくともチャージシェア機能が働けばよいため、CS MODE 信号の外部制御の有無には制限されない。

30

【 0 0 3 0 】

次に、図 6 を用いて、本実施の形態に係る液晶表示装置の制御信号について説明する。なお、図 6 では、CS MODE 信号について特に図示していない。それは、外部から制御可能な CS MODE 信号がない場合、外部から制御可能な場合タイミングコントローラ 9 から動的に CS MODE 信号を制御する場合、High で CS MODE 信号を固定する場合でも本発明は成立するためである。

【 0 0 3 1 】

図 6 の横軸は時間であり、図 6 に示す波形はソースドライバ 1 2 に供給される信号の波形である。図 6 の左側の f フレーム垂直有効期間は、通常の駆動期間である。f フレーム垂直有効期間のうち、最終行水平有効期間において最終行のデータ信号 DATA がソースドライバ 1 2 に転送され、転送終了後ラッチ信号 LP が立ち上がり D/A 変換を開始され、さらにラッチ信号 LP が立ち下がった時に出力バッファ 1 5 からソース配線 4 に所望の電圧が出力される。なお、図 6 では、最終行のみ図示しているが、他の行についても同様の処理を行う。

40

【 0 0 3 2 】

次に、図 6 に示す f フレーム垂直ブランキング期間では、まず水平有効期間と同様にソースドライバ 1 2 にデータ信号 DATA が転送される第 1 の信号期間を有する。この期間に転送されるデータ信号 DATA は、タイミングコントローラ 9 の入力信号に基づくも

50

のではなく後述する別途定めたデータである。次に、 f フレーム垂直ブランキング期間では、ラッチ信号 LP を $High$ にして D/A 変換を開始する第 2 の信号期間を有する。

【0033】

さらに、 f フレーム垂直ブランキング期間は、第 2 の信号期間に続いて、ラッチ信号 LP を Low にして D/A 変換したデータをソース配線 4 に出力する第 3 の信号期間を有する。その後、 f フレーム垂直ブランキング期間は、ラッチ信号 LP を $High$ にしたまま次フレーム ($f + 1$) が開始される直前まで保持する第 4 の信号期間を有する。なお、図 6 では、 POL 信号及びスタートパルス STH も図示されている。

【0034】

図 6 に示す f フレーム垂直ブランキング期間の駆動により、ソース配線 4 の電位がどのように変化するかを図 1 を用いて説明する。なお、ソース配線 4 の電位については、図 6 で示した垂直有効期間や垂直ブランキング期間のタイミングに対して、ほぼ水平有効期間 + ラッチ信号 LP が $High$ の期間だけ遅れることになる。遅れる理由については、最終行のデータ信号 $DATA$ が実際にソース配線 4 に出力されるのが、最終のデータ信号 $DATA$ を取り込み終わった直後に立ち上がったラッチ信号 LP が立ち下がった時点からであり、最終行は、当該時点からほぼ 1 水平期間かけて画素の充電を行うためである。図 1 では、 f フレーム垂直有効期間及び f フレーム垂直ブランキング期間をソース配線 4 の電位に基づいて記載しているため、図 6 と異なる。そのため、図 1 では、理解し易くするために、下部に f フレーム垂直有効期間 (ソース電圧) 等と記載し、上部に対応する図 6 の信号期間を図示している。

10

20

【0035】

まず、 f フレーム垂直有効期間では、最終行のデータ信号 $DATA$ に相当する出力電圧がソース配線 4 に印加されている。その後、ラッチ信号 LP が $High$ となり、 f フレーム垂直ブランキング期間の第 2 の信号期間となり、チャージシェア機能が有効となるので ($CSMODE$ 信号を $High$ とする)、ソース配線 4 に充電されていた電荷が中和される。そのため、ソース配線 4 の電位は、最終行で保持されていたソース配線 4 の電位のほぼ中間電位に収束する。なお、第 2 の信号期間に移行するまでに、全てのゲート配線 3 はオフ状態となっているものとする。

【0036】

その後、第 3 の信号期間では、ラッチ信号 LP が立ち下がるため、 f フレーム垂直ブランキング期間の第 1 の信号期間に転送されたデータ信号 $DATA$ が D/A 変換後にソース配線 4 に出力される (設定データ出力期間)。次に、第 3 の信号期間ではラッチ信号 LP が $High$ となるため、チャージシェア機能が働き、それまでに充電された隣接するソース配線 4 の電位がほぼ中間電位に収束する (短絡期間)。その後、収束した中間電位を保持する (保持期間)。なお、ソース配線 4 の容量は、いずれの場所においても同じと仮定する。収束し終われば、チャージシェア機能を切って ($CSMODE$ 信号を Low にする)、ソース配線 4 をフローティング状態にしても良いし、切らずにそのままにしても良い。チャージシェア機能を切らなくとも、2 つの隣接するソース配線 4 は、他の部分からフローティングとなるために結果は同じとなる。

30

【0037】

その後、 $f + 1$ フレームの第 1 行目の水平有効期間が始まると、ソースドライバ 12 は次のデータ信号 $DATA$ を取り込む準備のため、一旦ラッチ信号 LP を Low にする。すると出力バッファ 15 には、その前の期間 (第 1 の信号期間) で更新したデータが残っており、第 1 行目の水平有効期間では、 POL 信号の変化により極性だけが異なる電圧が出力される。但し、当該動作は、市販されているドライバ IC の種類によって異なる場合がある。

40

【0038】

$f + 1$ フレームの第 1 行目の水平有効期間が終わると、当該期間に取り込まれたデータ信号 $DATA$ に対応する電圧がソース配線 4 に出力される (ソース電圧の $f + 1$ フレーム垂直有効期間の開始)。この時、1 行目のゲートが ON 状態となり、順次スキャンが始ま

50

る。

【 0 0 3 9 】

垂直ブランキング期間が開始されて、図 6 に示すような第 1 ~ 4 の信号期間の手順を踏むことにより、ソース電圧は、最初何らかの電位変動があるが、その後一定の直流電圧を保持し続けることができる。また、この期間では、ソース配線 4 への充放電をはじめ、その他制御信号の変化もない。すなわち、垂直ブランキング期間での電力消費はほとんどない。

【 0 0 4 0 】

一方、チャージシェア機能を用いることにより、チャージシェア後のソース配線 4 の電位は、異なる極性の電圧が充電された隣接するソース配線 4 の電位のほぼ中間に位置することになる。そのため、図 1 に示す保持期間の電位（ソース保持電位）をコモン電位にするには、第 1 の信号期間で書き込むデータ信号 DATA を、実際に出力される電圧から逆算して、（正極性電圧 + 負極性電圧）/ 2 = コモン電位の式から求めればよい。一般的に入手できるソースドライバ IC は 1 / 6 3 乃至 1 / 2 5 5 の階調分解能をもっているため、多くの組み合わせの中から最適な電圧の組み合わせを選べば、かなりの精度でソース保持電位をコモン電位となるように設定できる。

10

【 0 0 4 1 】

具体的に垂直ブランキング期間に出力すべき正極性と負極性の電圧の設定は、当該期間に出力すべき階調データを、タイミングコントローラ 9 の不揮発メモリに格納しておいたデータを用いるか、外部設定ポート等から与えられたデータを用いればよい。

20

【 0 0 4 2 】

また、垂直ブランキング期間が、著しく長い場合、他からフローティング状態になっているソース配線 4 の電位が、リーク電流により変化していつてしまう可能性もある。そのような場合、垂直ブランキング期間中に、図 6 に示した第 1 ~ 4 の信号期間を複数回行うことにより、定期的に所定のデータ信号 DATA をソースドライバ 1 2 に与え、ソース保持電位を維持してやればよい。

【 0 0 4 3 】

次に、ソース保持電位をどこに設定するべきかについて詳しく述べる。TFT5 がオフしている間、該当画素 2 の保持電位（画素保持電位）は、TFT5 その他のリークによる成分と、寄生容量 C_{DS} による成分とにより変動する様子が若干異なる。

30

【 0 0 4 4 】

まず、TFT5 その他のリークが全くなく、寄生容量 C_{DS} による成分のみ影響する場合について考える。図 7 及び図 8 に、本実施の形態に係る画素保持電位の変化の様子を示す。図 7 の上段に、ある列の 1 行目の画素保持電位、図 7 の下段に、図 7 の上段と同列の 2 行目の画素保持電位をそれぞれ示す。図 8 は、図 7 の 1 行目及び 2 行目の画素保持電位の一部を重ねて表示し、且つ対応するゲート配線の電位も併記している。

【 0 0 4 5 】

また、図 7 に示すソース配線では、1 行毎に極性が反転し、表示される画像は何らかの階調を持つラスト画面（全画面同一階調）とする。さらに、垂直ブランキング期間は特に行わず、最終行のデータ信号 DATA が出力され続けているものとする。

40

【 0 0 4 6 】

図 7 又は図 8 では、1 行目のゲートが開くと、該当 TFT5 がオン状態になり、画素 2 が正ソース電位まで充電される。この時、画素保持電位は、TFT5 の移動度により、ある時定数をもって滑らかに正ソース電位に収束する。次に、ゲートがオフする際、画素保持電位は、寄生容量 C_{GD} の影響でゲート電位との AC 結合により低下する。この低下電圧を一般にフィードスルー電圧（ ΔV_{CGD} ）と呼ぶ。その後、1 行目の画素 2 の TFT5 はオフ状態であるため、画素電極は直流的にはフローティングとなっている（リークはないと仮定したため）。

【 0 0 4 7 】

しかし、画素 2 の横に配置されるソース配線 4 からの構造的容量及び TFT5 の寄生容

50

量 C_{DS} の成分により、ソース配線 4 の変化に比例した電位変動 (ΔV_{CDS}) が画素に引き起こされる。この時、1 垂直周期における n 行目画素の平均電位 $V_{AVE n}$ は、計算煩雑を避けるために書き込み行の平均を除けば、数 1 のように書ける。なお、総行数が数百から千程度ある液晶表示装置の場合、書き込み行は 1 / 総行数程度の影響であるため無視することができる。

【 0 0 4 8 】

【 数 1 】

$$V_{AVE n} = V_{sn} - \Delta V_{CGD} + \frac{k}{T_V} \sum_i \Delta V_{CDS} \Delta T_i = V_{sn} - \Delta V_{CGD} + \frac{k}{T_V} \sum_i (V_{si} - V_{sn}) \Delta T_i \quad 10$$

【 0 0 4 9 】

但し、数 1 に示す i は、 n 行目以外のソース電位の変化が起こる場所のインデックスであり、数 1 では、1 垂直周期にわたり n 行目以外のソース電位の変化の影響を積算している。 V_{sn} は、 n 行目の場所でのソース電位を表し、 k は、寄生容量 C_{DS} を寄生容量 C_{DS} 以外の画素の総容量で除した定数を表し、 T_V は、垂直周期を表し、 ΔT_i は i 行目のソース電位が一定となっている時間を表している。なお、全画面同一階調で、垂直ブランキング期間がないものとし、正極性で書き込まれた画素の平均電圧を V_{AVE+} と、負極性で書き込まれた画素の平均電圧を V_{AVE-} とすると、数 1 を以下のように書くことができる。

【 0 0 5 0 】

【 数 2 】

$$V_{AVE+} = V_{st+} - \Delta V_{CGD} + \frac{k}{2} (V_{s-} - V_{st+}) = V_{st+} - \Delta V_{CGD} - \frac{k}{2} (V_{st+} - V_{s-})$$

$$V_{AVE-} = V_{s-} - \Delta V_{CGD} + \frac{k}{2} (V_{st+} - V_{s-})$$

【 0 0 5 1 】

ここで、数 2 に示す V_{st+} は正ソース電位、 V_{s-} は負ソース電位を示している。また、数 2 では、書き込み行以外の正極性及び負極性の変化の数がほぼ同じであることから近似している。 30

【 0 0 5 2 】

数 2 の右辺の第 1 項はソース配線への充電電位で、第 2 項は正極性でも負極性でも同じフィードスルー電圧 (ΔV_{CGD}) 分だけ低下することを示している。数 2 の右辺の第 3 項は、正極性の場合負となり画素の平均電圧を低下させ、負極性の場合正となり画素の平均電圧を上昇させ、振幅 (画素印加電位) の縮小させることを示している。数 2 より、共通電位 V_{COM} は、正ソース電位 V_{st+} と負ソース電位 V_{s-} との中間であり、図 7 に示すソース中間電位からフィードスルー電圧 (ΔV_{CGD}) だけ低い電位に設定すればよい。さらに、数 2 の右辺の第 3 項の振幅縮小を考慮して、正ソース電位 V_{st+} と負ソース電位 V_{s-} との 40 振幅を所望の階調が得られる値に設定すればよいこともわかる。

【 0 0 5 3 】

次に、垂直ブランキング期間のソース保持電位について考える。なお、垂直ブランキング期間を T_B 、同期中のソース保持電位を V_{SB} と表すと、正極性及び負極性の平均電位は、数 3 のように表すことができる。

【 0 0 5 4 】

【数 3】

$$V_{AVE+} = V_{st} - \Delta V_{CGD} - \frac{k}{2} (V_{st} - V_{s-}) + \frac{k}{T_V} (V_{SB} - V_{st}) T_B$$

$$V_{AVE-} = V_{s-} - \Delta V_{CGD} + \frac{k}{2} (V_{st} - V_{s-}) + \frac{k}{T_V} (V_{SB} - V_{s-}) T_B$$

【0055】

ここで、低フレーム周波数駆動方式のように垂直ブランキング期間 T_B が長い場合、数 3 の右辺の第 4 項成分は大きくなり、無視できなくなる。そこで、第 4 項の影響を減らすには、第 4 項をゼロにすればよいが、異なる正ソース電位 V_{st} 及び負ソース電位 V_{s-} に対して共にゼロとなるソース保持電位 V_{SB} は存在しない。そこで、逆極性で同量だけ変動させれば、振幅は変化するが変化量は同じとなるので、液晶に印加される直流成分（振幅の偏り）は打ち消すことができ、焼きつきを改善することができる。そのようなソース保持電位 V_{SB} の条件は、数 4 であり、ソース振幅の中間電位である。

10

【0056】

【数 4】

$$V_{SB} = \frac{V_{st} + V_{s-}}{2}$$

20

【0057】

以上のことより、TFT5 その他のリークがない場合、垂直ブランキング期間中のソース保持電位は、ソース振幅の中間電位に設定すればよいことがわかる。

【0058】

次に、TFT5 その他のリークが存在する場合を考える。なお、今回は、逆に寄生容量 C_{DS} の影響が全くないものとする。そして、TFT5 その他のリークのリーク成分は、液晶自体を介してコモン電位にリークするものと、TFT5 のドレイン電極 6 を介してリークするものとに大別できる。本実施の形態では、簡略化のために液晶自体を介してコモン電位にリークするものを抵抗 R_{LC} と、TFT5 のドレイン電極 6 を介してリークするものを抵抗 R_{DS} とみなす。

30

【0059】

垂直ブランキング期間が無限に長い場合、コモン電位 V_{COM} と垂直ブランキング期間中のソース保持電位 V_{SB} との間に抵抗 R_{LC} と抵抗 R_{DS} とを直列に接続し、それぞれの抵抗に分圧された電圧に収束することになる。その収束の時間応答は、単なる放電回路であるので、各抵抗の大きさ及び画素 2 の総容量、コモン電位 V_{COM} 、ソース保持電位 V_{SB} より簡単に計算できる。

40

【0060】

そのため、ソース保持電位 V_{SB} がコモン電位 V_{COM} と異なる場合、無限に時間が経過した後、同一ソース配線 4 に接続されている画素電位は、コモン電位 V_{COM} と異なる正極性又は負極性の電位となる。

【0061】

仮に、ソース保持電位 V_{SB} が、寄生容量 C_{DS} の影響がある場合に説明したソース中間電位に設定した場合、ソース保持電位 V_{SB} は、コモン電位 V_{COM} よりもフィードスルー電圧（ ΔV_{CGD} ）分だけ高く設定される。そのため、垂直ブランキング期間、ソース保持電位 V_{SB} は絶えず正極性電位へ偏り、焼きつき等を生じさせる。リーク成分のみを考慮すれば

50

、ソース保持電位 V_{SB} は、コモン電位 V_{COM} に設定するのが最良である。

【0062】

以上のように、ソース保持電位 V_{SB} は、寄生容量 C_{DS} 成分とリーク成分とで、必要となる値が異なる。具体的に、ソース保持電位 V_{SB} を求める場合、抵抗 R_{LC} 、抵抗 R_{DS} 、寄生容量 C_{DS} 、寄生容量 C_{GD} 及び垂直周期、垂直ブランキング期間との関係から、平均画素電位が偏らないように求めればよい。代数的に求めようとすると簡単には解けないが、SPICE等の回路シミュレーターを用いて数値計算することで、最適なソース保持電位 V_{SB} を容易に算出することができる。また、回路シミュレーターを用いない場合、実機を用いて焼きつきやフリッカの度合いから微調整して最適なソース保持電位 V_{SB} を決定しても良い。結果として、最適なソース保持電位 V_{SB} は、ソース中間電位とコモン電位との間の範囲のいずれかの値をとることになる。

【0063】

本実施の形態に係る液晶表示装置では、タイミングコントローラ9からソースドライバ12に供給する信号を工夫することにより、一般に入手可能なチャージシェア機能を有するソースドライバICを用いて、垂直ブランキング期間のほとんどの期間でソース電位を任意の直流電位に制御することができる。そのため、本実施の形態では、最終行でのソース電位に関わらず均一な画像を得ることができ、且つ当該期間のパネル駆動にほとんど電力が必要なく低消費電力化でき、低フレーム周波数駆動方式にも十分適用可能である。

【0064】

(実施の形態2)

一般的な液晶表示装置では、ゲート配線の片方側にゲートドライバを設けて、ゲート配線を駆動している。そのため、ゲート配線の入力側近傍ではゲート信号の波形は急峻となるが、入力側から遠くなるに従いゲート配線の抵抗と寄生容量によってゲート信号の波形がなまる。ゲート配線の両側にゲートドライバを設けて、ゲート配線の両側から駆動する液晶表示装置でも、ゲート配線の中心付近ではゲート信号の波形が入力側近傍に比べてなまる。

【0065】

液晶表示装置において、ゲート信号の波形がなまることで、液晶表示装置の水平方向(ゲート配線方向)にゲート信号の差異が生じる。当該ゲート信号の差異により、ソース電位のフィードスルー電圧(ΔV_{CGD})が液晶表示装置の水平方向で異なることになる。具体的に説明すると、ゲート信号の波形が急峻である場合、TFTがオン状態からオフし始めるまでの間に、寄生容量 C_{GD} に起因するフィードスルー電圧(ΔV_{CGD})を、TFTを介した電荷移動によってソース電位まで引き上げることができない。つまり、TFTオン状態からオフし始めるまでの時間が短いために、TFTのドレイン電流によって画素電位をソース電位にもっていくことができない。すなわち、ゲートのオン電圧 V_{gh} - ゲートのオフ電圧 V_{gl} に比例した(寄生容量 C_{GD} を寄生容量 C_{GD} 以外の画素の総容量で除した値が比例係数となる)フィードスルー電圧(ΔV_{CGD})が発生する。

【0066】

一方、ゲート信号の波形がなまっている場合、TFTがオン状態からオフし始めるまでの時間が長いので、フィードスルー電圧(ΔV_{CGD})が発生しても、TFTのドレイン電流により画素電位がソース電位方向にある程度引き上げられる。そのため、ゲート信号の波形がなまっている場所のフィードスルー電圧(ΔV_{CGD})は、ゲート信号の波形が急峻な場所に比べて小さくなる。

【0067】

前述の現象は、画素の理想的なコモン電位が、液晶表示装置の水平方向で異なることを意味し、フリッカや、焼きつき等が生じる要因でもあった。

【0068】

実施の形態1で述べたように、本発明では垂直ブランキング期間中にソース配線に印加する電位をソース配線の電位を任意に設定できる。そのため、液晶表示装置の水平方向において、垂直ブランキング期間中のソース保持電位を、ソース配線毎又はソース配線群毎

に異ならせることができる。ここで、ソース配線群とは、正極性及び負極性の電圧が供給されるソース配線が略同数となるように分けられた複数のソース配線の単位である。

【 0 0 6 9 】

具体的に説明すると、まず、フィードスルー電圧 (ΔV_{CGD}) の絶対値が、液晶表示装置の水平方向において図 9 に示すような変化をすると仮定する。フィードスルー電圧 (ΔV_{CGD}) は画素電位を下げる方向に働くので、ゲートドライバから遠い場所では、フィードスルー電圧 (ΔV_{CGD}) の絶対値が低くなり画素電位が高くなることになる。そのため、ゲートドライバから遠い場所では、正極性側の振幅は大きくなり、負極性側の振幅は小さくなり、結果として直流成分の偏りが生じる。

【 0 0 7 0 】

本実施の形態に係る液晶表示装置では、垂直ブランキング期間中において液晶表示装置の水平方向でのソース保持電位 V_{SB} を図 10 に示すように変化させる。これにより、前述した平均画素電位が、寄生容量 C_{DS} 等及び寄生リーク抵抗 R_{DS} 、さらには垂直周期や垂直ブランキング期間を定数としたとき、ソース保持電位 V_{SB} に正の相関を有することになる。そのため、ゲートドライバから遠い場所では画素電位が上昇することになるので、前述のフィードスルー電圧 (ΔV_{CGD}) の低下分を補うようにソース保持電位 V_{SB} を設定すれば、前述の直流成分の偏りを補償することができる。

【 0 0 7 1 】

ソース保持電位 V_{SB} を液晶表示装置の水平方向で異ならせる手段としては、図 6 に示した第 1 の信号期間において、液晶表示装置の水平方向のソース配線毎又はソース配線群毎に印加するデータを予め決められた電圧で書き込めばよい。この時、予め決められた電圧のデータは、不揮発メモリ等に記録しておいたもの利用しても良いし、全列分のデータを保持するための容量がコストアップとなる場合には、ある程度離散化させて記録しておいたデータを、線形補間等の手法を用いて利用しても良い。

【 0 0 7 2 】

また、ソースドライバ IC の一部には、チャージシェア機能として図 5 に示すように隣接配線同士を短絡するもの以外に、全ての配線を短絡するものも存在する。つまり、図 5 に示す $2n+1$ の出力バッファ 15 と $2(n+1)$ の出力バッファ 15 との間に $NOSW_{21}$ を設けたソースドライバ IC である。なお、全ての配線を短絡するソースドライバ IC の場合、液晶表示装置の水平方向においてソース保持電位 V_{SB} を細かく制御することはできない。しかし、一般的な液晶表示装置では、ソースドライバ IC が複数個使用され、当該ソースドライバ IC 間でチャージシェアが行われることはない。そのため、少なくともソースドライバ IC 毎に異なるソース保持電位 V_{SB} を生成することができる。いずれにしても、チャージシェアを行うソース配線群の中に、正極性のデータが印加されるソース配線の数と、負極性のデータが印加されるソース配線の数がほぼ同数であればよい。

【 0 0 7 3 】

図 9 に示すフィードスルー電圧 (ΔV_{CGD}) の変化を補償するために設定するソース保持電位 V_{SB} は、垂直ブランキング期間等が一意的に決まっている場合、予め数値計算又は実物を調整することで決めることができる。しかし、垂直ブランキング期間や、1 垂直周期が未知 (ある範囲をもって異なる可能性がある) の場合には、設定するソース保持電位 V_{SB} を予め決めておくことができない。そのような場合、幾つかの垂直ブランキング期間及び 1 垂直周期毎に、最適なソース保持電位 V_{SB} を決めてテーブルに格納しておき、実際の液晶表示装置の動作時に、垂直ブランキング期間及び 1 垂直周期を検出して、該当する最適なソース保持電位 V_{SB} を取得するように構成すればよい。

【 0 0 7 4 】

前述の手段を行うタイミングコントローラ 9 の構成を示すブロック図を図 11 に示す。図 11 に示す制御信号生成部 31 は、通常のタイミングコントローラとしての機能に加え、垂直ブランキング期間中に予め設定されたデータを出力し、チャージシェア機能を働かせる制御信号 (ラッチ信号 LP) を生成する機能を有している。なお、垂直ブランキング期間中に予め設定されたデータは、ブランキング期間出力データ生成部 32 より入力

10

20

30

40

50

される。図 11 に示す例では、信号周期検出部 33 が入力信号より垂直ブランキング期間又は 1 垂直周期を検出し、当該検出結果に基づきブランキング期間出力データ生成部 32 が、不揮発メモリ 34 等からロードされた複数のテーブル 35 を選択して予め設定されたデータを決定している。

【0075】

テーブル 35 に格納しているデータが離散化している場合は、データ間を線形補間等の手法を用いればよい。図 11 に示す構成は、本実施の形態で示した液晶表示装置の水平方向でソース保持電位 V_{SB} を異ならせる場合に限られず、実施の形態 1 の場合にも利用できる。

【0076】

前述では、フィードスルー電圧 (ΔV_{CGD}) の補償手法について述べたが、液晶表示装置の水平方向において変化する他の要因により生じる画素電位の偏りについても、本実施の形態に係る手法を適用できることは言うまでもない。つまり、タイミングコントローラ 9 からの信号生成を工夫するだけで、液晶表示装置の水平方向において生じる画素電位の直流成分の偏りを抑えることができる。

【図面の簡単な説明】

【0077】

【図 1】本発明の実施の形態 1 に係るソース配線電位の変化を説明する図である。

【図 2】本発明の実施の形態 1 に係る液晶表示装置のブロック図である。

【図 3】本発明の実施の形態 1 に係る液晶表示装置の回路図である。

【図 4】本発明の実施の形態 1 に係る液晶表示装置の駆動を説明する図である。

【図 5】本発明の実施の形態 1 に係るソースドライバの回路図である。

【図 6】本発明の実施の形態 1 に係るソースドライバの駆動を説明する図である。

【図 7】本発明の実施の形態 1 に係る画素保持電位を説明する図である。

【図 8】本発明の実施の形態 1 に係る液晶表示装置の駆動を説明する図である。

【図 9】本発明の実施の形態 2 に係るフィードスルー電圧の変化を説明する図である。

【図 10】本発明の実施の形態 2 に係るソース保持電位の変化を説明する図である。

【図 11】本発明の実施の形態 2 に係るタイミングコントローラのブロック図である。

【符号の説明】

【0078】

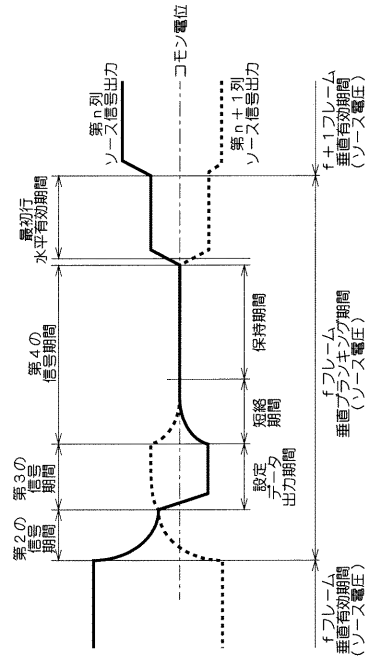
1 基板、2 画素、3 ゲート配線、4 ソース配線、5 TFT、6 ドレイン電極、7 容量、8 ゲートドライバ、9 タイミングコントローラ、10 シフトレジスタ、11, 15 出力バッファ、12 ソースドライバ、13 シフト・データレジスタ、14 D/A コンバータ、16 AND 回路、20 NC SW、21 NO SW、31 制御信号生成部、32 ブランキング期間出力データ生成部、33 信号周期検出部、34 不揮発メモリ、35 テーブル。

10

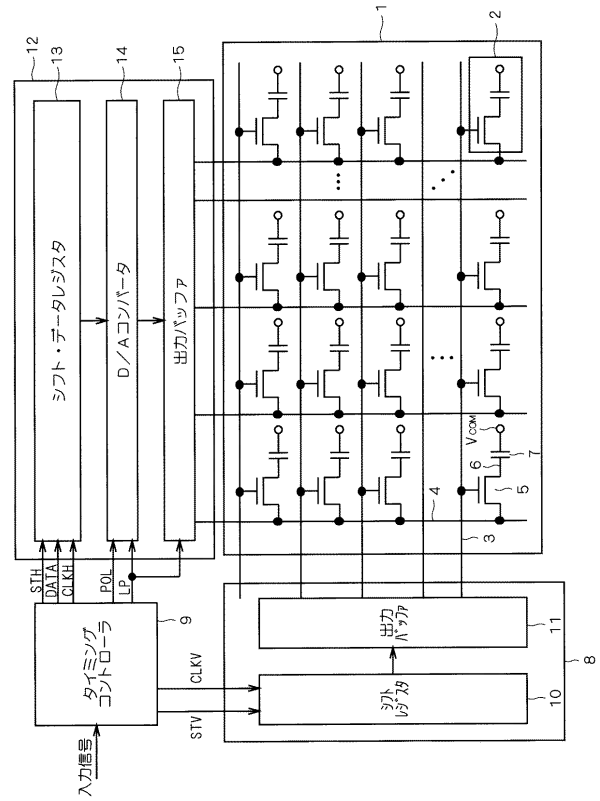
20

30

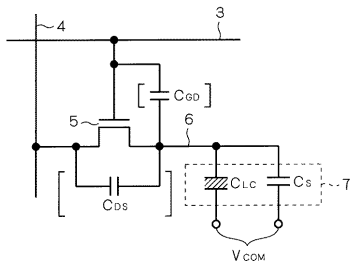
【図 1】



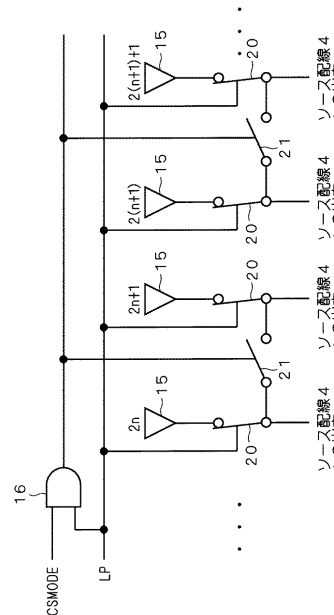
【図 2】



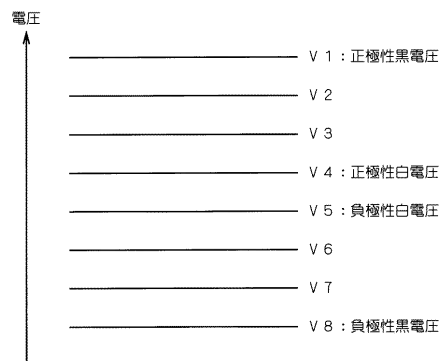
【図 3】



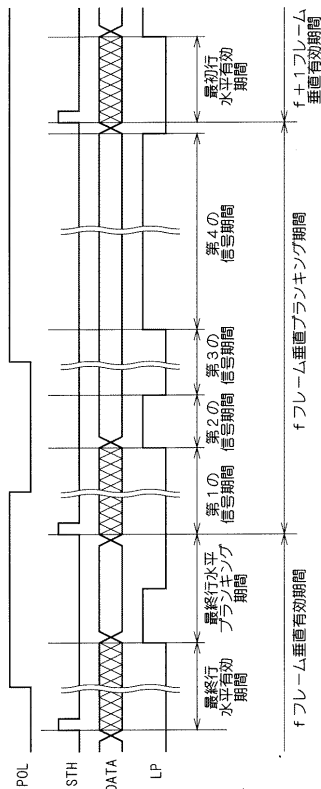
【図 5】



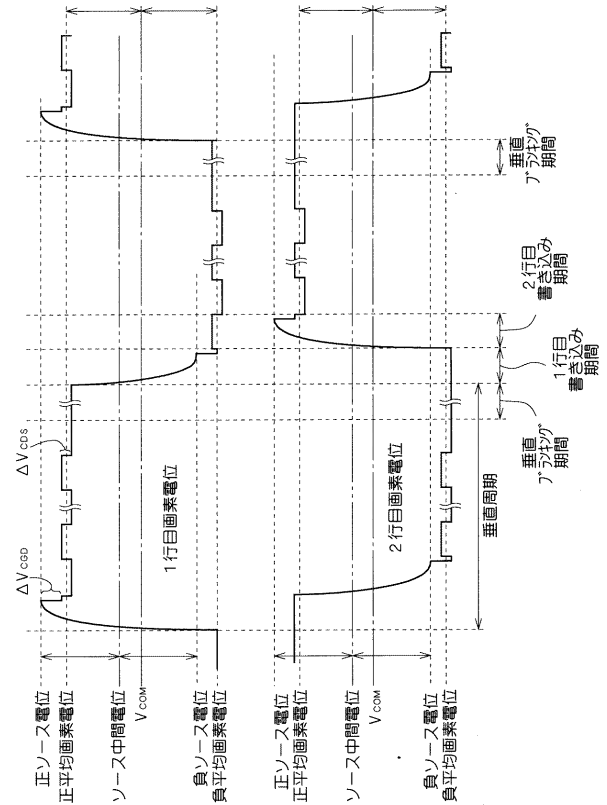
【図 4】



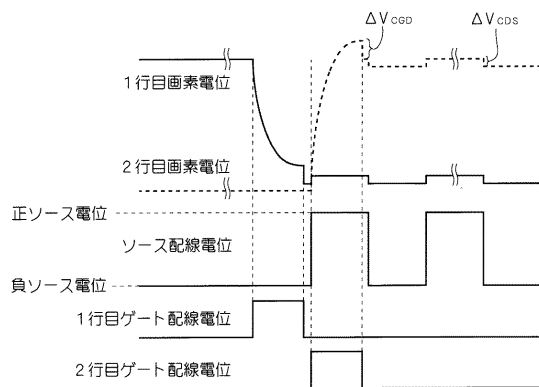
【図 6】



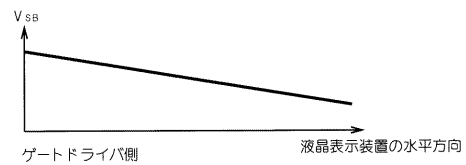
【図 7】



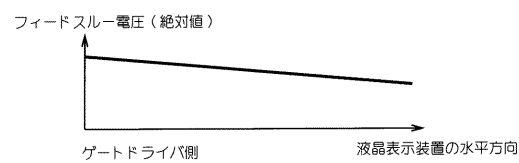
【図 8】



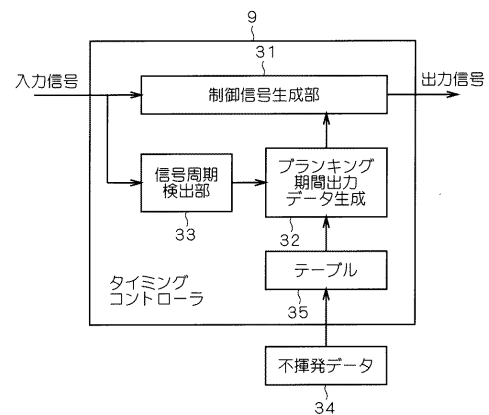
【図 10】



【図 9】



【図 11】



 フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 1 J
G 0 2 F	1/133	5 5 0

F ターム(参考) 5C006 AA16 AC11 AC21 AC27 AF11 AF43 AF47 AF61 AF69 AF72
 AF73 AF83 BB16 BC12 BC23 BF03 BF04 BF09 BF24 BF25
 BF43 FA08 FA18 FA22 FA23 FA34 FA36 FA37 FA38 FA44
 FA47 FA48 FA51 FA54
 5C080 AA10 BB06 DD05 DD06 DD18 DD22 DD26 DD29 EE29 FF03
 FF11 GG12 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2008008928A	公开(公告)日	2008-01-17
申请号	JP2006176084	申请日	2006-06-27
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	石口和博		
发明人	石口 和博		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0248 G09G2310/061 G09G2320/0204 G09G2320/0214 G09G2320/0219 G09G2320/0223 G09G2320/0247 G09G2330/021 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.621.B G09G3/20.612.T G09G3/20.622.S G09G3/20.623.D G09G3/20.623.C G09G3/20.623.Y G09G3/20.623.W G09G3/20.611.A G09G3/20.611.J G02F1/133.550 G09G3/20.621.G G09G3/20.623.R		
F-TERM分类号	2H093/NA34 2H093/NC16 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND35 2H093/ND49 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AF11 5C006/AF43 5C006/AF47 5C006/AF61 5C006/AF69 5C006/AF72 5C006/AF73 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF09 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA08 5C006/FA18 5C006/FA22 5C006/FA23 5C006/FA34 5C006/FA36 5C006/FA37 5C006/FA38 5C006/FA44 5C006/FA47 5C006/FA48 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD06 5C080/DD18 5C080/DD22 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZC20		
其他公开文献	JP4988258B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，其能够以低功耗在垂直消隐期间提高有源元件的保持特性，并且不增加电路规模。解决方案：液晶显示装置包括像素，栅极布线，源极布线，有源元件，栅极驱动器电路，源极驱动器电路和时序控制器电路。源极驱动器电路允许源极布线在垂直消隐时段中通过将规定电压的正极性和负极性的源极信号提供给源极布线的规定操作来保持规定的DC电压，在提供源极信号和短路相邻的布线，向其提供相反极性的源极信号。 Z

