

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-199546
(P2007-199546A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 623A	5C080
	G09G 3/20 622A	
	G09G 3/20 612R	
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2006-20091 (P2006-20091)	(71) 出願人	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成18年1月30日 (2006.1.30)	(74) 代理人	100095728 弁理士 上柳 雅誉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	堀部 啓二 東京都港区浜松町二丁目4番1号 三洋エプソンイメージングデバイス株式会社内
		(72) 発明者	中山 勝仁 東京都港区浜松町二丁目4番1号 三洋エプソンイメージングデバイス株式会社内
		最終頁に続く	

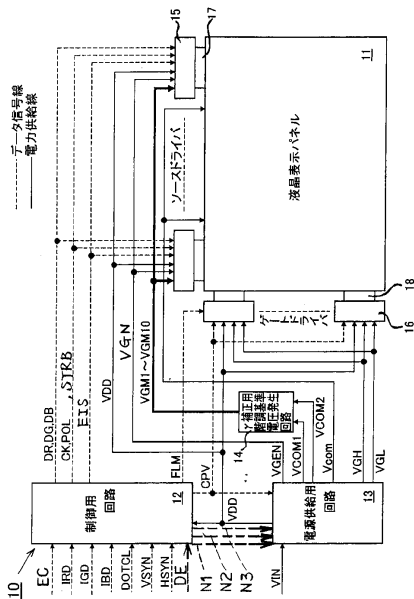
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 各電圧が所定の順番で立ち上がり、各部品が誤動作しにくい、ノイズが発生しにくい、コストが安い液晶表示装置を提供する。

【解決手段】 複数の信号線17および複数の走査線18を有する液晶パネル11と、各信号線17を駆動する信号線駆動部15と、各走査線18を駆動する走査線駆動部16と、電源電圧が入力され各電圧を出力する電源部13と、外部信号が入力される制御部12とを備え、制御部12は外部信号の入力開始を検知し、時間経過した後に、電源部13を介して、走査線駆動部16に対し、非選択時電圧を立ち上げさせ、その立ち上がり時点から第1所定時間が経過した後に、垂直同期信号の所定個数目の立ち上がりに実質的に同期して、電源部13を介して、走査線駆動部16に対し、選択時電圧を立ち上げさせる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の信号線および複数の走査線を有する液晶パネルと、各信号線を駆動する信号線駆動部と、各走査線を駆動する走査線駆動部と、電源電圧が入力され各電圧を出力する電源部と、外部信号が入力される制御部とを備え、前記制御部は前記外部信号の入力開始を検知し、時間経過した後に、前記電源部を介して、前記走査線駆動部に対し、非選択時電圧を立ち上げらせ、その立ち上がり時点から第 1 所定時間が経過した後に、垂直同期信号の所定個数目の立ち上げりに実質的に同期して、前記電源部を介して、前記走査線駆動部に対し、選択時電圧を立ち上げらせる事の特徴とする液晶表示装置。

【請求項 2】

10

前記制御部は、前記選択時電圧の立ち上がりよりも早い時点において、前記電源部を介して、前記信号線駆動部を構成する非ロジック部に対し、印加電圧を立ち上げらせる事の特徴とする請求項 1 の液晶表示装置。

【請求項 3】

前記制御部は前記外部信号の入力停止を検知し、時間経過した後に、前記電源部を介して前記走査線駆動部に対し、前記選択時電圧を立ち下げらせる事の特徴とする請求項 1 の液晶表示装置。

【請求項 4】

前記制御部は、前記選択時電圧の立ち下がり時点から第 2 所定時間が経過した時、前記電源部を介して、前記走査線駆動部に対し、前記非選択時電圧を立ち下げらせる事の特徴とする請求項 3 の液晶表示装置。

20

【請求項 5】

前記制御部は、前記選択時電圧の立ち上がり時点よりも遅れた時点において、前記電源部を介して、前記非ロジック部に対し、前記印加電圧を立ち下げらせる事の特徴とする請求項 2 の液晶表示装置。

【請求項 6】

前記制御部には信号生成部が設けられ、前記信号生成部はシフトレジスタと論理回路により構成され、前記シフトレジスタには、前記外部信号が入力されたことを検知する検知信号と、外部クロック信号と、前記垂直同期信号が入力され、前記論理回路には、前記シフトレジスタの各出力と、前記検知信号が入力されることにより、前記各電圧を出力させるための各制御信号を出力する事の特徴とする請求項 1 の液晶表示装置。

30

【請求項 7】

前記外部信号は、データネーブル信号またはドットクロック信号または垂直同期信号または水平同期信号の中の少なくとも 1 つの信号である事の特徴とする請求項 1 の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

40

【0002】

従来、この種の装置は例えば、特許文献 1 に示されている。特許文献 1 によると液晶パネル 11 と、ゲートドライバ 12 と、ソースドライバ 13 と、コントロール IC 14 と、電源 IC 15 とからなる液晶表示装置が示されている。

【0003】

電源 IC 15 は、ソースドライバ 13 に対し、駆動用電圧 3.3 ボルトおよび第 1 電圧 5 ボルトを出力している。電源 IC 15 は、ゲートドライバ 12 に対し、駆動電圧 3.3 ボルトおよび第 2 電圧 1.5 ボルトおよび第 3 電圧 - 1.5 ボルトを出力している。また、コントロール IC 14 は、画像データが入力され、ソースドライバ 13 に対し、表示データ等を出力している。そして、電源 IC 15 には、電源電圧の電圧が供給されている。

50

【特許文献１】特開２００４－４５７４８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかし上記装置では、ソースドライバ１３に対し、駆動電圧の入力前に、表示データや第１電圧が入力される事がある。また、ゲートドライバ１２に対し、駆動電圧の入力前に第２電圧が入力される事がある。そのため、各部品が誤動作したり、故障する、第１の欠点がある。

【０００５】

本発明者は、この欠点を解消するために、コントローラＩＣ１４が出力する垂直クロック信号が入力され、制御信号を出力するアナログＩＣを設けた。なお、この制御信号は、駆動電圧と、表示データと、第１電圧と、第２電圧の出力順序を定めるものである。しかし、デジタル信号を取り扱うコントローラＩＣ１４の出力側にアナログＩＣを設けるのでノイズが発生し易い、第２の欠点がある。更に、アナログＩＣを新たに設けるので、コストが高くなる、第３の欠点がある。

【０００６】

そこで、本発明は、このような従来の欠点を考慮し、各電圧が所定の順番で立ち上がり、各部品が誤動作しにくい、ノイズが発生しにくい、コストが安い液晶表示装置を提供するものである。

【課題を解決するための手段】

【０００７】

上記課題を解決するために、請求項１の本発明では、複数の信号線および複数の走査線を有する液晶パネルと、各信号線を駆動する信号線駆動部と、各走査線を駆動する走査線駆動部と、電源電圧が入力され各電圧を出力する電源部と、外部信号が入力される制御部とを備え、前記制御部は前記外部信号の入力開始を検知し、時間経過した後に、前記電源部を介して、前記走査線駆動部に対し、非選択時電圧を立ち上がらせ、その立ち上がり時点から第１所定時間が経過した後に、垂直同期信号の所定個数目の立ち上がりを実質的に同期して、前記電源部を介して、前記走査線駆動部に対し、選択時電圧を立ち上がらせるものである。

【０００８】

請求項２の本発明では、前記制御部は、前記選択時電圧の立ち上がりよりも早い時点において、前記電源部を介して、前記信号線駆動部を構成する非ロジック部に対し、印加電圧を立ち上がらせる。

【０００９】

請求項３の本発明では、前記制御部は前記外部信号の入力停止を検知し、時間経過した後に、前記電源部を介して前記走査線駆動部に対し、前記選択時電圧を立ち下がらせる。

【００１０】

請求項４の本発明では、前記制御部は、前記選択時電圧の立ち下がり時点から第２所定時間が経過した時、前記電源部を介して、前記走査線駆動部に対し、前記非選択時電圧を立ち下がらせる。

【００１１】

請求項５の本発明では、前記制御部は、前記選択時電圧の立ち上がり時点よりも遅れた時点において、前記電源部を介して、前記非ロジック部に対し、前記印加電圧を立ち下がらせる。

【００１２】

請求項６の本発明では、前記制御部には信号生成部が設けられ、前記信号生成部はシフトレジスタと論理回路により構成され、前記シフトレジスタには、前記外部信号が入力されたことを検知する検知信号と、外部クロック信号と、前記垂直同期信号が入力され、前記論理回路には、前記シフトレジスタの各出力と、前記検知信号が入力されることにより、前記各電圧を出力させるための各制御信号を出力する。

10

20

30

40

50

【 0 0 1 3 】

請求項 7 の本発明では、前記外部信号は、データイネーブル信号またはドットクロック信号または垂直同期信号または水平同期信号の中の少なくとも 1 つの信号である。

【 発明の効果 】

【 0 0 1 4 】

請求項 1 の様に、非選択時電圧の立ち上がり時点から第 1 所定時間が経過した後に、垂直同期信号の所定個数目の立ち上がりを実質的に同期して、選択時電圧を立ち上げるので、その間に、走査線駆動部が走査され、走査線駆動部のロジック部やレジスタ部に残っている不確定なデータが初期化される。

【 0 0 1 5 】

請求項 2 の様に、選択時電圧の立ち上がり時点よりも早めに、信号線駆動部の非ロジック部に対し、印加電圧を立ち上げることにより、走査動作前に、信号線駆動部の出力を整えることができる。

【 0 0 1 6 】

請求項 3 の様に、外部信号の入力停止を検知し、時間経過した後に、選択時電圧を立ち下げるので、仮に、検知信号が何らかの異常により瞬間的に停止した場合は、選択時電圧は維持されるので、正常な表示を続行できる。

【 0 0 1 7 】

請求項 4 の様に、選択時電圧の立ち下がり時点から、第 2 所定時間が経過した時に、非選択時電圧を立ち下げるので、走査線駆動部内での過電流による破壊を防止できる。

【 0 0 1 8 】

請求項 5 の様に、選択時電圧の立ち下がり時点から遅れて、信号線駆動部の非ロジック部に対し、印加電圧を立ち下げるので、異常表示を防止できる。

【 0 0 1 9 】

請求項 6 の様に、構成することにより、制御部はデジタル処理できるので、従来の様にノイズが発生しにくい。また、制御部内に設けられた信号生成部により、複数の制御信号を生成するので、従来の様に、別々の部品を設ける必要がなく、コストが安くなる。

【 0 0 2 0 】

請求項 7 の様に、外部信号は、データイネーブル信号またはドットクロック信号または垂直同期信号または水平同期信号の中の少なくとも 1 つの信号である。従って、画像データが入力される時には、必ず前記信号のいずれかが入力される。その結果、画像データが入力されると、必ず、前記各電圧は立ち上がり、正常な表示ができる。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下に、図面と実施例により、本発明を実施するための最良の形態を詳細に説明する。

【 実施例 】

【 0 0 2 2 】

以下、図 1 ないし図 5 に従い、実施例に係る液晶表示装置 10 を説明する。図 1 は液晶表示装置 10 を示すブロック図、図 2 は液晶表示装置 10 に用いられる制御部 12 のブロック図、図 3 は制御部 12 に用いられる信号生成部 57 のシフトレジスタのブロック図、図 4 は信号生成部 57 の論理回路のブロック図、図 5 は液晶表示装置 10 に用いられる電源部 13 のブロック図である。

【 0 0 2 3 】

図 1 において、液晶表示装置 10 は、液晶パネル 11 と、制御部 12 と、電源部 13 と、ガンマ補正部 14 と、複数の信号線駆動部 15 と、複数の走査線駆動部 16 等からなる。

【 0 0 2 4 】

液晶パネル 11 は例えば、下ガラス基板上に、複数の設けられた信号線 17 と、複数の走査線 18 と、それらの交点近傍に設けられた T F T と、T F T に接続された画素電極などを有する。液晶パネル 11 は、上ガラス基板に設けられたカラーフィルタおよび共通電

10

20

30

40

50

極と、下ガラス基板および上ガラス基板との間に設けられた液晶（共に図示せず）等を有する。

【0025】

信号線駆動部15は各信号線17を駆動するドライバである。走査線駆動部16は各走査線18を駆動するドライバである。

【0026】

図1と図2において、制御部12は、図示しない入力インタフェースを介し、コンピュータ、テレビジョン装置、ビデオ再生装置、DVD再生装置、ナビゲーション本体等から送られた、例えばRGB各6ビットのデジタル画像データIRD, IGD, IBDと、外部クロック信号EC、データイネーブル信号DE、ドットクロック信号DOTCLK、垂直同期信号VSYNC、水平同期信号HSYNC等を取り込む。

10

【0027】

外部信号V, H, C, Dは、データイネーブル信号DEまたはドットクロック信号DOTCLKまたは垂直同期信号VSYNCまたは水平同期信号HSYNCの中の、少なくとも1つの信号である。この様に、外部信号V, H, C, Dは制御部12に入力される。

【0028】

そして、制御部12は、上記各信号をデジタル的に信号処理し、デジタルRGB表示データDR, DG, DB、水平クロック信号CK、ストロブ信号STRB、極性反転信号POL、およびスタートパルス信号EISを、それぞれ信号線駆動部15へ供給する。

【0029】

20

制御部12は、走査線駆動部16に対し、スタートパルスFLM、垂直クロック信号CPV、ゲートイネーブル信号OEを供給する。

【0030】

制御部12の一具体例を、図2に従い、説明する。制御部12は、外部クロック信号ECの入力端子31と、データイネーブル信号DE入力端子34と、RGB各6ビットのデジタル画像データIRD, IGD, IBDの入力端子35と、クロック信号DOTCLK入力端子36と、垂直同期信号VSYNC入力端子32と、水平同期信号HSYNC入力端子33等を有している。

【0031】

そして、制御部12は、デジタルRGB表示データDR, DG, DBの出力端子43と水平クロック信号CK出力端子44と、ストロブ信号STRB出力端子40と、極性反転信号POL出力端子41と、スタートパルス信号EIS出力端子42と、制御信号N1と、N2, N3の出力端子56等を有している。

30

【0032】

制御部12の内部には、大きく分けて前処理部45と、データイネーブル信号DEカウンタ46と、水平同期信号HSYNCカウンタ47と、ドットクロック信号DOTCLKカウンタ48を備えている。前処理部45からの出力信号と、DEカウンタ46の出力信号と、HSYNCカウンタ47の出力信号と、DOTCLKカウンタ48の出力信号とにより、スタートパルス出力手段（FLM生成回路49）において、スタートパルスFLM信号が生成され、DOTCLKカウンタ48の出力信号により、CPV生成回路50において、垂直クロック信号CPVが生成される。

40

【0033】

また、DOTCLKカウンタ48の出力信号により、OE生成回路51によりゲートイネーブル信号OEが、ストロブ生成回路52によりストロブ信号STRBが生成される。POL生成回路53により極性反転信号POLが生成され、EIS生成回路54によりスタートパルス信号EISが生成される。更に、デジタル画像データIRD, IGD, IBDは、データシフト回路55において処理されて、デジタルRGB表示データDR, DG, DBとして出力される。

【0034】

前処理部45は、外部信号V, H, C, Dが入力されたことを検知する検知信号Pを出

50

力する。信号生成部 57 は、検知信号 P と外部クロック信号 E C が入力され、制御信号 N 1 , N 2 , N 3 を出力する。また、外部クロック信号 E C は、液晶表示装置 10 内で生成される。

【0035】

これらの前処理部 45 と、DE カウンタ 46 と、HSYNC カウンタ 47 と、DOTCLK カウンタ 48 と、OE 生成回路 51 と、ストローブ生成回路 52 と、POL 生成回路 53 と、EIS 生成回路 54 と、データシフト回路 55 等の構成は、従来の制御部における構成と実質的に相違はなく、動作原理も同様であるので、詳細な説明は省略する。

【0036】

但し、外部信号 V , H , C , D と、外部クロック信号 E C が、信号生成部 57 に入力されている点が、従来の制御部との相違点である。 10

【0037】

次に、主に図 3 と図 4 に従い、信号生成部 57 を説明する。信号生成部 57 は、シフトレジスタ 60 と、論理回路 61 により構成されている。

【0038】

図 3 において、シフトレジスタ 60 は、6 個のフリップフロップ（以下に、FF と記す）62 , 63 , 64 , 65 , 66 , 67 からなる。

【0039】

FF 62 の D 端子は、検知信号 P が入力され、プリセット端子 p は一定電圧が入力され、クロック端子 C は、外部クロック信号 E C が入力される。FF 62 のクリア端子 L はリセット信号 RESET の反転信号が入力され、端子 Q は出力 Q 1 を出力する。 20

【0040】

FF 63 の D 端子は、出力 Q 1 が入力され、プリセット端子 p は一定電圧が入力され、クロック端子 C は、外部クロック信号 E C が入力される。FF 63 のクリア端子 L はリセット信号 RESET の反転信号が入力され、端子 Q は出力 Q 2 を出力する。

【0041】

FF 64 の D 端子は、出力 Q 2 が入力され、プリセット端子 p は一定電圧が入力され、クロック端子 C は、外部クロック信号 E C が入力される。FF 64 のクリア端子 L はリセット信号 RESET の反転信号が入力され、端子 Q は出力 Q 3 を出力する。

【0042】

FF 65 の D 端子は、出力 Q 3 が入力され、プリセット端子 p は一定電圧が入力され、クロック端子 C は、外部クロック信号 E C が入力される。FF 65 のクリア端子 L はリセット信号 RESET の反転信号が入力され、端子 Q は出力 Q 4 を出力する。 30

【0043】

FF 66 の D 端子は、出力 Q 4 が入力され、プリセット端子 p は一定電圧が入力され、クロック端子 C は、垂直同期信号 VSYNC が入力される。FF 66 のクリア端子 L は検知信号 P の反転信号が入力され、端子 Q は次の FF 66 の D 端子に接続されている。

【0044】

FF 67 のプリセット端子 p は一定電圧が入力され、クロック端子 C は、垂直同期信号 VSYNC が入力される。FF 67 のクリア端子 L は検知信号 P の反転信号が入力され、端子 Q は出力 Q 5 を出力する。以上の部品にて、シフトレジスタ 60 は構成されている。 40

【0045】

図 4 において、論理回路 61 は、ノット回路 68 と、アンドゲート 69 ~ 76 と、オアゲート 77 ~ 81 と、抵抗 81 ~ 84 とから構成されている。ノット回路 68 は検知信号 P の反転信号 PA を出力する。

【0046】

アンドゲート 69 の 1 つの入力側は、出力 Q 1 が入力され、他の入力側は検知信号 P が入力される。

【0047】

アンドゲート 70 の 1 つの入力側は、出力 Q 4 が入力され、他の入力側は反転信号 PA 50

が入力される。

【0048】

アンドゲート71の1つの入力側は、出力Q2が入力され、他の入力側は検知信号Pが入力される。

【0049】

アンドゲート72の1つの入力側は、出力Q3が入力され、他の入力側は反転信号PAが入力される。

【0050】

アンドゲート73の1つの入力側は、出力Q3が入力され、他の入力側は検知信号Pが入力される。

【0051】

アンドゲート74の1つの入力側は、出力Q2が入力され、他の入力側は反転信号PAが入力される。

【0052】

アンドゲート75の1つの入力側は、出力Q5が入力され、他の入力側は検知信号Pが入力される。

【0053】

アンドゲート76の1つの入力側は、出力Q1が入力され、他の入力側は反転信号PAが入力される。

【0054】

オアゲート77の1つの入力側は、アンドゲート69の出力が入力され、他の入力側はアンドゲート70の出力が入力される。オアゲート77の出力側は抵抗81を介して、遅延信号Nを出力する。但し、この液晶表示装置10では、遅延信号Nは用いられない。

【0055】

オアゲート78の1つの入力側は、アンドゲート71の出力が入力され、他の入力側はアンドゲート72の出力が入力される。オアゲート78の出力側は抵抗82を介して、制御信号N1を出力する。

【0056】

オアゲート79の1つの入力側は、アンドゲート73の出力が入力され、他の入力側はアンドゲート74の出力が入力される。オアゲート79の出力側は抵抗83を介して、制御信号N2を出力する。

【0057】

オアゲート81の1つの入力側は、アンドゲート75の出力が入力され、他の入力側はアンドゲート76の出力が入力される。オアゲート81の出力側は抵抗84を介して、制御信号N3を出力する。以上の部品により、信号生成部57は構成されている。

【0058】

上述した様に、シフトレジスタ60には、外部信号V、H、C、Dが入力された事を知検知する検知信号Pと、外部クロック信号ECと、垂直同期信号VSYNCが入力される。

【0059】

論理回路61には、シフトレジスタ60の各出力Q1、Q2、Q3、Q4、Q5と、検知信号Pが入力される。その結果、信号生成部57は、各電圧を出力させるための各制御信号N1、N2、N3を出力する。

【0060】

次に、図1に示す様に、電源電圧VINは電源部13に入力されている。電源部13は供給された電源電圧VIN（例えば12ボルト）を基に、液晶表示装置10内で使用される各種の電圧を生成する。例えば、制御部12のロジック部と、信号線駆動部15のロジック部と、走査線駆動部16のロジック部に対して、駆動用電圧VDDを生成する。

【0061】

また、電源部13は、ガンマ補正部14に対して、基準電圧VCOM1およびVCOM2と、共通電圧VCOMを生成する。

10

20

30

40

50

【 0 0 6 2 】

更に、電源部 1 3 は、信号線駆動部 1 5 の非ロジック部（例えば出力部）に対して、所定の印加電圧 V_{GN} を出力する。電源部 1 3 は、走査線駆動部 1 6 の非ロジック部（例えば出力部）に対して、選択時電圧 V_{GH} および非選択時電圧 V_{GL} を出力する。電源部 1 3 は、液晶パネル 1 1 の共通電極に印加するための共通電圧 V_{COM} を出力する。

【 0 0 6 3 】

ガンマ補正部 1 4 は、電源部 1 3 から供給された基準電圧 V_{COM1} および V_{COM2} を抵抗分圧することにより、階調基準電圧 $V_{GM1} \sim V_{GM10}$ を生成し、信号線駆動部 1 5 へ供給する。

【 0 0 6 4 】

信号線駆動部 1 5 は、18ビットラッチ、シフトレジスタ、サンプリングメモリ、ホールドメモリ、レベルシフタ、分圧回路、DA変換器、出力部（いずれも図示せず）を備えている。

【 0 0 6 5 】

制御部 1 2 から信号線駆動部 1 5 へ入力された表示データを構成する各6ビットのデータ D_R , D_G , D_B は、信号線駆動部 1 5 内のラッチにおいて時分割で、内部にラッチされる。

【 0 0 6 6 】

そして、信号線駆動部 1 5 内のサンプリングメモリ、ホールドメモリ、レベルシフタを経て、水平同期信号 H_{SYNC} に同期して発生されるスタートパルス E_{IS} に基づいて、分圧回路からの基準電圧を基に、DA変換器により、DA変換が行われる。

【 0 0 6 7 】

このことにより、ガンマ補正されたアナログ電圧（階調電圧）が発生され、出力バッファ（出力部）を経て、液晶パネル 1 1 の $Y_1 \sim Y_n$ （図示せず）からなる n 本の信号線 1 7 に供給される。

【 0 0 6 8 】

また、制御部 1 2 から走査線駆動部 1 6 へ供給された垂直同期信号 V_{SYNC} に同期し発生されるクロック信号 C_{PV} と、スタートパルス F_{LM} は、走査線駆動部 1 6 により処理される。そして走査信号は、液晶パネル 1 1 の $X_1 \sim X_m$ （図示せず）からなる m 本の走査線 1 8 に供給される。

【 0 0 6 9 】

次に、図 5 に従い、電源部 1 3 を説明する。図 5 において、電源部 1 3 は電源電圧検知回路 8 5 と、スイッチングレギュレータ 8 6 と、電源 IC 8 7 とを有している。更に電源部 1 3 は、スイッチングレギュレータ 8 8 と、スイッチ部 8 9 と、変換回路 9 0 と、スイッチ部 9 1 と、スイッチングレギュレータ 9 2 と、スイッチ部 9 3 を有している。

【 0 0 7 0 】

電源電圧検知回路 8 5 は、電源電圧 V_{IN} が所定値（例えば、直流 1.2 ボルト）以上になると、電圧 V_{CC} （例えば、直流 1.4 ボルト）を出力する。そして、電源電圧検知回路 8 5 は、電源電圧 V_{IN} が所定値未満になると、電圧 V_{CC} の出力を停止する。

【 0 0 7 1 】

スイッチングレギュレータ 8 6 は電源電圧検知回路 8 5 に接続され、電圧 V_{CC} が入力される。スイッチングレギュレータ 8 6 は電源 IC 8 7 に接続され、PWM制御信号 P_1 が入力される。スイッチングレギュレータ 8 6 は上記信号 P_1 により、駆動電圧 V_{DD} （3.3 ボルト）を出力する。

【 0 0 7 2 】

これらの電源電圧検知回路 8 5 と、電源 IC 8 7 と、スイッチングレギュレータ 8 6 とにより、駆動電圧変換部 9 4 が構成されている。駆動電圧変換部 9 4 は、駆動電圧 V_{DD} を出力するものである。

【 0 0 7 3 】

また、図示していないが、発振器は、駆動電圧変換部 9 4 の出力側に接続され、駆動電

10

20

30

40

50

圧VDDが供給されている。この様に、発振器が発振する外部クロック信号ECは電源部13が出力する駆動電圧VDDと、殆ど同時に立ち上がり、駆動電圧VDDと、殆ど同時に立ち下がる様に、構成されている。

【0074】

スイッチングレギュレータ88は電源電圧検知回路85に接続され、電圧VCCが入力される。スイッチングレギュレータ88は電源IC87に接続され、PWM制御信号P2が入力される。スイッチングレギュレータ88は上記信号P2により、例えば10ボルトを出力する。

【0075】

これらの電源電圧検知回路85と、電源IC87と、スイッチングレギュレータ88とにより、電圧（例えば10ボルト）を出力するための電圧変換部95が構成されている。 10

【0076】

スイッチ部89は例えばMOSFET等からなる。スイッチ部89は、電圧変換部95の出力側に接続されている。スイッチ部89の制御端子は、制御信号N2が入力される。

【0077】

制御信号N2がロウレベルの時、スイッチ部89は開成し、電圧変換部95は電圧を出力しない。制御信号N2がハイレベルの時、スイッチ部89は閉成し、電圧変換部95は、所定の電圧VGN（10ボルト）を出力する。

【0078】

変換回路90は例えば、チャージポンプと安定化回路等からなり、スイッチングレギュレータ88に接続されている。 20

【0079】

上記電源電圧検知回路85と、電源IC87と、スイッチングレギュレータ88と、変換回路90とにより、選択時電圧（例えば15ボルト）を出力するための電圧変換部96が構成されている。

【0080】

スイッチ部91は例えばMOSFET等からなる。スイッチ部91は、電圧変換部96の出力側に接続されている。スイッチ部91の制御端子は、制御信号N3が入力される。

【0081】

制御信号N3がロウレベルの時、スイッチ部91は開成し、電圧変換部96は電圧を出力しない。制御信号N3がハイレベルの時、スイッチ部91は閉成し、電圧変換部96は、選択時電圧VGH（15ボルト）を出力する。 30

【0082】

スイッチングレギュレータ92は電源電圧検知回路85に接続され、電圧VCCが入力される。スイッチングレギュレータ92は電源IC87に接続され、PWM制御信号P3が入力される。スイッチングレギュレータ92は上記信号P3により、例えば、-15ボルトを出力する。

【0083】

上記電源電圧検知回路85と、電源IC87と、スイッチングレギュレータ92とにより、非選択時電圧（例えば-15ボルト）を出力するための電圧変換部97が構成されている。 40

【0084】

スイッチ部93は例えばMOSFET等からなる。スイッチ部93は、電圧変換部97の出力側に接続されている。スイッチ部93の制御端子は、制御信号N1が入力される。

【0085】

制御信号N1がロウレベルの時、スイッチ部93は開成し、電圧変換部97は電圧を出力しない。制御信号N1がハイレベルの時、スイッチ部93は閉成し、電圧変換部97は非選択時電圧VGL（-15ボルト）を出力する。以上の部品により、電源部13は構成されている。

【0086】

次に、図 1 ないし図 6 に従い、液晶表示装置 10 の動作を説明する。図 6 は、液晶表示装置 10 に用いられる各種信号等のタイミングチャートである。

【0087】

最初に、使用者は例えば、ナビゲーション本体に設けられたスタートボタン（図示をせず）を押したものとする。

【0088】

スタートボタンが設けられた入力部は、電源回路（共に図示せず）に接続されている。電源回路は所定の電源を直流 12 ボルトに変換するものである。その結果、電源部 13 に対して、電源電圧 V_{IN} （直流 12 ボルト）の入力が始まる。

【0089】

電源部 13 において、電圧 V_{CC} （14 ボルト）が生成され、駆動電圧変換部 94 により、駆動電圧 V_{DD} は立ち上がり、ハイレベルとなる（図 6（C）参照）。

【0090】

この時、電源部 13 は、信号線駆動部 15 と、走査線駆動部 16 と、制御部 12 に対し駆動電圧 V_{DD} を出力する。

【0091】

また、駆動電圧 V_{DD} の立ち上がりと殆ど同時に、外部信号 V, H, C, D が制御部 12 に入力される（図 6（A）参照）。

【0092】

更に、この時、リセット信号 $RESET$ が立ち上がり（図 6（D）参照）、外部クロック信号 EC も立ち上がる（図 6（E）参照）。外部クロック信号 EC の周波数は例えば 100 ヘルツであり、1 周期が 10 ms である。

【0093】

制御部 12 は外部信号 V, H, C, D が入力されると（図 6（A）参照）、少し遅れて（例えば、5 ms）、外部信号 V, H, C, D の入力開始を検知し、ハイレベルの検知信号 P を出力する（図 6（B）参照）。この時、画像データ IRD, IGD, IBD が制御部 12 に入力される。

【0094】

制御部 12 の信号生成部 57 には、ハイレベルの検知信号 P と、ハイレベルのリセット信号 $RESET$ と、外部クロック信号 EC が入力される。

【0095】

その後、a 1 時間（例えば 5 ms）経過して、外部クロック信号 EC が立ち上がると、遅延信号 N は立ち上がる（図 6（F）参照）。

【0096】

そして、a 2 時間（例えば 10 ms）経過して、外部クロック信号 EC が立ち上がると、制御信号 $N1$ は立ち上がる（図 6（G）参照）。

【0097】

電源部 12 は、制御信号 $N1$ の立ち上がり（ハイレベルになる）に応じて、スイッチ部 93 を閉成し、走査線駆動部 16 に対し、非選択時電圧 V_{GL} （-15 ボルト）を出力する（図 6（L）参照）。

【0098】

その後、a 3 時間（10 ms）経過して、外部クロック信号 EC が立ち上がると、制御信号 $N2$ は立ち上がる（図 6（H）参照）。

【0099】

電源部 13 は、制御信号 $N2$ の立ち上がり（ハイレベルになる）に応じて、スイッチ部 89 を閉成し、信号線駆動部 15 の非ロジック部に対し、印加電圧 V_{GN} （10 ボルト）を立ち上がらせる（図 6（M）参照）。

【0100】

この時、制御部 12 は走査線駆動部 16 に対し、スタートパルス FLM 、垂直クロック信号 CPV 、ゲートイネーブル信号 DE を出力する。

10

20

30

40

50

【0101】

そして、 a_4 時間 (10 ms) 経過し、外部クロック信号 EC が立ち上がると、遅延信号 n_3 は立ち上がる (図 6 (I) 参照)。

【0102】

制御部 12 は、遅延信号 n_3 が立ち上がった後に、所定個数目 (例えば 2 個目) の垂直同期信号 VSYNC の立ち上がり (図 6 (K) 参照) に実質的に同期して、制御信号 N_3 を立ち上げる (図 6 (J) 参照)。

【0103】

電源部 13 は、制御信号 N_3 の立ち上がり (ハイレベルになる) に応じて、スイッチ部 91 を閉成し、走査線駆動部 16 に対し、選択時電圧 VGH (例えば 15 ボルト) を出力する (図 6 (N) 参照)。その結果、液晶パネル 11 において、表示データ DR, DG, DB による表示が開始される。

10

【0104】

なお、遅延信号 n_3 の立ち上がり時点と、垂直同期信号 VSYNC の立ち上がり時点が一致した場合は、制御部 12 は、その時点から、所定個数目 (例えば、1 個目であり、次の) 垂直同期信号 VSYNC の立ち上がりを実質的に同期して、制御信号 N_3 を立ち上げる。

【0105】

上記内容をまとめる。制御部 12 は、非選択時電圧 VGL の立ち上がり時点から、第 1 所定時間 ($a_3 + a_4 = 20 \text{ ms}$) が経過した後に、垂直同期信号 VSYNC の所定個数目の立ち上がり (図 6 (J) 参照) に実質的に同期して、電源部 13 を介して、走査線駆動部 16 に対し、選択時電圧 VGH を立ち上がらせる。

20

【0106】

また、制御部 12 は、選択時電圧 VGH の立ち上がり (図 6 (N) 参照) よりも早い時点において、電源部 13 を介して、信号線駆動部 15 を構成する非ロジック部に対し、印加電圧 VGN を立ち上がらせる (図 6 (M) 参照)。

【0107】

次に、液晶表示装置 10 が表示終了するまでの動作を説明する。最初に、制御部 12 に対する外部信号 V, H, C, D の入力 that 停止する (図 6 (A) 参照)。

【0108】

制御部 12 は、少し遅れて、入力停止を検知し、ロウレベルの検知信号 P を出力する (図 6 (B) 参照)。

30

【0109】

上記検知時点から b_1 (例えば 5 ms) の時間経過した後に、制御部 12 は、制御信号 N_3 を立ち下げる (図 6 (J) 参照)。 b_1 は 10 ms 以内に設定されている。

【0110】

電源部 13 は制御信号 N_3 の立ち下がり (ロウレベルになる) に応じて、スイッチ部 91 を開成し、走査線駆動部 16 に対し、選択時電圧 VGH を立ち下がらせる (図 6 (N) 参照)。

【0111】

選択時電圧 VGH の立ち下がり時点から b_2 時間 (10 ms) 経過後に、外部クロック信号 EC の立ち上がりに応じて、制御部 12 は、制御信号 N_2 を立ち下げる (図 6 (H) 参照)。

40

【0112】

電源部 13 は、制御信号 N_2 の立ち下がりに応じて、スイッチ部 89 を開成し、信号線駆動部 15 の非ロジック部に対し、印加電圧 VGN を立ち下がらせる (図 6 (M) 参照)。

【0113】

上記立ち下がり時点から b_3 時間 (10 ms) 経過後に、外部クロック信号 EC の立ち上がりに応じて、制御部 12 は、制御信号 N_1 を立ち下げる (図 6 (G) 参照)。

50

【 0 1 1 4 】

電源部 1 3 は、制御信号 N 1 の立ち下がりに応じて、スイッチ部 9 3 を開成し、走査線駆動部 1 6 に対し、非選択時電圧 V G L を立ち下げる（図 6（L）参照）。この様にして表示が終了する。

【 0 1 1 5 】

その後、外部クロック信号 E C は立ち下げる（図 6（E）参照）。また、リセット信号 R E S E T も立ち下がり（図 6（D）参照）。駆動電圧 V D D も立ち下がる（図 6（C）を参照）。以上にて、動作を終了する。

【 0 1 1 6 】

上記内容をまとめる。制御部 1 2 は、選択時電圧 V G H の立ち下がり時点から、第 2 所定時間（ $b 2 + b 3 = 1 0 \text{ m s}$ ）が経過した時に（図 6（G）参照）、電源部 1 3 を介して走査線駆動部 1 6 に対し、非選択時電圧 V G L を立ち下がらせる。 10

【 0 1 1 7 】

更に、制御部 1 2 は、選択時電圧 V G H の立ち下がり時点（図 6（N）参照）よりも遅れた時点において、電源部 1 3 を介して、信号線駆動部 1 5 の非ロジック部に対し、印加電圧 V G N を立ち下がらせる（図 6（M）参照）。

【図面の簡単な説明】

【 0 1 1 8 】

【図 1】本発明の実施例に係る液晶表示装置 1 0 のブロック図である。

【図 2】上記装置 1 0 に用いられる制御部 1 2 のブロック図である。 20

【図 3】信号生成部 5 7 のシフトレジスタ 6 2 のブロック図である。

【図 4】信号生成部 5 7 の論理回路 6 1 のブロック図である。

【図 5】上記装置 1 0 に用いられる電源部 1 3 のブロック図である。

【図 6】上記装置 1 0 に用いられる各種信号等のタイミングチャートである。

【符号の説明】

【 0 1 1 9 】

1 1 液晶パネル

1 2 制御部

1 3 電源部

1 5 信号線駆動部 30

1 6 走査線駆動部

1 7 信号線

1 8 走査線

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 D

G 0 9 G 3/20 6 1 2 G

F ターム(参考) 2H093 NA16 NA21 NA41 NC09 NC11 NC21 NC22 NC41 NC52 NC58
NC59 ND34 ND37 ND48
5C006 AC24 AC25 AF44 AF51 AF53 AF64 AF67 BB11 BF03 BF22
BF26 BF27 BF42 FA00
5C080 AA10 BB05 DD09 DD17 EE25 FF09 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007199546A	公开(公告)日	2007-08-09
申请号	JP2006020091	申请日	2006-01-30
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	堀部啓二 中山勝仁		
发明人	堀部 啓二 中山 勝仁		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.A G09G3/20.622.A G09G3/20.612.R G09G3/20.670.D G09G3/20.612.G		
F-TERM分类号	2H093/NA16 2H093/NA21 2H093/NA41 2H093/NC09 2H093/NC11 2H093/NC21 2H093/NC22 2H093/NC41 2H093/NC52 2H093/NC58 2H093/NC59 2H093/ND34 2H093/ND37 2H093/ND48 5C006/AC24 5C006/AC25 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF67 5C006/BB11 5C006/BF03 5C006/BF22 5C006/BF26 5C006/BF27 5C006/BF42 5C006/FA00 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD17 5C080/EE25 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZH21		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种廉价的液晶显示装置，其中各个电压按预定顺序上升，并且各个部件不易发生故障并产生噪声。ŽSOLUTION：液晶显示装置包括具有多条信号线17和多条扫描线18的液晶面板11，驱动各条线17的信号线驱动器15，驱动相应扫描的扫描线驱动器16线18，输入源电压并输出各个电压的电源单元13，以及输入外部信号的控制器12。控制器12检测开始输入的外部信号，使扫描线驱动器16在一段时间后通过电源单元13升高非选择时间信号，然后使扫描线驱动器16升高选择时间电压通过电源单元13在上升之后的第一预定时间基本上与垂直同步信号的上升同步，该垂直同步信号被计数为预定的。Ž

