

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108680

(P2007-108680A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 621Z	
	G02F 1/133 550	
審査請求 有 請求項の数 7 O L (全 15 頁)		

(21) 出願番号	特願2006-195135 (P2006-195135)	(71) 出願人	501358079
(22) 出願日	平成18年7月18日 (2006.7.18)		友達光電股▲ふん▼有限公司
(31) 優先権主張番号	11/248911		台湾新竹市科学工業園區力行二路1号
(32) 優先日	平成17年10月11日 (2005.10.11)	(74) 代理人	100124327
(33) 優先権主張国	米国 (US)		弁理士 吉村 勝博
		(72) 発明者	汪 志松
			台湾新竹縣竹北市勝利七街一段216号10樓
		(72) 発明者	楊 智翔
			台湾桃園縣楊梅鎮楊梅里20鄰新成路117号
		(72) 発明者	許 育民
			台湾彰化縣北斗鎮中寮里裕後路17之2号
		最終頁に続く	

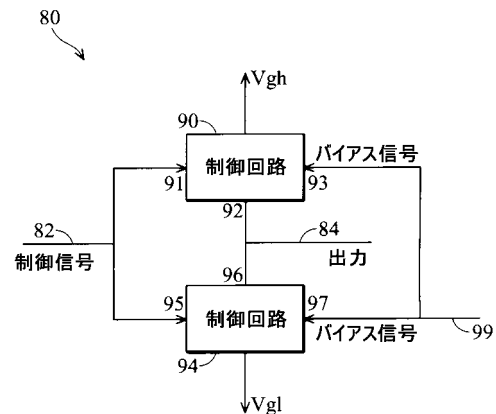
(54) 【発明の名称】 電流駆動能力の調整が可能な液晶ディスプレイパネル用のゲートドライバ

(57) 【要約】

【課題】仕様の異なるLCDパネルに適用可能な、電流駆動能力を調整可能としたLCDゲートドライバ回路を提供することを目的とする。

【解決手段】上記課題を解決するために、複数の並列に接続されたPMOSのスイッチング素子と複数の並列に接続されたNMOSから構成されたスイッチング素子ペアを用い、1つは制御信号によって駆動して画素状態を規定し、その他の補助スイッチング素子ペアはそれぞれ異なるバイアス信号によって駆動して画素の駆動電流を調整するLCDゲートドライバ回路とする。駆動電流の調整が必要となった状況に応じた補助スイッチング素子ペアを選択し、個別のバイアス信号によってオン/オフを制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

2次元に配列された複数の画素を有する液晶ディスプレイパネルのゲートラインの駆動方法であって、

第1スイッチング素子ペア～第nスイッチングペアからなる複数のスイッチング素子ペアを用い、第1スイッチング素子ペアは制御信号にตอบสนองして第1信号パルスを出力し、他のスイッチング素子ペアはバイアス信号にตอบสนองして第2信号パルス～第n信号パルスを出力し、ゲートラインを駆動する信号は第1信号パルス～第n信号パルスを合算した出力であることを特徴とする液晶ディスプレイパネルのゲートラインの駆動方法。

【請求項 2】

10

請求項1に記載の液晶ディスプレイパネルのゲートラインの駆動方法に用いるゲートドライバ回路であって、

当該ゲートドライバ回路は単一画素の駆動用に2つの制御回路を備えており、一方には並列に接続された複数のPMOSスイッチング素子を備え、他方には同じく並列に接続された同数のNMOSスイッチング素子を備え、1つのPMOSスイッチング素子と1つのNMOSスイッチング素子の組み合わせが1つのスイッチング素子ペアを構成していることを特徴とするゲートドライバ回路。

【請求項 3】

前記複数の第1スイッチング素子ペア～第nスイッチング素子ペアのうち第1スイッチング素子ペアは制御信号によって駆動されて画素状態を規定し、第2スイッチング素子ペア～第nスイッチング素子ペアはそれぞれ第1バイアス信号～第Kバイアス信号によって駆動されて画素の駆動電流を調整する補助スイッチング素子ペアである請求項2に記載のゲートドライバ回路。

20

【請求項 4】

前記バイアス信号はバイナリ装置から供給される請求項3に記載のゲートドライバ回路。

【請求項 5】

前記バイアス信号のパルス幅が制御信号のパルス幅と等しい請求項3又は請求項4に記載のゲートドライバ回路。

【請求項 6】

前記バイアス信号のパルス幅が制御信号のパルス幅よりも短い請求項3又は請求項4に記載のゲートドライバ回路。

30

【請求項 7】

請求項2～請求項6のいずれかに記載のゲートドライバ回路を用いた液晶ディスプレイパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本件発明は液晶ディスプレイパネルのゲートドライバに関し、特に異なる液晶ディスプレイパネルに対して電流駆動能力の調整が可能な液晶ディスプレイパネルのゲートドライバに関する。

40

【背景技術】

【0002】

図14に従来の液晶ディスプレイパネル（以下、「LCDパネル」と称する。）の基本構成を示す。この図に示されるとおり、LCDパネル10は2次元に配列された複数の画素22を備えたディスプレイモジュール20から構成されている。これらの画素は複数のデータライン D_1 、 $D_2 \dots D_n$ によって制御され、複数のゲートライン G_1 、 $G_2 \dots G_m$ によって駆動される。データラインを駆動するデータ信号はデータドライバIC30から提供され、ゲートラインを駆動するゲート信号はゲートドライバIC40から提供される。このような従来技術におけるLCDパネルの構造及び制御方式はよく知られている。

【0003】

50

図15及び図16に示されるように、一般的な従来技術では個別の画素22は、上部電極と下部電極の間に配置された液晶層の有する電荷容量 C_{lc} 、ゲートライン信号がGATE_mを通過後も画素電圧を維持する目的で設置された電荷蓄積キャパシタ C_{st} 、及びスイッチング素子(TFT)のゲートソース間に発生する寄生容量 C_{gs} 等を含む複数個のキャパシタを保有している。よって、1枚のLCDパネルの画素が有する総電荷容量は、公知のように画素サイズ、液晶層の厚さ、電荷蓄積キャパシタのサイズ及びその他の要素の影響を受けて変化する。そして、図15に示すように、 C_{lc} 及び C_{gs} はコモン電圧 V_{com} に接続されており、図16に示すように、 C_{st} はゲートラインに接続されている。

【0004】

10

図17には、一般的な手法で設計された従来技術のゲートドライバ回路50を示している。この回路は一般的にゲートライン信号を提供し、LCD画素列を駆動するのに用いられる。

【0005】

ゲートドライバ回路50は一般的に V_{gh} と V_{gl} との電位間の切り替えを実施し、ゲート入力52とゲート出力54を用いてLCD画素用のスイッチング素子(TFT)を駆動する。

【0006】

ゲートドライバ回路50は、対称的な動作をする回路構成でシリコン・ウェハー上に形成されたPMOSのスイッチング素子56とNMOSのスイッチング素子58とを備える一般的な構成を取っている。そして、ゲートドライバ回路50は一般的に知られている動作を実行し、制御信号52がハイになるとPMOSであるスイッチング素子56がPチャンネルを形成して導通が生じ、一方NMOSのスイッチング素子58はオフの状態を維持するか又はは導通を取らない。この状態では、出力54の電圧レベルはハイであり、この時のゲートドライバ回路50の等価回路は図18に示すようになる。

20

【0007】

制御信号52がローになった場合、NMOSのスイッチング素子58はNチャンネルを形成して導通が得られ、PMOSのスイッチング素子56はオフの状態を維持するか又は導通を取らない。この状態では、出力54の電圧レベルはローであり、この時のゲートドライバ回路50の等価回路を図19に示すようになる。図中の R_{m1} 及び R_{m2} はそれぞれ M_1 及び M_2 の内部インピーダンスである。

30

【0008】

ゲートドライバ出力にかかる負荷が同一のゲートライン上の画素数や個別の画素の内部インピーダンスに起因して変動すると、あるインターバル時間内でキャパシタに充電するために用いることのできる電流が不足し、キャパシタへの充電には比較的長い時間を必要とすることが起こりうる。

【0009】

理想的には、ゲートドライバの駆動能力を増加させることによって負荷が増加した場合に発生するゲート遅延時間を減らすことが好ましい。更にいえば、負荷が大きくない場合、例えば小さな液晶パネルを駆動させる時には駆動能力が過大なゲートドライバを使用しないことが好ましい。

40

【0010】

高解像度であり高応答速度を備えるLCDパネルでは、一定の時間内において画素内の(電気)容量を充電できるかということは非常に重要である。しかしながら、前述の従来技術から明らかなように、従来技術ではゲートドライバICの電流駆動能力は固定されている。

【0011】

例えば、従来技術のゲートドライバICが図20に示すようなLCDパネルの異なる部分を駆動する場合、ゲートライン負荷の差異が画素への充電時間に影響し、LCDパネルの表示品質に影響が出る恐れがある。図21はこの時の充電波形(破線が実効値)を示し

50

ている。

【0012】

図20において、 $Y_1 \sim Y_4$ はそれぞれ異なるゲートドライバIC40'であり、ゲートドライバIC40'はそれぞれがTFT液晶パネル20内にあるゲートラインの複数を駆動する構成となっている。そして、制御信号がゲートドライバIC40'に入力されると、例えばLCDパネル内のゲートラインは順次スキャンされることになる。

【0013】

このような問題を解決すべく、特許文献1には画素の駆動期間を少なくとも2段階に分割し、第1の段階では出力精度は低いが電流供給能力の高い回路で大まかに容量性負荷を所望の電圧に近づけ、第2の段階では電流供給能力は低いが出力精度の高い回路で厳密に容量性負荷の電圧を決定し、迅速に画素を最適な状態にする駆動回路の設計思想が開示されている。このように2段階の電圧を使用することの効果は記載内容に明らかではあるが、同一パネル内の位置により画素負荷が異なっていると、それぞれの負荷状況に合わせた最適設定とするためには電圧の設定は2段階から3段階にするなどの変更が必要となり、ケースバイケースの多電圧生成回路が必要とされることになる。即ち、この設計思想では同一仕様で設計された画素駆動用ドライバをサイズが異なるなどの多種のパネルに共通で適用することは困難である。

【0014】

【特許文献1】特開平10-301539号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところが、ゲートドライバICの駆動能力の調整範囲を広くすれば、同一のゲートドライバICをサイズの異なるLCDパネル或いは設計の異なるLCDパネルに使用可能となる。このようなゲートドライバICを用いれば、異なるLCDパネルへの駆動のニーズを満たすために異なるゲートドライバICを製造する必要性はなくなるのである。

【0016】

そこで本件発明の目的は、異なるLCDパネルに適用可能な、電流駆動能力を調整可能としたLCDゲートドライバ回路を提供することにある。

【課題を解決するための手段】

【0017】

本件発明に係るLCDパネルのゲートラインの駆動方法： 本件発明に係るLCDパネルのゲートラインの駆動方法は、2次元に配列された複数の画素を有するLCDパネルのゲートラインの駆動方法であって、第1スイッチング素子ペア～第nスイッチングペアからなる複数のスイッチング素子ペアを用い、第1スイッチング素子ペアは制御信号に応答して第1信号パルスを出力し、第2スイッチング素子ペア～第nスイッチング素子ペアは第1バイアス信号～第Kバイアス信号に応答して第2信号パルス～第n信号パルスを出力し、ゲートラインを駆動するパルスは第1信号パルス～第n信号パルスを合算した出力とすることで画素への充電時間を調整可能としたことを特徴している。

【0018】

本件発明に係るゲートドライバ回路： 本件発明に係るゲートドライバ回路はLCDパネルのゲートラインの駆動方法に用いるゲートドライバ回路であって、当該ゲートドライバ回路は単一画素の駆動用に2つの制御回路を備えており、一方には並列に接続された複数のPMOSスイッチング素子を備え、他方には同じく並列に接続された同数のNMOSスイッチング素子を備え、1つのPMOSスイッチング素子と1つのNMOSスイッチング素子の組み合わせが1つのスイッチング素子ペアを構成していることを特徴としている。

【0019】

前記複数の第1スイッチング素子ペア～第nスイッチング素子ペアのうち第1スイッチング素子ペアは制御信号によって駆動されて画素状態を規定し、第2スイッチング素子ペア～第nスイッチング素子ペアは第1バイアス信号～第Kバイアス信号によって駆動さ

10

20

30

40

50

れて画素の駆動電流を調整する補助スイッチング素子ペアであることも好ましい。

【0020】

前記バイアス信号はバイナリ装置から供給されることも好ましい。

【0021】

前記バイアス信号のパルス幅が制御信号のパルス幅と等しいことも好ましい。

【0022】

前記バイアス信号のパルス幅が制御信号のパルス幅よりも短く調整されたものであることも好ましい。

【0023】

本件発明に係るLCDパネル： 本件発明に係るLCDパネルは前記ゲートドライバ回路を用いたLCDパネルである。 10

【発明の効果】

【0024】

本件発明に係るLCDゲートドライバはバイアス信号によって駆動電流を調整する機能を有する。この調節機能を有するLCDゲートドライバ回路は並列に接続された複数のPMOSスイッチング素子と、同じく並列に接続された複数のNMOSスイッチング素子とで構成されている。この制御回路ではPMOSスイッチング素子／NMOSスイッチング素子の1つずつを連動させた1つのペア（本件特許出願ではこれを「スイッチング素子ペア」と称している。）とした複数のペアを構成する。そして例えば第1スイッチング素子ペアは制御信号によって駆動されて画素状態を規定し、残りのスイッチング素子ペアである補助スイッチング素子ペアはそれぞれが異なるバイアス信号によって駆動され画素の駆動電流を調整する。 20

【0025】

即ち、それぞれの補助スイッチング素子ペアのオン／オフ（ON／OFF）状態はそれぞれ個別のバイアス信号により制御され、補助スイッチング素子ペアは駆動電流調整の必要性に応じてオンとなる。

【0026】

上述のようにすれば、同じゲートドライバ回路を異なるLCDパネルに適用することができる。1つのLCDパネルが多数のゲートラインを駆動するために複数個のゲートドライバ回路を必要とする場合、ゲートドライバ回路に信号入力するために制御モジュールが用いられ、LCDパネル内のゲートラインが順次スキャンされる。この制御モジュールはバイアス信号をゲートドライバ回路に提供し、これらゲートドライバ回路の駆動電流を調整する手段としても用いることができる。 30

【発明を実施するための最良の形態】

【0027】

本件発明に係るLCDパネルのゲートライン駆動方法の形態： 本件発明に係るLCDパネルのゲートラインの駆動方法では、2次元に配列された複数の画素を有するLCDパネルのゲートラインの駆動方法であって、第1スイッチング素子ペア～第nスイッチングペアからなる複数のスイッチング素子ペアを用い、第1スイッチング素子ペアは制御信号に応答して第1信号パルスを出力し、第2スイッチング素子ペア～第nスイッチング素子ペアはバイアス₁信号～バイアス_K信号に応答して第2信号パルス～第n信号パルスを出力し、ゲートラインを駆動するパルスは第1信号パルス～第n信号パルスを合算した出力とすることで画素への充電時間を調整可能としている。 40

【0028】

LCDパネルは表示する画像の要求品質に応じた設計がなされるものである。従って前述のように、図14に示す個別の画素22は図15及び図16に示すような等価回路を形成しており、上部電極と下部電極の間に配置された液晶層の有する電荷容量C_{lc}、ゲートライン信号がGATE_mを通過後も画素電圧を維持する目的で設置された電荷蓄積キャパシタC_{st}、及びスイッチング素子（TFT）のゲートソース間に発生する寄生容量C_{gs}等を含む複数個のキャパシタを保有している。よって、1枚のLCDパネルの画 50

素が有する総電荷容量は、公知のように画素サイズ、液晶層の厚さ、電荷蓄積キャパシタのサイズ及びその他の要素の影響を受けて変化する。従って、画素に要求される総電荷容量の充電を必要時間内に達成するために不足する電荷量に対しては、バイアス信号を用いた補助ラインからの追加信号パルスを合算する補助機能を設けるのである。

【0029】

本件発明に係るゲートドライバ回路： 本件発明に係るゲートドライバ回路はLCDパネルのゲートラインの駆動方法に用いるゲートドライバ回路であって、当該ゲートドライバ回路は単一画素の駆動用に2つの制御回路を備えており、一方には並列に接続された複数のPMOSスイッチング素子を備え、他方には同じく並列に接続された同数のNMOSスイッチング素子を備え、1つのPMOSスイッチング素子と1つのNMOSスイッチング素子の組み合わせが1つのスイッチング素子ペアを構成していることを特徴としている。

10

【0030】

本件発明に係るゲートドライバ回路であり、一般的な手法で設計されたLCDゲートドライバ回路80の基本構成を図1に示す。ゲートドライバ回路80は入力ライン82と出力ライン84を有し、入力ライン82は1つのLCDパネル列中の画素状態を指定するための制御信号を入力され、出力ライン84はこの画素に接続されているスイッチング素子のゲートに信号を出力する。

【0031】

ゲートドライバ回路80は更に電位 V_{gh} を供給する制御回路90と電位 V_{gl} を供給する制御回路94とで構成されている。制御回路90は入力端91及び出力端92を有し、入力端91は入力ライン82に接続され、出力端92は出力ライン84に接続される。制御回路94は入力端95及び出力端96を有し、入力端95は入力ライン82に接続され、出力端92は出力ライン84に接続される。

20

【0032】

この回路構成によれば、図17に示す従来技術によるゲートドライバ回路50の機能と同様に、入力82の信号がハイの時、制御回路90の出力端92の信号及び出力84はハイになり、制御回路94はオフである。そして、入力82の信号がローの時、制御回路94の出力端96の信号及び出力ライン84はローになり、制御回路90はオフである。ところが制御回路90はバイアス信号入力端93を有し、制御回路94はバイアス信号入力端97を有しており、それぞれがバイアス信号99により出力ライン84の駆動電流を調整する。

30

【0033】

前記複数の第1スイッチング素子ペア～第 n スイッチング素子ペアのうち第1スイッチング素子ペアは制御信号によって駆動されて画素状態を規定し、第2スイッチング素子ペア～第 n スイッチング素子ペアはバイアス $_1$ 信号～バイアス $_K$ 信号によって駆動されて画素の駆動電流を調整する補助スイッチング素子ペアであることも好ましい。

【0034】

そして、前記バイアス信号はバイナリ装置から供給され、バイアス信号のパルス幅が制御信号のパルス幅と等しく調整されても、短く調整されたものであっても構わないのである。

40

【0035】

本件発明に係るゲートドライバ回路であり、スイッチング素子ペアを3つ備えている例を図2に示す。図2に示すゲートドライバ回路80において、制御回路90は複数の並列に接続されたPMOSスイッチング素子 M_1 、 M_3 及び M_5 を有し、制御回路94は複数の並列に接続されたNMOSスイッチング素子 M_2 、 M_4 及び M_6 を有している。スイッチング素子 M_1 及び M_2 のオン／オフは制御信号82によって制御される。スイッチング素子 M_3 及び M_4 のオン／オフはバイアス $_1$ 信号によって制御され、スイッチング素子 M_5 及び M_6 のオン／オフはバイアス $_2$ 信号によって制御される。バイアス $_1$ 信号及びバイアス $_2$ 信号はバイアス信号99の一部である。

【0036】

50

電流駆動能力の調整範囲次第では、制御回路 90 及び制御回路 94 はそれぞれ 4 個、5 個或いはそれ以上複数の並列接続したスイッチング素子を備えることができる。

【0037】

ゲートドライバ回路 80 の異なる形態を図 3 に示す。ここに示すように、スイッチング素子 M_3 及び M_4 は、従来技術を示す図 17 のスイッチング素子ペアと似た PMOS/NMOS の補助スイッチング素子ペアを形成する。補助スイッチング素子ペア M_5 及び M_6 は別の補助ペアである。そして、それぞれの補助スイッチング素子ペアはゲートドライバ回路 80 の充電補助機能を果たす。

【0038】

制御信号 82、バイアス₁ 信号及びバイアス₂ 信号が共にハイの時のゲートドライバ回路 80 の等価回路を図 4 に示し、入力 82、バイアス₁ 及びバイアス₂ の信号が共にローの時のゲートドライバ回路 80 の等価回路を図 5 に示す。それぞれの等価回路は、制御信号 82、バイアス₁ 信号及びバイアス₂ 信号が同時にローか同時にハイとなった場合、内部インピーダンス R_{m1} 、 R_{m3} 及び R_{m5} は並列に接続され、内部インピーダンス R_{m2} 、 R_{m4} 及び R_{m6} も並列に接続されることを示している。

【0039】

ここで、上記例において第 1 スwitchング素子ペア M_1 、 M_2 に加えられた充電補助機能は 2 つであることを断っておく。しかしながら、充電補助機能は 3 ないしそれ以上でもよい。基本的には、充電補助機能の使用量は LCD パネルの負荷を考慮して決定される。例えば、4 つの充電補助機能を有するゲートドライバ回路が 4 つのバイアス信号バイアス₁、バイアス₂、バイアス₃、バイアス₄ を用いてゲートドライバ回路の電流駆動能力を調整すると、LCD パネルの負荷の調整には一個の充電補助機能だけが必要とされることもある。この場合、図 6 に示されているように 4 本のバイアスラインのうち 1 本のバイアスラインだけがオンとなる。上記と異なる LCD パネルであり負荷が大きい場合には、4 つのうち 2 つの充電補助機能を用いる必要が発生し、図 7 に示されるように 4 本のバイアスラインのうち 2 本のバイアスラインがオンとなる。ここで、図 6 及び図 7 に示すそれぞれのバイアスラインバイアス₁、バイアス₂、バイアス₃、バイアス₄ の信号は制御信号と同様の周波数または波長を有していることを確認しておく。

【0040】

上述した本件発明の実施形態であるゲートドライバ回路は異なる LCD パネルの調整にも適用を拡大できる。さらにゲートの駆動と画素に蓄電するために最適な電流量を与えるバイアス信号から選択されたパルス信号とパルス幅を有するゲートドライバ機能を 1 以上有することにより、適切な時間内に画素のキャパシタを充電しつつ省電力化できているのである。例えば、K 本のバイアスラインバイアス₁、バイアス₂～バイアス_K までを有するゲートドライバ回路では図 8 に示すようにバイアスライン上の信号は短波長に設定してもよい。このように負荷が短い期間の充電補助しか必要としない場合には、バイアス信号の波長も短くできる。

【0041】

図 9 及び図 10 のうち図 9 に複数のゲートドライバ IC $Y_1 \sim Y_4$ を有する TFT-LCD パネル 20 を示す。それぞれのゲートドライバ IC 40' は複数のゲートドライバ回路を有し、それぞれのゲートドライバは複数のゲートラインを駆動する。一般的には、1 個のゲートドライバ IC には 300 から 400 のチャンネルがあり、同数のゲートラインを駆動する。例えば、制御モジュール Tcon100 をゲートドライバ IC 40' に制御信号を提供するために用い、LCD パネル内のゲートラインを順次スキャンする。そして、図 10 にはバイアス信号に基づいてゲートドライバ回路に追加の駆動電流を加えた時の比較的短い充電時間を連続的に表す LCD 画素容量性負荷の充電波形を示す。図 10 に示す S_1 、 S_2 及び S_3 はそれぞれ無バイアス、1 つのバイアス信号及び 2 個のバイアス信号としたときの充電波形の実効値を表している。この実効波形から、バイアス信号による補助が多いほど充電が早く完了することが見て取れる。そして、制御信号にはクロック信号 CLK とゲートドライバ制御信号 YDIO を含み、入力ラインに供給されている。制御

10

20

30

40

50

モジュール T c o n 1 0 0 はまたバイアス信号をゲートドライバ I C に供給し、それぞれのゲートドライバ回路に供給する電流駆動能力を適正に調整する。

【 0 0 4 2 】

図 1 1 では、K 個のバイアス信号バイアス₁ ~ バイアス_K はそれぞれゲートドライバ I C に接続された K 個の信号ラインに供給される。図 1 1 ではバイアス₁ 信号及びバイアス₂ 信号のみオンであり、その他の信号はオフである。そして、図 1 2 に示すようにバイアス信号のオン／オフは 2 進法の異なる数字、1 / 0 で表される。図 1 2 ではバイアス₂ のみオンであるが、例えば、状況 1 では充電補助機能はオンにならず；状況 2 ではバイアス₁ だけがオンとなり；状況 3 ではバイアス₁ 及びバイアス₂ はオンとなる等もでき、この状況は図 1 2 に示すバイナリ装置 1 0 2 によって設定される。

10

【 0 0 4 3 】

さらに、制御モジュール T c o n 1 0 0 は、バイアス信号のパルス幅を調整するようにプログラムされていれば、充電補助時間は制御信号のパルス幅と同等にも、短くもできる。具体的には図 1 3 に示されるように、ゲートドライバ I C に提供されるバイアスクロック信号（バイアス_{C 1 K}）を設定し、バイアス信号のパルス幅を調整するのである。このバイアスクロック信号（バイアス_{C 1 K}）はクロック信号（C 1 K）と同期するが、比較的短いパルスである。

【 0 0 4 4 】

本件発明に係る L C D パネル： 本件発明に係る L C D パネルは前記ゲートドライバ回路を用いた L C D パネルであり、L C D パネルのサイズや応答速度により設計仕様が異なっ

20

【 0 0 4 5 】

以上、本件発明を好ましい実施形態を示して開示したが、上記は本件発明を限定するものではなく、当業者であれば本件発明の精神と範囲を逸脱しない限りにおいて変更および修正を施すことができる。よって、本件発明の保護範囲は、添付の特許請求の範囲で定義されたものが基準とされる。

【産業上の利用可能性】

【 0 0 4 6 】

本件発明では L C D パネルの単一画素駆動用のゲートドライバ回路に複数のスイッチング素子ペアを備える。そして追加された補助スイッチング素子ペアは画素の充電を早くする

30

【図面の簡単な説明】

【 0 0 4 7 】

【図 1】 本件発明に係る L C D ゲートドライバ回路の基本構成である。

【図 2】 本件発明に係る L C D ゲートドライバ回路である。

【図 3】 本件発明に係る L C D ゲートドライバ回路である。

【図 4】 図 2 及び図 3 内の本件発明の L C D ゲートドライバ回路において、入力信号がハイの時の等価回路である。

40

【図 5】 図 2 及び図 3 内の本件発明の L C D ゲートドライバ回路において、入力信号がローの時の等価回路である。

【図 6】 2 個の並列接続された N M O S、P M O S のスイッチング素子ペアを動作させるために L C D ゲートドライバ回路に供給される制御信号とバイアス信号の波形である。

【図 7】 3 個の並列接続された N M O S、P M O S のスイッチング素子ペアを動作させるために L C D ゲートドライバ回路に供給される制御信号とバイアス信号の波形である。

【図 8】 2 個或いは複数個が並列接続された N M O S、P M O S のスイッチング素子ペアを動作させるために L C D ゲートドライバ回路に供給される制御信号と、選択可能な信号幅を有するバイアス信号の波形である。

【図 9】 本件発明に係る L C D パネルである。

50

【図 1 0】 バイアス信号に基づいてゲートドライバ回路に追加の駆動電流を加えることによって充電時間の短縮が可能であることを表す L C D 画素容量性負荷への充電波形（破線が実効値）の説明図である。

【図 1 1】 制御信号とバイアス信号とをゲートドライバに伝送するための制御モジュールの構成である。

【図 1 2】 制御信号とバイアス信号とをゲートドライバに伝送するための制御モジュールの構成である。

【図 1 3】 制御信号とバイアス信号とをゲートドライバに伝送するための制御モジュールの構成である。

【図 1 4】 画素が二次元配置された従来の L C D パネルである。 10

【図 1 5】 従来の L C D パネル内の L C D 画素に関する等価容量性負荷及び関連のスイッチング素子である。

【図 1 6】 従来の L C D パネル内の L C D 画素に関する等価容量性負荷及び関連のスイッチング素子である。

【図 1 7】 典型的な従来のゲートドライバ回路である。

【図 1 8】 図 1 7 内にて示される典型的な従来のゲートドライバ回路の入力端の信号がハイの時の等価回路である。

【図 1 9】 図 1 7 内にて示される典型的な従来のゲートドライバ回路の入力端の信号がローの時の等価回路である。

【図 2 0】 固定された制御信号によって駆動される従来の L C D パネルである。 20

【図 2 1】 従来の L C D パネル内の L C D 画素容量性負荷（L C D p i x e l c a p a c i t i v e l o a d）のキャパシタの充電波形（破線が実効値）である。

【符号の説明】

【 0 0 4 8 】

1 0	L C D パネル	
2 0	ディスプレイモジュール	
2 2	画素	
3 0	データドライバ I C	
4 0	ゲートドライバ I C	
5 0	ゲートドライバ回路	30
5 2	ゲート入力端	
5 4	出力端	
5 6	P M O S スイッチング素子	
5 8	N M O S スイッチング素子	
8 0	ゲートドライバ回路	
8 2	制御信号入力ライン	
8 4	ゲート出力ライン	
9 0	制御回路	
9 1	入力端	
9 2	出力端	40
9 3	バイアス信号入力端	
9 4	制御回路	
9 5	入力端	
9 6	出力端	
9 7	バイアス信号入力端	
9 9	バイアス信号	
1 0 0	制御モジュール	
1 0 2	バイナリ装置	
バイアス ₁ 、バイアス ₂ …バイアス _K	バイアスライン	
バイアス _{C 1 K}	バイアスクロック信号	50

C_{lc} 、 C_{gs} 、 C_{st} C_{lk} D_1 、 $D_2 \cdots D_n$ G_1 、 $G_2 \cdots G_{m-1}$ 、 G_m

IN

 M_1 、 M_2 、 M_3 、 M_4 、 M_5 、 M_6 R_{m1} 、 R_{m2} 、 R_{m3} 、 R_{m4} 、 R_{m5} 、 R_{m6} S_1 、 S_2 、 S_3

Tcon

 V_{gh} 、 V_{gl} V_{pixel} 、 V_{com} $Y_1 \sim Y_4$

YDIO

キャパシタ

クロック信号

データライン

ゲートライン

制御信号入力

スイッチング素子

内部インピーダンス

充電波形の実効値

制御モジュール

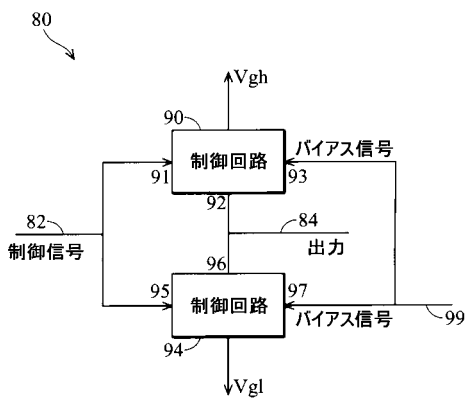
電位

電圧

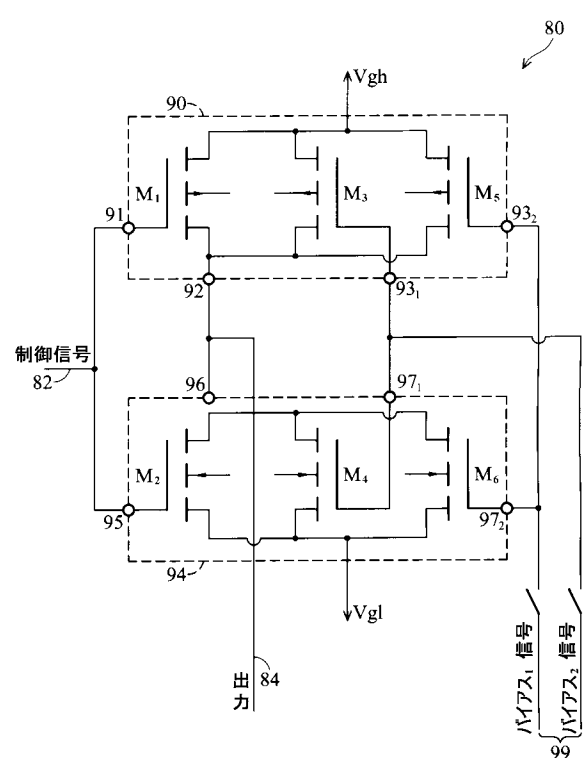
ゲートドライバIC

ゲートドライバ制御信号

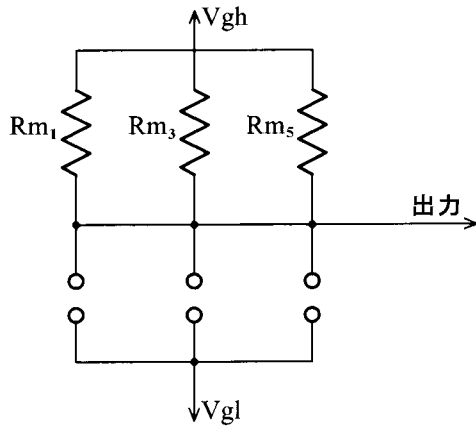
【図 1】



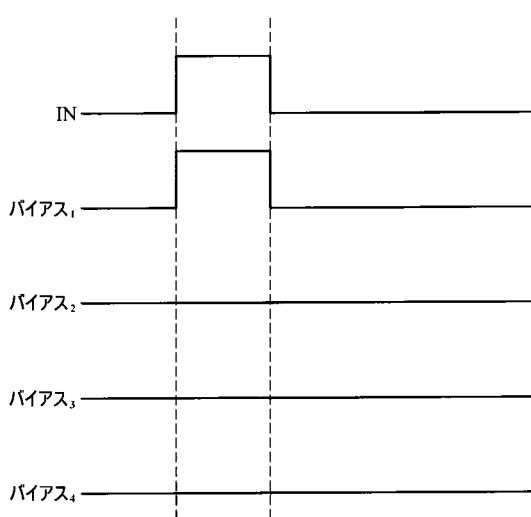
【図 2】



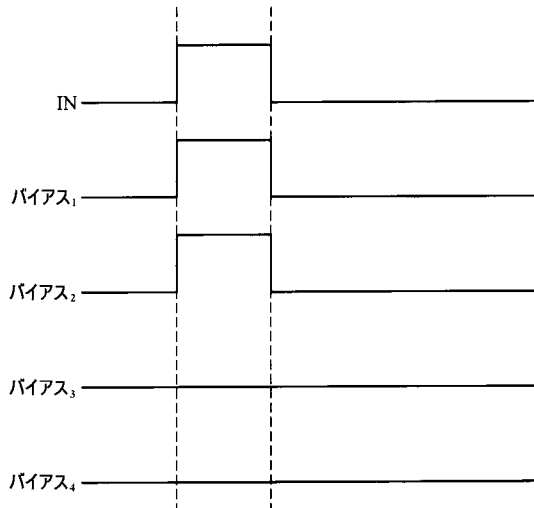
【圖 4】



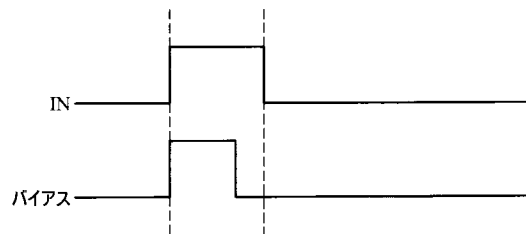
【图 6】



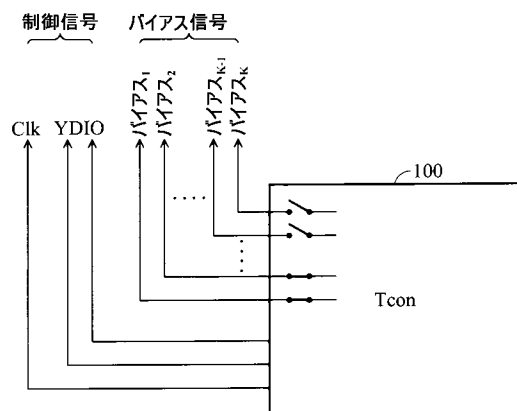
【図 7】



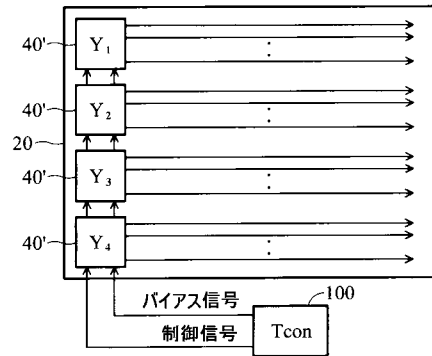
【図 8】



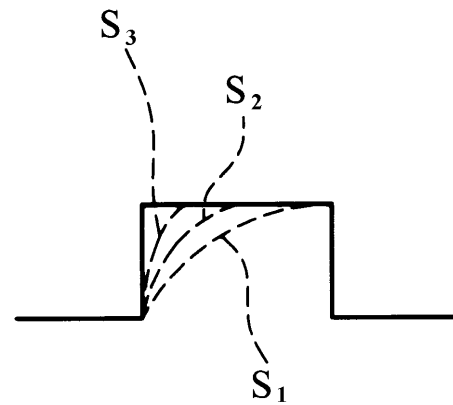
【図 11】



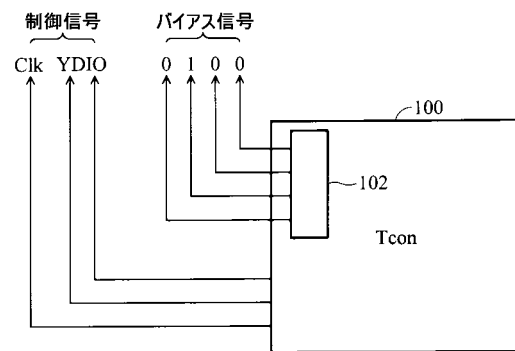
【図 9】



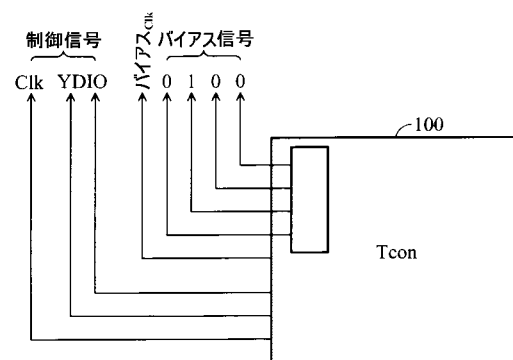
【図 10】



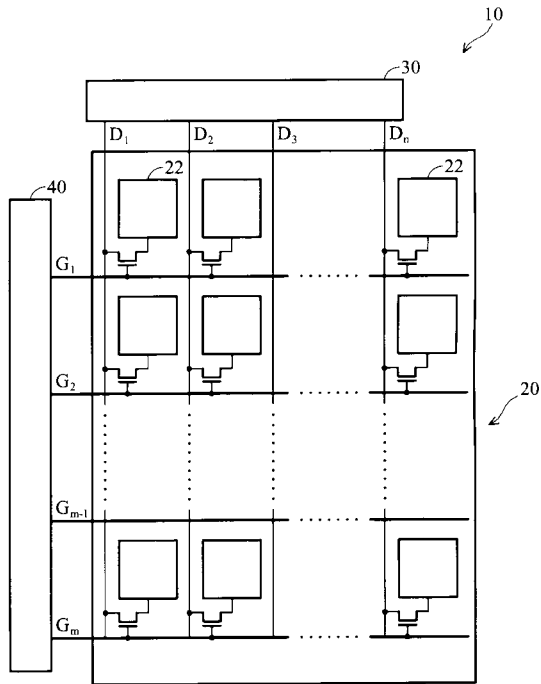
【図 12】



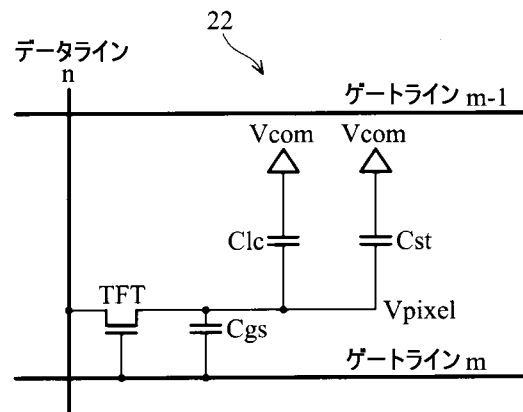
【図 13】



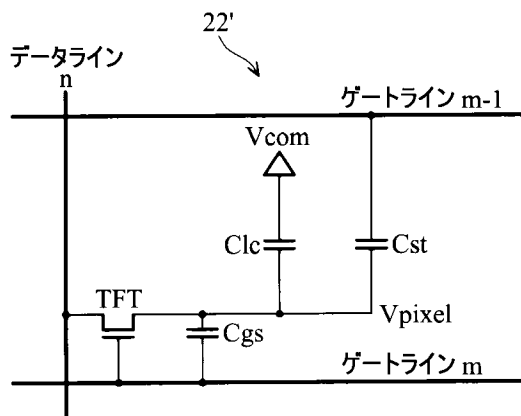
【図 1 4】



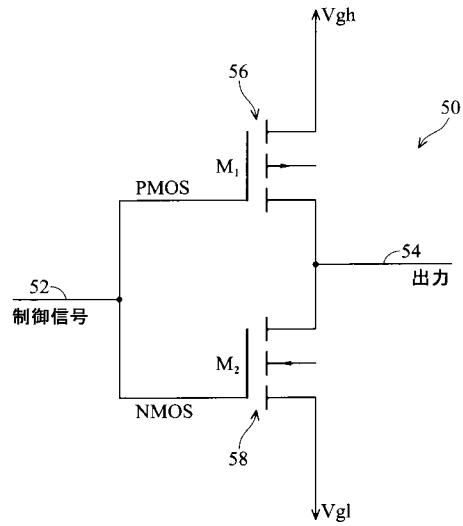
【図 1 5】



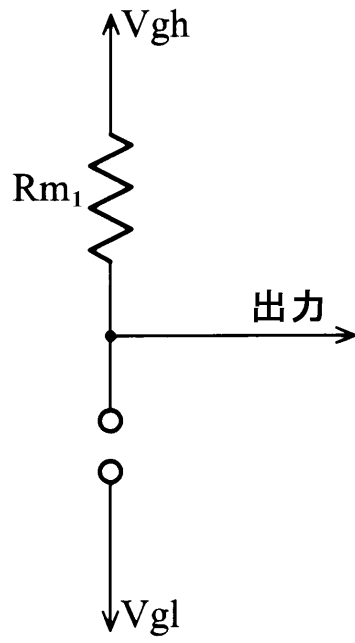
【図 1 6】



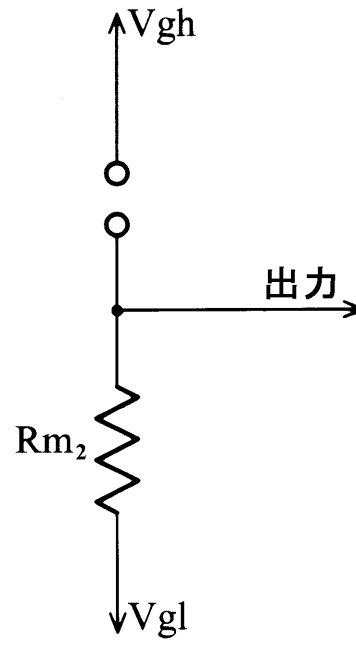
【図 1 7】



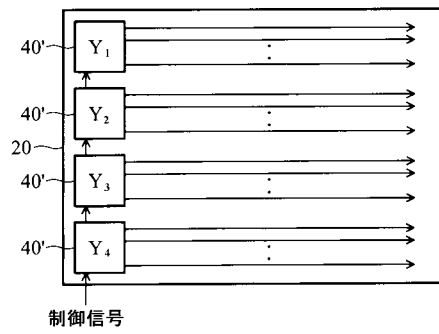
【図 1 8】



【図 1 9】



【図 2 0】



【図 2 1】



フロントページの続き

(72)発明者 許 勝凱

台湾彰化市福山里一段325巷33弄10之5号

Fターム(参考) 2H093 NA16 NC03 NC09 NC15 NC22 NC26 NC32 NC35 NC59 ND32
ND49 ND50
5C006 AC22 AF50 AF51 AF71 AF75 BB16 BC03 BF33 BF34 BF50
FA01 FA14 FA18 FA37
5C080 AA10 BB05 DD08 DD30 FF11 JJ02 JJ03 JJ04

专利名称(译)	用于调节电流驱动能力的液晶显示面板的栅极驱动器		
公开(公告)号	JP2007108680A	公开(公告)日	2007-04-26
申请号	JP2006195135	申请日	2006-07-18
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	汪志松 楊智翔 許育民 許勝凱		
发明人	汪 志松 楊 智翔 許 育民 許 勝凱		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2320/0223		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.621.A G09G3/20.621.Z G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC15 2H093/NC22 2H093/NC26 2H093/NC32 2H093/NC35 2H093/NC59 2H093/ND32 2H093/ND49 2H093/ND50 5C006/AC22 5C006/AF50 5C006/AF51 5C006/AF71 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BF33 5C006/BF34 5C006/BF50 5C006/FA01 5C006/FA14 5C006/FA18 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA02 2H193/ZF03		
代理人(译)	吉村克洋		
优先权	11/248911 2005-10-11 US		
其他公开文献	JP4795881B2		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种LCD栅极驱动电路，可应用于具有不同规格的LCD面板，并且可以调节其电流驱动能力。解决方案：为了解决上述问题，使用并联连接的多个PMOS开关元件和由多个并联连接的NMOS组成的开关元件对，一个由控制信号控制并且另一个辅助开关元件对n由不同的偏置信号驱动，以调整像素的驱动电流。选择对应于需要调节驱动电流的情况的辅助开关元件对，并且通过各个偏置信号控制开/关。点域1

