

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-154563

(P2006-154563A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 2 O L (全 16 頁)

(21) 出願番号 特願2004-347721 (P2004-347721)

(22) 出願日 平成16年11月30日(2004.11.30)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人 100090125

弁理士 浅井 章弘

(72) 発明者 古屋 正人

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 2H092 JA25 JB07 JB23 JB24 JB32

JB33 JB65 JB69 NA01 NA28

PA06 PA12

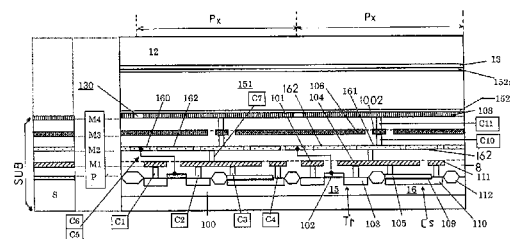
(54) 【発明の名称】 反射型の液晶表示装置

(57) 【要約】 (修正有)

【課題】 高解像度で高品質な表示性能を備えた液晶表示装置を提供する。

【解決手段】 共通電極13が形成された透明基板12と、画素電極108を含むアクティブマトリクス基板間に液晶層151を封入した液晶表示装置で、アクティブマトリクス基板が、信号電極Dと、走査電極Gと、画素電極108とを有し、表示画素が、スイッチングトランジスタTrと、信号蓄積用コンデンサCs及び画素電極とを有し、スイッチングトランジスタのゲートを形成する配線層上に、絶縁層を介して積層される第1、第2及び第3の金属配線層M1、M2、M3を有し、第1及び第2の金属配線層の一部が、信号電極と走査電極として形成され、第4の金属配線層は画素電極として形成され、第3の金属配線層は、画素電極に対する接続を行う島状中継パターン1002と、入射光を遮断する遮光パターン106として形成される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

光透過性な共通電極が表面に形成された光透過性基板と、反射型の画素電極を含む複数の表示画素が表面に縦横にマトリクス状に配置されたアクティブマトリクス基板とを、前記共通電極と前記画素電極との間に液晶層を封入させて接合してなる液晶表示装置であって、

前記アクティブマトリクス基板を前記マトリクス状に配置された複数の表示画素の片方の辺を列とし、他方の辺を行として動作させるための列信号電極駆動回路に接続された複数の列信号電極と、行走査電極駆動回路に接続された複数の行走査電極と、前記列信号電極と行走査電極との交差部に設けられた前記画素電極とを有し、

10

前記表示画素が、そのゲートを前記行走査電極に接続し、ドレインを前記列信号電極に接続し、ソースを前記画素電極に接続したスイッチングトランジスタと、前記ソースにそれぞれ共通に接続した信号蓄積用コンデンサ及び前記画素電極とを有する反射型の液晶表示装置において、

前記アクティブマトリクス基板は、

前記スイッチングトランジスタの前記ゲートを形成する配線層上に、それぞれ絶縁層を介して積層される第 1、第 2、第 3 及び第 4 の金属層を有し、

前記第 1 及び第 2 の金属層の内のいずれか一方の一部は、前記列信号電極と前記行走査電極の内のいずれか一方として形成され、他方の金属層は前記列信号電極と前記行走査電極の内の他方の電極として形成され、

20

前記第 4 の金属層は前記画素電極として形成され、

前記第 3 の金属層は、前記画素電極に対する接続を行う中継パターンと、入射光を遮断する遮光パターンと、で形成されることを特徴とする反射型の液晶表示装置。

【請求項 2】

前記第 2 の金属層は、前記中継パターンに接続される中継電極と、該中継電極と、前記第 2 の金属層に形成された前記列信号電極または行走査電極との間に介在されて固定電位になされる固定電位電極とを有することを特徴とする請求項 1 記載の反射型の液晶表示装置。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、投射型液晶ディスプレイ等に好適な反射型の液晶表示装置に関する。

【背景技術】**【0002】**

近年、コンピューター、通信、放送、情報記録メディア等の技術進展と並行して、これらの映像情報を大画面・高精細に表示するディスプレイへの要望が高まっている。これを実現するものとして投射型液晶ディスプレイがすでに実用となっている。投射型液晶ディスプレイには大別すると透過型方式と反射型方式がある（例えば特許文献 1）。

【0003】

40

前者は透過性絶縁基板上に薄膜トランジスタと光透過性電極からなる画素をマトリクス状に配列した液晶パネルを用い、この液晶パネルを透過する光を画素毎の液晶で変調して表示する方式である。透過型方式は光を投射するための光学系の構成が比較的簡単に構成できる、というメリットはあるが、液晶パネルを小型化し、画素密度を高くするとトランジスタや配線部分が画素面積に占める割合が大きくなり、開口率が低下する問題がある。また、画素の開口構造が投影画像に明確に表示されるため、特に自然画像を表示した場合に映像境界での滑らかさに欠ける、という欠点がある。

【0004】

これに対し、後者の反射型方式は各画素が反射型の画素電極で構成され、トランジスタおよび配線は全てこの反射型の画素電極の下層に配置できるため、開口率を低下させるこ

50

となく画素ピッチが $10\ \mu\text{m}$ 以下、という高い画素密度を実現できる。また、各画素に形成する画素電極間の間隙を $0.3 \sim 0.6\ \mu\text{m}$ と非常に小さく構成できるため、画素の開口構造が目立たず、滑らかな画像を表示することができる。以上より、高精細表示が要求される投射型液晶ディスプレイへの応用については小型・高精細化が可能な反射型方式が適していると言える。

【0005】

図8～図10に基づいて液晶ディスプレイ等に用いられる従来の反射型の液晶表示装置の基本構成例について説明する。図8は液晶表示装置の液晶パネルに形成される駆動回路の概要を示す図である。

【0006】

10

図8において、“2”はアクティブマトリクス基板上に形成される液晶パネルであり、この液晶パネル2の一例には列信号電極駆動回路4が配置され、他側には行走査電極駆動回路6が配置される。上記液晶パネル2には、複数の列信号電極 $D_1 \sim D_m$ と、これに直交するように複数の行走査信号 $G_1 \sim G_n$ とが形成され、この列信号電極 $D_1 \sim D_m$ と行走査信号 $G_1 \sim G_n$ との交差点が表示画素 P_x となる。従って、表示画素 P_x は縦横にマトリクス状に配置されている。

上記列信号電極駆動回路4は水平シフトレジスタ4aおよびスイッチ回路群 $SW_1 \sim SW_m$ より構成される。図示しない駆動タイミング生成回路より、水平スタート信号 HST および水平転送クロック HCK_1 、 HCK_2 の駆動信号を供給することにより水平シフトレジスタ4aを駆動し、この水平シフトレジスタ4aでは各出力段に接続したスイッチ回路群 $SW_1 \sim SW_m$ に対し順次オンパルスを送出して、4本の表示信号入力線から入力される表示信号 $Video_1 \sim Video_4$ を対応する列信号電極 $D_1 \sim D_m$ に順次サンプリングする。図示しない外部駆動回路では、元の表示信号を4つの表示信号 $Video_1 \sim Video_4$ に並列展開して液晶パネル2に供給する。このような表示信号の並列多相化は、列信号電極駆動回路4および液晶パネル2のサンプリングレートを実質的に低減するのに有効である。また、液晶を正負対称な交流電圧で駆動する目的から、図示しない外部駆動回路では、表示信号を基準電位に対して垂直走査周期毎に正負極性反転して液晶パネル2に供給する。

20

【0007】

一方、行走査電極駆動回路6は垂直シフトレジスタ（図示せず）で構成され、図示しない駆動タイミング生成回路より垂直スタート信号 VST および垂直転送クロック VCK_1 、 VCK_2 の駆動信号を供給することにより、表示信号の1垂直期間を繰り返し周期として、各行走査電極 $G_1 \sim G_n$ に順次行選択パルスを送出する。

30

【0008】

上記したように列信号電極 $D_1 \sim D_m$ と行走査電極 $G_1 \sim G_n$ の各交差部には、図9に示すような表示画素 P_x が構成されている。図9では列信号電極 $D_1 \sim D_m$ を代表して“D”と示し、行走査電極 $G_1 \sim G_n$ を代表して“G”と示している。この表示画素 P_x は、スイッチングトランジスタ Tr 、信号蓄積用コンデンサ Cs 、画素電極 Ex および全画素に共通な液晶層 LCM で構成されている。スイッチングトランジスタ Tr のドレイン DR には、上記列信号電極 D が接続され、スイッチングトランジスタ Tr のゲート GA には、上記行走査電極 G が接続される。また、スイッチングトランジスタ Tr のソース SO には、信号蓄積用コンデンサ Cs 及び画素電極 Ex が接続され、これら画素回路が形成された半導体基板よりなるアクティブマトリクス基板と光透過性な共通電極 COM との間に液晶層 LCM が封入される。

40

【0009】

上記画素回路に対して行走査電極 G の行選択パルスが供給されると、1水平期間毎に1行分のスイッチングトランジスタ Tr が一括して順次オン状態となり、列信号電極 D にサンプリングした表示信号電圧がスイッチングトランジスタ Tr を介して信号蓄積用コンデンサ Cs に書き込まれる。この電圧は次の垂直走査期間に新たな信号が書き込まれるまでの非選択期間中、信号蓄積用コンデンサ Cs に保持され、各画素 P_x に対応した液晶層 L

50

C Mを表示信号に対応した電圧で駆動する。

【0010】

反射型の液晶表示装置においては、アクティブマトリクス基板に光透過性は必要なく、シリコンに代表される一般的な半導体基板を用いることができる。また、この半導体基板としてシリコン基板を用いれば、トランジスタ等の半導体素子が形成できるので、オフリークや電流電圧特性に優れたトランジスタ特性を実現できるため、画素回路のみでなく列信号電極駆動回路4や行走査電極駆動回路6といった周辺駆動回路を同一基板上に容易に構成することができる。

【0011】

図10及び図11は従来の反射型の液晶表示装置の表示画素の代表的な構造例を示す平面図及びその断面図である。図示するように、シリコン基板に形成されたウェル100上にトランジスタ領域15および蓄積容量領域16が配置される。そして、このトランジスタ領域15にスイッチングトランジスタTrが形成され、蓄積容量領域16に信号蓄積用コンデンサCsが形成される。各画素Px間及び各画素PxのトランジスタTrおよび信号蓄積用コンデンサCsはフィールド酸化膜112で相互に分離されている。トランジスタTrのゲート102(図9中のGAに対応)および信号蓄積用コンデンサCsの蓄積容量電極105はポリシリコン配線層で形成され、シリコン基板間に対しSiO₂を絶縁層とした所謂MIS構造となっている。列信号電極101(図9中のDに対応)は、前記ポリシリコン配線層の上層に絶縁層8を介して形成した第1の金属層で配線され、コンタクトホールC1を介してトランジスタTrのドレイン拡散領域140(図9中のDRに対応)と電氣的に接続される。トランジスタTrの他方の端子であるソース拡散領域103(図9中のSOに対応)には、前記第1の金属層に形成した島状の中継電極104がコンタクトホールC2を介して接続され、更にこの島状の中継電極104は前記蓄積容量電極105にコンタクトホールC3を介して接続される。蓄積容量領域16のシリコン基板側は高濃度拡散層110が形成され、前記第1の金属層に形成した配線111で共通に配線されている。

【0012】

ここで、前記第1の金属層の島状の中継電極104はトランジスタTrのソース拡散領域103を完全に覆うように形成されている。本例のように、島状の中継電極104がトランジスタTrのソース拡散領域103を覆い、漏れ光に対して遮光する構造とすることにより、ソース-ウェルで形成される半導体構造中での光キャリア発生を防止し、強い光照射下でも安定した信号保持特性および表示特性を得ることができる。

【0013】

さらに、本例では極めて強い光照射(入射光)に対しても十分な耐光性が確保できるように、前記第1の金属層の上層であって、上記反射型の画素電極108が形成される最上層の下層に位置する金属層で遮光パターン106が形成されている。この遮光パターン106には開口107により分離された島状の中継パターン1002が形成され、最上層の画素電極108と前記トランジスタTrのソース配線となる島状の中継電極104とがコンタクトホールC11、上記島状の中継パターン1002及びコンタクトホールC10を介して接続される。これにより、トランジスタTrのソース拡散領域103と画素電極108が接続されている。

【0014】

上記画素電極108の下層の絶縁層120は、画素電極108を形成する前工程において、その表面が光学レベルで平坦となるように研磨される。このような平坦性を実現する表面研磨手段としては、例えば部材層を化学機械的に研磨するCMP法(Chemical-Mechanical Polish)を適用できる。

【0015】

さらに、互いに隣接する画素電極108の間隙部には機械的な段差を埋めるための平坦化層130が形成されている。これにより段差部による液晶配向の乱れや、光学的な散乱の発生を抑制し、表示コントラストの低下を防止することができる。このような画素電極

間の間隙の埋め込みプロセスとして例えば、画素電極 108 を形成した後、その表面に SiO_2 等の絶縁層を一様に堆積し、その後、これを画素電極の表面が露出するまでエッチングするエッチバック法を用いることができる。なお、遮光パターン 106 の表裏面、あるいは画素電極 108 の裏面等に、必要に応じて金属層での光の多重反射を抑えるための光吸収層を形成することもできる。

【0016】

また各画素電極 108 の上面側全体に液晶材料の初期分子配列を所定の方向に配向するための配向膜 152a が形成されてアクティブマトリクス基板 S を形成している。また光透過性基板 12 に形成された共通電極 13 (図 9 中の COM に対応) の下面側全体に同じ配向層 152b が形成されている。そして、上記アクティブマトリクス基板 SUB と光透過性基板 12 との間に、上記両配向層 152a、152b を対向させて液晶層 151 (図 9 中の LCM に対応) が封入され、画素電極 108 の信号電圧に応じて入射光の状態を調整する。

10

【0017】

反射型の液晶表示装置に好適な液晶表示モードの例としては、電界効果複屈折モードがある。図 12 及び図 13 は負の誘電率異方性をもつ液晶を用い、初期配向を基板に略垂直としたノーマリーブラック型液晶の例を表している。

【0018】

図 12 に示したように、電圧が印加されない条件下では、液晶分子 M の配向方向は基板 E1、E2 に対してほぼ垂直で、かつ僅かに一定方向に傾いた方向となっている。初期配向で僅かに一定の傾きを付与する理由は、電圧印加時に液晶分子が一定の方向に揃って傾くように制御するためであり、具体的な配向膜形成手段としては SiO_2 の斜め蒸着等の手段を用いることができる。この場合、偏光ビームスプリッタ PBS から入射する直線偏光 PI に対し、複屈折作用は発現しないため、画素電極で反射された出力光 P3 の偏光方向は入射光 P1 の偏光方向と同じ直線偏光となる。したがって、出力光 P3 は偏光ビームスプリッタ PBS を再び通る際に光源側に反射され (PO)、投射画面上は黒が表示される。

20

【0019】

一方、図 13 は液晶に電圧 V が印加された状態を表しており、液晶分子 M は基板に対し一定の方向に揃って傾いた状態となる。液晶分子 M の長軸・短軸の屈折率差に基づく複屈折性により、光の直交する偏光成分に対する位相差に変化が生じ、出力光 P3 の偏光状態は印加電圧に応じた分子の傾き、液晶ギャップに対応するトータル光路長、入射光 P1 の波長をパラメータとしたリタレーション値に応じて楕円偏光から円偏光、さらには入射光 P1 と直交する偏光方向の直線偏光、というように変化する。入射光 P1 と直交する偏光成分については、偏光ビームスプリッタ PBS に再び入射した後にこの偏光ビームスプリッタ PBS を透過し、投射レンズ側に射出され (PO)、画素電極毎の印加電圧に対応してグレー～白で表示される。

30

【0020】

上記した液晶表示モードは、電圧を印加しない状態で黒を表示するノーマリーブラックモードであり、黒表示時に液晶の複屈折作用を受けないため、黒表示での波長依存性がなく、黒表示に対応した信号電圧レベルも小さくて済むため、高コントラストの表示特性が得られる、という利点がある。

40

【0021】

また、同じ電界効果複屈折モードを用いた表示モードの例として、誘電異方性が正の液晶材料を 2 つの基板に各々略並行、かつ互いの基板上での向きをねじれた状態で初期配向し、電圧印加時に液晶分子を電界方向に配列させることでノーマリーホワイト表示させる反射型 TN モードを用いることもできる。

【0022】

【特許文献 1】特開 2003 - 344824 号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0023】

上述のように構成された反射型の液晶表示装置は高開口率で高密度画素が可能となる、という特徴があり、本出願人はこの特徴を最大限に生かした液晶表示装置として総画素数約800万画素（水平3840画素×水平2048画素）の超高解像度の投射型ディスプレイの開発を実現している。

【0024】

ところで、従来の反射型の液晶表示装置において、高解像度化に伴う技術課題として、画素数増大に伴い、パネルサイズが大きくなり、パネルの動作周波数も高くなる結果、内部の各種駆動信号の遅延特性の影響が無視できなくなる、という課題があった。

10

【0025】

図14および図15は、従来の液晶表示装置の第1の課題である、行走査電極の選択パルス遅延について説明するための図である。図14の構成において、行走査電極駆動回路から出力される行選択パルスは、行走査電極G1...Gk...の配線抵抗RG、配線寄生容量Cpおよび負荷となるスイッチングトランジスタTrのゲート容量で構成されるCR分布定数回路の特性に基づいて伝達される。これより、画素領域の水平方向について、行走査電極駆動回路6から、図中A点、B点、C点と、その距離が遠くなるに従い、行選択パルス波形の鈍りと遅延が増大する。

【0026】

従来の液晶表示装置では、行走査電極をトランジスタTrのゲート電極を形成するポリシリコン配線層で形成している。このポリシリコンはアルミ等の金属配線材料と比べてその比抵抗値が高く、通常、シート抵抗値は数十Ωのオーダーとなる。一般的には、ゲート配線層の低抵抗化を実現する手段として、ポリシリコン上にW、Ti、Ta等のシリサイド層を形成、あるいはTiのシリサイド構造を採用することが行われているが、積層厚の制限等もあり、アルミ配線層のような金属層に見合うレベルの低抵抗化は難しい。

20

【0027】

例えば、画素ピッチ10μmで上記の水平画素数4000を有する液晶表示装置を構成した場合、行走査電極配線を10オームシート抵抗のポリシリコンで配設すると、配線長が40mmとなり、その配線幅を1.5μmとすると、その配線抵抗Rは200k~300kΩに達する。またゲート容量Cについては、4000個のスイッチングトランジスタTrのゲート容量と配線容量を合わせ、10pF程度の値と見積もられる。これらの条件のもとで、行走査電極を伝播する行選択パルスの遅延を求めると、波形の立ち上がりとし

30

【0028】

ち下り最大で約1μsec前後の鈍り（遅延）が発生するという結果となる。

図15は、図14でのゲート選択パルス遅延等価回路に対応した各部の駆動信号タイミングの模式図である。図15において、列信号電極電圧DA、...DB、...DC、...には、各水平期間の表示信号を水平走査用の水平シフトレジスタ4a（図8参照）の出力で順次サンプリングした電圧が供給される。第k行目の水平期間の信号を列信号電極にサンプリングする期間には、行走査電極駆動回路6（図8参照）から第k行目に対応する行走査電極に対して、スイッチングトランジスタTrの「オン」レベルに対応する行選択パルスが供給される。第k行目の水平期間の表示信号について、全ての列信号電極に対してのサンプリングが完了した時点、すなわち第k行目の有効信号期間の直後の水平ブランキング期間中に該行のスイッチングトランジスタTrをオンからオフとするように行走査電極駆動回路6（図8参照）からのパルスレベルを「オフ」レベルに切り換える。以上の動作を表示信号の水平走査周期単位で繰り返すことにより、順次、各行の画素への信号書き込みを行う。

40

【0029】

以上のように、各行画素への信号書き込みは、各列信号電極に水平期間毎にサンプリングした信号電圧を、水平ブランキング期間にスイッチングトランジスタを「オフ」することで該当する行の画素電圧として確定させることで実現されるが、実際には図14の等価

50

回路に示した行走査電極の行選択パルス遅延特性により、行走査電極駆動回路 6 からの距離の異なる A 点、B 点、C 点の各点では図 15 下段に示すようにその画素位置によって行選択パルスの遅延が生じる。図中で相対的に最も遅延の大きい C 点の動作タイミングでは、行選択パルスがオフレベルになって画素電位が確定する時点が、次の水平有効期間 (k + 1 行) の表示信号サンプリング期間にオーバーラップしており、このようなタイミング条件下では、水平サンプリング期間の表示信号入力 / サンプリング動作中の各部容量結合での電圧クロストークや基準電源の揺すれの影響下で最終画素電圧が確定されるため、表示画像パターンによっては横引き状のノイズが発生したり、水平方向で画素電圧と表示輝度の不均一が発生してしまう、という問題がある。

【0030】

10

このような問題を回避するには、表示信号の各水平期間信号に必要な充分なブランキング期間を設ければよい。しかしながら、水平ブランキング期間は画素のアドレス動作に対しては無効な期間であり、その期間を大きくすることは結局、駆動の基本クロックレートの上昇を招く結果となる。前述の 4000×2000 画素の液晶表示装置を例とすると、フレームレートを 120Hz に倍速化したフリッカーレス駆動を採用した場合、1 水平期間周期は約 $4\mu\text{s}$ であり、これに $1\mu\text{s}$ の水平ブランキング期間を付与すると水平有効期間 $3\mu\text{s}$ / ブランキング期間 $1\mu\text{s}$ でブランキング率が約 25% となり、ブランキングがゼロの信号に対して水平サンプリングクロックのレートは約 33% 上昇する。上記のような高画素数を有する液晶表示装置では、等価ドットレートが 1GHz 近くと非常な高レートとなるため、入力表示信号を例えば 48 相並列化して実質的な動作周波数を 20MHz から 25MHz 程度に低減する構成としているが、上記説明で述べた水平ブランキング期間の確保は、液晶パネルと駆動システム上の大きな負担となっていた。

20

【0031】

次に、従来の液晶表示装置の第 2 の課題について、図 16 および図 17 を用いて説明する。図 16 は、列信号電極駆動回路 4 (図 8 参照) を構成する表示信号サンプリング回路について、駆動信号の配線遅延の影響を説明するための等価回路構成図である。図示例では表示信号 $V_{i d e o 1} \sim 4$ は " $V_{i d e o}$ " としてまとめて記載し、駆動クロック $H C K 1, 2$ は " $H C K$ " としてまとめて記載している。同図において、 $P D s$ は表示パネルへの表示信号 $V_{i d e o}$ の入力端子電極、 $P D c$ は水平シフトレジスタ 4 a の駆動クロック $H C K$ の入力端子電極、 $L s$ は表示信号をサンプリング用 $C M O S$ アナログスイッチ群 $S W (S W 1 \sim S W m$ を代表して示す) の入力端子に接続する共通配線、 $L c$ は水平走査用シフトレジスタの各段に駆動クロックを供給するクロック配線である。

30

【0032】

入力端子電極 $P D s$ から入力された表示信号 $V_{i d e o}$ は共通配線 $L s$ によって各サンプリングスイッチ群 $S W$ に入力され、共通配線 $L s$ の配線抵抗 $R_{s i g}$ 、配線寄生容量 $C_{s i g}$ および負荷となる $C M O S$ 構成のスイッチ群 $S W$ の入力部容量で構成される $C R$ 分布定数回路の特性に基づいて伝達される。また、入力端子電極 $P D s$ から入力された駆動クロック $H C K$ は配線 $L c$ によって水平シフトレジスタ 4 a の各段に入力され、クロック配線 $L c$ の配線抵抗 $R_{c k}$ 、配線寄生容量 $C_{c k}$ および負荷となる水平シフトレジスタ 4 a の各段の入力部容量で構成される $C R$ 分布定数回路の特性に基づいて伝達される。

40

【0033】

図 17 は、列信号電極駆動回路 4 (図 8 参照) の $C M O S$ サンプリングスイッチ群 $S W$ の入力端子における表示信号波形とそのサンプリングタイミングを表した模式図である。同図において、波形 A、B、C は、図 16 の伝達遅延等価回路の水平位置の A 点、B 点、C 点にそれぞれ対応した波形である。この図に示したように、サンプリングスイッチの入力部の表示信号は入力端子からの距離が離れるにしたがって立ち上がり、立ち下がり、鈍った波形となる。また、同図の P、Q は、列信号電極駆動回路の水平シフトレジスタの出力で上記サンプリングスイッチの入力信号をサンプリングするタイミングを示している。入力端子から最も遠い C 点ではサンプリングスイッチの入力部の波形鈍りが最も大きく、サンプリング確定タイミング P、Q では入力表示信号のレベルまでまだ達しきらず、入力

50

レベルに対して誤差電圧 ΔV が生じる。

【0034】

上記のように、高画素数の液晶表示装置では通常、表示信号を多相並列化することで実質的な動作周波数を低減する構成を用いるが、表示信号に上述の伝達特性に基づく波形鈍りがあり、その程度が大きくなると、並列化した入力信号相数に対応した水平画素配列位置に所謂「ゴースト」と称される偽信号による2重像が発生し、表示品位が著しく損なわれる、という問題があった。

【0035】

表示信号 *Video* と水平シフトレジスタ4aの駆動クロック *HCK* の位相を最適に調整することによってこのゴースト現象は低減可能であるが、配線方向に沿って分布常数回路特性による波形鈍りが生じる場合には、表示信号 *Video* と水平シフトレジスタ4aのクロック *HST* の位相をパネル内部での伝播遅延特性も含めて高精度に合致させる必要があり、表示パネル設計の制約となっていた。

10

【0036】

また、内部配線を伝播する信号の遅延を改善する方法として、配線幅を大きくして配線抵抗を下げるのが考えられるが、配線幅を大きくした場合には配線の寄生容量も同時に大きくなる結果、伝達特性の大幅な向上が難しい、という問題があった。

本発明は、以上のような問題点に着目し、これを有効に解決すべく創案されたものであり、その目的は高解像度で高品質な表示性能を備えた液晶表示装置を提供することにある。

20

【課題を解決するための手段】

【0037】

請求項1に係る発明は、光透過性な共通電極が表面に形成された光透過性基板と、反射型の画素電極を含む複数の表示画素が表面に縦横にマトリクス状に配置されたアクティブマトリクス基板とを、前記共通電極と前記画素電極との間に液晶層を封入させて接合してなる液晶表示装置であって、前記アクティブマトリクス基板を前記マトリクス状に配置された複数の表示画素の片方の辺を列とし、他方の辺を行として動作させるための列信号電極駆動回路に接続された複数の列信号電極と、行走査電極駆動回路に接続された複数の行走査電極と、前記列信号電極と行走査電極との交差部に設けられた前記画素電極とを有し、前記表示画素が、そのゲートを前記行走査電極に接続し、ドレインを前記列信号電極に接続し、ソースを前記画素電極に接続したスイッチングトランジスタと、前記ソースにそれぞれ共通に接続した信号蓄積用コンデンサ及び前記画素電極とを有する反射型の液晶表示装置において、前記アクティブマトリクス基板は、前記スイッチングトランジスタの前記ゲートを形成する配線層上に、それぞれ絶縁層を介して積層される第1、第2、第3及び第4の金属層を有し、前記第1及び第2の金属層の内のいずれか一方の一部は、前記列信号電極と前記行走査電極の内のいずれか一方として形成され、他方の金属層は前記列信号電極と前記行走査電極の内の他方の電極として形成され、前記第4の金属層は前記画素電極として形成され、前記第3の金属層は、前記画素電極に対する接続を行う中継パターンと、入射光を遮断する遮光パターンと、で形成されることを特徴とする反射型の液晶表示装置である。

30

40

【0038】

この場合、例えば請求項2に規定するように、前記第2の金属層は、前記中継パターンに接続される中継電極と、該中継電極と、前記第2の金属層に形成された前記列信号電極または行走査電極との間に介在されて固定電位になされる固定電位電極とを有する。

【発明の効果】

【0039】

本発明によれば、反射型の液晶表示装置の液晶パネルの内部における信号配線の配線遅延の影響に基づく表示特性の問題を解決する構造を提供し、より高解像度で高品位な表示性能を備えた液晶表示装置を実現することができる。

【発明を実施するための最良の形態】

50

【 0 0 4 0 】

以下に本発明に係る反射型の液晶表示装置の一実施例を添付図面に基づいて詳述する。尚、以下に説明する図において、先に説明した図 8 ~ 図 1 7 に示す構成部分と同一構成部分については同一符号を付してある。

< 第 1 実施例 >

図 1 は本発明による反射型の液晶表示装置の第 1 実施例の液晶パネルの一部を示す平面図であり、図中の A、B、C、D の 2 × 2 画素についてその平面構造を表したものである。また、図 2 はその断面構造を表した構造模式図である。また図 2 においては、その左側に各金属層の積層状態を模式的に併記してある。本発明では、アクティブマトリクス基板 S U B の構造を、シリコン基板 S およびその不純物ドーパ層、ゲート酸化膜層、スイッチングトランジスタのゲートを形成するポリシリコン層 P、ポリシリコン層上に層間絶縁層を介して積層した第 1 の金属層 M 1、第 2 の金属層 M 2、第 3 の金属層 M 3 および第 4 の金属層 M 4 の 4 つの金属層を積層した 4 層メタル基板構造とする。尚、各金属層 M 1 ~ M 4 間にはそれぞれ絶縁層が介在されている。

10

【 0 0 4 1 】

なお、図 1 の平面図では、図の煩雑化を避けるため、金属層は第 1、第 2 層のみを表記対象とした。また A、B、C、D の 4 つの画素 P x はいずれも等しい構造を有するが、各層に形成したパターンの配置と接続関係をより直感的に理解し易くする目的で、上記第 1 および第 2 の金属層 M 1、M 2 の積層関係を反映した図示は A の画素のみとし、他の画素の表記については、上層である第 2 の金属層 M 2 から下層に位置する第 1 の金属層 M 1、さらに必要に応じてその他下層の構成層を透視図として見取れるように表記してある。また、図 1 の平面図では、各構成要素に付記した脚注番号に、それらのパターンが半導体層 S、ポリシリコン層 P、第 1 の金属層 M 1、第 2 の金属層 M 2 の中のいずれの層に形成されたパターンであるかを () 中に併記してある。

20

【 0 0 4 2 】

図 1 および図 2 に基づき、本発明の第 1 実施例による反射型アクティブマトリクス液晶表示装置の構造について説明する。シリコン基板 S の上層に形成されたウェル 1 0 0 上にトランジスタ領域 1 5 および蓄積容量領域 1 6 が配置されている。各画素 P x 及び各画素 P x のトランジスタ T r および信号蓄積用コンデンサ C s はフィールド酸化膜 1 1 2 で相互に分離されている。トランジスタ T r のゲート 1 0 2 (図 9 中の G A に対応) および蓄積容量電極 1 0 5 はポリシリコン配線層 P で形成され、シリコン基板 S に対し S i O₂ を絶縁層とした所謂 M I S 構造となっている。列信号電極 1 0 1 (図 9 中の D に対応) は、前記ポリシリコン層 P の上層に絶縁層 8 を介して形成した第 1 の金属層 M 1 で配線され、コンタクトホール C 1 を介してトランジスタ T r のドレイン拡散領域 1 4 0 (図 9 中の D R に対応) と電気的に接続されている。トランジスタ T r の他方の端子であるソース拡散領域 1 0 3 (図 9 中の S O に対応) には、前記第 1 の金属層 M 1 に形成した島状の中継電極 1 0 4 がコンタクトホール C 2 を介して接続され、さらに島状の中継電極 1 0 4 は前記の蓄積容量電極 1 0 5 にコンタクトホール C 3 を介して接続されている。蓄積容量領域のシリコン基板側は高濃度拡散層 1 1 0 が形成され、前記第 1 の金属層 M 1 に形成した配線 1 1 1 にコンタクト C 4 を介して接続し、列方向に共通に配線されている。

30

40

【 0 0 4 3 】

ポリシリコン層で形成したトランジスタ T r のゲート 1 0 2 は、コンタクトホール C 5 を介して第 1 の金属層 M 1 に島状に形成した中継用の矩形電極 (図 2 中に図示せず) に接続され、さらにコンタクトホール C 6 によって第 2 の金属層 M 2 に形成した行走査電極 1 6 0 (図 9 中の G に対応) に接続されている。従来の液晶表示装置が行走査電極をトランジスタのゲートと同じポリシリコン配線層で形成していたのに対し、本発明の第 1 実施例では、行走査電極 1 6 0 を第 1 の金属層 M 1 の列信号電極 1 0 1 の形成層より上層の第 2 の金属層 M 2 で形成するようにした。そのため、行走査電極 1 6 0 の配線抵抗が従来のポリシリコンゲート構造の反射型の液晶表示装置と比較して 2 桁以上低減できるため、従来技術の課題であった行走査電極の行選択パルスの伝播遅延と波形ひずみの影響を大幅に改善

50

することができる。

【 0 0 4 4 】

さらに、第 2 の金属層 M 2 には、行走査電極 1 6 0 の配線パターン以外に、トランジスタ T r のソース S O を上層に中継するための島状の中継電極 1 6 1、および行走査電極 1 6 0 と島状の中継電極 1 6 0 間を分離するとともに、下層への漏れ光を遮光するための固定電位電極 1 6 2 が形成されている。この固定電位電極 1 6 2 は上記島状の中継電極 1 6 1 の周囲を囲むように形成されている。第 2 の金属層 M 2 の島状の中継電極 1 6 1 と第 1 の金属層 M 1 のソース用の島状の中継電極 1 0 4 との間はスルーホール C 7 で接続される。

【 0 0 4 5 】

本実施例では、第 2 の金属層 M 2 に形成した行走査電極 1 6 0 とソース用の島状の中継電極 1 6 1 との間に遮光用の固定電位電極 1 6 2 を形成する構造としているため、従来の反射型の液晶表示装置と比較して下層への漏れ光を低減できるので、高い耐光性が実現できる。また、トランジスタ T r のゲート端子とソース端子間の寄生容量による結合を、上記固定電位電極 1 6 2 を介在させることで低減でき、スイッチング動作時に行選択パルスがソース側に干渉する、所謂「ゲート - ソース間フィードスルー電圧」の発生量を抑制することができる。

【 0 0 4 6 】

図 2 に示した断面構造図において、第 3 の金属層 M 3 にはソース配線中継のための島状の中継パターン 1 0 0 2 が形成され、更にこの開口部以外の領域を覆う遮光パターン 1 0 6 が形成されている。この第 3 金属層 M 3 に設けるソース中継用の島状の中継パターン 1 0 0 2 は、その開口スリットの位置が第 2 の金属層 M 2 に形成したソース中継用の島状の中継電極 1 6 1 の開口部スリット位置、および第 4 の金属層 M 4 に形成した画素電極 1 0 8 の電極間スリット 1 3 0 と上下方向において重ならない配置とすると良い。これにより、第 4 の金属層 M 4 の電極間スリット 1 3 0 から入射した光が、互いにスリット位置の異なる第 3、第 2 の金属層 M 3、M 2 の遮光層で効果的に遮光され、耐光性に優れた反射型のアクティブマトリクス液晶表示装置を実現できる。

【 0 0 4 7 】

なお、画素電極 1 0 8 への中継接続に用いる各スルーホール C 7、C 1 0、C 1 1 の配置については、タングステンプラグ等の埋め込み技術を用いて必要に上下層のスルーホールを同一位置に重ねて配置する「スタックド・ビア構造」を適用しても良い。

【 0 0 4 8 】

< 第 2 実施例 >

次に、図 3 および図 4 を用いて本発明による反射型の液晶表示装置の第 2 実施例について説明する。この第 2 実施例と先の第 1 実施例との主たる差異は、行走査電極と列信号電極を形成する金属層の位置関係を上下逆転させている点である。

【 0 0 4 9 】

図 3 は本発明の第 2 実施例における液晶パネルの一部を示す平面図であり、先の第 1 実施例の図 1 と同様に、A、B、C、D の 2 × 2 画素についてその平面構造を表したものである。また、図 4 はその断面構造を表した構造模式図である。

【 0 0 5 0 】

なお、図 3 の平面図では、第 1 実施例の図 1 と同様に、図の煩雑化を避けるため、金属層は第 1、第 2 層のみを表記対象とした。また A、B、C、D の 4 つの画素 P x はいずれも等しい構造を有するが、各層に形成したパターンの配置と接続関係をより直感的に理解しやすくする目的で、上記第 1 および第 2 の金属層 M 1、M 2 の積層関係を反映した図示は A の画素のみとし、他の画素の表記については、上層である第 2 の金属層 M 2 から下層に位置する第 1 の金属層 M 1、さらに必要に応じてその他下層の構成層を透視図として見取れるように表記してある。また、図 3 の平面図では、各構成要素に付記した脚注番号に、それらのパターンが半導体層 S、ポリシリコン層 P、第 1 の金属層 M 1、第 2 の金属層 M 2 の中のいずれの層に形成されたパターンであるかを () 中に併記してある。

【 0 0 5 1 】

図 3 および図 4 に基づき、本発明の第 2 実施例による反射型アクティブマトリクス液晶表示装置の構造について説明する。この第 2 実施例では、シリコン基板 S の上層に形成されたウェル 1 0 0 上にトランジスタ領域 1 5 および蓄積容量領域 1 6 が配置されている。各画素 P x 及び各画素 P x のトランジスタ T r および信号蓄積用コンデンサ C s はフィールド酸化膜 1 1 2 で相互に分離されている。トランジスタ T r のゲート 1 0 2 (図 9 中の G A に対応) および蓄積容量電極 1 0 5 はポリシリコン配線層 P で形成され、シリコン基板 S に対し S i O₂ を絶縁層とした所謂 M I S 構造となっている。トランジスタ T r のドレイン拡散領域 1 4 0 (図 9 中の D R に対応) は、前記ポリシリコン配線層 P の上層の第 1 の金属層 M 1 に形成したドレイン中継用の島状の中継電極 2 7 0 にコンタクトホール C 1 を介して接続されている。トランジスタ T r の他方の端子であるソース拡散領域 1 0 3 (図 9 中の S O に対応) には、前記第 1 の金属層 M 1 に形成した島状の中継電極 1 0 4 がコンタクトホール C 2 を介して接続され、さらに島状の中継電極 1 0 4 は前記の蓄積容量電極 1 0 5 にコンタクトホール C 3 を介して接続されている。蓄積容量領域のシリコン基板側は高濃度拡散層 1 1 0 が形成され、前記第 1 の金属層 M 1 に形成した配線 2 1 1 にコンタクト C 4 を介して接続されている。

10

【 0 0 5 2 】

ポリシリコン層で形成したトランジスタ T r のゲート 1 0 2 は、コンタクトホール C 5 を介して第 1 の金属層 M 1 に形成した行走査電極 2 6 0 (図 9 中の G に対応) に接続され、行方向に並行配線されている。従来の液晶表示装置が行走査電極をトランジスタ T r のゲートと同じポリシリコン配線層 P で形成していたのに対し、この第 2 実施例では、行走査電極 2 6 0 を第 1 の金属層 M 1 で形成するようにした。そのため、行走査電極 2 6 0 の配線抵抗が従来のポリシリコンゲート構造の反射型の液晶表示装置と比較して 2 桁以上低減できるため、従来技術の課題であった行走査電極の行選択パルスの伝播遅延と波形ひずみの影響を大幅に改善することができる。

20

【 0 0 5 3 】

また、蓄積容量領域 1 6 の固定電位給電に用いる第 1 の金属層 M 1 の配線領域 2 1 1 は、ソース配線用の島状の中継電極 1 0 4 と、この隣接画素の行走査電極 2 6 0 との間に配置される。このようなパターン配置を採用することで、トランジスタ T r のソース端子と、この隣接画素のゲート端子との間のパターン間寄生容量結合による干渉を抑制することができる。

30

【 0 0 5 4 】

第 2 の金属層 M 2 には、列信号電極 2 0 1 (図 9 中の D に対応) が形成され、この列信号電極 2 0 1 には、前記第 1 の金属層 M 1 のドレイン中継用の島状の中継電極 2 7 0 がスルーホール C 8 を介して接続されている。また、第 2 の金属層 M 2 には、列信号電極 2 0 1 以外に、トランジスタ T r のソース配線を上層に中継するための島状の中継電極 1 6 1 、および列信号電極 2 0 1 と島状の中継電極 1 6 1 間を分離するとともに、下層への漏れ光を遮光するための固定電位電極 2 6 2 が形成されている。この固定電位電極 2 6 2 は、上記島状の中継電極 1 6 1 の周囲を囲むようにして形成されている。

40

【 0 0 5 5 】

この第 2 実施例では、第 2 の金属層 M 2 に形成した列信号電極 2 0 1 とソース中継用の島状の中継電極 1 6 1 との間に遮光層となる固定電位電極 2 6 2 を形成する構造としているため、従来の反射型の液晶表示装置と比較して下層への漏れ光を低減できるので、高い耐光性が実現できる。また、ここでは、第 2 の金属層 M 2 に形成した固定電位電極 2 6 2 を第 1 の金属層 M 1 の配線領域 2 1 1 にスルーホール C 9 を介して接続する構造とした。これにより、蓄積容量領域 1 6 の共通端子およびトランジスタ T r のウェル基準電圧の給電を、列信号電極 2 0 1 と並行関係にある固定電位電極 2 6 2 を用いて行う構成となり、列信号電極 2 0 1 への信号サンプリング動作の充放電経路のインピーダンスを適正に構成することができる。

【 0 0 5 6 】

50

図 4 に示した断面構造図において、第 3 の金属層 M 3 にはソース配線中継のための島状の中継パターン 1 0 0 2 が形成され、更にこの開口部以外の領域を覆う遮光パターン 1 0 6 が形成されている。この第 3 金属層 M 3 に設けるソース中継用の島状の中継パターン 1 0 0 2 は、その開口スリットの位置が第 2 の金属層 M 2 に形成したソース中継用の島状の中継電極 1 6 1 の開口部スリット位置、および第 4 の金属層 M 4 に形成した画素電極 1 0 8 の電極間スリット 1 3 0 と上下方向において重ならない配置とすると良い。これにより、第 4 の金属層 M 4 の電極間スリット 1 3 0 から入射した光が、互いにスリット位置の異なる第 3、第 2 の金属層 M 3、M 2 の遮光層で効果的に遮光され、耐光性に優れた反射型のアクティブマトリクス液晶表示装置を実現できる。

【 0 0 5 7 】

10

なお、画素電極 1 0 8 への中継接続に用いる各スルーホール C 7、C 1 0、C 1 1 の配置については、タングステンプラグ等の埋め込み技術を用いて必要に上下層のスルーホールを同一位置に重ねて配置する「スタックド・ビア構造」を適用しても良い。

【 0 0 5 8 】

以上、本発明による反射型の液晶表示装置の第 1 および第 2 実施例によれば、行走査電極を配線抵抗の低い金属層を用いて配線するため、行走査電極を伝播する行選択パルスの遅延と波形鈍りの問題を解決することができる。また、投射型液晶表示パネルで要求される高い耐光性を実現することができる。以上の効果により、特に、画素数が大きい高精細画像を表示する液晶表示装置の実現に有効である。尚、第 2 の実施例において、行走査電極 2 6 0 と列信号電極 2 0 1 の上下関係の位置を逆転させて、行走査電極 2 6 0 を第 2 の金属層 M 2 に形成し、列信号電極 2 0 1 を第 1 の金属層 M 1 に形成するようにしてもよい。

20

【 0 0 5 9 】

< 第 3 実施例 >

次に、本発明の第 3 実施例について、図 5 ~ 図 7 を用いて説明する。本発明の第 1、第 2 実施例では、4 層金属配線構造で画素の行走査電極の信号伝達特性を向上することができる構造について説明したが、この第 3 実施例は、表示信号をサンプリングして画素の列信号電極に供給する列信号電極駆動回路の周波数特性を向上させることを目的としている。

【 0 0 6 0 】

30

図 5 は本発明の第 3 実施例に係る反射型アクティブマトリクス液晶表示装置における列信号電極駆動回路のサンプリング回路の構成図である。また図 6 は、列信号電極駆動回路のサンプリング回路を構成するサンプリングスイッチ部の配線パターンおよびトランジスタの配置平面図である。また、図 7 は、列信号電極駆動回路のサンプリング回路を構成するサンプリングスイッチ部の断面構造模式図である。図 5 中の A 部は図 6 中の A 部に対応している。

【 0 0 6 1 】

図 5、図 6 において、表示信号 V i d e o 1 ~ 4 の配線は隣接 4 画素を 1 単位として同時並列化して外部駆動回路から供給されている。なお、この表示信号の並列数は液晶パネルの画素数と駆動レートを考慮して任意に決定されるものとする。表示信号 V i d e o 1 ~ 4 は各入力に対応した水平配線を用いて 4 画素周期で共通のグループを形成する C M O S スイッチの入力端子に接続するように共通配線されている。本実施例では、このサンプリングスイッチ入力部の共通配線を、第 2、第 3 の 2 つの金属層 M 2、M 3 を用いて積層方向で並列化した構造としている。

40

【 0 0 6 2 】

サンプリングスイッチの入力端子の個々への接続は上記表示信号 V i d e o 1 ~ 4 の共通配線と直交関係となる垂直方向の配線で行うため、水平配線との交差を回避するように、この配線部分は第 1 の金属層 M 1 で形成される。また、シフトレジスタの出力端子からサンプリングスイッチを構成する C M O S トランジスタ (P M O S、N M O S) のゲートへの接続についても、表示信号の入力共通配線と直交、または交差する関係となることか

50

ら、第 1 の金属層 M 1 を用いた配線を適用する。

【 0 0 6 3 】

この第 3 実施例では、4 層構造の金属層を有する反射型アクティブマトリクス液晶表示装置で、該列信号電極駆動回路のサンプリング回路を構成するサンプリングスイッチ部の入力共通配線を 2 つの金属層で並行配線する構成とすることで、配線抵抗を約 2 分の 1 に低減できる。また配線幅を広げて抵抗を下げる方法と比較して、配線面積が増えることによる寄生容量増大の問題がないため、表示信号 V i d e o 1 ~ 4 の伝達周波数特性を従来装置と比べて大幅に向上することができる。

【 0 0 6 4 】

なお、最上層に位置する第 4 の金属層 M 4 は列信号電極駆動回路の構成部全体を覆う均一パターンで構成し、この第 4 の金属層 M 4 には、対向電極を基準として液晶の黒表示電圧を印加するようにする。この構造により、列信号電極駆動回路の半導体感光部への光を遮光し、安定した回路動作が実現できるとともに、画素領域に近接する列信号電極駆動回路の配置部がスクリーン上で黒枠でトリミング表示できるようにしている。

【 0 0 6 5 】

また、以上のような複数の金属層を用いた並列配線構造は、表示信号 V i d e o 1 ~ 4 の入力共通配線に限るものではなく、例えば、図 6 に示したようにサンプリングスイッチを構成する C M O S トランジスタ (P M O S 、 N M O S) の電源およびグランド電位の給電線 (V d d 、 V s s) 等に適用しても良い。このような構成にすることにより、サンプリング回路の基準電源配線およびクランド配線の配線抵抗を下げることができ、基準電位の揺すれによる各種ノイズの影響が小さい高品位な表示画像性能を得ることができる。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】本発明による反射型の液晶表示装置の第 1 実施例の液晶パネルの一部を示す平面図である。

【 図 2 】図 1 に示す液晶パネルの断面構造を表した構造模式図である。

【 図 3 】本発明の第 2 実施例における液晶パネルの一部を示す平面図である。

【 図 4 】図 2 に示す液晶パネルの断面構造を表した構造模式図である。

【 図 5 】本発明の第 3 実施例に係る反射型アクティブマトリクス液晶表示装置における列信号電極駆動回路のサンプリング回路を示す構成図である。

【 図 6 】列信号電極駆動回路のサンプリング回路を構成するサンプリングスイッチ部の配線パターンおよびトランジスタの配置平面図である。

【 図 7 】列信号電極駆動回路のサンプリング回路を構成するサンプリングスイッチ部の断面構造模式図である。

【 図 8 】液晶表示装置の液晶パネルに形成される駆動回路の概要を示す図である。

【 図 9 】表示画素を示す回路構成図である。

【 図 1 0 】従来の反射型の液晶表示装置の表示画素の代表的な構造例を示す平面図である。

【 図 1 1 】従来の反射型の液晶表示装置の表示画素の代表的な構造例を示す断面図である。

【 図 1 2 】負の誘電率異方性をもつ液晶を用いて初期配向を基板に略垂直としたノーマリーブラック型液晶の動作例を説明する説明図である。

【 図 1 3 】負の誘電率異方性をもつ液晶を用いて初期配向を基板に略垂直としたノーマリーブラック型液晶の動作例を説明する説明図である。

【 図 1 4 】従来の液晶表示装置の行走査電極の選択パルス遅延について説明するための等価回路図である。

【 図 1 5 】従来の液晶表示装置の行走査電極の選択パルス遅延について説明するための波形図である。

【 図 1 6 】列信号電極駆動回路を構成する表示信号サンプリング回路について駆動信号の配線遅延の影響を説明するための等価回路構成図である。

10

20

30

40

50

【図 17】列信号電極駆動回路の C M O S サンプリグスイッチ群の入力端子における表示信号波形とそのサンプリグタイミングを表した模式図である。

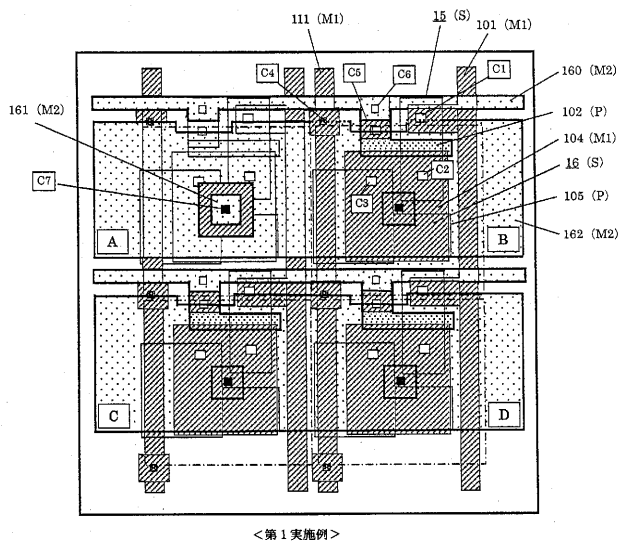
【符号の説明】

【 0 0 6 7 】

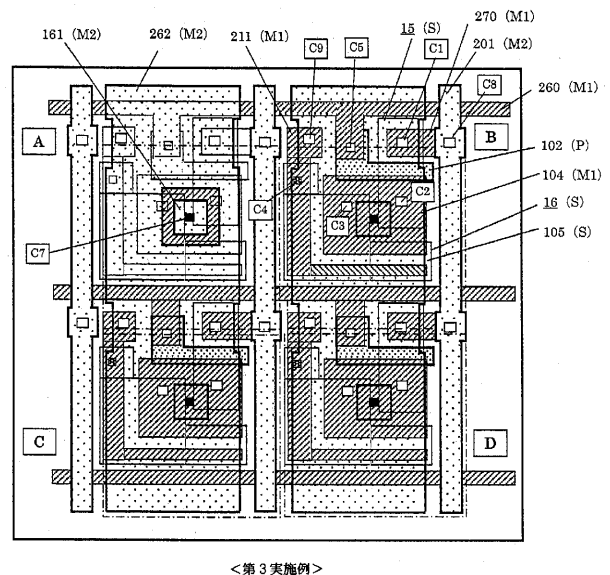
2 ... 液晶パネル、4 ... 列信号電極駆動回路、6 ... 行走査電極駆動回路、12 ... 光透過性基板、13 ... 共通電極 (C O M)、101 ... 列信号電極 (D)、102 ... ゲート (G A)、103 ... ソース拡散領域 (S O)、140 ... ドレイン拡散領域 (D R)、151 ... 液晶層 (L C M)、1002 ... 中継パターン、104 ... 中継電極、106 ... 遮光パターン、108 ... 画素電極 (E x)、M1 ~ M4 ... 第 1 ~ 第 4 の金属層、C s ... 信号蓄積用コンデンサ、S U B ... アクティブマトリクス基板、T r ... スイッチングトランジスタ。

10

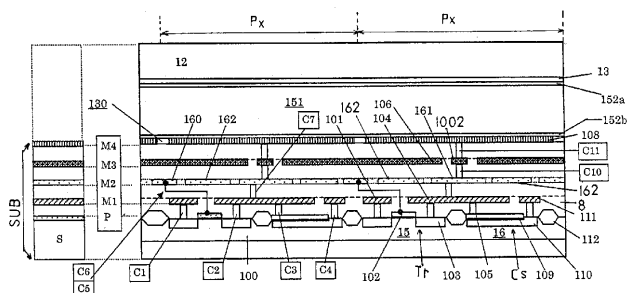
【 図 1 】



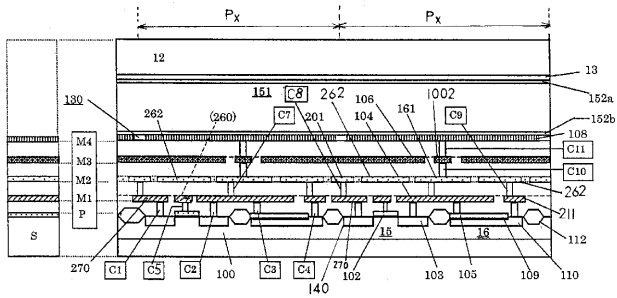
【 図 3 】



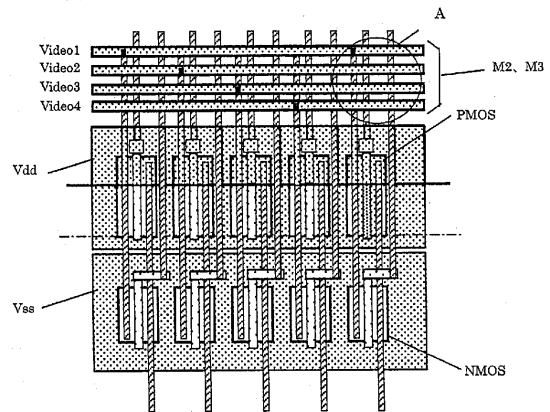
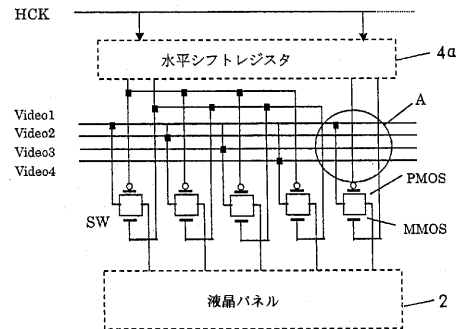
【 図 2 】



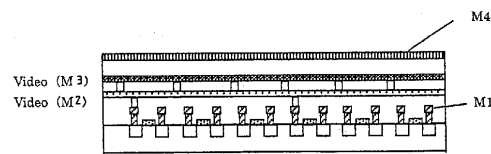
【 図 6 】



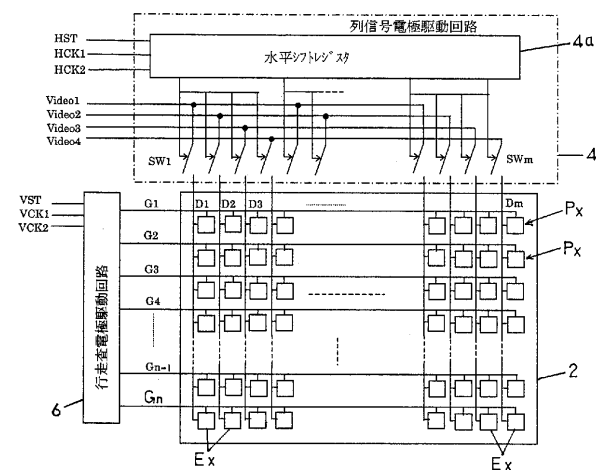
【 図 5 】



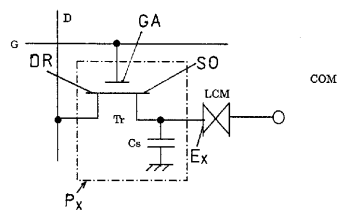
【 図 7 】



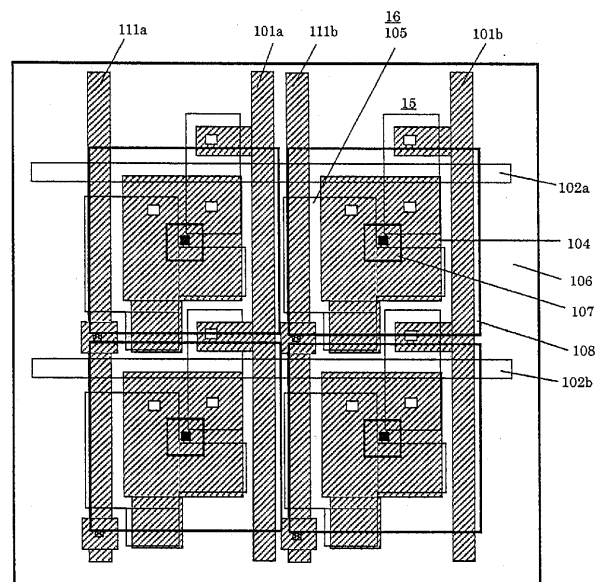
【 図 8 】



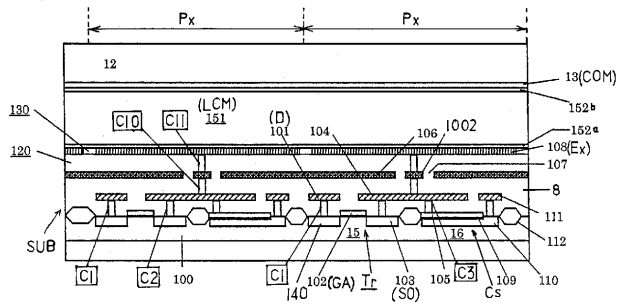
【 図 9 】



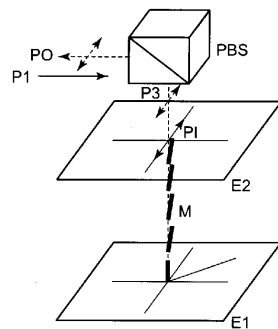
【 図 1 0 】



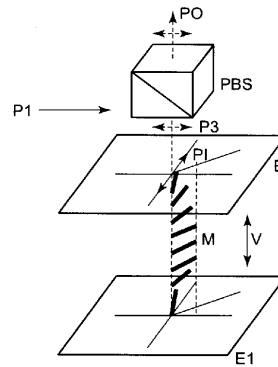
【図 1 1】



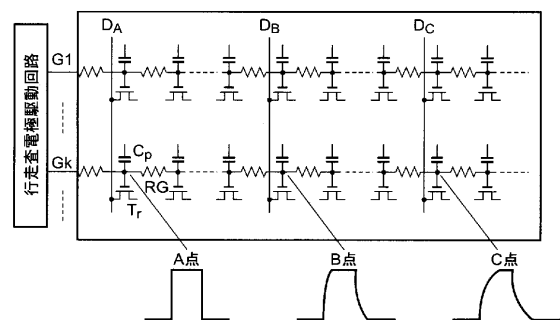
【図 1 2】



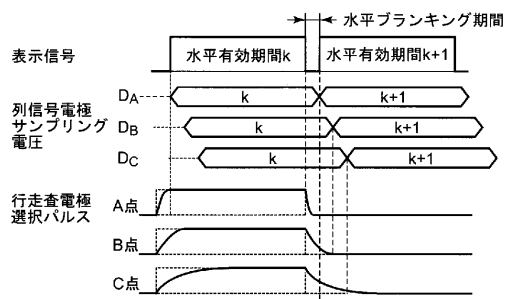
【図 1 3】



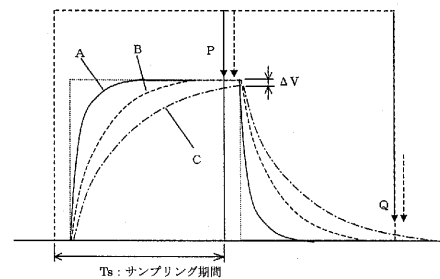
【図 1 4】



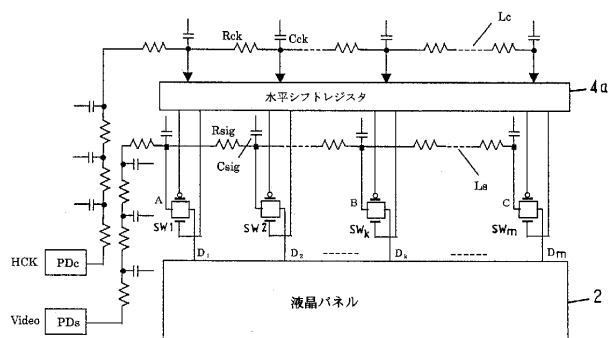
【図 1 5】



【図 1 7】



【図 1 6】



专利名称(译)	反射式液晶显示装置		
公开(公告)号	JP2006154563A	公开(公告)日	2006-06-15
申请号	JP2004347721	申请日	2004-11-30
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/133553 G02F1/136277		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JB07 2H092/JB23 2H092/JB24 2H092/JB32 2H092/JB33 2H092/JB65 2H092/JB69 2H092/NA01 2H092/NA28 2H092/PA06 2H092/PA12 2H192/AA24 2H192/BC42 2H192/BC72 2H192/CB02 2H192/CB33 2H192/CC07 2H192/DA43 2H192/DA72 2H192/EA04 2H192/EA13 2H192/EA32 2H192/FA37 2H192/FA52 2H192/FB06 2H192/GD03 2H192/JA13 2H192/JB02		
外部链接	Espacenet		

摘要(译)

提供一种具有高分辨率和质量显示性能的液晶显示装置。在液晶层151被包围在其上形成有公共电极13的透明基板12和包括像素电极108的有源矩阵基板之间的液晶显示装置中，有源矩阵基板具有信号电极D和扫描电极G。并且，像素电极108和显示像素具有开关晶体管Tr，信号存储电容器Cs和像素电极，并且在形成有开关晶体管的栅极的配线层上隔着绝缘层而层叠。具有第一，第二和第三金属布线层M1，M2，M3，第一和第二金属布线层的一部分形成为信号电极和扫描电极，以及第四金属布线层形成成为像素电极，并且第三金属布线层形成成为用于连接到像素电极的岛状中继图案1002和用于阻挡入射光的遮光图案106。[选择图]图2

