

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-71891

(P2006-71891A)

(43) 公開日 平成18年3月16日(2006.3.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611J	5C080
	G09G 3/20 621B	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 11 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2004-254203 (P2004-254203)	(71) 出願人	000005049
(22) 出願日	平成16年9月1日(2004.9.1)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	森 泰樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H093 NA16 NA32 NA34 NA43 NC13
			NC22 NC26 NC28 NC34 NC35
			NC50 ND31 ND39 NE03
			5C006 AA16 AC11 AC21 AC26 AF42
			AF43 AF44 BB16 BC12 BF03
			BF04 FA12 FA13 FA14
			5C080 AA10 BB05 DD06 DD08 EE29
			JJ02 JJ03 JJ04

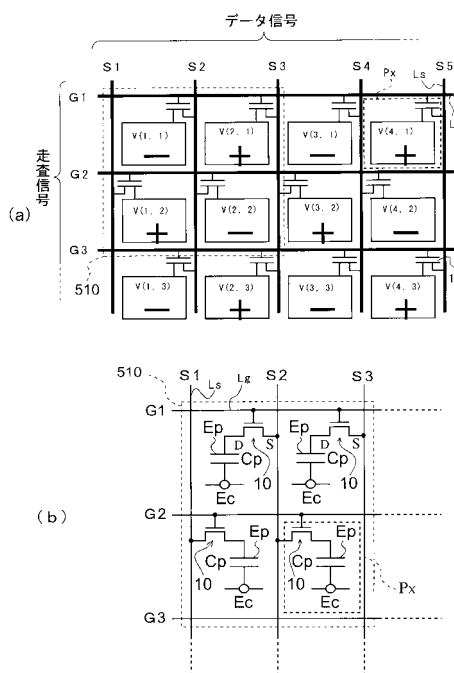
(54) 【発明の名称】 液晶表示装置ならびにその駆動回路および駆動方法

(57) 【要約】

【課題】ドット反転駆動を実現すると共に画素容量を短時間で十分に充電することにより高精度で高品質な表示を行うことのできる液晶表示装置を提供する。

【解決手段】同一データ線LsにTFT10を介して接続される画素電極Epを、左右に隣接する2つの画素列に分散的に、かつ、2個の画素電極についての「左、右」という系列を単位として左右位置につき垂直方向に周期性を有するように千鳥状に配置する。データ信号線駆動回路は、シリアルに入力される画像データをサンプリングしラッチする際のサンプリングタイミングを当該千鳥構造に応じて1水平走査期間毎に切り替えて、同一フレーム期間内において各データ線Lsに同一極性の電圧を印加することにより、画素容量を短い時間で十分に充電する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部と、前記複数の画素形成部にて形成すべき画像を表す複数のデータを前記複数のデータ信号線に印加するデータ信号線駆動回路と、前記複数の走査信号線を順次選択するための走査信号を前記複数の走査信号線に印加する走査信号線駆動回路とを有する液晶表示装置であって、

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、 10

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する 2 列に分散的に配置されていることを特徴とする液晶表示装置。

【請求項 2】

前記同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する 2 列に、2 個の画素電極についての「左、右」または「右、左」という系列を単位として左右位置につき上下方向に周期性を有するように配置されていることを特徴とする、請求項 1 に記載の液晶表示装置。 20

【請求項 3】

前記データ信号線駆動回路は、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって 1 フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータを前記複数のデータ信号線に印加することを特徴とする、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記データ信号線駆動回路は、各データ信号線に印加すべき前記データの電圧を、前記マトリクスにおいて当該各データ信号線を挟んで配置される 2 画素電極列にそれぞれ印加すべき 2 つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接 2 列への分散的配置に応じて切り替えることを特徴とする、請求項 1 から 3 までのいずれか 1 項に記載の液晶表示装置。 30

【請求項 5】

前記データ信号線駆動回路は、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データの数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接 2 列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるサンプリングラッチ回路と、 40

前記サンプリングラッチ回路でラッチされた前記画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力回路とを含むことを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部とを有する液晶表示装置の駆動回路であって、

前記複数の画素形成部にて形成すべき画像を表す複数のデータを前記複数のデータ信号線に印加するデータ信号線駆動回路を備え、 50

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に分散的に配置され、

10

前記データ信号線駆動回路は、各データ信号線に印加すべき前記データ信号の電圧を、前記マトリクスにおいて当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて切り替えることを特徴とする駆動回路。

【請求項7】

前記データ信号線駆動回路は、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータ信号を前記複数のデータ信号線に印加することを特徴とする、請求項6に記載の駆動回路。

【請求項8】

20

前記データ信号線駆動回路は、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データ信号の数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるサンプリングラッチ回路と、

前記サンプリングラッチ回路でラッチされた前記画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力回路とを含むことを特徴とする、請求項6または7に記載の駆動回路。

【請求項9】

上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部とを有する液晶表示装置の駆動方法であって、

30

前記複数の画素形成部にて形成すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップを備え、

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、

40

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に分散的に配置され、

前記データ信号線駆動ステップでは、各データ信号線に印加すべき前記データ信号の電圧が、前記マトリクスにおいて当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて切り替えられることを特徴とする駆動方法。

【請求項10】

50

前記データ信号線駆動ステップでは、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータ信号が前記複数のデータ信号線に印加されることを特徴とする、請求項9に記載の駆動方法。

【請求項11】

前記データ信号線駆動ステップは、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データ信号の数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるステップと、

10

前記ラッチされた画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力ステップと

を含むことを特徴とする、請求項9または10に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置ならびにその駆動回路および駆動方法に関する。

【背景技術】

【0002】

従来のアクティブマトリクス型の液晶パネルは、液晶層を挟む2枚の透明基板のうちの一方の基板上に、複数のデータ信号線（以下「データ線」ともいう）と当該複数のデータ信号線に交差する複数の走査信号線とを形成し、各交差点に対応して形成される画素電極をマトリクス状に配置した構成となっている。そして、各画素電極は、それに対応する交差点を通過するデータ線にスイッチング素子としてのTFT（Thin Film Transistor）を介して接続され、そのTFTのゲート端子は、その交差点を通過する走査信号線に接続されている。そして他方の透明基板には、上記複数の画素電極に共通の対向電極が共通電極として形成されている。このような構成の液晶パネルを使用する液晶表示装置は、その液晶パネルに画像を表示させるための駆動回路として、上記複数の走査信号線を順次に選択するための走査信号を上記複数の走査信号線に印加する走査信号線駆動回路（「ゲートドライバ」とも呼ばれる）と、上記液晶パネルにおける各画素形成部にデータを書き込むために上記複数のデータ線にデータ信号を印加するデータ信号線駆動回路（「映像信号線駆動回路」または「ソースドライバ」とも呼ばれる）とを備えている。このような構成において、各画素電極と対向電極との間に当該画素電極に対応する画素の値に相当する電圧を印加し、その電圧印加に応じて液晶層の透過率を変化させることにより、上記液晶パネルに画像が表示される。このとき、液晶層を構成する液晶材料の劣化を防止するために、液晶パネルは交流駆動される。すなわち、各画素電極と対向電極との間に印加される電圧の正負の極性が例えば1フレーム毎に反転するように、データ信号線駆動回路が上記データ信号を出力する。

20

30

【0003】

一般にアクティブ型の液晶パネルにおいては、画素毎に設けられたTFT等のスイッチング素子の特性が十分でないために、データ信号線駆動回路から出力されるデータ信号（対向電極の電位を基準とする印加電圧）の正負が対称であっても、液晶層の透過率は正負のデータ電圧に対して完全に対称とはならない。このため、1フレーム毎に液晶への印加電圧の正負極性を反転させる駆動方式（フレーム反転駆動方式）では、液晶パネルよる表示においてフリッカが発生する。

40

【0004】

このようなフリッカに対する対策として、1水平走査線毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式が知られている。また、画素を形成する液晶層への印加電圧の正負極性を1走査信号線毎かつ1データ線毎に反転させつ

50

つ1フレーム毎にも反転させる駆動方式(以下「ドット反転駆動方式」という)も知られている。

【特許文献1】特開平4-223428号公報

【特許文献2】特開平5-134629号公報

【特許文献3】特開平4-270377号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、このような従来の液晶表示装置において、ドット反転駆動を実現するためには、マトリクス状に配置された画素形成部の画素電極に対して、上下左右に隣り合う画素形成部の画素電極毎に印加すべき電圧の極性が反転するように信号電圧を印加する必要がある。そのため、アクティブ信号に相当する電圧の印加される走査信号線すなわち選択される走査信号線が切り替わる毎に、各データ信号線に印加すべき電圧を大きく変化させなくてはならない。この場合、データ信号線駆動回路の駆動能力や、データ信号線の配線抵抗および配線容量、データ信号線と交差する走査信号線等との間に生じる寄生容量等の影響により、画素電極の電位が所定の電位に到達するまでの時間に遅延が生じる。一方、液晶表示装置をより大きくかつ高精細にするためには、水平走査期間(1本の走査信号線が選択される期間)をより短くする必要があるため、この遅延時間を短くすることが課題である。

10

【0006】

以下、従来の画素構成を有する液晶パネルにおいて、ドット反転駆動を行う場合にデータ信号線に印加すべきデータ信号について、図面を参照しつつ説明する。図9は、従来の液晶パネルの構成を示す模式図である。データ信号線 $S(i)$ には、走査信号線 $G(j-1)$ にオン電圧が印加されている時に負極性の電圧 $V(i, j-1)$ が印加され、次に走査信号線 $G(j)$ がオン状態になった時には正極性の電圧 $V(i, j)$ が印加され、さらに次の走査信号線 $G(j+1)$ がオン状態になった時には負極性の電圧 $V(i, j+1)$ が印加される。この場合のデータ信号線 $S(i)$ の電圧波形は図8(d)に示すようになる。ここで、図8(d)における $T1$ は、データ信号線 $S(i)$ の電圧が負極性 $V(i, j-1)$ から正極性の電圧 $V(i, j)$ にほぼ到達するまでの時間である。

20

【0007】

ここで、1本のデータ信号線に関する抵抗成分(配線抵抗と当該データ信号線に接続されるオン状態のTFTの抵抗との和)を R とし、当該データ信号線に関する容量成分(配線容量と当該データ信号線にオン状態のTFTを介して接続される画素容量との和) C とすると、データ信号線駆動回路の負荷としての液晶パネルを、データ信号線1本当たりにつき図10に示すようなRC回路で表すことができる。したがって、データ信号線 $S(i)$ における負極性電圧 $V(i, j-1)$ と正極性電圧 $V(i, j)$ との間の電圧差の絶対値を V_{dd} とし、データ信号線 $S(i)$ にオン状態のTFTを介して接続される画素電極の電位(画素容量の電圧)を次式のような時間関数 $v(t)$ で表すことができる。

30

$$v(t) = (1 - \text{EXP}(-t/RC)) \cdot V_{dd} \quad \dots (1)$$

ただし、データ信号線 $S(i)$ の電圧が負極性電圧 $V(i, j-1)$ から正極性電圧 $V(i, j)$ への遷移を開始する時刻を $t=0$ とし、 $v(0)=0$ とする。

40

【0008】

ここで、画素容量を駆動するデータ信号線駆動回路の駆動能力を考慮して、画素容量に加わる電圧を或る一定の値にするまでの時間を T_t とすると、式(1)における R にはデータ信号線駆動回路の出力インピーダンスが含まれるので、データ信号線駆動回路の駆動能力が低い場合、すなわち出力インピーダンスが大きい場合には、結果として、 T_t は大きくなってしまふ。一方、高精細な表示装置の場合には、水平走査期間が短くなるので、1つの画素への充電可能期間を短くする必要があり、その結果、液晶に加わる電圧が下がってしまい、表示品質の低下を招くことになる。

【0009】

50

そこで本発明は、ドット反転駆動を実現しつつ画素容量を短時間で十分に充電することにより高精度で高品質な表示を行うことのできる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

第1の発明は、上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部と、前記複数の画素形成部にて形成すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、前記複数の走査信号線を順次選択するための走査信号を前記複数の走査信号線に印加する走査信号線駆動回路とを有する液晶表示装置であって、

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に分散的に配置されていることを特徴とする。

【0011】

第2の発明は、第1の発明において、

前記同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に、2個の画素電極についての「左、右」または「右、左」という系列を単位として左右位置につき上下方向に周期性を有するように配置されていることを特徴とする。

【0012】

第3の発明は、第1または第2の発明において、

前記データ信号線駆動回路は、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータ信号を前記複数のデータ信号線に印加することを特徴とする。

【0013】

第4の発明は、第1から第3の発明のいずれかの発明において、

前記データ信号線駆動回路は、各データ信号線に印加すべき前記データ信号の電圧を、前記マトリクスにおいて当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて切り替えることを特徴とする。

【0014】

第5の発明は、第4の発明において、

前記データ信号線駆動回路は、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データ信号の数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるサンプリングラッチ回路と、

前記サンプリングラッチ回路でラッチされた前記画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力回路とを含むことを特徴とする。

【0015】

10

20

30

40

50

第6の発明は、上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部とを有する液晶表示装置の駆動回路であって、

前記複数の画素形成部にて形成すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路を備え、

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、 10

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一データ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に分散的に配置され、

前記データ信号線駆動回路は、各データ信号線に印加すべき前記データ信号の電圧を、前記マトリクスにおいて当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて切り替えることを特徴とする。 20

【0016】

第7の発明は、第6の発明において、

前記データ信号線駆動回路は、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータ信号を前記複数のデータ信号線に印加することを特徴とする。

【0017】

第8の発明は、第6または第7の発明において、

前記データ信号線駆動回路は、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データ信号の数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるサンプリングラッチ回路と、 30

前記サンプリングラッチ回路でラッチされた前記画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力回路とを含むことを特徴とする。

【0018】

第9の発明は、上下方向に延びる複数のデータ信号線と、前記複数のデータ信号線と交差し左右方向に延びる複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれに対応しマトリクス状に配置された複数の画素形成部とを有する液晶表示装置の駆動方法であって、 40

前記複数の画素形成部にて形成すべき画像を表す複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップを備え、

各画素形成部は、

対応する交差点を通過する走査信号線に印加される前記走査信号によってオンおよびオフされるスイッチング素子と、

対応する交差点を通過するデータ信号線に前記スイッチング素子を介して接続される画素電極と、

前記複数の画素形成部に共通的に設けられ、前記画素電極との間に所定容量が形成されるように配置された共通電極とを含み、

同一データ信号線に前記スイッチング素子を介して接続される画素電極である同一デー 50

タ信号線接続画素電極は、前記複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に分散的に配置され、

前記データ信号線駆動ステップでは、各データ信号線に印加すべき前記データ信号の電圧が、前記マトリクスにおいて当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて切り替えられることを特徴とする。

【0019】

第10の発明は、第9の発明において、

前記データ信号線駆動ステップでは、前記共通電極を基準とする前記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、前記複数のデータ信号が前記複数のデータ信号線に印加されることを特徴とする。

10

【0020】

第11の発明は、第9または第10の発明において、

前記データ信号線駆動ステップは、

シリアルに入力される画像信号を順次サンプリングしてラッチし、かつ、前記画像信号を前記データ信号の数だけサンプリングする毎に、前記同一データ信号線接続画素電極の前記隣接2列への分散的配置に応じて前記画像信号のサンプリングタイミングを切り替えるステップと、

前記ラッチされた画像信号に基づき前記複数のデータ信号を生成し前記複数のデータ信号線に出力する出力ステップとを含むことを特徴とする。

20

【発明の効果】

【0021】

上記第1の発明によれば、各データ信号線に接続される画素電極が、複数の画素形成部からなるマトリクスにおいて隣接2列に分散的に配置されているので、共通電極を基準とする各データ信号線への印加電圧を1フレーム期間は同一極性のままで各データ信号線を駆動することにより、ドット反転駆動またはそれに類似した駆動（以下「ドット反転駆動等」という）で画像表示を行うことができる。したがって、ドット反転駆動等を実現しつつ各画素液晶に短時間で十分な電圧を印加することができ、これにより液晶表示装置において高精度で高品質な表示が可能となる。

30

【0022】

上記第2の発明によれば、各データ信号線に接続される画素電極が、複数の画素形成部からなるマトリクスにおいて左右に隣接する2列に、2個の画素電極についての「左、右」または「右、左」という系列を単位として左右位置につき上下方向に周期性を有するように配置されているので、共通電極を基準とする各データ信号線への印加電圧を1フレーム期間は同一極性のままで各データ信号線を駆動することにより、ドット反転駆動による画像表示を行うことができる。したがって、ドット反転駆動を実現しつつ各画素液晶に短時間で十分な電圧を印加することができ、これにより液晶表示装置において高精度で高品質な表示が可能となる。

【0023】

上記第3の発明によれば、各データ信号線に接続される画素電極が複数の画素形成部からなるマトリクスにおいて隣接2列に分散的に配置されていて、共通電極を基準とする上記複数のデータ信号線の電圧の極性が各データ信号線につき各フレーム期間内で同一であって1フレーム期間毎に反転しかつ隣接データ信号線間で互いに異なるように、上記複数のデータ信号が上記複数のデータ信号線に印加される。したがって、同一フレーム期間内では各データ信号線の印加電圧の極性は変化せず電圧変化量は小さいので、ドット反転駆動等を行いつつ各画素液晶に短時間で十分な電圧を印加することができる。その結果、液晶表示装置において高精度で高品質な表示を行うことができ、ドット反転駆動を実現しつつ駆動回路の消費電力を低減することも可能となる。

40

【0024】

50

第4の発明によれば、各データ信号線に印加すべきデータ信号の電圧は、当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で、同一データ信号線接続画素電極の隣接2列への分散的配置に応じて切り替えられる。したがって、従来形式の画像データがデータ信号線駆動回路に与えられても、同一データ信号線接続画素電極が上記のように分散的に配置された千鳥構造において適切な画像表示がドット反転駆動等により行われる。これにより、ドット反転駆動等を実現しつつ各画素液晶に短時間で十分な電圧を印加することができるので、液晶表示装置において高精度で高品質な表示が可能となる。

【0025】

上記第5の発明によれば、同一データ信号線接続画素電極の上記分散的配置(千鳥構造)に応じて画像信号のサンプリングタイミングが切り替えられることにより、各データ信号線に印加すべきデータ信号の電圧が当該各データ信号線を挟んで配置される2画素電極列にそれぞれ印加すべき2つの電圧列の間で上記分散的配置に応じて切り替えられるので、第4の発明と同様の効果を奏する。

10

【0026】

上記第6または第9の発明によれば、上記第1の発明と同様の効果を奏する。

上記第7または第10の発明によれば、上記第3の発明と同様の効果を奏する。

上記第8または第11の発明によれば、上記第5の発明と同様の効果を奏する。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態について添付図面を参照して説明する。

20

< 1. 第1の実施形態 >

< 1.1 全体の構成および動作 >

図1(a)は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路200と、データ信号線駆動回路300と、走査信号線駆動回路400と、アクティブマトリクス型の液晶パネル500とを備えている。

【0028】

この液晶表示装置における表示部としての液晶パネル500は、外部のコンピュータにおけるCPU等から受け取る画像データDvの表す画像における水平走査線にそれぞれが対応する複数本の走査信号線(以下「ゲートバスライン」ともいう)と、それら複数本の走査信号線のそれぞれと交差する複数本のデータ信号線(以下「データ線」または「ソースバスライン」ともいう)と、それら複数本の走査信号線と複数本のデータ線との交差点にそれぞれ対応して設けられた複数の画素形成部とを含む。各画素形成部の構成は、基本的には従来 of アクティブマトリクス型液晶パネルにおける構成と同様である(詳細は後述)。

30

【0029】

本実施形態では、液晶パネル500に表示すべき画像を表す(狭義の)画像データおよび表示動作のタイミング等を決めるデータ(例えば表示用クロックの周波数を示すデータ)(以下「表示制御データ」という)は、外部のコンピュータにおけるCPU等から表示制御回路200に送られる(以下、外部から送られるこれらのデータDvを「広義の画像データ」という)。すなわち、外部のCPU等は、広義の画像データDvを構成する(狭義の)画像データおよび表示制御データを、アドレス信号Adwを表示制御回路200に供給して、表示制御回路200内の後述の表示メモリおよびレジスタにそれぞれ書き込む。

40

【0030】

表示制御回路200は、レジスタに書き込まれた表示制御データに基づき、表示用のクロック信号CKや、水平同期信号HSY、垂直同期信号VSY等を生成する。また、表示制御回路200は、外部のCPU等によって表示メモリに書き込まれた(狭義の)画像データDaを表示メモリから読み出して、デジタル画像信号DAとして出力する。このよう

50

にして表示制御回路 200 によって生成される信号のうち、クロック信号 C K はデータ信号線駆動回路 300 に、水平同期信号 H S Y および垂直同期信号 V S Y はデータ信号線駆動回路 300 および走査信号線駆動回路 400 に、デジタル画像信号 D A はデータ信号線駆動回路 300 に、それぞれ供給される。

【0031】

データ信号線駆動回路 300 には、上記のようにして、液晶パネル 500 に表示すべき画像を表すデータが画素単位でシリアルにデジタル画像信号 D A として供給されると共に、タイミングを示す信号としてクロック信号 C K、水平同期信号 H S Y および垂直同期信号 V S Y が供給される。データ信号線駆動回路 300 は、これらのデジタル画像信号 D A とクロック信号 C K と水平同期信号 H S Y と垂直同期信号 V S Y とに基づき、液晶パネル 500 を駆動するための画像信号（以下「データ信号」という）を生成し、これを液晶パネル 500 の各データ線に印加する。

10

【0032】

走査信号線駆動回路 400 は、水平同期信号 H S Y および垂直同期信号 V S Y に基づき、液晶パネル 500 における走査信号線を 1 水平走査期間ずつ順次に選択するために各走査信号線に印加すべき走査信号を生成し、全走査信号線のそれぞれを順に選択するためのアクティブな走査信号の各走査信号線への印加を 1 垂直走査期間を周期として繰り返す。

【0033】

液晶パネル 500 は、上記のようにして、データ線にはデータ信号線駆動回路 300 によってデジタル画像信号 D A に基づくデータ信号が印加され、走査信号線には走査信号線駆動回路 400 によって走査信号が印加される。これにより液晶パネル 500 は、外部の C P U 等から受け取った画像データの表す画像を表示する。

20

【0034】

< 1.2 表示制御回路 >

図 1 (b) は、上記の液晶表示装置における表示制御回路 200 の構成を示すブロック図である。この表示制御回路 200 は、入力制御回路 20 と表示メモリ 21 とレジスタ 22 とタイミング発生回路 23 とメモリ制御回路 24 とを備えている。

【0035】

この表示制御回路 200 が外部の C P U 等から受け取る広義の画像データ D v を示す信号（以下、この信号も符号 “ D v ” で表すものとする）およびアドレス信号 A D w は、入力制御回路 20 に入力される。入力制御回路 20 は、アドレス信号 A D w に基づき、広義の画像データ D v を、画像データ D a と表示制御データ D c とに振り分ける。そして、画像データ D a を表す信号（以下、これらの信号も符号 “ D a ” で表すものとする）をアドレス信号 A D w に基づくアドレス信号 A D と共に表示メモリ 21 に供給することで画像データ D a を表示メモリ 21 に書き込むと共に、表示制御データ D c をレジスタ 22 に書き込む。表示制御データ D c は、クロック信号 C K の周波数や画像データ D v の表す画像を表示するための水平走査期間および垂直走査期間を指定するタイミング情報を含んでいる。

30

【0036】

タイミング発生回路（以下「 T G 」と略記する） 23 は、レジスタ 22 の保持する上記表示制御データに基づき、クロック信号 C K、水平同期信号 H S Y および垂直同期信号 V S Y を生成する。また、 T G 23 は、表示メモリ 21 およびメモリ制御回路 24 をクロック信号 C K に同期させて動作させるためのタイミング信号を生成する。

40

【0037】

メモリ制御回路 24 は、外部から入力されて入力制御回路 20 を介して表示メモリ 21 に格納された画像データ D a のうち液晶パネル 500 に表示すべき画像を表すデータを読み出すためのアドレス信号 A D r と、表示メモリ 21 の動作を制御するための信号とを生成する。これらのアドレス信号 A D r および制御信号は表示メモリ 21 に与えられ、これにより、液晶パネル 500 に表示すべき画像を表すデータが画像信号 D A として表示メモリ 21 から読み出され、表示制御回路 200 から出力される。この画像信号 D A は、既述

50

のようにデータ信号線駆動回路300に供給される。

【0038】

< 1.3 液晶パネル >

図2(a)は、本実施形態に係る液晶表示装置における液晶パネル500の構成を示す模式図であり、図2(b)は、この液晶パネル500の一部(4画素に相当する部分)510の等価回路を示す回路図である。これらの図において、S1, S2, S3, ... は、データ線Lsにそれぞれ印加されるデータ信号を表し、G1, G2, G3, ... は、走査信号線Lgにそれぞれ印加される走査信号を表す。

【0039】

この液晶パネル500は、データ信号線駆動回路300の複数の出力端子にそれぞれ接続される複数のデータ線Lsと、走査信号線駆動回路400の複数の出力端子にそれぞれ接続される複数の走査信号線Lgとを備え、当該複数のデータ線Lsと当該複数の走査信号線Lgとは、各データ線Lsと各走査信号線Lgとが交差するように格子状に配設されている。そして既述のように、当該複数のデータ線Lsと当該複数の走査信号線Lgとの交差点に対応して複数の画素形成部Pxがそれぞれ設けられている。各画素形成部Pxは、図2(b)に示すように、対応する交差点を通過するデータ線Lsにソース端子が接続されると共に対応する交差点を通過する走査信号線Lgにゲート端子が接続されたTF T10と、そのTF T10のドレイン端子に接続された画素電極Epと、上記複数の画素形成部Pxに共通的に設けられた対向電極である共通電極Ecと、上記複数の画素形成部Pxに共通的に設けられ画素電極Epと共通電極Ecとの間に挟持された液晶層とからなる。上記のような画素形成部Pxは、マトリクス状に配置されて画素形成マトリクスを構成する。これに伴い、各画素形成部Pxに含まれる画素電極Epは画素電極マトリクスを構成し、この画素電極マトリクスにおいて、垂直方向に延びる画素電極列とデータ線Lsとは水平方向に交互に配置され、水平方向に延びる画素電極行と走査信号線Lgとは垂直方向に交互に配置される。ところで、画素形成部の主要部である画素電極は、液晶パネル500に表示される画像の画素と1対1に対応し同一視できる。そこで、以下では、説明の便宜上、画素形成部Pxと画素をも同一視するものとする。したがって、「画素マトリクス」という表現を、「画素形成マトリクス」または「画素電極マトリクス」を意味するものとして使用する。

【0040】

本実施形態では、同一のデータ線LsにTF T10を介して接続される画素電極Epは、画素マトリクスにおける同一の画素列に全て配置されるのではなく、隣接する2つの画素列の左右に配置される。すなわち、画素マトリクスにおける同一画素列の各画素電極に接続されるTF T10のソース端子は、同一のデータ線に全て接続されるのではなく、その画素列を挟む2本のデータ線に交互に接続される。この点で、本実施形態における液晶パネルの構造は千鳥構造の一種と言える。より具体的には、本実施形態における液晶パネルでは、図2(a)に示すように、同一データ線LsにTF T10を介して接続される画素電極Epが、左右に隣接する2つの画素列に分散的に、かつ、2個の画素電極についての「左、右」という系列を単位として左右位置につき垂直方向(上下方向)に周期性を有するように配置される。すなわち、例えばデータ信号S2が印加されるデータ線(左から2番目のデータ線)に注目し、このデータ線にTF T10を介して接続される各画素電極Epが1番目の画素列(以下「左列」という)と2番目の画素列(以下「右列」という)とのいずれに配置されているかを図の上から順に(G1行、G2行、G3行...という順)に見ていくと、左列、右列、左列、... ...となっている。なお、図2(a)に示した上記千鳥構造では、同一データ線に接続される画素電極は、2個の画素電極についての「左、右」という系列を単位として左右位置につき垂直方向に周期性を有するように配置されているが、これに代えて、2個の画素電極についての「右、左」という系列を単位として左右位置につき垂直方向に周期性を有するように配置されていてもよい。

【0041】

図2(a)において、各画素形成部Pxに付されている“+”は、当該画素形成部Px

を構成する画素液晶（もしくは画素電極）に正の電圧が印加されることを意味し、“-”は、当該画素形成部 P x を構成する画素液晶（もしくは画素電極）に負の電圧が印加されることを意味し、これら各画素形成部 P x に付された“+”と“-”により、画素マトリクスにおける極性パターンが示される。このようにして図 2（a）において示されている極性パターンは、1 フレーム毎にかつデータ線毎に液晶への印加電圧の正負極性を反転させる駆動方式、すなわち列反転駆動方式によって駆動したときの或るフレームでの極性パターンとなっている。

【0042】

< 1.4 データ信号線駆動回路 >

上記のように本実施形態では、液晶パネル 500 において T F T を介して同一データ線に接続される画素電極（以下「同一データ線接続画素電極」という）の全てが同一の画素列には配置されず、隣接する 2 つの画素列に交互に配置される。このため、このような同一データ線接続画素電極の分散的配置に応じて、データ信号線駆動回路 300 から各画素値に対応するデータ信号 S j（j = 1, 2, 3, ...）が出力されるようにしなければならない。そこで、本実施形態におけるデータ信号線駆動回路 300 は、このような同一データ線接続画素電極の分散的配置に対応すべく、図 2（a）に示した千鳥構造に応じたタイミングで各データ信号を出力し各データ線に印加するよう構成されている。

10

【0043】

図 2（a）に示したように、本実施形態における液晶パネル 500 は、隣接する 2 つの画素列に同一データ線接続画素電極が交互に配置される構造すなわち 2 行周期の千鳥構造となっているが、液晶表示装置に入力される画像データ D v、および、表示制御回路 200 からデータ信号線駆動回路 300 に供給される画像データ D A は、図 9 に示したような従来構造の液晶パネルに対応しており、このような 2 行周期の千鳥構造には対応していない。したがって、本実施形態におけるデータ信号線駆動回路 300 は、従来通りのタイミングで供給される画像データ（以下「従来形式の画像データ」という）D A から 2 行周期の千鳥構造に対応したデータ信号 S（i）を生成するよう構成されなければならない。

20

【0044】

< 1.4.1 第 1 の構成例 >

図 3 は、このようなデータ信号線駆動回路 300 の第 1 の構成例を示すブロック図である。この構成例では、データ信号線駆動回路 300 は、サンプリングパルスを発生する手段としてのシフトレジスタ 30 と、画素単位でシリアルに入力されるデジタル画像データ D A を順次読み込む第 1 ラッチ回路 31 と、第 1 ラッチ回路 31 が保持するデジタル画像データを 1 行分ずつパラレルに読み込んで 1 水平走査期間ずつ保持する第 2 ラッチ回路 32 と、シフトレジスタ 30 の入力端に与えるべきスタートパルス信号 D S P を生成するスタートパルス発生回路 36 と、第 2 ラッチ回路 32 が保持するデジタル画像データを 1 フレーム期間毎に極性の反転するアナログの電圧信号であるデータ信号 S i に変換して出力する出力回路 35 とを備えると共に、シフトレジスタ 30 から第 1 ラッチ回路 31 内の各ラッチへのサンプリングパルス S A M i（i = 1, 2, 3, ...）の供給経路を切り替えるための接続切替回路 305 を備えている。

30

【0045】

スタートパルス発生回路 36 は、表示制御回路 200 からのクロック信号 C K および水平同期信号 H S Y に基づき、各水平走査期間の開始時点近傍の所定時点にパルス（以下「スタートパルス」という）の現れるスタートパルス信号 D S P を生成する。このスタートパルス信号 D S P はクロック信号 C K とともにシフトレジスタ 30 に入力される。

40

【0046】

シフトレジスタ 30 は、これらの信号 D S P, C K に基づき、各水平走査期間において、スタートパルス信号 D S P に含まれる 1 つのパルスを入力端から出力端へと順次転送し、この転送に応じてサンプリングパルス S A M 1, S A M 2, S A M 3, ... を順次出力する。これらのサンプリングパルス S A M 1, S A M 2, S A M 3, ... は、接続切替回路 305 に入力される。

50

【0047】

接続切替回路305は、各サンプリングパルスSAM_iが与えられるラッチを第1ラッチ回路31内のi番目のラッチとi+1番目のラッチとの間で1水平走査期間毎に切り替える(i=1, 2, 3, ...)。すなわち、液晶パネル500が図2に示すような千鳥構造である場合には、奇数番目の走査信号線が選択されたときには接続切替回路305は点線Bで示される接続状態となり、偶数番目の走査信号線が選択されたときには接続切替回路305は実線Aで示される接続状態となる。

【0048】

第1ラッチ回路31は、シフトレジスタ30の段数に等しい数のラッチを含み、これらのラッチは、シフトレジスタ30から接続切替回路305を経て順次与えられるサンプリングパルスSAM₁, SAM₂, SAM₃, ...により、表示制御回路200からの画像データDAを順次読み込み、1水平走査期間だけ保持する。第2ラッチ回路32は、第1ラッチ回路31に1行分の画像データが読み込まれた後に、水平同期信号HSYをラッチストロブ信号として、第1ラッチ回路31に読み込まれた1行分の画像データを同時に読み込んで1水平走査期間だけ保持する。この第2ラッチ回路32で保持されているデータは、出力回路35に入力される。

10

【0049】

出力回路35は、第2ラッチ回路32が保持するデジタル画像データを1フレーム期間毎に極性の反転するアナログ電圧信号であるデータ信号S₁, S₂, S₃, ...に変換して出力する。この出力回路35から出力されるデータ信号S₁, S₂, S₃, ...は、液晶パネル500における複数のデータ線にそれぞれ対応し、各データ信号S_iは、それに対応するデータ線S(i)に印加される。

20

【0050】

いま、或るデータ線S(i)に画像データを示すデータ信号S_iが与えられる場合を考えると、データ信号S_iは、データ線S(i)からスイッチング素子であるTFTを介して画素電極に伝えられる。各画素電極は、TFTのドレイン端子に接続されており、図9に示すような従来構造の液晶パネルでは、当該TFTを介して当該画素電極の左側のデータ線に接続されている。これに対し本実施形態における液晶パネル500は、図2に示すように2行周期の千鳥構造となっているので、従来形式のデータ信号S_iがデータ線S(i)に与えられると、液晶パネル500において本来は縦1列に取り込むべき画像データが当該データ線S(i)の左右交互(千鳥状)に取り込まれてしまう。

30

【0051】

しかし、本実施形態におけるデータ信号線駆動回路300では、上記のように接続切替回路305により、各サンプリングパルスSAM_iを与えられるラッチが第1ラッチ回路31内のi番目のラッチとi+1番目のラッチとの間で1水平走査期間毎に切り替わる(図3)。これにより、データ線S(i)の右側に配置されている画素電極に対しては、接続切替回路305内の経路Aを介してラッチ回路31に与えられるサンプリングパルスSAM_iによりラッチされる画像データが、第2ラッチ回路32、出力回路35および当該データ線S(i)を経て与えられる。例えば、画素マトリクスの第2行第1列の画素電極へは、画像データV(1, 2)が1番目のデータ線S(1)を介しデータ信号S₁として与えられる。一方、データ線S(i)の左側に配置されている画素電極に対しては、接続切替回路305内の経路Bを介してラッチ回路31に与えられるサンプリングパルスSAM_iによりラッチされる画像データが、第2ラッチ回路32、出力回路35および当該データ線S(i)を経て与えられる。例えば、画素マトリクスの第1行第1列の画素電極へは、画像データV(1, 1)が2番目のデータ線S(2)を介しデータ信号S₂として与えられる。このようにして、従来形式の画像データDAがデータ信号線駆動回路300に供給されても、2行周期の千鳥構造を有する液晶パネル500において、縦1列に取り込むべき画像データが千鳥状に取り込まれることはなく、その画像データDAの表す画像を正しく表示することができる。

40

【0052】

50

上記のように本構成例では、シフトレジスタ30と、第1ラッチ回路31と、第2ラッチ回路32と、スタートパルス発生回路36と、接続切替回路305とによって、シリアルにデータ信号線駆動回路300に入力されるデジタル画像信号DAをサンプリングしラッチするサンプリングラッチ回路が構成される。このサンプリングラッチ回路では、データ信号Siの数だけサンプリングする毎に、すなわち1水平走査期間だけサンプリングする毎に、液晶パネル500における2行周期の千鳥構造に応じてサンプリングのタイミングが接続切替回路305によって切り替えられる。

【0053】

< 1.4.2 第2の構成例 >

図4は、本実施形態におけるデータ信号線駆動回路300の第2の構成例を示すブロック図である。このデータ信号線駆動回路300は、第1の構成例と同様、サンプリングパルスを発生する手段としてのシフトレジスタ30と、画素単位でシリアルに入力される画像データDAを順次読み込む第1ラッチ回路31と、1行分の画像データを読み込むラッチ回路32と、画像データDAを液晶パネル500に出力する出力回路35とを備えている。しかし、第2の構成例のデータ信号線駆動回路300は、接続切替回路305を設けることなく、図2に示すような千鳥構造の液晶パネル500に対応すべく、第1の構成例におけるスタートパルス発生回路36に代えて、スタートパルスのタイミングを1水平走査期間毎に切り替えるようにした千鳥構造対応スタートパルス発生回路37を備えている。

10

【0054】

本構成例におけるシフトレジスタ30、第1ラッチ回路31、第2ラッチ回路32および出力回路35の構成および動作は第1の構成例におけるものと同様であるので、詳しい説明を省略する。ただし、本構成例では、接続切替回路305が設けられていないので、シフトレジスタ30から順次出力されるサンプリングパルスSAM1, SAM2, SAM3, ...は直接に第1ラッチ回路31に入力される。また、シフトレジスタ30の入力端に入力されるスタートパルス信号DSP2は、液晶パネル500の千鳥構造に対応した信号であって、第1の構成例におけるスタートパルス信号DSPとは相違する。以下、この千鳥構造対応のスタートパルス信号DSP2を生成する千鳥構造対応スタートパルス発生回路37について説明する。

20

【0055】

千鳥構造対応スタートパルス発生回路37は、表示制御回路200からのクロック信号CK、水平同期信号HSYおよび垂直同期信号VSYに基づき、各水平走査期間の開始時点近傍の所定時点にパルス(スタートパルス)の現れるスタートパルス信号DSP2を生成する。このスタートパルス信号DSP2は、第1の構成例のスタートパルス発生回路36によって生成されるスタートパルス信号DSPとは異なり、図5(d)に示すように各水平走査期間におけるスタートパルスの相対位置(時間軸上の位置)が1水平走査期間毎に切り替わる。すなわち、図2(a)に示す2行周期の千鳥構造に対応すべく、奇数番目の水平走査期間(奇数番目の走査信号線の選択期間)では、デジタル画像信号DAの表す画素データが1画素分早くサンプリングされるように、スタートパルスの現れるタイミングが、偶数番目の水平走査期間(偶数番目の走査信号線の選択期間)においてスタートパルスが現れるタイミングよりも早くなっている。

30

40

【0056】

例えば図5(d)に示した例の場合、1番目(より一般的には奇数番目)の水平走査期間では、時刻taで立ち上がるスタートパルスに基づきサンプリングパルスSAM1, SAM2, SAM3, ...が生成され、デジタル画像信号DAの表す画像データのうち当該水平走査期間における1番目の画素データa1はシフトレジスタ30の2段目からのサンプリングパルスSAM2によってサンプリングされるのに対し、2番目(より一般的には偶数番目)の水平走査期間では、時刻tbで立ち上がるスタートパルスに基づきサンプリングパルスSAM1, SAM2, SAM3, ...が生成され、デジタル画像信号DAの表す画像データのうち当該水平走査期間における1番目の画素データb1はシフトレジスタ30

50

の 1 段目からのサンプリングパルス S A M 1 によってサンプリングされる。すなわち、第 1 ラッチ回路 3 1 には、第 1 の構成例において接続切替回路 3 0 5 から出力されるサンプリングパルス S A M 1 , S A M 2 , S A M 3 , ... と実質的に同様のサンプリングパルスが入力されることになる。これにより、デジタル画像信号 D A の表す画像データのうち例えば図 5 (b) に示される 1 番目の水平走査期間における画素データ a_1, a_2, a_3, \dots は、図 6 に示すように画素マトリクスにおける第 1 行の第 1 列、第 2 列、第 3 列、... の画素値を示す電圧として各画素容量に保持され、例えば図 5 (b) に示される 2 番目の水平走査期間における画素データ b_1, b_2, b_3, \dots は、図 6 に示すように画素マトリクスにおける第 2 行の第 1 列、第 2 列、第 3 列、... の画素値を示す電圧として各画素容量に保持される。このようにして、本構成例においても、第 1 の構成例と同様、従来形式の画像データ D A がデータ信号線駆動回路 3 0 0 に供給されても、2 行周期の千鳥構造を有する液晶パネル 5 0 0 において、縦 1 列に取り込むべき画像データが千鳥状に取り込まれることはなく、その画像データ D A の表す画像を正しく表示することができる。

10

【 0 0 5 7 】

上記のように本構成例では、シフトレジスタ 3 0 と、第 1 ラッチ回路 3 1 と、第 2 ラッチ回路 3 2 と、千鳥構造対応スタートパルス発生回路 3 7 とによって、シリアルにデータ信号線駆動回路 3 0 0 に入力されるデジタル画像信号 D A をサンプリングしラッチするサンプリングラッチ回路が構成される。このサンプリングラッチ回路では、データ信号 S i の数だけサンプリングする毎に、すなわち 1 水平走査期間だけサンプリングする毎に、液晶パネル 5 0 0 における 2 行周期の千鳥構造に応じてサンプリングのタイミングが千鳥構造対応スタートパルス発生回路 3 7 によって切り替えられる。

20

【 0 0 5 8 】

< 1 . 6 データ信号線における遅延時間について >

図 9 に示すような従来液晶パネルに対してドット反転駆動を行うためには、データ線に印加される電圧の極性を水平走査期間毎に反転させる必要がある。一方、図 7 に示すような本実施形態に係る液晶パネル (2 行周期の千鳥構造の液晶パネル) に対してドット反転駆動を行う場合には、水平走査期間が切り替わっても (選択される走査信号線が切り替わっても) 、データ線に印加すべき電圧の極性は、1 フレーム期間中は変化させる必要はない。図 8 は、これらの従来液晶パネルと本実施形態における液晶パネルとに対して印加すべき電圧を比較した波形図である。図 8 (a) ~ (c) は、走査信号線 L g (G (j - 1) , G (j) , G (j + 1)) に与えられる走査信号を示す波形図であり、図 8 (d) は、従来液晶パネル (図 9) におけるデータ線 S (i) にデータ信号 S i を与えることによってオン状態の T F T を介して画素電極に与えられる電位 (以下「対応画素電位」という) V_{px} を示す波形図である。

30

【 0 0 5 9 】

従来液晶パネルに対しドット反転駆動を行う場合には、水平走査期間が切り替わる毎にデータ信号 S i の極性を反転させる必要があり、このデータ信号 S i の極性反転により、図 8 (d) に示した例では、対応画素電位 V_{px} が負極性の電位 $V(i, j - 1)$ から正極性の電位 $V(i, j)$ へと変化する。図 8 (d) における T 1 はこの電位変化に要する時間を示すものであり、ここでは、対応画素電位 V_{px} が負極性の電位 $V(i, j - 1)$ と正極性の電位 $V(i, j)$ との電位差の 9 0 % の電位差に対応する電位 V 1 に到達するまでの時間を示している。なお、この電位 V 1 は、共通電極の電位 V E c を基準とする画素電極の電位であって液晶 (当該画素電極に対応する画素液晶) への印加電圧に相当する (以下で言及する V 2 , V 3 についても同様) 。

40

【 0 0 6 0 】

これに対して、本実施形態における液晶パネルに対しドット反転駆動を行う場合には、画素電極に印加すべき電圧 (対応画素電位) V_{px} は水平走査期間が切り替わっても極性を反転させる必要がないので、対応画素電位 V_{px} は、図 8 (e) に示すような正極性の電位 $V(i - 1, j - 1)$ から正極性の電位 $V(i, j)$ へと変化させればよい。図 8 (e) における T 2 は、対応画素電位 V_{px} が正極性の電位 $V(i - 1, j - 1)$ と正極性

50

の電位 $V(i, j)$ との電位差の 90% の電位差に対応する電位 V_2 に到達するまでの時間を示している。ここで T_1 と T_2 は、共に前記式 (1) において $V(t)/V_{dd} = 0.9$ とした場合の t であり、同じ値となる。しかし、対応画素電位 V_{px} が図 8 (e) に示すように変化する本実施形態では、対応画素電位 V_{px} が図 8 (d) に示すように変化する従来の場合における画素液晶への印加電圧 V_1 に等しい電圧 V_3 が画素液晶に印加されるのは、従来の極性切替時点に相当する選択走査信号線の切替時点から時間 T_3 だけ経過した時点である。ここで、 $V(i, j) - V(i-1, j-1)$ は前記式 (1) における V_{dd} に相当し、 $\{V_3 - V(i-1, j-1)\} / \{V(i, j) - V(i-1, j-1)\}$ は 0.9 よりも小さい。したがって、本実施形態と従来とで画素液晶への印加電圧が同じ値 $V_1 = V_3$ に到達するのに要する時間を比較すると、本実施形態における時間 T_3 は従来における時間 T_2 より短い。その結果、本実施形態における液晶パネルに対するドット反転駆動においては、従来に比べ、各画素液晶に対しより短時間で十分な電圧を印加することができる。これは、各画素容量に対しより短時間で十分な充電を行えることを意味する。

10

20

30

40

50

【0061】

< 1.7 効果 >

以上説明したように本実施形態によれば、図 2 (a) または図 7 に示すようにドット反転駆動を実現しつつ、従来に比べ、各画素液晶に対しより短時間で十分な電圧を印加することができる (図 8 (d) (e))、これにより、液晶表示装置において高精度で高品質な表示が可能となる。また、本実施形態によれば、図 8 (e) に示すように同一フレーム期間内では液晶パネルの各データ線 $S(i)$ に印加される電圧の極性すなわちデータ信号 S_i の極性を変化させる必要は無いので、ドット反転駆動を実現しつつ従来に比べ大幅に消費電力を低減することができる。

【0062】

< 2. 変形例 >

上記実施形態では、データ信号線駆動回路 300 は、従来形式の画像データ DA が与えられても図 2 (a) または図 7 に示すような千鳥構造の液晶パネルに対応したデータ信号 S_i を生成するように、入力される画像信号 DA のサンプリングタイミングを 1 水平走査期間毎に切り替えるように構成されている (図 3 ~ 図 5 参照)。しかし、これに代えて、データ信号線駆動回路 300 に入力された画像データ DA がサンプリングされラッチされてから複数のデータ信号 S_i として出力されるまでの間において信号経路を 1 水平走査期間毎に切り替えることにより、各データ信号 S_i の電圧が、それを印加すべきデータ信号線を挟んで配置される 2 画素電極列にそれぞれ与えるべき 2 つの電圧列の間で、上記千鳥構造 (同一データ線接続画素電極の分散的配置) に応じて切り替えられるようにしてもよい。

【0063】

また、上記実施形態における構成のデータ信号線駆動回路 300 に代えて、従来構成のデータ信号線駆動回路を使用し、図 2 (a) に示すような千鳥構造の液晶パネルに対応した順序で画像データ (各画素データ) がデータ信号線駆動回路に供給されるように、表示制御回路 200 が従来とは異なる形式 (タイミング) でデジタル画像信号 DA を生成するようにしてもよい。具体的には、図 2 (a) に示すような千鳥構造の場合、奇数番目の水平走査期間における画素データが偶数番目の水平走査期間における画素データよりも 1 画素分遅延してデータ信号線駆動回路 300 に供給されるように、例えば、液晶表示装置外部から表示制御回路 200 内の表示メモリ 21 への画像データの書き込み、および / または、外部から表示メモリ 21 に書き込まれた画像データの読み出しを制御すればよい。

【0064】

さらに、上記実施形態では、図 2 (a) に示すように液晶パネルは、同一データ線に TFT を介して接続される画素電極が当該データ線を挟む左右の画素列に交互に配置される 2 行周期の千鳥構造となっているが、これに代えて、3 行以上の複数行を周期とする千鳥構造となってもよい。例えば液晶パネルは、同一データ線に TFT を介して接続され

る画素電極が、左右に隣接する2つの画素列に分散的に、かつ、3個の画素電極についての「左、右、左」という系列を単位として左右位置につき垂直方向に周期性を有するように配置される構造であってもよい。この場合、このような3行周期の千鳥構造に対応したデータ信号 S_i がデータ信号線駆動回路300から出力されるように、データ信号線駆動回路300または表示制御回路200が構成されることになる。

【0065】

なお、上記実施形態や変形例における画素電極の位置についての「左」や「右」は、走査信号線の延びている方向に対する位置を示している。一般的な液晶パネルはデータ信号線が列方向に延びており、それに対する画素電極の位置が「左列」または「右列」のいずれかであることは当然であるが、データ信号線が行方向に延びている液晶パネルの場合（例えば一般的な液晶パネルを90度回転した場合）においても、データ信号線の延びている方向に対する位置ということでは、画素電極の位置が「左行」または「右行」のいずれかであることは明らかなことである。

10

【図面の簡単な説明】

【0066】

【図1】本発明の一実施形態に係る液晶表示装置の構成を示すブロック図(a)およびその構成部分である表示制御回路の構成を示すブロック図(b)である。

【図2】上記実施形態における液晶パネルの構成を示す模式図(a)および等価回路図(b)である。

【図3】上記実施形態におけるデータ信号線駆動回路の第1の構成例を示すブロック図である。

20

【図4】上記実施形態におけるデータ信号線駆動回路の第2の構成例を示すブロック図である。

【図5】上記第2の構成例によるデータ信号線駆動回路の動作を説明するための信号波形図である。

【図6】上記第2の構成例によるデータ信号線駆動回路の動作を説明するための液晶パネルの模式図である。

【図7】上記実施形態における液晶パネルの構成を示す模式図である。

【図8】上記実施形態における液晶パネルに印加すべき信号(駆動電圧)の波形を従来の液晶パネルに印加すべき信号(駆動電圧)の波形と共に示す波形図である。

30

【図9】従来の液晶パネルの構成を示す模式図である。

【図10】液晶パネルにおける1本のデータ信号線に関する抵抗成分Rと容量成分CとからなるRC回路を示す回路図である。

【符号の説明】

【0067】

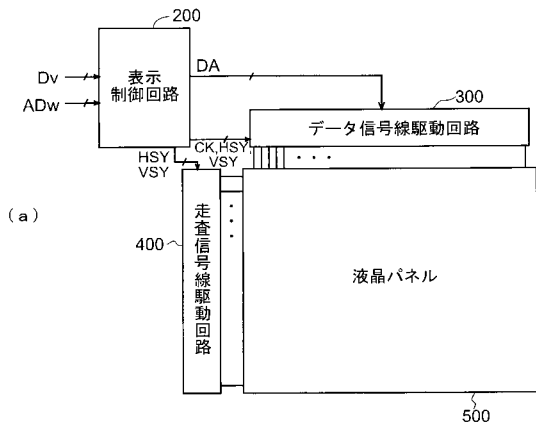
10	... T F T (薄膜トランジスタ)
21	... 表示メモリ
24	... メモリ制御回路
30	... シフトレジスタ
31	... 第1ラッチ回路
32	... 第2ラッチ回路
35	... 出力回路
36	... スタートパルス発生回路
37	... 千鳥構造対応スタートパルス発生回路
200	... 表示制御回路
300	... データ信号線駆動回路
305	... 接続切替回路
400	... 走査信号線駆動回路
500	... 液晶パネル
Ls	... データ線

40

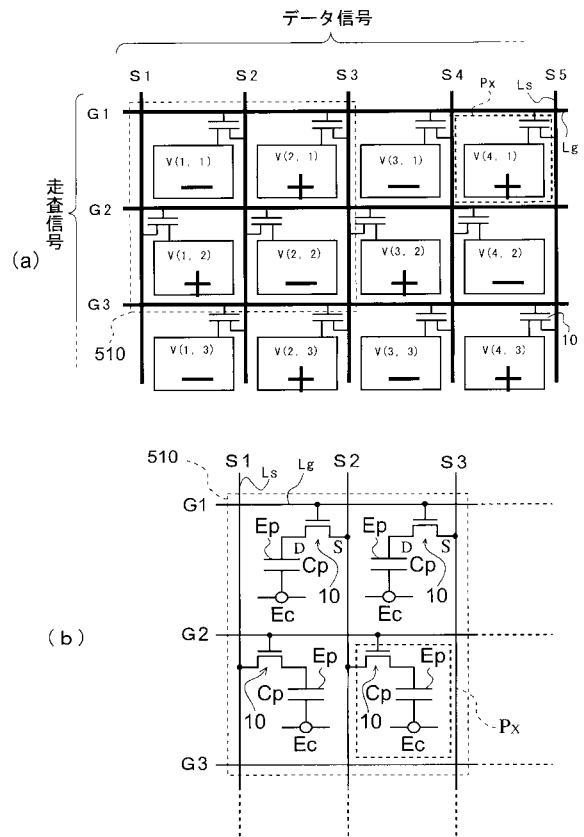
50

- L g ... 走査信号線
- P x ... 画素形成部 (画素)
- C p ... 画素容量
- E p ... 画素電極
- E c ... 共通電極
- S (i) ... データ線 (i = 1 , 2 , ...)
- G (j) ... 走査信号線 (j = 1 , 2 , ...)
- C K ... クロック信号
- H S Y ... 水平同期信号
- V S Y ... 垂直同期信号
- D S P ... スタートパルス信号
- D S P 2 ... (千鳥構造対応の) スタートパルス信号
- D A ... デジタル画像信号
- S A M i ... サンプリング信号 (i = 1 , 2 , ...)
- S i ... データ信号 (i = 1 , 2 , ...)
- G j ... 走査信号 (j = 1 , 2 , ...)

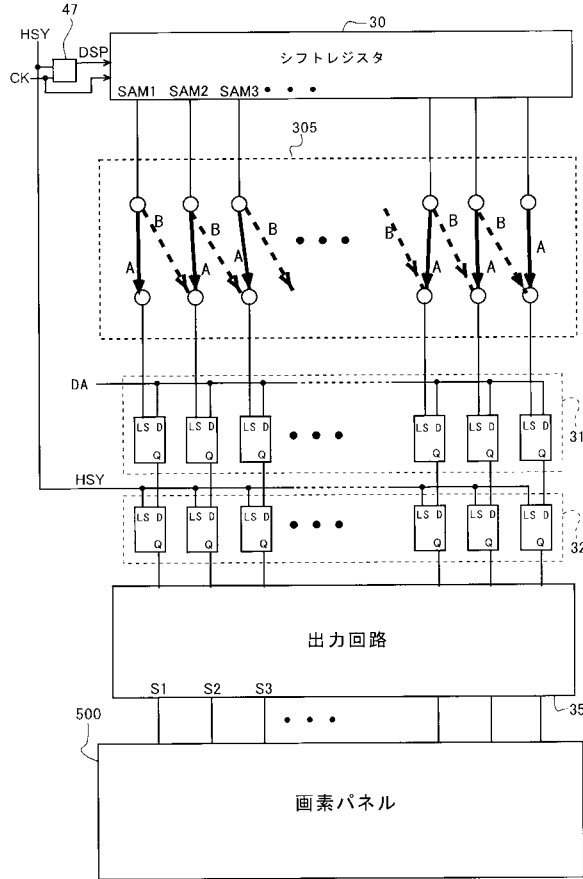
【 図 1 】



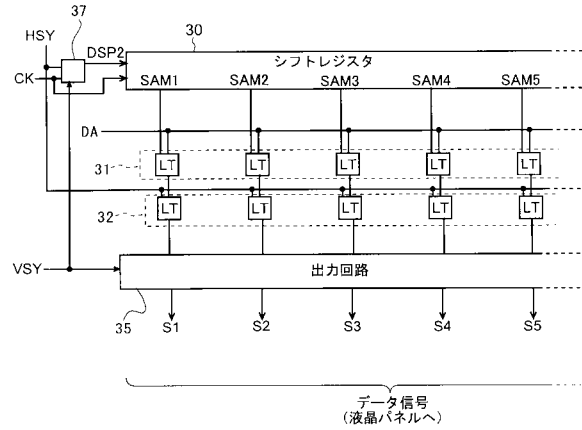
【 図 2 】



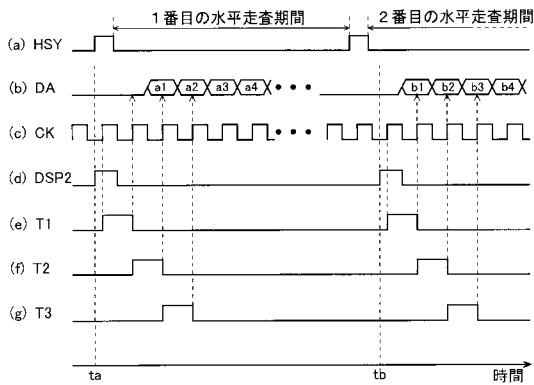
【図3】



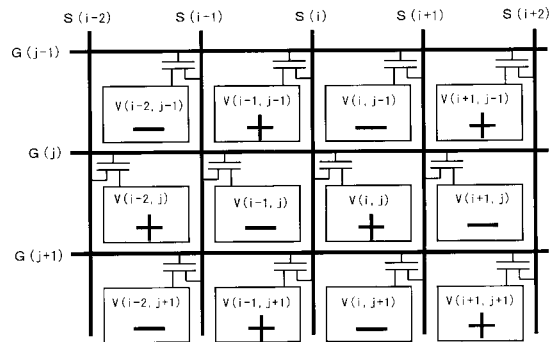
【図4】



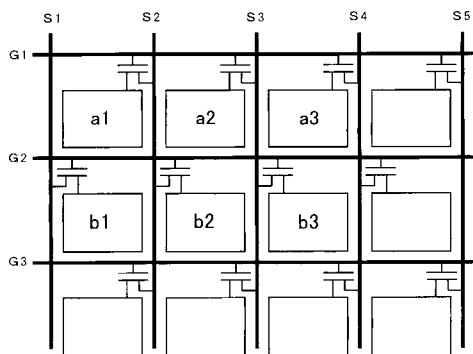
【図5】



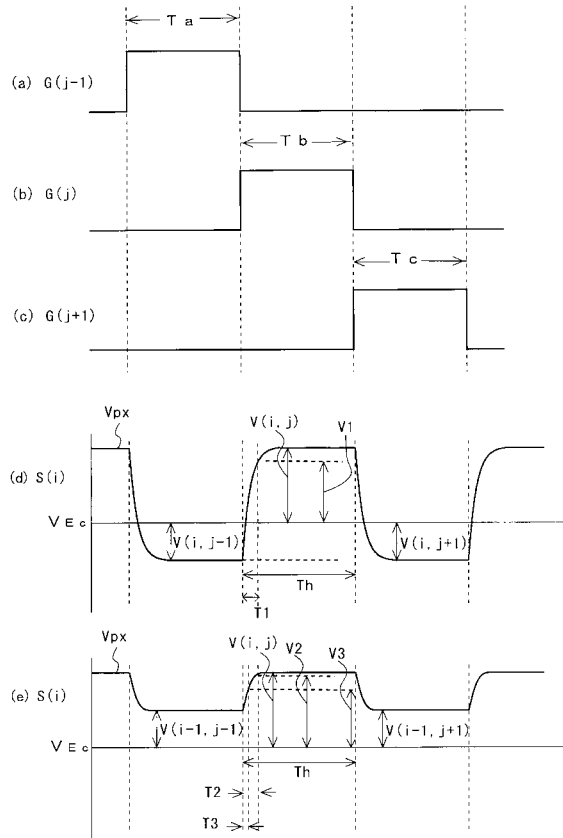
【図7】



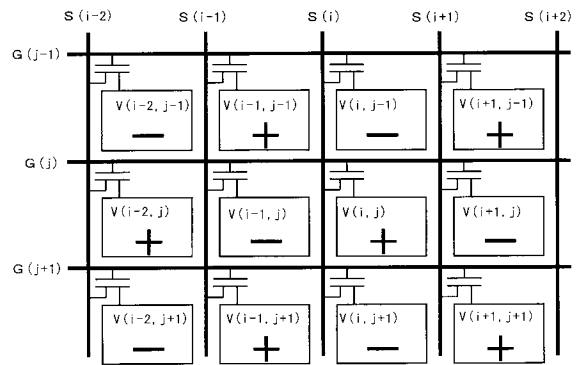
【図6】



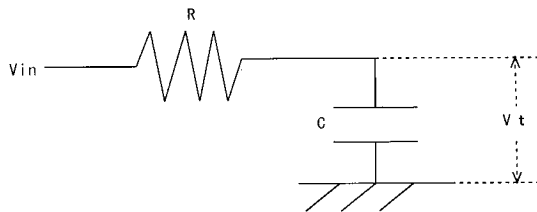
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 M
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C

专利名称(译)	液晶显示装置，驱动电路及其驱动方法		
公开(公告)号	JP2006071891A	公开(公告)日	2006-03-16
申请号	JP2004254203	申请日	2004-09-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	森泰樹		
发明人	森 泰樹		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.621.B G09G3/20.621.F G09G3/20.622.A G09G3/20.623.A G09G3/20.623.B G09G3/20.623.G G09G3/20.623.M G09G3/20.624.B G09G3/20.624.C		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA43 2H093/NC13 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC50 2H093/ND31 2H093/ND39 2H093/NE03 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC26 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/FA12 5C006/FA13 5C006/FA14 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD08 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA08 2H193/ZC02 2H193/ZC13 2H193/ZC20 2H193/ZP03		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现点反转驱动并在短时间内对像素电容充分充电的液晶显示装置，以实现高质量和高质量的显示。经由TFT 10连接到相同数据线Ls的像素电极Ep被分成在左右方向上彼此相邻的两个像素列和相对于两个像素电极的一系列“左和右”以锯齿形方式布置，以便在单元的单元中相对于左和右位置在垂直方向上具有周期性。数据信号线驱动电路根据交错结构在每个水平扫描周期切换用于采样和锁存串行输入的图像数据的采样定时，并在同一帧周期内对每个数据线Ls应用相同的采样定时。通过施加极性电压，像素容量在短时间内充分充电。

The

