

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-309147

(P2005-309147A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int.Cl.⁷

G02F 1/1368

G02F 1/1335

G09F 9/30

H01L 29/786

F I

G02F 1/1368

G02F 1/1335 505

G09F 9/30 338

G09F 9/30 349C

H01L 29/78 619A

テーマコード (参考)

2H091

2H092

5C094

5F110

審査請求 未請求 請求項の数 6 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2004-126904 (P2004-126904)

(22) 出願日 平成16年4月22日 (2004.4.22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100094134

弁理士 小山 廣毅

(74) 代理人 100113262

弁理士 竹内 祐二

(72) 発明者 津幡 俊英

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

Fターム(参考) 2H091 FA02Y FA35Y FB04 FC26 FD04

GA07 GA13 KA10 LA17

最終頁に続く

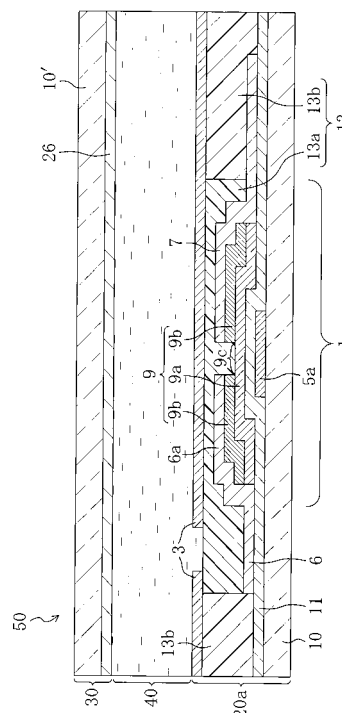
(54) 【発明の名称】 アクティブマトリクス基板及びそれを備えた表示装置

(57) 【要約】

【課題】 工程数を増加させずに、液晶表示装置の表示品位の向上を図る。

【解決手段】 マトリクス状に設けられた複数の画素と、その各画素に配設されたTFT1と、TFT1のチャネル領域を覆うように設けられたブラックマトリクス13aとを備えるアクティブマトリクス基板20aと、アクティブマトリクス基板20aに対向配置された対向基板30と、それら両基板20a及び30の間に挟持された液晶層40とを備えた液晶表示装置であって、ブラックマトリクス13aの比誘電率が、3.0以上且つ9.5以下、好ましくは3.5以上且つ8.0以下、より好ましくは4.0以上且つ6.0以下である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

マトリクス状に設けられた複数の画素と、該各画素に配設された薄膜トランジスタと、該薄膜トランジスタのチャネル領域を覆うように設けられた被覆層とを備えるアクティブマトリクス基板であって、

上記被覆層の比誘電率は、3.0以上且つ9.5以下であることを特徴とするアクティブマトリクス基板。

【請求項 2】

請求項 1 に記載されたアクティブマトリクス基板において、

上記被覆層の比誘電率は、3.5以上且つ8.0以下であることを特徴とするアクティブマトリクス基板。 10

【請求項 3】

請求項 1 に記載されたアクティブマトリクス基板において、

上記被覆層の比誘電率は、4.0以上且つ6.0以下であることを特徴とするアクティブマトリクス基板。

【請求項 4】

請求項 1 乃至 3 の何れか 1 つに記載されたアクティブマトリクス基板において、

上記被覆層は、ブラックマトリクスであることを特徴とするアクティブマトリクス基板

。

【請求項 5】

請求項 4 に記載されたアクティブマトリクス基板において、

上記薄膜トランジスタ及びブラックマトリクスの間には、層間絶縁膜が設けられていることを特徴とするアクティブマトリクス基板。 20

【請求項 6】

請求項 1 乃至 5 の何れか 1 つに記載されたアクティブマトリクス基板と、該アクティブマトリクス基板に対向配置された対向基板と、上記アクティブマトリクス基板及び対向基板との間に挟持された表示媒体層とを備えていることを特徴とする表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス基板及びそれを備えた表示装置に関する。 30

【背景技術】**【0002】**

表示装置として注目されている液晶表示装置は、小型、薄型、低消費電力及び軽量という特徴を有するため、現在、種々の電子機器に広く用いられている。特に、画像の最小単位である画素毎にスイッチング素子を有するアクティブマトリクス型の液晶表示装置は、パソコン等のOA機器、テレビ等のAV機器、及び携帯電話等に広く展開されている。また、近年、液晶表示装置の大型化や、高精細化、画素の高開口率化、広視野角化及び色純度向上等の表示品位の向上が急速に進んでいる。

【0003】

図4は、従来の液晶表示装置50'を概略的に示す断面模式図である。 40

【0004】

この液晶表示装置50'は、互いに対向する一对の基板、具体的には、アクティブマトリクス基板20及び対向基板30'と、両基板20及び30'の間に挟持された液晶層40とにより構成されている。

【0005】

アクティブマトリクス基板20は、ガラス基板10の上に、配線及びスイッチング素子を含む回路層1'、及びその回路層1'を覆う絶縁膜2が設けられ、その絶縁膜2の上層には、画素を構成する画素電極3がマトリクス状に複数配設された構成となっている。

【0006】

対向基板 30' は、ガラス基板 10' の上に、カラーフィルタ層 25 及び共通電極 26 がそれぞれ設けられた構成となっている。

【0007】

カラーフィルタ層 25 は、各画素に対応して赤、緑及び青のうちの 1 色の着色層 25b が設けられ、各着色層 25b の間には遮光膜としてブラックマトリクス 25a が設けられた構成になっている。

【0008】

上記液晶表示装置 50' を製造する場合には、アクティブマトリクス基板 20 と対向基板 30' とを、それぞれの基板上の構成要素が組み合うように、つまりアクティブマトリクス基板 20 上の画素電極 3 と対向基板 30' 上のカラーフィルタ層 25 内の各着色層 25b とが組み合うように、精度よく貼り合わせることになる。

【0009】

しかし、アクティブマトリクス基板 20 と対向基板 30' とを貼り合わせるときには、貼り合わせずれによるアライメント誤差を考慮する必要がある。そして、各着色層 25b 間に配設されたブラックマトリクス 25a の周端は、通常、対向配置されるアクティブマトリクス基板 20 上の画素電極 3 の周端よりも数ミクロン内側に重ねて配置される。そうなると、液晶表示装置を設計する上で画素の開口率には限界がある。

【0010】

そこで、液晶表示装置の画素の開口率を向上させるために、対向基板 30' のカラーフィルタ層 25 を構成するブラックマトリクス 25a、又は、ブラックマトリクス 25a 及び着色層 25b を、アクティブマトリクス基板 20 自体に形成する技術が提案され、特許文献 1 及び 2 に開示されている。

【0011】

図 5 は、スイッチング素子を搭載した基板上にカラーフィルタ層 13 を形成する、いわゆるカラーフィルタオンアレイ構造のアクティブマトリクス基板 20' の平面模式図であり、図 6 は、図 5 中の B - B' 断面におけるアクティブマトリクス基板 20' の断面模式図である。なお、図 5 では、カラーフィルタ層を構成するブラックマトリクス及び着色層は、不図示にしている。

【0012】

アクティブマトリクス基板 20' は、ガラス基板 10 上に複数のゲート線 5 と複数のソース線 6 とが互いに直交するように配設され、そのゲート線 5 とソース線 6 との各交差部にはスイッチング素子として薄膜トランジスタ（以下、TFT と略称する）1 が、その TFT 1 の上層に保護層としてブラックマトリクス 13a が、ガラス基板 10 上の TFT 1 以外の位置に着色層 13b が、それぞれ設けられた構成になっている。さらに、ブラックマトリクス 13a 及び着色層 13b からなるカラーフィルタ層 13 の上層には、TFT 1 のドレイン電極 7 に接続された画素電極 3 が設けられている。

【0013】

一方、対向基板は、ガラス基板上に共通電極が設けられた単純な構成になっている。

【0014】

そのため、アクティブマトリクス基板 20' と対向基板とを貼り合わせる際には、対向基板が各画素によって区切られていないため、上記アライメントマージンをほとんど考慮する必要がない。これによって、画素の開口率を向上させることができる。

【0015】

ところで、TFT 1 は、ゲート線 5 の突出部であるゲート電極 5a と、ソース線 6 の突出部であるソース電極 6a と、ソース電極 6a に対峙するように設けられたドレイン電極 7 と、ゲート電極 5a とソース電極 6a 及びドレイン電極 7 との層間に設けられた半導体層 9 とにより構成されている。

【0016】

半導体層 9 は、下層の真性アモルファスシリコン層 9a と上層の n + アモルファスシリコン層 9b とにより構成され、ソース電極 6a 及びドレイン電極 7 間の領域がチャネル領

10

20

30

40

50

域となっている。そして、そのチャンネル領域におけるソース電極 6 a 及びドレイン電極 7 間の真性アモルファスシリコン層 9 a の表面、つまり、真性アモルファスシリコン層 9 a とブラックマトリクス 13 b との界面は、バックチャンネル部 9 c と呼ばれる。

【0017】

そして、このバックチャンネル部 9 c では、外部からの正イオン等の進入により、電子が誘起される恐れがあり、TFT のオフ時のリーク電流（オフ電流）が増大して、TFT のオン／オフ電流比が低くなってしまう。

【0018】

このTFT のオン／オフ電流比は、画像表示の際に、コントラストを決定するものであり、液晶表示装置の表示品位を左右する重要な要素の一つである。

10

【0019】

そのため、TFT のオン／オフ電流比が低くなると、その液晶表示装置では、画像表示の際に、十分なコントラストが取れなくなり、表示品位が低下する恐れがある。

【0020】

そこで、このバックチャンネル部の上層に、窒化シリコン等からなるチャンネル保護層を設けることにより、外部からの正イオン等の進入を防止する技術がよく用いられている。

【0021】

特許文献 3 では、バックチャンネル部と窒化シリコン等からなるチャンネル保護層との間に、さらに、p 型非晶質シリコン層を介在させることにより、TFT のオフ電流の増大を抑止する技術が開示されている。

20

【特許文献 1】特開平 10 - 170957 号公報

【特許文献 2】特開平 7 - 72473 号公報

【特許文献 3】特開平 8 - 8440 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、特許文献 3 の方法では、p 型非晶質シリコン層を形成する工程が必要になるため、工程数が増加して、製造コストの上昇を招く恐れがある。

【0023】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、工程数を増加させずに、表示品位の向上を図ることにある。

30

【課題を解決するための手段】

【0024】

本発明は、薄膜トランジスタ（TFT）のチャンネル領域を覆うように設けられた被覆層の比誘電率自体を最適化するようにしたものである。

【0025】

具体的に、本発明のアクティブマトリクス基板は、マトリクス状に設けられた複数の画素と、該各画素に配設された薄膜トランジスタと、該薄膜トランジスタのチャンネル領域を覆うように設けられた被覆層とを備えるアクティブマトリクス基板であって、上記被覆層の比誘電率が、3.0 以上且つ 9.5 以下であることを特徴とする。

40

【0026】

ここで、比誘電率とは、真空の誘電率に対する比である。

【0027】

上記の構成によれば、TFT のチャンネル領域を覆うように設けられた被覆層の比誘電率の上限が 9.5 である。そのため、TFT の上層の被覆層は、十分な TFT のオン／オフ電流比が取れる一定量以下の静電容量を有することになる。そして、例えば、その被覆層により覆われた TFT を有するアクティブマトリクス基板を備えた液晶表示装置では、TFT のオン／オフに対して十分なコントラストが取れる。

【0028】

また、上記被覆層の比誘電率が 9.5 を超える場合には、TFT の上層の被覆層は、上

50

記一定量を超える静電容量を有することになる。そうすると、その被覆層が帯電し易くなるため、TFTのチャネル領域、より具体的には、チャネル領域の表面のバックチャネル部に電子が誘起される可能性が高くなる。その結果、TFTのオフ電流が増大して、TFTのオン/オフ電流比が低下する。そして、そのTFTを有するアクティブマトリクス基板を備えた液晶表示装置では、画像表示の際に、十分なコントラストが取れなくなる。例えば、ノーマリーホワイトモードの表示形式の場合には、TFTのオフ電流が高いため黒表示ができず白表示に近い状態となる。

【0029】

一方、上記被覆層の比誘電率の下限が3.0である。そのため、例えば、その被覆層により覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置において、その被覆層は、表示装置を点灯状態から非点灯状態とした時（全画素のTFTがオフした時）に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃せる一定量以上の静電容量を有することになる。その結果、その液晶表示装置では、表示装置を点灯状態から非点灯状態とした時（全画素のTFTがオフした時）に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃すことが可能になる。

10

【0030】

また、上記被覆層の比誘電率が3.0未満の場合には、TFTの上層の被覆層は、上記一定量を超えない静電容量を有することになる。そうすると、その被覆層が帯電し難くなるため、TFTのバックチャネル部に流れるオフ電流が減少する。その結果、例えば、その被覆層により覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置では、表示装置を点灯状態から非点灯状態とした時（全画素のTFTがオフした時）に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃し難くなり、残像が発生する。

20

【0031】

以上のように、本発明では、被覆層の比誘電率が、3.0以上且つ9.5以下であるようにするだけで、画像表示の際に、十分なコントラストが取れ、且つ、表示装置を点灯状態から非点灯状態とした時（全画素のTFTがオフした時）に、液晶容量に蓄積されていた電荷を外部へ逃せられ、残像の発生がなくなるので、工程数を増加させずに、表示品位の向上を図ることが可能になる。

【0032】

本発明のアクティブマトリクス基板は、上記被覆層の比誘電率が、3.5以上且つ8.0以下であってもよい。

30

【0033】

上記の構成によれば、TFTのチャネル領域を覆うように設けられた被覆層の比誘電率の上限が8.0である。そのため、その被覆層は、十分なTFTのオン/オフ電流比が取れる一定量以下の静電容量を有すると共に、例えば、その被覆層により覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置において、画素欠陥を検知及び修正することが可能になる。

【0034】

具体的には、例えば、ノーマリーホワイトモードの表示形式の液晶表示装置の場合には、十分なTFTのオン/オフ電流比が取れているので、黒表示が可能となる。このとき、画面上に存在する画素欠陥は輝点欠陥として検知される。そして、輝点欠陥を黒点化する等の一般的な欠陥修正技術を用いることにより、その検知された画素欠陥（輝点欠陥）が修正される。

40

【0035】

また、上記被覆層の比誘電率が8.0を超え、且つ9.5未満の場合には、TFTのオン/オフ電流比は一応取れているが、例えば、半導体層の膜質等の製造ばらつきを考慮すると、TFTのオン/オフ電流比が取れずに十分な黒表示ができない場合がある。

【0036】

一方、上記被覆層の比誘電率の下限が3.5である。そのため、例えば、その被覆層により覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置において、

50

その被覆層は、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶容量に蓄積されていた電荷をＴＦＴを介して外部へ逃せる一定量以上の静電容量を有すると共に、例えば、外付け回路等を設けることにより、その液晶表示装置では、液晶容量に蓄積されていた電荷をＴＦＴを介して外部へより速やかに逃せることになり、表示品位が改善される。

【００３７】

具体的に、上記外付け回路は、例えば、表示装置を点灯状態から非点灯状態とする時（全画素のＴＦＴをオフする時）に、ＴＦＴのゲート電極に信号を瞬間的に入力して、液晶容量に蓄積されていた電荷が外部へ抜けるようにするものである。

【００３８】

また、上記被覆層の比誘電率が３．０を超え、且つ３．５未満の場合には、例えば、その被覆層により覆われたＴＦＴを有するアクティブマトリクス基板を備えた液晶表示装置において、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶容量に蓄積されていた電荷をＴＦＴを介して外部へ逃せられるが、その電荷を逃すために必要な時間が長いので、上記外付け回路を設けてもその効果が小さい。

【００３９】

以上のように、本発明では、被覆層の比誘電率が、３．５以上且つ８．０以下であるようにするだけで、画像表示の際に、十分なコントラストが取れると共に有効な画素欠陥の修正が可能となり、且つ、外付け回路等を設けることにより、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶層に蓄積されていた電荷を速やかに逃せられ、残像の発生がなくなるので、工程数を増加させずに、表示品位の向上を図ることが可能になる。

【００４０】

本発明のアクティブマトリクス基板は、上記被覆層の比誘電率が、４．０以上且つ６．０以下であってもよい。

【００４１】

上記の構成によれば、ＴＦＴのチャネル領域を覆うように設けられた被覆層の比誘電率の上限が６．０である。そのため、その被覆層は、より一層十分なＴＦＴのオン／オフ電流比が取れる一定量以下の静電容量を有することになる。つまり、その被覆層は、例えば、半導体層の膜質等の製造ばらつきを十分に許容する静電容量を有するため、ＴＦＴのオン／オフ電流比の不良に起因する画素欠陥の発生が抑止される。

【００４２】

一方、上記被覆層の比誘電率の下限が４．０である。そのため、例えば、その被覆層により覆われたＴＦＴを有するアクティブマトリクス基板を備えた液晶表示装置において、その被覆層は、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶容量に蓄積されていた電荷をＴＦＴを介して外部へ速やかに逃せる一定量以上の静電容量を有する。

【００４３】

以上のように、本発明では、被覆層の比誘電率が、４．０以上且つ６．０以下であるようにするだけで、画像表示の際に、より一層十分なコントラストが取れ、且つ、上記外付け回路等を設けなくても、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶容量に蓄積されていた電荷を外部へ速やかに逃せられ、残像が発生しないので、工程数を増加させずに、より確実に表示品位の向上を図ることが可能になる。

【００４４】

本発明のアクティブマトリクス基板は、上記被覆層が、上記チャネル領域を覆うブラックマトリクスであってもよい。

【００４５】

上記の構成によれば、本発明の作用効果が具体的に奏されることとなる。つまり、ＴＦＴのチャネル領域を覆うブラックマトリクスの比誘電率が、３．０以上９．５以下、好ま

10

20

30

40

50

しくは3.5以上8.0以下、より好ましくは4.0以上6.0以下というように最適化される。

【0046】

具体的には、ブラックマトリクスの比誘電率の上限値によって、TFTの上層のブラックマトリクスは、十分なTFTのオン/オフ電流比が取れる一定量以下の静電容量を有することになる。そして、例えば、そのブラックマトリクスにより覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置では、十分なコントラストが取れる。

【0047】

また、このブラックマトリクスの比誘電率が上限値を超えて高くなる場合には、アクティブマトリクス基板の製造工程においてブラックマトリクスが正に帯電する恐れがある。そして、その正への帯電によりTFTのオフ電流が増加して、TFTのオン/オフ電流比が低下してしまう。

10

【0048】

このブラックマトリクスが、正に帯電する現象は、TFTが形成された基板を純水で洗浄する純水洗浄工程において、その基板に洗浄用の純水が接触する際に発生すると考えられている。

【0049】

これにより、上記のように適当な比誘電率のブラックマトリクスにより覆われたTFTを有するアクティブマトリクス基板は、純水洗浄を行っても帯電し難くなる。

【0050】

20

一方、ブラックマトリクスの比誘電率の下限値によって、例えば、そのブラックマトリクスにより覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置において、そのブラックマトリクスは、表示装置を点灯状態から非点灯状態とした時(全画素のTFTがオフした時)に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃せる一定量以上の静電容量を有することになる。その結果、その液晶表示装置では、表示装置を点灯状態から非点灯状態とした時(全画素のTFTがオフした時)に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃すことが可能になる。

【0051】

また、このブラックマトリクスの比誘電率が下限値を超えて低くなる場合には、ブラックマトリクスの静電容量が低下して、TFTのバックチャネル部に流れるオフ電流が減少する。その結果、例えば、その下限値を超えたブラックマトリクスにより覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置では、表示装置を点灯状態から非点灯状態とした時(全画素のTFTがオフした時)に、液晶容量に蓄積されていた電荷をTFTを介して外部へ逃し難くなるので、残像として認識される。

30

【0052】

この液晶容量に蓄積されていた電荷の抜けが鈍くなる現象は、TFTの上層にブラックマトリクスが設けられて、光励起によるTFTのリーク電流の発生が抑止される基板構成の場合において、より顕著に現れるものである。

【0053】

さらに、ブラックマトリクスを有するカラーフィルタ層が対向基板側に設けられた液晶表示装置の場合は、アクティブマトリクス基板と対向基板との間に、通常、3.0~5.0 μm 程度の液晶層が挟持されているため、本発明のようなカラーフィルタ(ブラックマトリクス)オンアレイ構造のアクティブマトリクス基板の場合よりも、TFTに外光が入射し易い。そのため、その外光によってTFTにリーク電流が発生する可能性があり、液晶容量や補助容量に蓄積されていた電荷をTFTを介して外部へ逃すことが容易である。

40

【0054】

これにより、上記のように適当な比誘電率のブラックマトリクスにより覆われたTFTを有するアクティブマトリクス基板を備えた液晶表示装置では、TFTへの外光の入射が抑止され、その外光によるリーク電流が発生することがないので、本発明の効果が有効に発揮できる。

50

【 0 0 5 5 】

以上のように、ブラックマトリクスの比誘電率を最適化することにより、画像表示の際に、より一層十分なコントラストが取れ、且つ、表示装置を点灯状態から非点灯状態とした時（全画素のＴＦＴがオフした時）に、液晶容量に蓄積されていた電荷を外部へ速やかに逃せられ、残像が発生しないので、そのブラックマトリクスにより覆われたＴＦＴを有するアクティブマトリクス基板を備えた液晶表示装置では、工程数を増加させずに、表示品位の向上を図ることが可能になる。

【 0 0 5 6 】

本発明のアクティブマトリクス基板は、上記薄膜トランジスタ及びブラックマトリクスの間には、層間絶縁膜が設けられていてもよい。

10

【 0 0 5 7 】

上記の構成によれば、ＴＦＴのチャネル領域を覆うように設けられたブラックマトリクスの比誘電率が、３．０以上且つ９．５以下、好ましくは３．５以上且つ８．０以下、より好ましくは４．０以上且つ６．０以下というように最適化され、そのブラックマトリクスとＴＦＴとの間に層間絶縁膜が介在することになる。ここで、ブラックマトリクスとＴＦＴとの間に上記のような層間絶縁膜が介在せず、ブラックマトリクスにイオン性不純物が含有する場合には、そのイオン性不純物がＴＦＴのバックチャネル部の電子の状態に影響を及ぼす恐れがある。それに対して本発明では、ブラックマトリクスとＴＦＴとの間に層間絶縁膜が介在するので、そのイオン性不純物がＴＦＴのバックチャネル部に影響を与えることが少なくなり、ＴＦＴの誤作動が抑止される。

20

【 0 0 5 8 】

以上のようなアクティブマトリクス基板は、特に表示装置において、その効果が有効に発揮される。

【 発明の効果 】

【 0 0 5 9 】

本発明のアクティブマトリクス基板は、ＴＦＴのチャネル領域を覆うように設けられた被覆層の比誘電率を最適化するだけで、例えば、その被覆層により覆われたＴＦＴを有するアクティブマトリクス基板を備えた液晶表示装置において、画像表示の際に、十分なコントラストが取れ、且つ、表示装置を点灯状態から非点灯状態とした時に液晶容量に蓄積されていた電荷を外部へ逃せられ、残像の発生が抑止されるので、工程数を増加させずに、表示品位の向上を図ることが可能になる。

30

【 発明を実施するための最良の形態 】

【 0 0 6 0 】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の実施形態では、表示装置の例として、液晶表示装置を説明する。但し、本発明は、以下の実施形態に限定されるものではなく、他の構成であってもよい。

【 0 0 6 1 】

《 発明の実施形態 １ 》

以下に、本発明の実施形態 １ に係る液晶表示装置 ５ ０ について説明する。

【 0 0 6 2 】

40

図 １ は、液晶表示装置 ５ ０ の断面模式図である。液晶表示装置 ５ ０ を構成するアクティブマトリクス基板 ２ ０ a の平面構造については、上記背景技術の説明で用いた図 ５ の構造と実質的に同じであるので、図 ５ に記載のアクティブマトリクス基板 ２ ０ ' をアクティブマトリクス基板 ２ ０ a に置き換えて説明する。

【 0 0 6 3 】

液晶表示装置 ５ ０ は、アクティブマトリクス基板 ２ ０ a と、それに対向するように設けられた対向基板 ３ ０ と、両基板 ２ ０ a 及び ３ ０ の間に挟持されるように設けられた液晶層 ４ ０ とを備えている。

【 0 0 6 4 】

アクティブマトリクス基板 ２ ０ a は、ガラス基板 １ ０ 上に複数のゲート線 ５ と複数のソ

50

ース線 6 とが互いに直交するように配設され、各ゲート線 5 の間には容量線 8 がゲート線 5 と並行に延びるように配設されている。そして、各ゲート線 5 とソース線 6 との各交差部には、T F T 1 が設けられている。

【 0 0 6 5 】

また、一對のゲート線 5 と一對のソース線 6 で囲われる表示領域に、各 T F T 1 に対応して画素電極 3 が設けられている。さらに、各画素電極 3 の T F T 1 に対応する領域には、被覆層として、T F T 1 のチャンネル領域を覆うように所定の比誘電率を有するブラックマトリクス 1 3 a が設けられ、各画素電極 3 の T F T 1 以外の領域には、赤、緑及び青色のうちの 1 色の着色層 1 3 b が、それぞれ設けられている。なお、着色層 1 3 b は、赤、緑及び青色の組み合わせを例示したが、シアン、マゼンタ及びイエローの組み合わせであってもよい。

10

【 0 0 6 6 】

このブラックマトリクス 1 3 a の比誘電率は、3 . 0 以上 9 . 5 以下、好ましくは 3 . 5 以上 8 . 0 以下、より好ましくは 4 . 0 以上 6 . 0 以下である。これら比誘電率の数値の技術的な意義については、後で説明する。

【 0 0 6 7 】

また、アクティブマトリクス基板 2 0 a は、ガラス基板 1 0 上に、ゲート絶縁膜 1 1、並びにブラックマトリクス 1 3 a 及び着色層 1 3 b からなるカラーフィルタ層 1 3 が順に積層された多層積層構造となっている。

【 0 0 6 8 】

ガラス基板 1 0 とゲート絶縁膜 1 1 との層間には、ゲート線 5 と、ゲート線 5 から各 T F T 1 に対応してソース線 6 の延びる方向に突出したゲート電極 5 a と、容量線 8 とが設けられている。

20

【 0 0 6 9 】

ゲート絶縁膜 1 1 とカラーフィルタ層 1 3 との層間には、半導体層 9 が設けられ、その半導体層 9 の上層には、ソース線 6 と、ソース線 6 から各 T F T 1 に対応してゲート線 5 の延びる方向に突出したソース電極 6 a と、ソース電極 6 a に対峙するドレイン電極 7 とが設けられている。

【 0 0 7 0 】

この半導体層 9 は、下層の真性アモルファスシリコン層 9 a と上層の n + アモルファスシリコン層 9 b とにより構成され、ソース電極 6 a 及びドレイン電極 7 間の領域がチャンネル領域となっている。そして、そのチャンネル領域における真性アモルファスシリコン層 9 a の表面、つまり、真性アモルファスシリコン層 9 a とブラックマトリクス 1 3 b との界面は、バックチャンネル部 9 c となっている。

30

【 0 0 7 1 】

カラーフィルタ層 1 3 の上層には、コンタクトホール 7 a を介してドレイン電極 7 に接続された画素電極 8 が設けられている。

【 0 0 7 2 】

ドレイン電極 7 は、容量線 8 が配設された領域まで延設され、容量線 8 と重なる部分が補助容量電極となっている。そして、ゲート絶縁膜 1 1 の容量線 8 と重なる領域が、補助容量を構成している。

40

【 0 0 7 3 】

対向基板 3 0 は、ガラス基板 1 0 ' 上に共通電極 2 6 が設けられた構造になっている。

【 0 0 7 4 】

液晶層 4 0 は、電気光学特性を有するネマチック液晶材料からなる液晶分子により構成されている。

【 0 0 7 5 】

この液晶表示装置 5 0 は、各画素電極 3 ごとに 1 つの画素が構成されており、各画素において、ゲート線 5 からゲート信号が送られて T F T 1 をオンになったときに、ソース線 6 からソース信号が送られてソース電極 6 a 及びドレイン電極 7 を介して、画素電極 3 に

50

所定の電荷を書き込まれ、画素電極 3 と共通電極 2 6 との間で電位差が生じることになり、液晶層 4 0 からなる液晶容量、及び補助容量に所定の電圧が印加されるように構成されている。そして、液晶表示装置 5 0 では、その印加電圧の大きさに応じて液晶分子の配向状態が変わることを利用して、外部から入射する光の透過率を調整することにより、画像が表示される。

【 0 0 7 6 】

ここで、アクティブマトリクス基板 2 0 a の T F T 1 の上層のブラックマトリクス 1 3 a の比誘電率は、3 . 0 以上且つ 9 . 5 以下、好ましくは 3 . 5 以上且つ 8 . 0 以下、より好ましくは 4 . 0 以上且つ 6 . 0 以下である。以下に、これら比誘電率の数値の技術的な意義について説明する。

10

【 0 0 7 7 】

まず、ブラックマトリクス 1 3 a の比誘電率が、3 . 0 以上且つ 9 . 5 以下である場合について説明する。

【 0 0 7 8 】

この場合、ブラックマトリクス 1 3 a の比誘電率の上限が 9 . 5 である。そのため、T F T 1 の上層のブラックマトリクス 1 3 a は、T F T 1 のオン / オフ電流比が十分に取れる一定量以下の静電容量を有することになる。そして、液晶表示装置 5 0 では、T F T 1 のオン / オフに対して十分なコントラストが取れる。

【 0 0 7 9 】

また、ブラックマトリクス 1 3 a の比誘電率が 9 . 5 を超える場合には、ブラックマトリクス 1 3 a は、上記一定量を超える静電容量を有することになる。そうすると、そのブラックマトリクス 1 3 a が帯電し易くなるため、T F T 1 のバックチャネル部 9 c に電子が誘起される可能性が高くなる。その結果、T F T 1 のオフ電流が増大して、T F T 1 のオン / オフ電流比が低下する。そして、液晶表示装置 5 0 では、画像表示の際に、十分なコントラストが取れなくなる。その結果、ノーマリーホワイトモードの表示形式（電圧無印加時に白表示）の場合には、T F T 1 がオフ電流が高いため、黒表示ができずに白表示に近い状態になる。

20

【 0 0 8 0 】

一方、ブラックマトリクス 1 3 a の比誘電率の下限が 3 . 0 である。そのため、液晶表示装置 5 0 において、ブラックマトリクス 1 3 a は、表示装置が点灯状態から非点灯状態とした時（全画素の T F T 1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を T F T 1 を介して外部へ逃せる一定量以上の静電容量を有することになる。これにより、その液晶表示装置 5 0 では、表示装置が点灯状態から非点灯状態とした時（全画素の T F T 1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を T F T 1 を介して外部へ逃すことが可能になる。

30

【 0 0 8 1 】

また、ブラックマトリクス 1 3 a の比誘電率が 3 . 0 未満の場合には、ブラックマトリクス 1 3 a は、上記一定量を超えない静電容量を有することになる。そうすると、そのブラックマトリクス 1 3 a が帯電し難くなるため、T F T 1 のバックチャネル部 9 c に流れるオフ電流が減少する。その結果、液晶表示装置 3 0 では、全画素の T F T 1 がオンからオフになる際に、液晶容量及び補助容量に蓄積されていた電荷を T F T 1 を介して外部へ逃し難くなり、残像が発生する。

40

【 0 0 8 2 】

これらのことにより、ブラックマトリクス 1 3 a の比誘電率が、3 . 0 以上且つ 9 . 5 以下である場合には、画像表示の際に、十分なコントラストが取れ、且つ、表示装置を点灯状態から非点灯状態とした時（全画素の T F T 1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を外部へ逃すことが可能になって残像の発生がなくなり、T F T 1 の上層に設けられたブラックマトリクス 1 3 a に起因する表示品位の低下を抑止することができる。

【 0 0 8 3 】

50

次に、ブラックマトリクス 13a の比誘電率が、3.5 以上且つ 8.0 以下である場合について説明する。

【0084】

この場合、ブラックマトリクス 13a の比誘電率の上限が 8.0 である。そのため、TFT1 の上層のブラックマトリクス 13a は、TFT1 のオン/オフ電流比が十分に取れる一定量以下の静電容量を有すると共に、液晶表示装置 50 において、画素欠陥を検知及び修正することが可能になる。

【0085】

具体的には、例えば、液晶表示装置 50 がノーマリーホワイモードの表示形式の場合には、TFT1 のオン/オフ電流比が十分に取れているので、黒表示が可能である。このとき、画面上に存在する画素欠陥は輝点欠陥として検知される。そして、輝点欠陥を黒点化する等の一般的な欠陥修正技術を用いることにより、その検知された画素欠陥（輝点欠陥）が修正される。

10

【0086】

また、ブラックマトリクス 13a の比誘電率が 8.0 を超え、且つ 9.5 未満の場合には、TFT1 のオン/オフ電流比は一応取れているが、例えば、半導体層の膜質等の製造ばらつきを考慮すると、TFT1 のオン/オフ電流比が取れずに十分な黒表示ができない場合がある。

【0087】

一方、ブラックマトリクス 13a の比誘電率の下限が 3.5 である。そのため、液晶表示装置 50 において、そのブラックマトリクス 13a は、表示装置が点灯状態から非点灯状態とした時（全画素の TFT1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を TFT1 を介して外部へ逃せる一定量以上の静電容量を有すると共に、例えば、外付け回路等を設けることにより、その液晶表示装置 50 では、液晶容量及び補助容量に蓄積されていた電荷を TFT1 を介して速やかに逃せることになり、表示品位を改善することができる。

20

【0088】

具体的に、上記外付け回路は、例えば、表示装置が点灯状態から非点灯状態とした時（全画素の TFT1 がオフした時）に、TFT1 のゲート電極 5a に信号を瞬間的に入力して、液晶容量及び補助容量に蓄積されていた電荷が外部へ抜けるようにするものである。

30

【0089】

また、ブラックマトリクス 13a の比誘電率が 3.0 を超え、且つ 3.5 未満の場合には、液晶表示装置 50 において、表示装置が点灯状態から非点灯状態とした時（全画素の TFT1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を TFT1 を介して外部へ逃せられるが、その電荷を逃すために必要な時間が長いので、上記外付け回路を設けてもその効果が小さい。

【0090】

これらのことにより、ブラックマトリクス 13a の比誘電率が、3.5 以上且つ 8.0 以下である場合には、画像表示の際に、十分なコントラストが取れると共に有効な画素欠陥の修正が可能となり、且つ、外付け回路等を設けることにより、表示装置が点灯状態から非点灯状態とした時（全画素の TFT1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を速やかに逃せるので、TFT1 の上層に設けられたブラックマトリクス 13a に起因する表示品位の低下を抑止することができる。

40

【0091】

次に、ブラックマトリクス 13a の比誘電率が、4.0 以上且つ 6.0 以下である場合について説明する。

【0092】

この場合、ブラックマトリクス 13a の比誘電率の上限が 6.0 である。そのため、TFT1 の上層のブラックマトリクス 13a は、TFT1 のオン/オフ電流比がより一層十分に取れる一定量以下の静電容量を有する。つまり、そのブラックマトリクス 13a は、

50

例えば、半導体層の膜質等の製造ばらつきを十分に許容する静電容量を有するため、TFT1のオン/オフ電流比の不良に起因する画素欠陥の発生を抑止することができる。

【0093】

一方、ブラックマトリクス13aの比誘電率の下限が4.0である。そのため、液晶表示装置50において、ブラックマトリクス13aは、表示装置が点灯状態から非点灯状態とした時(全画素のTFT1がオフした時)に、液晶容量及び補助容量に蓄積されていた電荷をTFTを介して外部へ速やかに逃せる一定量以上の静電容量を有する。

【0094】

これらのことにより、ブラックマトリクス13aの比誘電率が、4.0以上且つ6.0以下である場合には、画像表示の際に、より一層十分なコントラストが取れ、且つ、上記外付け回路等を設けなくても、表示装置が点灯状態から非点灯状態とした時(全画素のTFT1がオフした時)に、液晶容量及び補助容量に蓄積されていた電荷を外部へ速やかに逃せられ、残像が発生しないので、工程数を増加させずに、TFT1の上層に設けられたブラックマトリクス13aに起因する表示品位の低下をより確実に抑止することができる。

10

【0095】

次に、本発明の実施形態に係る液晶表示装置50の製造方法について説明する。

【0096】

<アクティブマトリクス基板作製工程>

まず、ガラス基板10上の基板全体に、Al膜をスパッタリング法にて成膜し、その後、フォトリソグラフィ技術(Photo Engraving Process、以下、「PEP技術」と称する)によりパターン形成して、ゲート線5、ゲート電極5a及び容量線8を形成する。

20

【0097】

ここで、ガラス基板10は、透明で且つ絶縁性であればよく、例えば、プラスチック基板等でも構わない。また、ゲート線5等を構成する材料としてはAl膜を例示したが、所望の配線抵抗が得られるものであればよく、例えば、Ta、Ti及びCr等の金属膜やこれらの合金膜等を用いるも可能である。さらに、ゲート線5等をTiN/Al/Ti及びMo/Al/Mo等の積層膜により構成しても構わない。

【0098】

次いで、ゲート線5、ゲート電極5a及び容量線8上の基板全体に、プラズマCVD(Cheical Vapor Deposition)法により窒化シリコン膜(SiNx)等を成膜し、ゲート絶縁膜11を形成する。

30

【0099】

次いで、ゲート絶縁膜11上の基板全体に、プラズマCVD法により真性アモルファスシリコン膜と、リングドープされたn+アモルファスシリコン膜とを連続して成膜し、その後、PEP技術によりゲート電極1a上に島状にパターン形成する。

【0100】

次いで、真性アモルファスシリコン膜及びn+アモルファスシリコン膜がパターン形成されたゲート絶縁膜11上の基板全体に、Al膜をスパッタリング法にて成膜し、その後、PEP技術によりパターン形成して、ソース線6、ソース電極6a及びドレイン電極7を形成する。

40

【0101】

ここで、ソース線6等を構成する材料としてはAl膜を例示したが、所望の配線抵抗が得られるものであればよく、例えば、Ta、Ti及びCr等の金属膜やこれらの合金膜等を用いるも可能である。さらに、ソース線6等をTiN/Al/Ti及びMo/Al/Mo等の積層膜により構成しても構わない。

【0102】

次いで、ソース電極6a及びドレイン電極7をマスクとしてn+アモルファスシリコン膜をエッチング除去することにより、ソース電極6aとドレイン電極7との間にチャネル領域を形成して、その真性アモルファスシリコン層9aの表面がバックチャネル部9cと

50

なる。これによって、真性アモルファスシリコン層 9 a 及び n + アモルファスシリコン層 9 b とにより構成された半導体層 1 5 が形成される。

【0103】

次いで、ソース電極 6 a 及びドレイン電極 7 上の基板全体に、ドライフィルムラミネート法により、各色のドライフィルムをガラス基板 1 0 上に押し当てながら貼り合わせ転写、露光、現像を繰り返し、所定の比誘電率を有するブラックマトリクス 1 3 a 及び各着色層 1 3 b からなるカラーフィルタ層 1 3 を形成する。

【0104】

上記ドライフィルムラミネート法に使用するドライフィルムは、例えば、カーボン（ブラックマトリクス形成用）又は顔料（着色層形成用）をそれぞれ分散した感光性樹脂の樹脂膜を、PET（ポリエチレンテレフタレート）フィルム等のカバーフィルム間に挟持させたものである。

10

【0105】

そして、感光性樹脂の樹脂膜を基板に転写する際には、前もって準備したドライフィルムの片面のカバーフィルムを剥がした後、基板にそのカバーフィルムを剥がした方の面を押し当てながら、ドライフィルムを貼り合わせ、他方のカバーフィルムを剥離させる。これによって、カーボン或いは顔料が分散された感光性樹脂の樹脂膜が、基板上に転写される。なお、この工程は、一般にドライフィルムを加熱しながら実行される、いわゆる熱転写工程である。そして、この樹脂膜を基板に転写する方法は、ドライフィルムラミネート法と呼ばれている。

20

【0106】

次いで、ブラックマトリクス 1 3 a のドレイン電極 7 に対応する部分をエッチング除去して、コンタクトホール 7 a を形成する。

【0107】

次いで、カラーフィルタ層 1 3 上の基板全体に、ITO（Indium Tin Oxide）膜等からなる透明導電膜をスパッタリング法により成膜し、その後、PEP技術によりパターン形成して、画素電極 3 を形成する。

【0108】

次いで、画素電極 3 上の基板全体に、ポリイミド樹脂を塗布して、配向膜（不図示）を形成する。

30

【0109】

上記のようにしてアクティブマトリクス基板 2 0 a を作製することができる。

【0110】

< 対向基板作製工程 >

まず、ガラス基板 1 0 ' 上に、ITO 膜を成膜して共通電極 2 6 を形成する。

【0111】

ここで、ガラス基板 1 0 は、透明で且つ絶縁性であればよく、例えば、プラスチック基板等でも構わない。

【0112】

次いで、共通電極 2 6 上の基板全体に、ポリイミド樹脂を塗布して、配向膜（不図示）を形成する。

40

【0113】

上記のようにして、対向基板 3 0 を作製することができる。

【0114】

< 液晶表示装置作製工程 >

まず、アクティブマトリクス基板 2 0 a 及び対向基板 3 0 うちの一方にスクリーン印刷により、熱硬化性エポキシ樹脂等からなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、樹脂又はシリカからなる球状のスペーサーを散布する。

【0115】

50

次いで、アクティブマトリクス基板 20 a と対向基板 30 とを貼り合わせ、シール材料を硬化させ、空セルを形成する。

【0116】

次いで、空セルのアクティブマトリクス基板 20 a 及び対向基板 30 の基板間に、減圧法により液晶材料を注入し液晶層 40 を形成する。その後、液晶注入口に UV 硬化樹脂を塗布し、UV 照射により UV 硬化樹脂を硬化し、注入口を封止する。

【0117】

以上のようにして、本発明の液晶表示装置 50 を製造することができる。

【0118】

本発明の液晶表示装置 50 は、アクティブマトリクス基板 20 a 上の TFT 1 の上層に設けられるブラックマトリクス 13 a の比誘電率を上記のように最適化するだけで、画像表示の際に、十分なコントラストが取れ、且つ、表示装置が点灯状態から非点灯状態とした時（全画素の TFT 1 がオフした時）に、液晶容量及び補助容量に蓄積されていた電荷を外部へ逃せられ、残像が発生しないので、工程数を増加させずに、TFT 1 の上層に設けられたブラックマトリクス 13 a に起因する表示品位の低下を抑止することができる。

【0119】

《発明の実施形態 2》

以下に、本発明の実施形態 2 に係る液晶表示装置について説明する。

【0120】

図 2 は、本発明の実施形態 2 に係る液晶表示装置を構成するアクティブマトリクス基板 20 b の断面模式図である。なお、アクティブマトリクス基板 20 b の平面模式図については、実施形態 1 に記載のアクティブマトリクス基板 20 a と実質的に同じであるので、省略する。

【0121】

この液晶表示装置は、アクティブマトリクス基板 20 b と、それに対向するように設けられた対向基板と、両基板の間に挟持されるように設けられた液晶層とを備えている。

【0122】

対向基板及び液晶層については、実施形態 1 に記載のものの実質的に同じなので、その説明を省略する。

【0123】

アクティブマトリクス基板 20 b は、実施形態 1 に記載のアクティブマトリクス基板 20 a の TFT 1 を構成するソース電極 6 a、ドレイン電極 7 及びバックチャネル部 9 c と、カラーフィルタ層 13 を構成するブラックマトリクス 13 a 及び各着色層 13 b との間に、層間絶縁膜 14 が設けられた構成になっている。

【0124】

この層間絶縁膜 14 は、実施形態 1 の記載に基づいてガラス基板 10 上にソース電極 6 a 及びドレイン電極 7 並びに半導体層 9 を形成した後に、基板全体に、プラズマ CVD 法により窒化シリコン膜 (SiNx) 等を成膜することにより形成される。

【0125】

このアクティブマトリクス基板 20 b では、実施形態 1 に記載のアクティブマトリクス基板 20 a と比較して、TFT 1 のバックチャネル部 9 c を覆うように接するように層間絶縁膜 14 が設けられているので、例えば、ブラックマトリクス 13 a に含有するイオン性不純物がバックチャネル部 9 c に影響を与えにくくなり、そのイオン性不純物による TFT 1 の誤作動を抑止することができるという効果が、実施形態 1 に記載の効果に付加される。

【0126】

《発明の実施形態 3》

以下に、本発明の実施形態 3 に係る液晶表示装置について説明する。

【0127】

図 3 は、本発明の実施形態 3 に係る液晶表示装置を構成するアクティブマトリクス基板

10

20

30

40

50

20cの断面模式図である。なお、アクティブマトリクス基板20cの平面模式図については、実施形態1に記載のアクティブマトリクス基板20aのと実質的に同じであるので省略する。

【0128】

この液晶表示装置は、アクティブマトリクス基板20cと、それに対向するように設けられた対向基板と、両基板の間に挟持されるように設けられた液晶層とを備えている。

【0129】

アクティブマトリクス基板20cは、実施形態12記載のアクティブマトリクス基板20bのTFT1以外の領域に設けられていた着色層13bを省いて、それに代わって基板全体に平坦化膜15が設けられている。

10

【0130】

この平坦化膜15は、実施形態1及び2の記載に基づいてガラス基板10上にブラックマトリクス13aを形成した後に、基板全体に、透明性樹脂膜を塗布して、その後、PEP技術によりパターン形成することにより形成される。

【0131】

また、対向基板は、実施形態1に記載の対向基板30のガラス基板10'と共通電極26との間に、アクティブマトリクス基板20cの画素電極3に対応して、赤、緑及び青色のうちの1色の着色層が、それぞれ設けられている。

【0132】

このアクティブマトリクス基板20cでは、実施形態2に記載のアクティブマトリクス基板20aと比較して、基板全体に平坦化膜15が設けられているので、その上層の画素電極3の平坦性が向上するという効果が、実施形態2に記載の効果に付加される。

20

【0133】

次に、具体的に行った実験について説明する。

【0134】

本発明の実施例として、上記の実施形態3と同一の方法で、液晶表示装置を作製した。

【0135】

具体的には、まず、ガラス基板上に、3000のTiN/Al/Tiの積層膜をスパッタリング装置にて成膜した。

【0136】

次いで、ドライエッチングを用いたPEP技術によりパターン形成して、ゲート線、ゲート電極及び容量線を同時に形成した。

30

【0137】

次いで、それらゲート線、ゲート電極及び容量線を覆うように、SiH₄/NH₃/N₂ガスを用いて、RFパワー2kW、圧力200Paの条件で、プラズマCVD法により窒化シリコン膜(SiNx)を4000成膜して、ゲート絶縁膜を形成した。

【0138】

次いで、SiH₄/H₂ガスを用いて、RFパワー700W、圧力200Paの条件で、プラズマCVD法により、n+アモルファスシリコン膜を成膜した。

【0139】

次いで、PH₃/SiH₄/H₂ガスを用いて、RFパワー500W、圧力200Paの条件で、プラズマCVD法により、リンがドーパされた真性アモルファスシリコン膜を400成膜した。

40

【0140】

次いで、ドライエッチングを用いたPEP技術によりパターン形成して、ソース線、ソース電極及びドレイン電極を同時に形成した。

【0141】

次いで、ソース電極及びドレイン電極をマスクとしてn+アモルファスシリコン膜をドライエッチングして、チャンネル領域(バックチャンネル部)を形成することによりTFTを形成した。ここで、TFTのチャンネル幅Wとチャンネル長Lとの比(W/L)を4とした。

50

【 0 1 4 2 】

次いで、プラズマ C V D 法により窒化シリコン膜 (S i N x) を 3 0 0 0 成膜して、層間絶縁膜を形成した。

【 0 1 4 3 】

次いで、層間絶縁膜上にドライフィルムラミネート法により、ドライフィルムをガラス基板上に押圧しながら貼り合わせ転写、露光、現像を行い、ブラックマトリクスを形成した。

【 0 1 4 4 】

ここで、ブラックマトリクスを形成するドライフィルムとして、例えば、比誘電率 5 . 5 の富士写真フィルム (株) 製のネガ型ドライフィルム K s 1 等の、種々の比誘電率 (2 . 5 ~ 1 0) を有する感光性樹脂 (膜厚 1 . 5 μ m) を準備した。 10

【 0 1 4 5 】

次いで、ブラックマトリクス上にスピンコート法により、ポジ型のアクリル系型感光性樹脂を塗布し、 P E P 技術によりパターン形成して、平坦化膜を形成した。

【 0 1 4 6 】

次いで、パターン形成された平坦化膜をマスクとして、ブラックマトリクスのドレイン電極に対応する部分をドライエッチングして、コンタクトホールを形成した。

【 0 1 4 7 】

次いで、平坦化膜上にスパッタリングにより、 I T O 膜を 1 0 0 0 成膜し、その後、 P E P 技術によりパターン形成して、画素電極を形成した。 20

【 0 1 4 8 】

以上のようにアクティブマトリクス基板を作製して、ノーマリーホワイトの液晶表示装置を作製した。

【 0 1 4 9 】

次に、作製した液晶表示装置の表示品位の評価を行った。

【 0 1 5 0 】

結果を表 1 に示す。

【 0 1 5 1 】

【表 1】

比誘電率	3.0	3.5	4.0	4.5	5.0	5.5	6.0	6.5	7.0	7.5	8.0	8.5	9.0	9.5	10.0	
点灯状態品位	◎	◎	◎	◎	◎	◎	◎	○	○	○	○	△	△	△	×	×
電荷残り品位	×	△△	△	○	○	○	○	○	○	○	○	○	○	○	○	○

30

【 0 1 5 2 】

表 1 は、上記実施例において作製した種々の液晶表示装置の点灯状態 (表示) 品位及び電荷残り (表示) 品位、具体的には、表示装置を点灯状態から非点灯状態とした時に確認される残像を測定した結果である。 40

【 0 1 5 3 】

表 1 の点灯状態品位の ◎ は画素欠陥がなく修正不要な状態を示し、同じく ○ は画素欠陥があって修正可能な状態を示し、同じく △ は画素欠陥が多く存在して修正不可能な状態を示し、同じく × はコントラストが取れず黒表示ができない (画素欠陥が表示できない) 状態を示している。

【 0 1 5 4 】

表 1 の電荷残り品位の ○ は電荷がすぐ抜ける状態 (上記外付け回路が不必要な状態) を示し、同じく △ は電荷が抜けるのに 5 秒程度かかる状態 (外付け回路を付けることにより正常な表示品位になる状態) を示し、同じく × は電荷が抜けるのに 1 0 秒程度かかる状 50

態（外付け回路を付けることにより表示品位が改善される状態）を示し、同じく×は電荷が抜けるのに３０秒以上かかる状態（外付け回路を付けても表示品位が改善されない状態）を示している。

【０１５５】

表１に示すように、液晶表示装置の点灯状態表示品位及び電荷残り表示品位は、ブラックマトリクス of 比誘電率と密接に関係し、具体的には、ブラックマトリクス of 比誘電率の上限が点灯状態表示品位（コントラスト）の良し悪しに関係し、その下限が電荷残り表示品位の良し悪しに関係する。そのため、ブラックマトリクス of 比誘電率を最適化することにより、液晶表示装置の表示品位を向上させることが可能である。

【産業上の利用可能性】

10

【０１５６】

以上説明したように、本発明は、ＴＦＴを覆うように設けられたブラックマトリクス of 比誘電率を最適化することによって、表示品位を向上させているので、カラーフィルタオンアレイ構造のアクティブマトリクス基板を有する液晶表示装置について有用である。

【図面の簡単な説明】

【０１５７】

【図１】本発明の実施形態１に係る液晶表示装置５０の断面模式図である。

【図２】本発明の実施形態２に係る液晶表示装置を構成するアクティブマトリクス基板２０bの断面模式図である。

【図３】本発明の実施形態３に係る液晶表示装置を構成するアクティブマトリクス基板２０cの断面模式図である。

【図４】従来の液晶表示装置５０'の簡略化した断面模式図である。

【図５】従来の液晶表示装置を構成するアクティブマトリクス基板２０'の平面模式図である。

【図６】図５中のＢ－Ｂ'断面におけるアクティブマトリクス基板２０'の断面模式図である。

【符号の説明】

【０１５８】

- １ ＴＦＴ
- ２ 絶縁膜
- ３ 画素電極
- ５ ゲート線
- ５a ゲート電極
- ６ ソース線
- ６a ソース電極
- ７ ドレイン電極
- ７a コンタクトホール
- ８ 容量線
- ９ 半導体層
- ９a 真性アモルファスシリコン層
- ９b n+アモルファスシリコン層
- ９c バックチャネル部
- １０，１０' ガラス基板
- １１ ゲート絶縁膜
- １２，１３a，２５a ブラックマトリクス
- １３b，２５b 着色層
- １４ 層間絶縁膜
- １５ 平坦化膜
- ２０，２０'，２０a，２０b，２０c アクティブマトリクス基板
- １３，２５ カラーフィルタ層

30

40

50

 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード (参考)

H 0 1 L 29/78 6 1 9 B

F ターム(参考) 2H092 JA26 JB52 JB57 JB58 KB24 MA10 MA17 NA22 NA27 PA09
 5C094 AA06 AA08 AA25 AA42 AA43 AA44 AA48 BA03 BA43 CA19
 CA24 CA25 DA13 DB01 EA04 ED03 ED15 FA01 FA02 JA02
 5F110 AA06 BB01 CC07 DD01 DD02 EE01 EE03 EE04 EE06 EE15
 EE44 FF03 FF30 GG02 GG15 GG45 HK01 HK03 HK04 HK06
 HK09 HK16 HK21 HK22 HK25 HK33 HK35 NN02 NN24 NN28
 NN35 NN49 NN50 NN52 NN72 NN73 QQ09

专利名称(译)	有源矩阵基板和具有该基板的显示装置		
公开(公告)号	JP2005309147A	公开(公告)日	2005-11-04
申请号	JP2004126904	申请日	2004-04-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/1335 G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G02F1/1368 G02F1/1335.505 G09F9/30.338 G09F9/30.349.C H01L29/78.619.A H01L29/78.619.B		
F-TERM分类号	2H091/FA02Y 2H091/FA35Y 2H091/FB04 2H091/FC26 2H091/FD04 2H091/GA07 2H091/GA13 2H091/KA10 2H091/LA17 2H092/JA26 2H092/JB52 2H092/JB57 2H092/JB58 2H092/KB24 2H092/MA10 2H092/MA17 2H092/NA22 2H092/NA27 2H092/PA09 5C094/AA06 5C094/AA08 5C094/AA25 5C094/AA42 5C094/AA43 5C094/AA44 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/CA25 5C094/DA13 5C094/DB01 5C094/EA04 5C094/ED03 5C094/ED15 5C094/FA01 5C094/FA02 5C094/JA02 5F110/AA06 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE15 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK01 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/NN02 5F110/NN24 5F110/NN28 5F110/NN35 5F110/NN49 5F110/NN50 5F110/NN52 5F110/NN72 5F110/NN73 5F110/QQ09 2H092/KB26 2H191/FA02Y 2H191/FA14Y 2H191/FB04 2H191/FC36 2H191/FD04 2H191/FD20 2H191/GA10 2H191/GA19 2H191/KA10 2H191/LA22 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC32 2H192/DA12 2H192/DA23 2H192/DA43 2H192/EA06 2H192/EA42 2H192/EA67 2H192/EA74 2H192/GA31 2H291/FA02Y 2H291/FA14Y 2H291/FB04 2H291/FC36 2H291/FD04 2H291/FD20 2H291/GA10 2H291/GA19 2H291/KA10 2H291/LA22		
代理人(译)	前田弘 竹内雄二		
外部链接	Espacenet		

摘要(译)

要解决的问题：在不增加生产步骤的情况下提高液晶显示装置的显示等级。解决方案：该液晶显示装置具有以矩阵排列的像素，设置在每个像素上的TFT，具有设置为覆盖TFT1的沟道区域的黑矩阵13a的有源矩阵基板20a，面向有源矩阵基板设置的相对基板30如图20a所示，黑色矩阵13a的相对介电常数为3.0或更大但是9.5或更小，优选3.5或更大但是8.0或更小，更优选4.0或更大。6.0或更小。Z

