

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-519740

(P2004-519740A)

(43) 公表日 平成16年7月2日(2004.7.2)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G02F 1/133	G02F 1/133 560	2H092
G02F 1/1343	G02F 1/1343	2H093
G02F 1/1368	G02F 1/1368	5C006
G09G 3/20	G09G 3/20 621B	5C080
G09G 3/36	G09G 3/20 624B	
審査請求 未請求 予備審査請求 未請求 (全 35 頁) 最終頁に続く		

(21) 出願番号 特願2002-581504 (P2002-581504)
 (86) (22) 出願日 平成14年4月10日 (2002.4.10)
 (85) 翻訳文提出日 平成14年12月26日 (2002.12.26)
 (86) 国際出願番号 PCT/IB2002/001313
 (87) 国際公開番号 W02002/084633
 (87) 国際公開日 平成14年10月24日 (2002.10.24)
 (31) 優先権主張番号 0109015.8
 (32) 優先日 平成13年4月11日 (2001.4.11)
 (33) 優先権主張国 英国 (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

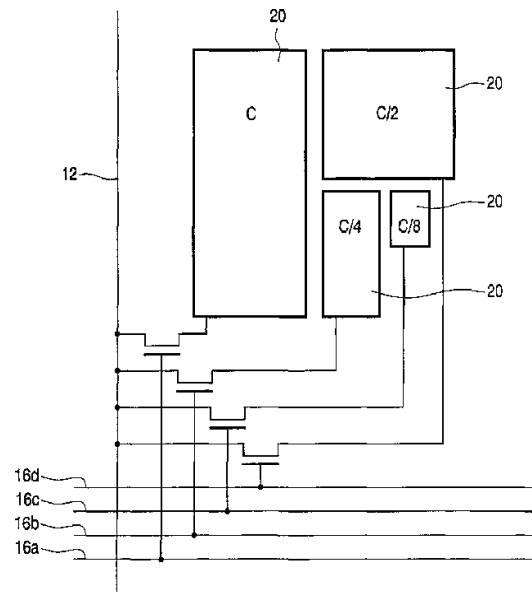
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦

最終頁に続く

(54) 【発明の名称】 双安定カイラルネマチック液晶ディスプレイ及びその駆動方法

(57) 【要約】

コレステリック液晶ディスプレイは、データ信号を受け取る入力部12と複数の出力部とを有する画素アドレス回路84を備えており、各出力部は、画素駆動信号を前記液晶材料20のそれぞれの部分に供給し、各出力部に関する画素駆動信号は、上記画素アドレス回路により各出力部に別個にスイッチ可能である。これは、空間的に分離された単位画素を提供し、各画素に関して中間調の出力を与えるために、幾つかの単位画素がアドレスされ得る。しかしながら、各画素駆動信号は、2つのレベルのデジタル信号であり得る。



【特許請求の範囲】

【請求項 1】

双安定のカイラルネマチック液晶材料の層と、画素アドレス回路の行及び列を規定するアクティブマトリクス基板とを有する表示装置であって、

各画素アドレス回路は、データ信号を受け取る入力部と、複数の出力部とを有し、各出力部は、画素駆動信号を前記液晶材料のそれぞれの部分に供給し、各出力部に関する前記画素駆動信号は、前記画素アドレス回路により各出力部に別個にスイッチ可能である表示装置。

【請求項 2】

前記液晶材料の異なる部分が、前記材料の層の異なるサイズの領域を占有する請求項 1 記載の表示装置。 10

【請求項 3】

前記異なる部分の前記領域が、2 進の重み付けされたスケールに従う請求項 2 記載の表示装置。

【請求項 4】

前記材料の層が、赤、緑及び青の領域を有する請求項 1 ないし 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

各画素が単一の入力部を有し、この入力部が対応するトランジスタを介して各出力部に結合されるとともに、各トランジスタが別個に選択可能なゲート電圧を持つ請求項 1 ないし 4 のいずれか 1 項に記載の表示装置。 20

【請求項 6】

各画素が複数の入力部を有すると共に、各入力部が対応するトランジスタを介して関連する出力部に結合され、共通の制御可能なゲート電圧が各トランジスタに供給される請求項 1 ないし 4 のいずれか 1 項に記載の表示装置。

【請求項 7】

各画素アドレス回路が 4 つの出力部を有する請求項 1 ないし 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

フレーム蓄積部を含む請求項 1 ないし 7 のいずれか 1 項に記載の表示装置。 30

【請求項 9】

前記フレーム蓄積部が、前のフレーム及び現在のフレームの画素の出力に基づいてホメオトロピック状態に駆動されるためにどの画素が必要であるかを決定するために用いられる請求項 8 記載の表示装置。

【請求項 10】

非アドレスモード及びアドレスモードにおいて駆動可能であり、前記フレーム蓄積部が、これら 2 つのモードの間の遷移を可能にするデータを蓄積するために用いられる請求項 8 記載の表示装置。

【請求項 11】

双方向のカイラルネマチック液晶表示装置をアドレスする方法であって、前記装置は、画素アドレス回路の行及び列を規定するアクティブマトリクス基板を有し、各画素アドレス回路は複数の出力部を有し、各出力部は画素駆動信号を前記液晶材料のそれぞれの部分に供給し、当該方法が、各画素行に関して、画素駆動信号を各画素アドレス回路の幾つかの出力部に供給し、前記出力部の数は所望の画素出力レベルの関数として選択される方法。 40

【請求項 12】

前記画素駆動信号が、初めに前記材料をホメオトロピック状態に駆動するために十分である請求項 11 記載の方法。

【請求項 13】

前のフレームにおいてプレーナ状態の画素出力部及び現在のフレームにおいてプレーナ状態に駆動されるべき画素出力部に関して、前記画素駆動信号が供給されない請求項 12 記 50

載の方法。

【請求項 1 4】

前記画素駆動信号が、幾つかのフレームに関して正であり、他のフレームに関して負である請求項 1 2 又は 1 3 記載の方法。

【請求項 1 5】

双方向のカイラルネマチック液晶表示装置をアドレスする方法であって、前記装置は、画素アドレス回路の行及び列を規定するアクティブマトリクス基板を有し、当該方法が、各画素行に関して、以前に透過性のフォーカルコニック状態であった画素にのみ画素駆動信号が供給され、これらの画素を透過性のホメオトロピック状態に駆動し、上記画素の状態がフレーム蓄積部から以前に決定され、初期化シーケンスを与える方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、カイラルネマチック反射性双安定液晶材料を利用するディスプレイ及びそのようなディスプレイを駆動する方法に関する。上記材料は、コレステリックとしても説明されている。特に、本発明は、アクティブマトリクスの画素配列及び駆動方式に関する。

【0002】

【従来の技術】

コレステリック液晶材料は、強く着色されたバイナリイメージを提供する反射性の材料である。この材料は、双安定 (b i s t a b l e) であり、非常に広い視野角を有しており、超ねじれネマチック (S T N) タイプのディスプレイにおいて必要とされるような偏向板、カラーフィルタ又はラビングを必要としない。従って、この材料は、高解像度であり、良好な画質の単色画像において、低電力及び低コストのディスプレイを提供することが可能である。このタイプのディスプレイは、手持ち式の携帯型装置用及び電子ブック又はニューズペーパーデバイスのような電子文書ビューア用に提案されている。

20

【0003】

コレステリック材料は、3つの安定な状態を有している。プレーナ (P) 状態は、この材料の反射性の状態であり、ゼロ印加電界において安定である。フォーカルコニック (F C) 状態はコレステリック材料の透過性の散乱状態であり、このフォーカルコニック状態もゼロ印加電界において安定である。ホメオトロピック (H) 状態は約 30 V の高い閾値電圧以上においてのみ安定であり、このホメオトロピック状態も透過性である。この材料の背面に配置されたブラック吸収層は、上記 H 状態及び F C 状態がブラックに見えることを意味する。

30

【0004】

第 4 の不安定な状態もまた存在し、これは、上記 H 状態からの材料の緩和の際に生じ得る。これは、中間 (T r a n s i e n t) プレーナ (P^{*}) 状態と呼ばれている。この状態は、H 状態における材料の高電圧が急速 (例えば、2 ミリ秒以下) に低下する場合にのみ生じる。上記中間プレーナ状態は、印加電界のない状態においてプレーナ状態 (P) に緩和する。

【0005】

この材料を使用する場合、駆動方式は、ゼロ印加電圧において安定である P 状態と F C 状態との間において材料をスイッチするように考案されている。第 1 の問題は、P 状態と F C 状態との間のいかなる遷移も材料が高電圧の H 状態を経ることを必要とするために生じる。従って、既知のパッシブマトリクススイッチング方式は、急速な高電圧スイッチングを必要とする。従来の駆動方式は、時間毎に画素がアドレスされ、材料の遷移が H 状態にもたらされるように構成されている。これは、次のフィールド期間において画素が P 状態に駆動されるべきであっても、反射性の P 状態の画素は透過性の H 状態を経るようにされることを意味する。これは、ブラックアドレッシングバーとして知られる視覚的アーチファクトを引き起こす。

40

【0006】

50

ホメオトロピック状態からの緩和は、印加電圧により制御され、プレーナ状態又はフォールコニック状態のいずれかの状態をもたらす。

【 0 0 0 7 】

【 発明が解決しようとする課題 】

ゼロ印加電圧における上記材料の双安定性は、この材料を用いたディスプレイが連続的な更新又はリフレッシュを必要としないことを意味する。表示情報が変化しない場合、この表示は、一度書き込まれ、電力を消費することなく長期間情報伝達構成部 (i n f o r m a t i o n - c o n v e y i n g c o n f i g u r a t i o n) に存在する。これが、かなり長時間にわたってゆっくりと更新され得る画像のためのコレステリック液晶ディスプレイの使用をもたらしてきた。しかしながら、上述した問題、特に遅いアドレス応答は、より広い領域の用途におけるこのディスプレイ技術の他の開発を制限している。

10

【 0 0 0 8 】

コレステリック液晶ディスプレイは、単色のバイナリ画像を与えるものであり、主に、単色の反射性ディスプレイのために提案されている。バイナリ画像ではなく中間調画像を提供するために、コレステリック材料のヒステリシス特性を利用することが提案されている。米国特許出願 U S - A - 6 0 5 2 1 0 3 号公報には、可変電圧に材料を駆動することにより中間調が得られるディスプレイが開示されている。この材料に印加される電圧と反射率との間の予測可能な関係を与えるために、各画素は、データ信号が供給される前に、透過性の H 状態にリセットされることを必要とする。これは、上述したブラックアドレッシングバーの問題を引き起こす。また、アナログ駆動方式では、液晶材料の電圧は、画素内における電荷の漏れの結果としてフレーム期間中に変化し得る。これは、フレーム期間中の反射率の変化を招く。この問題に対抗するために、追加の対策が必要とされる。

20

【 0 0 0 9 】

上述したように、コレステリック材料は、単色の画像を提供する。カラーディスプレイを提供するために、調整可能な (t u n a b l e) カイラルドーパントを用いることが知られており、その場合、このカイラルドーパントは液晶材料のカイラリティを制御する。紫外線露光が、上記ドーパント及び従って液晶材料のカイラリティを調節する。この方法では、上記材料の反射波長が紫外線露光により制御され得る。L . C . C h i e n e t a l の「 M u l t i c o l o u r R e f l e c t i v e C h o l e s t e r i c D i s p l a y s 」 (S I D 9 5 , p 1 6 9) に開示されているように、材料を形成する少量のポリマネットワークが、カラーが固定されることを可能にし、カラーの拡散を止める。上述した文献は、参照材料として本明細書に組み込まれたものとする。

30

【 0 0 1 0 】

カラーディスプレイを提供するために、各々が自身の駆動回路を伴う赤、緑及び青の画素アレイを有する表示基板を積み重ねるか、又は単一の基板に画素の赤、緑及び青のストライプを使用することが提案されている。後者の手法は、国際特許公開公報 W O 9 9 / 2 1 0 5 2 号に開示されており、この文献についても、参照材料として本明細書に組み込まれたものとする。

【 0 0 1 1 】

【 課題を解決するための手段 】

40

本発明によれば、双安定のカイラルネマチック液晶材料の層と、画素アドレス回路の行及び列を規定するアクティブマトリクス基板とを有する表示装置であって、各画素アドレス回路は、データ信号を受け取る入力部と、複数の出力部とを有し、各出力部は、画素駆動信号を液晶材料のそれぞれの部分に供給し、各出力部に関する画素駆動信号は、画素アドレス回路により各出力部に別個にスイッチ可能である表示装置が提供される。

【 0 0 1 2 】

本発明の画素の配置は、空間的に分離された単位画素を提供し、各画素に関して中間調の出力を与えるために幾つかの単位画素がアドレスされ得る。これは、各画素駆動信号が 2 つのレベルのデジタル信号であることを可能にし、アナログ駆動方式に関連する電荷の漏れの問題が生じることを防止する。

50

【 0 0 1 3 】

上記液晶材料の異なる部分は、例えば2進の (b i n a r y) 重み付けされたスケールに従う上記材料の層の異なるサイズの領域を占有していてもよい。その場合、上記部分の数は、画素のレイアウトにより実現され得る中間調のビット数に等しい。

【 0 0 1 4 】

上記材料の層は、赤、緑及び青の領域を有していてもよく、これにより、カラーディスプレイが実現され得る。例えば、上記層は、3つのストライプが画素の行又は列を規定する平行なストライプのアレイとして配置され得る。

【 0 0 1 5 】

各画素が単一の入力部を有し、この入力部が対応するトランジスタを介して各出力部に結合され、各トランジスタが別個に選択可能なゲート電圧を持つことが好ましい。これは、(材料をホメオトロピック状態に進ませるのに十分な) 単一の駆動電圧が画素列に供給されることを可能にする。 10

【 0 0 1 6 】

代替として、各画素は複数の入力部を有し、各入力部が対応するトランジスタを介して関連する出力部に結合され、共通の制御可能なゲート電圧が各トランジスタに供給される。これは、多重駆動電圧ライン (列ライン) を要するが、単一の行電圧ラインが当該行の画素全体を選択するために提供されることを可能にする。

【 0 0 1 7 】

この装置は、フレーム蓄積部を含むことが好ましい。これは、前のフレーム及び現在のフレームの画素の出力に基づいてホメオトロピック状態に駆動されるためにどの画素が必要であるかを決定するために用いられ得る。その場合、これは、上述したブラックバーの問題の発生が防止されることを可能にする。このディスプレイは、非アドレスモード及びアドレスモードにおいて駆動可能であり、上記フレーム蓄積部が、これら2つのモードの間の遷移を可能にするデータを蓄積するために用いられることが好ましい。 20

【 0 0 1 8 】

本発明は、また、双方向のカイラルネマチック液晶表示装置をアドレスする方法であって、上記装置は、画素アドレス回路の行及び列を規定するアクティブマトリクス基板を有し、各画素アドレス回路は複数の出力部を有し、各出力部は画素駆動信号を液晶材料のそれぞれの部分に供給し、当該方法が、各画素行に関して、画素駆動信号を各画素アドレス回路の幾つかの出力部に供給し、上記出力部の数が所望の画素出力レベルの関数として選択される方法を提供する。 30

【 0 0 1 9 】

この方法は、空間的に分離された単位画素が選択されることを可能にし、これにより、P状態とFC状態との間の遷移を可能にする。前のフレームにおいてプレーナ状態の画素出力部及び現在のフレームにおいてプレーナ状態に駆動されるべき画素出力部に関して、画素駆動信号は供給されない。これは、P状態の画素又は単位画素がP状態に再度駆動される際にH状態を経る必要を回避し、ブラックバーの問題を克服する。

【 0 0 2 0 】

本発明は、また、双方向のカイラルネマチック液晶表示装置をアドレスする方法であって、上記装置は、画素アドレス回路の行及び列を規定するアクティブマトリクス基板を有し、当該方法が、各画素行に関して、以前に透過性のフォーカルコニック状態であった画素にのみ画素駆動信号が供給され、これらの画素を透過性のホメオトロピック状態に駆動し、上記画素の状態がフレーム蓄積部から以前に決定され、初期化シーケンスを与える方法を提供する。 40

【 0 0 2 1 】

【 発明の実施の形態 】

添付の図面を参照して、本発明の例を詳細に説明する。

【 0 0 2 2 】

以下の説明及び特許請求の範囲では、「行」及び「列」の定義はある程度任意である。こ 50

これらの用語は、素子のグループが2つの直交する軸に合わせられた状態の2次元の素子のアレイを示すことのみを意図している。

【0023】

図1は、双安定反射性コレステリック液晶の電気光学的応答を示している。このグラフは、安定な低電圧のプレーナ又はフォーカルコニック状態のいずれかにおいて開始したある電圧の方形波が供給された後の反射率を示している。 V_1 未満の電圧は、材料の状態を変えない。 $V_2 \sim V_3$ の電圧パルスは、この材料をフォーカルコニック状態にスイッチし、 V_4 の電圧はプレーナ状態をもたらす。液晶ディスプレイにこの材料を用いるために、材料は、低い印加電圧 ($< V_1$) において安定なプレーナ又はフォーカルコニック状態に駆動される。しかしながら、プレーナ状態とフォーカルコニック状態との間のスイッチのために、上記材料は、材料が透過性である高電圧状態 (図1では図示せず) に駆動される必要がある。この高電圧が材料から取り除かれるという条件は、当該材料が安定な低電圧状態に緩和する形態を必要とする。電圧が急速に取り除かれる場合、材料は、安定なプレーナ状態に緩和する前に中間プレーナ状態を経る。電圧がゆっくりと取り除かれる場合、材料はフォーカルコニック低電圧安定状態に緩和する。

10

【0024】

コレステリックディスプレイに関する従来の駆動方式は、パッシブマトリクスアドレス方式を利用しており、これは、液晶のメモリ効果の結果として可能である。このアドレス方式の各フィールド期間中、上記材料は透過性のホメオトロピック状態を通るようにされる。これは、上述したブラックアドレッシングバーのアーチファクトを引き起こす。中間調を提供するために、領域2において材料を動作させることが提案されている。これは、材料が初めにプレーナ状態に駆動されることを必要とし、電圧が反射率の必要なレベルを提供する値に変えられることを必要とする。

20

【0025】

本発明は、中間調を提供し、一方でデジタル駆動方式の利点、すなわち、画素又は単位画素 (sub-pixel) がプレーナ状態又はホメオトロピック状態にのみ駆動され、他の中間状態には駆動されない利点を維持する。中間調を提供するために、各画素は単位画素に分割され、画素駆動信号は、各単位画素への画素アドレス回路により別個にスイッチ可能である。

【0026】

本発明は、アクティブマトリクスアドレス方式、すなわち、画素行に供給される電圧が行の各画素及び単位画素の液晶材料に対して選択的にスイッチ可能である方式を利用する。

30

【0027】

アクティブマトリクスアドレス方式の利用は、各画素 (又は単位画素) がホメオトロピック状態に進むか否かを要求 (dictate) することを可能にする。反射性のプレーナ状態である画素及び反射性のプレーナ状態のままであるべき画素に関して、ホメオトロピック状態を妨げることがブラックアドレッシングバーの問題の発生を防止する。

【0028】

図2は、従来のコレステリック画素を示すものであり、本発明の第1の観点を説明するために用いられ、これは、ディスプレイの動作のビデオモードと常時信号モードとの間のシームレスの遷移を可能にする。これは、静的な画像が通常必要とされる用途に有用であるが、ディスプレイは、ビデオ画像を生成する能力も提供する装置に用いられる。このような装置は、携帯電話機又は他の手持ち式の装置を有し得る。

40

【0029】

後述する本発明の例では、ビデオモードの間、各画素はプレーナ状態又は高電圧のホメオトロピック状態のいずれかに駆動される。FC状態よりもP状態において反射率が低いために、ホメオトロピック状態は、フォーカルコニック状態よりも大きいコントラストを与える。

【0030】

上記画素は、液晶材料の部分を含むセル10を有している。列導体12からのデータ信

50

号は、当該画素行のための行導体 16 によりスイッチのオン・オフが行われる高電圧の薄膜トランジスタ 14 を介してセル 10 に供給される。

【0031】

最初にディスプレイにアドレスする際、どの画素にも電荷は存在しない。従って、初期化が必要とされ、特に、高電圧のホメオトロピック状態からフォーカルコニック状態に緩和された画素に関して必要とされる。これらの画素は、FC 状態と H 状態との間の遷移が生じることを可能にするために、約 20 ミリ秒間高電圧のブラックのホメオトロピック状態に維持される必要がある。すべての画素がホメオトロピック状態に駆動される場合、これは、最初のフレームの前かつ空期間 (idle period) 後、例えばビデオアドレスシーケンスの開始時に、1つのブラックフレームを生成する。本発明の一観点によれば、前のアドレスシーケンスの最後のフレームを保持するためにフレーム蓄積部が利用される。これは、ブラックのフォーカルコニック状態の画素のみがブラックのホメオトロピック状態に変えられるようにするために用いられ得る。プレーナ状態のカラー画素は、触れられない (untouched) ままである。これは、単にフレーム蓄積部のデータを伴ってディスプレイにアドレスすることにより実現される。この場合も、任意の他のアドレスが生じる前にフォーカルコニックからホメオトロピックへの遷移が生じることを可能にするために、約 20 ミリ秒間維持される必要がある。ビデオアドレスモードが始まると、ユーザはコントラストの増大を感じるのみであるが、画像コンテンツの損失はない。

【0032】

フォーカルコニックからホメオトロピックへの遷移がフレーム時間未満において生じ得る場合、表示を更新するための新しいデータは、上記フレーム蓄積部に蓄積されるべきである。フレーム蓄積部の古いデータは、上述したセットアップを行うために用いられ、そののち、新しいフレームデータが用いられる。アドレス期間が終了すると、最後のフレームがフレーム蓄積部に残される。ディスプレイはフレーム蓄積部のデータと共に常にアドレスされ、セットアップ期 (set-up phase) がシームレスになる。

【0033】

これは、いかなるブラックバーのアーチファクトも伴うことなく、ディスプレイがスタンバイモードとビデオモードとの間を通過することを可能にする。上記スタンバイモードでは、ビデオモードの期間の終わりに、画素がホメオトロピック (高コントラスト) 状態からフォーカルコニック (低コントラスト) 状態にゆっくりと緩和するのに対して、プレーナ状態の画素は安定である。

【0034】

ビデオアドレスモードでは、必要とされるバイナリ遷移は、

- (1) ブラックからブラック
- (2) ブラックからカラー
- (3) カラーからカラー
- (4) カラーからブラック

である。

【0035】

(1) の場合、ホメオトロピック状態を維持するために、列電圧は、画素の両端の電圧を高く維持するように設定される。ラインがアドレスされた後、次のフレームのリフレッシュの前に、ホメオトロピック状態の緩和を生じさせるための十分な電荷の漏れが可能にされてはいけない。従って、ディスプレイは、全ての画素がホメオトロピック状態又はフォーカルコニック状態のいずれかである高コントラストのモードにおいて操作される。

(2) の場合、列電圧は、列電極への画素の急速な放電を可能にするゼロに設定され、カラープレーナ状態に遷移させる。この場合、画素が再度アドレスされる前に、反射プレーナ状態に達することを可能にするために、CTL材料の光学的応答はフレーム時間未満である必要がある。20 ミリ秒の光学的応答時間が典型的である。

(3) の場合、上記列においてゼロ電圧が維持され、これにより、ゼロ画素電圧を維持すると共に、画素を安定なプレーナ状態に維持する。

10

20

30

40

50

(4)の場合、プレーナ状態からホメオトロピック状態への遷移を引き起こすように、列電極には高電圧が設定される。

【0036】

このように、上記フレーム蓄積部は、スタンバイモードとビデオモードとの間の境界面をならず(smooth)ためだけではなく、安定なプレーナ状態のままであるべき画素のホメオトロピック状態への遷移を防止することにより、ビデオモードにおけるブラックバーのアーチファクトを防止するためにも使用される。

【0037】

上記液晶材料は、漏れ得る。これは、アドレスモードの終わりににおいて重要である。ビデオシーケンスの最後の画像は、画素の両端に最初に保持された大きな電圧を伴ってブラックの当該画素を有する。この電圧は、電荷が漏れると、ゆっくりと低減する。これは、電荷の漏れが十分にゆっくりである場合に、ホメオトロピック状態がフォーカルコニック状態に変わるようにする。これは、上述したコントラストの低下を引き起こす。

【0038】

フォーカルコニック状態をもたらすのに十分にゆっくりであるCTLC材料を介した漏れに依存するのではなく、トランジスタのゲート電圧は、十分に遅い速度で(ゼロボルトにある)列電極に電荷が漏れるようにアドレス期間の終わりに十分に増大され得る。

【0039】

図3は、本発明のアクティブマトリクス画素のデザインを示している。上述したようなフレーム蓄積部の使用は、(図2の)従来の画素をアドレスする場合、又は本発明の画素のデザインをアドレスする場合に用いられ得る。

【0040】

本発明の画素のデザインは、画素の空間分割により中間調及びカラーを与える。これは、アナログアドレスではなくデジタルを可能にし、これにより、ブラックバーアドレスのアーチファクトが回避されることを可能にする。

【0041】

各画素は、複数の単位画素20を有しており、単位画素のそれぞれは液晶層の分離した領域により規定されている。各単位画素20は関連するトランジスタ22を有しており、これにより、各単位画素が別個にアドレスされ得る。各画素は、画素当たりの単位画素の数に応じて、幾つかの行アドレスライン16a, 16b, 16cを必要とする。

【0042】

図3のデザインは、カラー画素当たりの列電極の数を3に保持している。行電極の数は、必要とされるデータの精度、すなわち、カラー単位画素当たりのビット数に影響される。

【0043】

上記液晶材料は、ポリマネットワーク又は各カラーのマージを阻止するセパレータ(例えばガラス壁)の何らかの形態のいずれかをを用いてストライプ状に配置される。カラーを生成するために、図3の回路は、液晶層の問題にしているカラー領域の下で反復される必要がある。

【0044】

図3に示されている単位画素20は、画素の信号の種々のビットが構成され得るようにサイズが変化する。図4は、これら単位画素20の領域の違いを示しており、これは、(各カラーに関して)4ビットの中間調を提供する図示された例では、容量の2進の(binary)重み付けされたレンジ、C, C/2, C/4, C/8を提供する。

【0045】

必要とされる個々の行信号を当該行の各画素に供給するために、行期間全体の範囲内の割り当てられた時間周期において、各単位画素に電圧が印加され、ホメオトロピック状態に材料を駆動するのに十分な信号が各列に順に供給される。このように、列信号の時分割多重が行われる。

【0046】

行及び列は、依然として2つの電圧レベルしか必要とせず、これは、行及び列の駆動回路

10

20

30

40

50

を単純化する。

【0047】

上述した例の代替は、画素当たり $3 \times b$ (b は、カラー単位画素当たりのビット数) の列電極を持たなければならない。その場合、画素当たり 1 つの行電極のみが必要とされる。これは、上記時分割多重がもはや必要ではなく、フレーム当たりの電圧の遷移数が低減するため、電力の節約という利点を有する。

【0048】

図 5 は、本発明による液晶表示装置を示している。この装置は、互いに対向する 2 つのガラス基板 80, 82 を備えており、これら基板の間に液晶材料 (図示せず) が保持されている。下側の基板 82 は、上述した画素のレイアウトを規定するアクティブプレートである。各画素は、液晶材料のためのコンタクトパッド 84 を規定する。各画素は、特定の画素デザインに依存する 1 つ又はそれ以上の行導体 86 及び 1 つ又はそれ以上の列導体 88 によりアドレスされる。上側の基板 80 は、共通の接地電位層 90 を支持しており、これにより、液晶材料の個々の領域は、コンタクトパッド 84 の電位に影響され、当該領域の両端において規定される電圧を有する。

10

【0049】

フレーム蓄積部は、ディスプレイの駆動回路 94 によりアクセスされる 92 として模式的に図示されている。

【0050】

上記アクティブプレートは、既知の技術を用いて、例えば、従来のアクティブマトリクス液晶ディスプレイのアクティブプレートを形成するために用いられるプロセスと同様のプロセスを用いて製造され得る。このように、必要なトランジスタ及びキャパシタプレートは、薄膜技術を用いて形成され、このトランジスタは、非晶質シリコンデバイス又は多結晶シリコンデバイスとして定義され得る。

20

【0051】

電圧の反転は、液晶材料両端のゼロ平均電界 (zero mean field) を維持するために望ましい。これは、ブラックの画素を異なる電界の交互の正及び負の電圧にアドレスすることにより実現され得る。しかしながら、これは、列の既存の高電圧を 2 倍にする。カウンタ電極の反転を使用することは、列電圧の範囲を非電圧反転ケースに戻すが、列電圧のレベルは (0 ボルト及び V ボルトではなく) $\pm V/2$ ボルトに変化し、必要な 0 及び V ボルトの実効画素電圧を達成する。

30

【0052】

当業者であれば、種々の変形が明らかであろう。

【図面の簡単な説明】

【図 1】双安定反射性コレステリック液晶の電気光学的応答を示す図である。

【図 2】従来のコレステリック表示画素をアドレスするためにアクティブマトリクスアドレッシング方式がどのように用いられるかを説明するために用いられる図である。

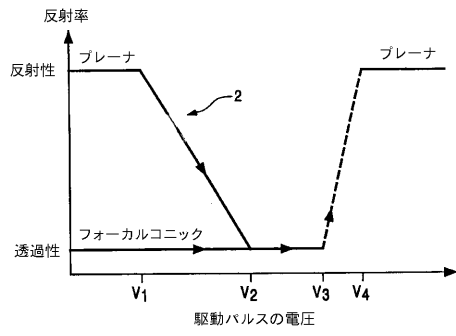
【図 3】本発明のアクティブマトリクスコレステリック表示画素のデザインを示す図である。

【図 4】図 3 の画素を平面的に示す図である。

40

【図 5】本発明によるディスプレイを示す図である。

【 図 1 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
24 October 2002 (24.10.2002)

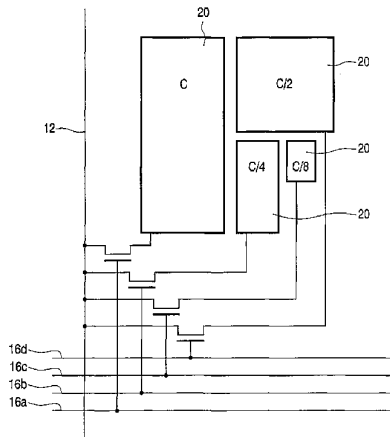
PCT

(10) International Publication Number
WO 02/084633 A1

- (51) International Patent Classification: G09G 3/36 (74) Agent: WILLIAMSON, Paul, L.; International Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/01313
- (22) International Filing Date: 10 April 2002 (10.04.2002) (81) Designated States (national): CN, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Publication Language: English
- (30) Priority Data: 0109015.8 11 April 2001 (11.04.2001) GB Published: with international search report
before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors: FISH, David, A.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). BIRD, Neil, C.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: BISTABLE CHIRAL NEMATIC LIQUID CRYSTAL DISPLAY AND METHOD OF DRIVING THE SAME



(57) Abstract: A cholesteric liquid crystal display has pixel address circuits (84) with an input (12) for receiving a data signal and a plurality of outputs, wherein each output is for applying a pixel drive signal to a respective portion of the liquid crystal material (20), and wherein the pixel drive signal for each output is independently switchable by the pixel address circuit to each output. This provides spatially-separated sub-pixels, and a number of the sub-pixels can be addressed in order to provide a grey scale output for each pixel. Each pixel drive signal can however be a two-level digital signal.

WO 02/084633 A1

WO 02/084633

PCT/IB02/01313

1

**BISTABLE CHIRAL NEMATIC LIQUID CRYSTAL DISPLAY AND METHOD
OF DRIVING THE SAME**

5

The present invention concerns a display utilizing a chiral nematic reflective bistable liquid crystal material, and a method of driving such a display. This material is also described as cholesteric. In particular, the invention relates to an active matrix pixel arrangement and drive scheme.

10

Cholesteric liquid crystal material is a reflective material that provides a strongly coloured binary image. The material is bistable, has a very wide viewing angle and does not require polarisers, colour filters or rubbing as do super twisted nematic (STN) type displays. Therefore, the material can provide a low power and low cost display at high resolution and with a good quality single colour image. This type of display is being proposed for hand-held portable devices as well as for electronic document viewers, such as electronic book or newspaper devices.

Cholesteric materials have three stable states. The Planar (P) state is a reflective state of the material, and is stable with zero applied field. The Focal Conic (FC) is a transmissive scattering state of the material, and is also stable with zero applied field. The Homeotropic (H) state is stable only above a high threshold voltage of around 30V, and is also transparent. A black absorbing layer placed behind the material means that the H and FC states appear black.

A fourth, instable, state also exists, which can occur upon relaxation of the material from the H state. This is called the Transient Planar (P*) state. This state only arises if the high voltage on the material in the H state is reduced rapidly, for example in 2ms or less. The Transient Planar state relaxes to the Planar state (P) in the absence of applied voltages.

In use of the material, a drive scheme is devised to switch the material between the P and FC states, which are stable at zero applied voltage. A first problem arises because any transition between the P and FC states requires

WO 02/084633

PCT/IB02/01313

2

the material to pass through the high-voltage H state. Therefore, known passive matrix switching schemes require rapid high voltage switching. Conventional drive schemes are arranged such that each time a pixel is addressed, a transition in the material is provoked into the H state. This means that pixels in the reflective P state are caused to pass through the transmissive H state, even if the pixel is to be driven to the reflective P state in the next field period. This gives rise to a visual artifact known as a black addressing bar.

The relaxation from the Homeotropic state is then controlled by the applied voltages, either to result in the Planar or Focal Conic states.

The bistable nature of the material at zero applied voltage means a display using the material does not require continuous updating or refreshing. If display information does not change, the display can be written once and remain in its information-conveying configuration for extended periods with no power consumption. This has resulted in use of cholesteric liquid crystal displays for images that can be slowly updated over relatively long periods of time. However, the problems outlined above, particularly the slow addressing response, have limited the further development of this display technology in wider fields of application.

Cholesteric liquid crystal displays provide a single colour binary image, and have been proposed principally for single colour reflective displays. In order to provide a grey scale image, rather than a binary image, it has been proposed to use the hysteresis characteristic of the cholesteric material. US-A-8052103 discloses a display in which a grey scale is obtained by driving the material to a variable voltage. In order to provide a predictable relationship between the voltage applied to the material and the reflectivity, each pixel needs to be reset to the transmissive H state before the data signal is applied. This gives rise to the black addressing bar problem mentioned above. Furthermore, in an analogue drive scheme, the voltage on the liquid crystal material can vary during the frame period as a result of charge leakage within the pixel. This results in changes in the reflectivity during the frame period. Additional measures are required to counteract this problem.

WO 02/084633

PCT/IB02/01313

3

As mentioned above, the cholesteric material provides a single colour image. In order to provide a colour display, it is known to use a tunable chiral dopant, which then controls the chirality of the liquid crystal material. Ultraviolet exposure then adjusts the chirality of the dopant and hence the liquid crystal material. In this way, the reflection wavelength of the material can be controlled by UV exposure. A small amount of polymer network forming material enables the colour to be fixed and stops diffusion of the colour, as disclosed in L. C. Chien et al, "Multicolour Reflective Cholesteric Displays", SID 95, p169, which is incorporated herein by way of reference material.

In order to provide a colour display, it has been proposed to stack display substrates having red, green and blue pixel arrays, each with their own drive electronics, or to use red, green and blue stripes of pixels on a single substrate. The latter approach is disclosed in WO99/21052, which is also incorporated herein by way of reference material.

According to the invention, there is provided a display apparatus comprising:

- a layer of bistable chiral nematic liquid crystal material;
- an active matrix substrate defining rows and columns of pixel address circuits, wherein each pixel address circuit has an input for receiving a data signal and a plurality of outputs, wherein each output is for applying a pixel drive signal to a respective portion of the liquid crystal material, and wherein the pixel drive signal for each output is independently switchable by the pixel address circuit to each output.

The pixel arrangement of the invention provides spatially-separated sub-pixels, and a number of the sub-pixels can be addressed in order to provide a grey scale output for each pixel. This enables each pixel drive signal to be a two-level digital signal, which avoids the problems of charge leakage associated with analogue drive schemes.

WO 02/084633

PCT/IB02/01313

4

The different portions of the liquid crystal material may occupy different sized areas of the layer of material, for example following a binary-weighted scale. The number of portions then equates to the number of bits of the grey scale that can be implemented by the pixel layout.

5 The layer of material may comprise a red, green and blue region, so that a colour display may be implemented. For example, the layer may be arranged as an array of parallel stripes, with three stripes defining a row or column of pixels.

10 Each pixel preferably has a single input, and the input is coupled to each output through a respective transistor, each transistor having an independently selectable gate voltage. This enables a single drive voltage (sufficient to cause the material to pass to the Homeotropic state) to be provided to a column of pixels.

15 Alternatively, each pixel has a plurality of inputs, and each input is coupled to an associated output through a respective transistor, a common controllable gate voltage being applied to each transistor. This requires multiple drive voltage lines (column lines), but enables a single row voltage line to be provided for selecting the entire pixels in the row.

20 Preferably, the device includes a frame store. This can be used for determining which pixels need to be driven to the Homeotropic state based on the pixel outputs in the previous and current frames. This then enables the black bar problem to be avoided. The display is preferably drivable in a non-addressing mode and an addressing mode, and the frame store is then used to store data enabling transition between the two modes.

25 The invention also provides a method of addressing a bistable chiral nematic liquid crystal display apparatus, the apparatus comprising an active matrix substrate defining rows and columns of pixel address circuits, each pixel address circuit having a plurality of outputs, wherein each output is for applying a pixel drive signal to a respective portion of the liquid crystal material, the method comprising:
30

WO 02/084633

PCT/IB02/01313

5

for each row of pixels, applying a pixel drive signal to a number of the outputs of each pixel address circuit, the number of the outputs being selected as a function of the desired pixel output level.

5 This method enables spatially-separated sub-pixels to be selected thereby enabling a grey scale to be provided whilst using digital (two-state) control of the individual sub-pixels.

The pixel drive signal is sufficient to drive the material initially to the Homeotropic state, thereby enabling transition between the P and FC states. For pixel outputs in the Planar state in the preceding frame and to be driven to the Planar state in the current frame, the pixel drive signal is not applied. This
10 avoids the need for pixels or sub-pixels in the P state to pass through the H state when being driven again to the P state, and thereby overcomes the black bar problem.

The invention also provides a method of addressing a bistable chiral
15 nematic liquid crystal display apparatus, the apparatus comprising an active matrix substrate defining rows and columns of pixel address circuits, the method comprising:

applying an initialisation sequence, in which for each row of pixels a pixel drive signal is applied only to those pixels previously in the transmissive
20 Focal Conic state, thereby driving those pixels to the transmissive Homeotropic state, the state of the pixels previously being determined from a frame store.

Examples of the invention will now be described in detail with reference
25 to the accompanying drawings, in which:

Figure 1 shows the electro-optical response of a bistable reflective cholesteric liquid crystal;

Figure 2 is used to explain how an active matrix addressing scheme can be used to address a conventional cholesteric display pixel;

30 Figure 3 shows an active matrix cholesteric display pixel design of the invention;

Figure 4 shows the pixel of Figure 3 in plan view; and

Figure 5 shows a display according to the invention.

The definition of "rows" and "columns" is somewhat arbitrary in the following description and claims. These terms are intended only to signify a two dimensional array of elements, with groups of elements aligned with two orthogonal axes. Thus, a "row" or "column" may run from side to side or from top to bottom of a display.

Figure 1 shows the electro-optical response of a bistable reflective cholesteric liquid crystal. The curves show the reflectivity after application of a square wave pulse of given voltage starting either in the stable low-voltage Planar or Focal Conic state. A voltage below V_1 does not change the state of the material. A voltage pulse between V_2 and V_3 switches the material to the Focal Conic state, and a voltage of V_4 results in the Planar state. To use the material in a liquid crystal display, the material is driven to the stable Planar or Focal Conic states with low applied voltage ($<V_1$). However, to switch between the Planar and Focal Conic states, the material must be driven to a high voltage state (not shown in Figure 1) in which the material is transmissive. The conditions under which this high voltage is then removed from the material dictates the manner in which the material relaxes to the stable low voltage state. If the voltage is removed rapidly, the material passes through the Transient Planar state before relaxing to the stable Planar state. If the high voltage is removed more slowly, the material relaxes to the Focal Conic low-voltage stable state.

Conventional drive schemes for cholesteric displays use a passive matrix addressing scheme, which is possible as a result of the memory effect of the liquid crystal. During each field period of the addressing scheme, the material is caused to pass into the transmissive Homeotropic state. This gives rise to the black addressing bar artefact described above. In order to provide a grey scale, it has been proposed to operate the material in the region 2. This requires the material to be driven initially to the Planar state, and then requires the voltage to be altered to a value which provides the required level of reflectivity.

WO 02/084633

PCT/IB02/01313

7

The invention provides a grey scale whilst maintaining the advantages of a digital drive scheme, namely one in which pixels or sub-pixels are driven only to the Planar or Homeotropic states, and not to any intermediate state. To provide a grey scale, each pixel is divided into sub-pixels, and the pixel
5 drive signal is independently switchable by the pixel address circuit to each sub-pixel.

The invention uses an active matrix addressing scheme, namely one in which the voltage supplied to rows of pixels is selectively switchable on to the liquid crystal material of each pixel, and sub-pixel, in the row.

10 The use of an active matrix addressing scheme also makes it possible to dictate for each pixel (or sub-pixel) whether or not it passes to the Homeotropic state. For pixels which are in the reflective Planar state and which are to remain in the reflective Planar state, inhibiting the Homeotropic state avoids the black addressing bar problem.

15 Figure 2 shows a conventional cholesteric pixel, and is used to explain a first aspect of the invention, which enables seamless transition between video and constant signal modes of operation of the display. This is useful for applications where static images are normally required, but the display is used in a device which also provides the capability of generating video images.

20 Such a device may comprise a mobile telephone or other hand-held device.

In the example of the invention described below, during a video mode, each pixel is driven either to the Planar or the high voltage Homeotropic state. The Homeotropic state provides greater contrast than the Focal Conic state, because the reflectivity is lower in the P state than in the FC state.

25 The pixel comprises a cell 10 comprising a portion of the liquid crystal material. A data signal from a column conductor 12 is supplied to the cell 10 through a high voltage thin film transistor 14, which is turned on or off by the row conductor 16 for that row of pixels.

When initially addressing the display, no charge will exist on any pixel.
30 Therefore an initialisation is required, particularly for pixels which have relaxed from the high voltage Homeotropic state to the Focal Conic state. These pixels must be held in the high voltage black Homeotropic state for a period of

WO 02/084633

PCT/IB02/01313

8

around 20ms to enable the transition between the FC and H states to occur. If all pixels are driven to the Homeotropic state, this will create one black frame before the first frame after an idle period, for example at the start of a video addressing sequence. In accordance with one aspect of the invention, a frame store is used for holding the last frame of a previous addressing sequence. This can be used to cause only those pixels in a black Focal Conic state to be transformed to a black Homeotropic state. The colour pixels in the Planar state are left untouched. This is achieved by simply addressing the display with the data in the frame store. Again this must be left for around 20ms to allow the Focal-Conic to Homeotropic transition to occur before any further addressing occurs. The user will only perceive an increase in contrast as the video addressing mode begins, but there will be no loss of image content.

If the Focal-Conic to Homeotropic transition can occur in less than a frame time, then new data to update the display should be stored in the frame store. The old data in the frame store is used to perform the set-up described above, after which the new frame data is used. When finishing an addressing period, the last frame is left in the frame store. Then the display is always addressed with the data in the frame store and the set-up phase becomes seamless.

This enables the display to pass between standby and video modes, without any black bar artefacts. In the standby mode, at the end of a period of video mode, the pixels relax over time from the Homeotropic (high contrast) to Focal Conic (low contrast) states, whereas the pixels in the Planar state are stable.

In the video addressing mode, the required binary transitions are:

- (1) Black to Black;
- (2) Black to Colour;
- (3) Colour to Colour; and
- (4) Colour to Black.

In case (1), the column voltage is set high maintaining the voltage across the pixel to maintain the Homeotropic state. After the line is addressed, sufficient charge leakage to cause relaxation of the Homeotropic state must

WO 02/084633

PCT/IB02/01313

9

not be allowed before refresh in the next frame. Thus, the display is operated in a high contrast mode with all pixels either in the Homeotropic or Focal Conic states.

In case (2), the column voltage is set to zero allowing rapid discharge of the pixel to the column electrode causing a transformation to the colour Planar state. In this case the optical response of the CTLC material must be less than a frame time to allow the reflecting Planar state to be reached before the pixel is addressed again. Optical response times of 20ms are typical.

In case (3), zero voltage is held on the column, thereby maintaining zero pixel voltage, and maintaining the pixel in the stable Planar state.

In case (4), a high voltage is set on the column electrode to cause a Planar to Homeotropic state transition.

The frame store is thus used not only to smooth the interface between standby and video modes, but also to prevent the black bar artefact in the video mode, by preventing transition to the Homeotropic state for pixels which are to remain in the stable Planar state.

The liquid crystal material can be leaky. This is important for the end of the addressing mode. The final image in a video sequence will have black pixels with a large voltage initially held across them. This voltage will reduce slowly as the charge leaks away. This will cause the Homeotropic state to transform to the Focal Conic state if the charge leakage is slow enough. This gives rise to the contrast reduction explained above.

Rather than relying upon leakage through CTLC material being sufficiently slow to result in the Focal Conic state, the gate voltages of the transistors could be increased sufficiently at the end of an addressing period to let charge leak at a sufficiently slow rate to the column electrodes (which are then at zero volts).

Figure 3 shows an active matrix pixel design of the invention. The use of the frame store in the manner described above can be used when addressing a conventional pixel (of Figure 2) or when addressing the pixel design of the invention.

WO 02/084633

PCT/IB02/01313

10

The pixel design of the invention provides grey scale and colour by spatial division of the pixel. This enables digital rather than analogue addressing and thereby still enables the black bar addressing artefact to be avoided.

5 Each pixel comprises a plurality of sub-pixels 20, each of which is defined by a separate area of the liquid crystal layer. Each sub-pixel 20 has an associated transistor 22 so that each sub-pixel may be addressed independently. Each pixel requires a number of row address lines 16a, 16b, 16c, corresponding in number to the number of sub-pixels per pixel.

10 The design of Figure 3 keeps the number of column electrodes per colour pixel down to three. The number of row electrodes is dictated by the data accuracy required, namely the number of bits per colour sub-pixel.

The liquid crystal material will be arranged into stripes either using a polymer network or using some form of separator (e.g. a glass wall) to stop colours merging. To produce colour, the circuit of Figure 3 must be repeated
15 under the relevant colour region of the liquid crystal layer.

The sub-pixels 20 shown in Figure 3 will vary in size so that the various bits of the signal for the pixel can be made up. Figure 4 shows the area variation of these sub-pixels 20, providing a binary weighted range of
20 capacitances, C, C/2, C/4, C/8 in the example shown which provides a 4-bit grey scale (for each colour).

In order to provide the required individual row signals to each pixel in the row, the voltages are applied to each sub-pixel at an allocated time period within the overall row period, and a signal sufficient to drive the material to the
25 Homeotropic state is applied to the columns in turn. Thus, a time division multiplexing of the column signal is carried out.

The rows and columns still only require two voltage levels, simplifying row and column driver circuits.

An alternative to the above is to have $3 \times b$ column electrodes per pixel, where b is the number of bits per colour sub-pixel. Only one row electrode is
30 then required per pixel. This has a power saving advantage because the time

WO 02/084633

PCT/IB02/01313

11

division multiplexing is no longer required, reducing the number of voltage transitions per frame.

Figure 5 shows a liquid crystal display device according to the invention. The device is provided with two glass substrates 80, 82 which face each other to hold liquid crystal material between them (not shown). The lower substrate 82 is the active plate which defines the pixel layout described above. Each pixel defines a contact pad 84 for the liquid crystal material. Each pixel is addressed by one or more row conductors 86 depending on the specific pixel design and one or more column conductors 88, again depending on the pixel design. The upper substrate 80 carries a common earth potential layer 90, so that individual regions of the liquid crystal material have a potential defined across them which is dictated by the potential on the contact pad 84.

A frame store is shown schematically as 92 which is accessed by the drive electronics 94 of the display.

The active plate can be manufactured using known techniques, for example using the same processes used to form the active plate of a conventional active matrix liquid crystal display. Thus, the required transistors and capacitor plates are formed using thin film techniques, and the transistors may be defined as amorphous silicon or polycrystalline silicon devices.

The inversion of voltages is desirable to maintain a zero mean field across the liquid crystal material. This can be achieved by addressing the black pixels with alternating positive and negative voltages in different fields. However this doubles the already high voltages on the columns. Using counter electrode inversion will bring the column voltage range back to the non-voltage inversion case, but the column voltage levels will change to $\pm V/2$ Volts (rather than 0 and V Volts) to achieve r.m.s. pixel voltages of 0 and V Volts where required.

Various modifications will be apparent to those skilled in the art.

WO 02/084633

PCT/IB02/01313

12

CLAIMS

1. A display apparatus comprising:
5 a layer of bistable chiral nematic liquid crystal material;
an active matrix substrate defining rows and columns of pixel address
circuits,
wherein each pixel address circuit has an input for receiving a data
signal and a plurality of outputs, wherein each output is for applying a pixel
10 drive signal to a respective portion of the liquid crystal material, and wherein
the pixel drive signal for each output is independently switchable by the pixel
address circuit to each output.
2. A display device as claimed in claim 1, wherein the different
15 portions of the liquid crystal material occupy different sized areas of the layer
of material.
3. display device as claimed in claim 2, wherein the areas of the
different portions follow a binary-weighted scale.
20
4. A display device as claimed in any preceding claim, wherein the
layer of material comprises a red, green and blue region.
5. A display device as claimed in any preceding claim, wherein
25 each pixel has a single input, and the input is coupled to each output through a
respective transistor, each transistor having an independently selectable gate
voltage.
6. A display device as claimed in any one of Claims 1 to 4, wherein
30 each pixel has a plurality of inputs, and each input is coupled to an associated
output through a respective transistor, a common controllable gate voltage
being applied to each transistor.

WO 02/084633

PCT/IB02/01313

13

7. A display device as claimed in any preceding claim, wherein each pixel address circuit has four outputs.

5 8. A display device as claimed in any preceding claim, including a frame store.

9. A display device as claimed in claim 8, wherein the frame store is used for determining which pixels need to be driven to the Homeotropic state based on the pixel outputs in the previous and current frames.

10

10. A display device as claimed in claim 8, which is drivable in a non-addressing mode and an addressing mode, wherein the frame store is used to store data enabling transition between the two modes.

15 11. A method of addressing a bistable chiral nematic liquid crystal display apparatus, the apparatus comprising an active matrix substrate defining rows and columns of pixel address circuits, each pixel address circuit having a plurality of outputs, wherein each output is for applying a pixel drive signal to a respective portion of the liquid crystal material, the method comprising:

20

for each row of pixels, applying a pixel drive signal to a number of the outputs of each pixel address circuit, the number of the outputs being selected as a function of the desired pixel output level.

25 12. A method as claimed in claim 11, wherein the pixel drive signal is sufficient to drive the material initially to the Homeotropic state.

30 13. A method as claimed in claim 12, wherein for pixel outputs in the Planar state in the preceding frame and to be driven to the Planar state in the current frame, the pixel drive signal is not applied.

WO 02/084633

PCT/IB02/01313

14

14. A method as claimed in claim 12 or 13, wherein the pixel drive signal is positive for some frames and negative for other frames.

15. A method of addressing a bistable chiral nematic liquid crystal display apparatus, the apparatus comprising an active matrix substrate defining rows and columns of pixel address circuits, the method comprising:
5 applying an initialisation sequence, in which for each row of pixels a pixel drive signal is applied only to those pixels previously in the transmissive Focal Conic state, thereby driving those pixels to the transmissive
10 Homeotropic state, the state of the pixels previously being determined from a frame store.

WO 02/084633

PCT/IB02/01313

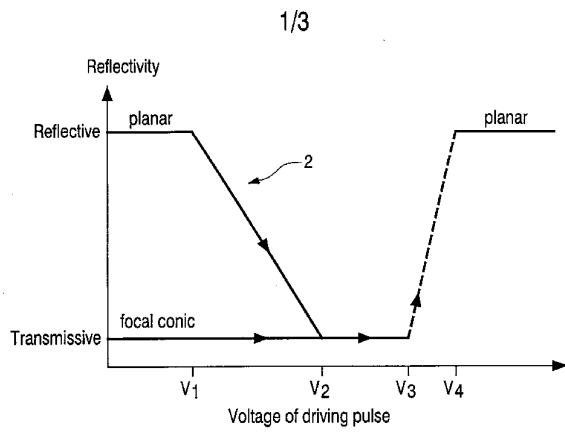


Fig.1

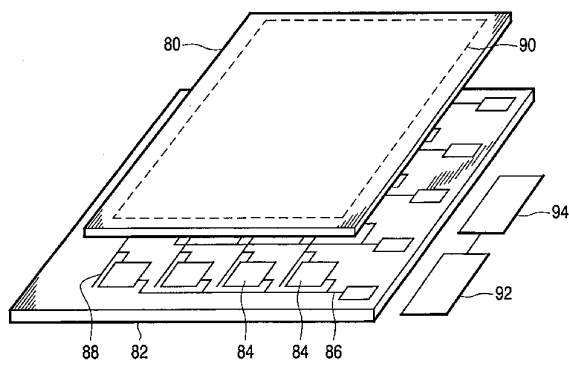


Fig.5

WO 02/084633

PCT/IB02/01313

2/3

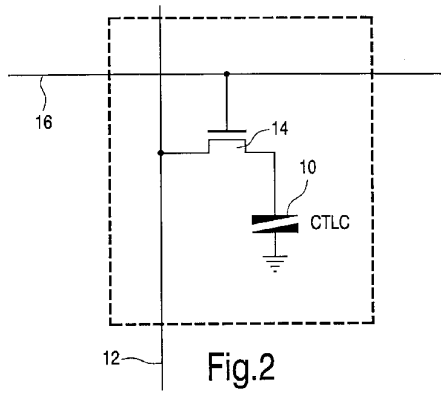


Fig.2

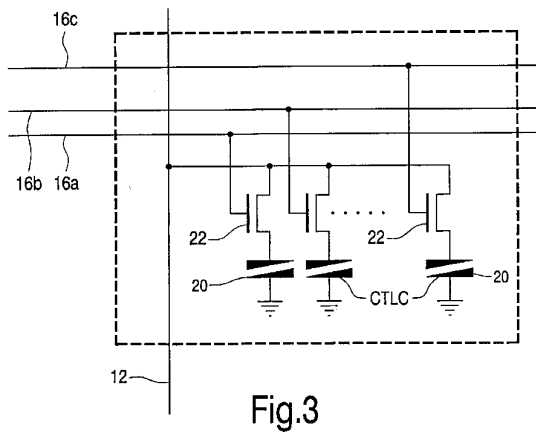


Fig.3

WO 02/084633

PCT/IB02/01313

3/3

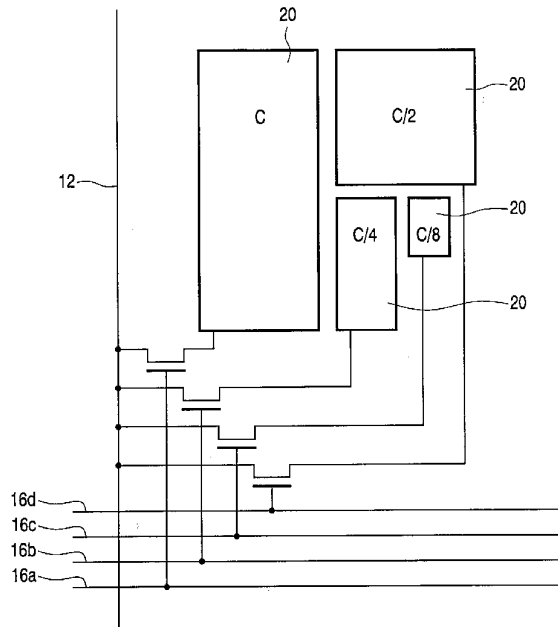


Fig.4

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 02/01313
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EP0-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	DE 198 11 022 A (SIEMENS AG) 16 September 1999 (1999-09-16) column 6, line 41 -column 7, line 46 figures 2-6	1-3,5,7, 11
Y	US 5 977 944 A (KATOH KENICHI ET AL) 2 November 1999 (1999-11-02)	6
A	column 20, line 29 -column 21, line 35 figures 24,25	1,11
Y	US 6 052 103 A (KOBAYASHI HITOSHI ET AL) 18 April 2000 (2000-04-18) cited in the application column 7, line 26 -column 8, line 24 figures 4,5	1-3,5-7, 11
	-/-	
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 14 June 2002		Date of mailing of the international search report 16/08/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3018		Authorized officer Farricella, L

Form PCT/ISA/10 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Int. Application No. PCT/IB 02/01313
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 361 981 A (SHARP KK) 4 April 1990 (1990-04-04) column 6, line 23 - column 7, line 24 column 9, line 24 - column 10, line 38 figures 8-8C ---	1,11
A	US 5 905 482 A (RAYNES EDWARD PETER ET AL) 18 May 1999 (1999-05-18) column 1, line 6 - line 8 column 1, line 29 - line 39 column 2, line 7 - line 30 column 11, line 31 - line 52 figures 14,15 ---	1,11
A	US 5 695 682 A (CHIEN LIANG-CHY ET AL) 9 December 1997 (1997-12-09) abstract -----	1,11

INTERNATIONAL SEARCH REPORT	 national application No. PCT/18 02/01313
Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)	
This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:	
1. ☐ Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	
2. ☐ Claims Nos.: because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:	
3. ☐ Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	
Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows:	
see additional sheet	
1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.	
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.	
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:	
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:	
1-14	
Remark on Protest	
☐ The additional search fees were accompanied by the applicant's protest.	
☐ No protest accompanied the payment of additional search fees.	

International Application No. PCT/IB 02/01313

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. Claims: 1-14

An active matrix display apparatus comprising a chiral nematic liquid crystal material with the pixel subdivided in independently addressable sub-pixels and a method for driving it.

2. Claim : 15

A method for driving an active matrix display apparatus comprising a chiral nematic liquid crystal material, the driving method comprising an initialisation sequence.

INTERNATIONAL SEARCH REPORT				Int. Application No. PCT/18 02/01313	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date		
DE 19811022	A	16-09-1999	DE	19811022 A1	16-09-1999
			WO	9948080 A1	23-09-1999
			EP	1062652 A1	27-12-2000
			JP	2002507774 T	12-03-2002
US 5977944	A	02-11-1999	JP	3294114 B2	24-06-2002
			JP	10069249 A	10-03-1998
			KR	239293 B1	15-01-2000
US 6052103	A	18-04-2000	JP	10105085 A	24-04-1998
EP 0361981	A	04-04-1990	JP	2096118 A	06-04-1990
			JP	2700903 B2	21-01-1998
			DE	68925172 D1	01-02-1996
			DE	68925172 T2	05-06-1996
			EP	0361981 A2	04-04-1990
US 5905482	A	18-05-1999	US	5499037 A	12-03-1996
			CA	2187521 A1	19-10-1995
			CN	1149921 A	14-05-1997
			DE	69513964 D1	20-01-2000
			DE	69513964 T2	20-04-2000
			EP	0755557 A1	29-01-1997
			WO	9527971 A1	19-10-1995
			GB	2301927 A ,B	18-12-1996
US 5695682	A	09-12-1997	JP	9511589 T	18-11-1997
			US	5437811 A	01-08-1995
			US	5384067 A	24-01-1995
			AT	179259 T	15-05-1999
			AT	209790 T	15-12-2001
			DE	69229003 D1	27-05-1999
			DE	69229003 T2	21-10-1999
			DE	69331240 D1	10-01-2002
			DE	69331240 T2	27-06-2002
			EP	0641372 A1	08-03-1995
			EP	0742915 A1	20-11-1996
			ES	2129463 T3	16-06-1999
			HK	1014022 A1	20-04-2000
			JP	3055697 B2	26-06-2000
			JP	8502837 T	26-03-1996
			JP	7507083 T	03-08-1995
			NO	9323496 A1	25-11-1993
			NO	9410260 A1	11-05-1994
			US	5691795 A	25-11-1997
			AT	178645 T	15-04-1999
			CA	2102199 A1	03-11-1992
			CN	1070744 A ,B	07-04-1993
			DE	69228874 D1	12-05-1999
			DE	69228874 T2	29-07-1999
			EP	0582656 A1	16-02-1994
			ES	2129447 T3	16-06-1999
			HK	1014023 A1	14-04-2000
			IL	101766 A	12-09-1996
			JP	6507505 T	25-08-1994
			NO	933845 A	23-12-1993
			US	5453863 A	26-09-1995
			WO	9219695 A2	12-11-1992

INTERNATIONAL SEARCH REPORT				International Application No. PCT/18 02/01313
Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 5695682	A	US 6104448 A	15-08-2000	
		US 5847798 A	08-12-1998	

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 1 A
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 4 2 C
	G 0 9 G 3/36	

(74)代理人 100121083

弁理士 青木 宏義

(72)発明者 フィッシュ デビッド エイ

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

(72)発明者 バード ネイル シー

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

F ターム(参考) 2H092 GA13 GA20 JA24 JB02 JB04 JB06 NA01 NA25 PA06 QA11

2H093 NA11 NA16 NB01 NC09 NC11 NC29 NC34 ND01 ND06 ND41

NF14

5C006 AA01 AA12 AA22 AF44 BA11 BB16 BC03 BC06 BC12 BC20

EB05 FA22 FA56

5C080 AA10 BB05 CC03 DD03 EE29 EE30 FF11 JJ03 JJ05

专利名称(译)	双稳态手性向列型液晶显示器及其驱动方法		
公开(公告)号	JP2004519740A	公开(公告)日	2004-07-02
申请号	JP2002581504	申请日	2002-04-10
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデビッドエイ バードネイルシー		
发明人	フィッシュ デビッド エイ バード ネイル シー		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G09G3/3651 G09G3/2074 G09G2300/0486		
FI分类号	G02F1/133.560 G02F1/1343 G02F1/1368 G09G3/20.621.B G09G3/20.624.B G09G3/20.631.A G09G3/20.642.A G09G3/20.642.C G09G3/36		
F-TERM分类号	2H092/GA13 2H092/GA20 2H092/JA24 2H092/JB02 2H092/JB04 2H092/JB06 2H092/NA01 2H092/NA25 2H092/PA06 2H092/QA11 2H093/NA11 2H093/NA16 2H093/NB01 2H093/NC09 2H093/NC11 2H093/NC29 2H093/NC34 2H093/ND01 2H093/ND06 2H093/ND41 2H093/NF14 5C006/AA01 5C006/AA12 5C006/AA22 5C006/AF44 5C006/BA11 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/EB05 5C006/FA22 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ03 5C080/JJ05		
代理人(译)	宫崎明彦		
优先权	2001009015 2001-04-11 GB		
外部链接	Espacenet		

摘要(译)

胆甾型液晶显示器包括像素地址电路84，其具有用于接收数据信号的输入12和多个输出，每个输出将像素驱动信号提供给所述液晶材料20的相应部分，关于每个输出部分的像素驱动信号是像素地址它可以通过电路分别切换到每个输出。这提供了空间上分离的单位像素，并且可以寻址若干单位像素以为每个像素提供半色调输出。然而，每个像素驱动信号可以是两级数字信号。

