

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-341497
(P2004-341497A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H093
GO2F 1/133	GO2F 1/133 550	5C006
GO9G 3/20	GO2F 1/133 575	5C080
	GO9G 3/20 621L	
	GO9G 3/20 623B	
審査請求 有 請求項の数 10 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2004-95537 (P2004-95537)	(71) 出願人 501358079
(22) 出願日 平成16年3月29日 (2004.3.29)	友達光電股▼ふん▲有限公司
(31) 優先権主張番号 92113172	台湾新竹科学工業園区新竹市力行二路1号
(32) 優先日 平成15年5月15日 (2003.5.15)	(74) 代理人 100111774
(33) 優先権主張国 台湾 (TW)	弁理士 田中 大輔
	(72) 発明者 孫 文堂
	台湾高雄市楠梓区和昌里19鄰和光街95巷1号
	Fターム(参考) 2H093 NA16 NA53 NC12 NC13 NC15
	NC16 NC21 NC22 NC26 NC49
	ND42 ND49 ND50 ND54 NE03
	NE07
	5C006 AA16 AC11 AC21 AF43 AF51
	AF83 BB16 BC12 BF03 BF04
	FA42
	最終頁に続く

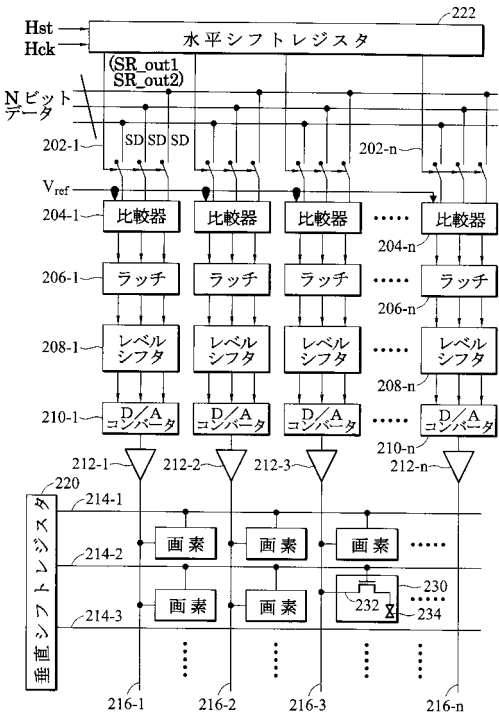
(54) 【発明の名称】 液晶ディスプレイ装置

(57) 【要約】

【課題】 F P C上のI / Oピン数やLCDパネル上の信号ライン数の減数化が図られた駆動回路を有するLCDを提供すること。

【解決手段】 駆動回路と複数の画素ユニットとを有し、受信したデジタル信号入力に基づいて表示を行うLCDにおいて、前記駆動回路のソースドライバとして、サンプルパルスを生成するパルス生成器222と、サンプルパルスに応答して前記入力デジタル信号をサンプリングするサンプラー202-nと、参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する比較器204-nと、前記比較結果を保持するラッチ206-nと、前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号を対応する画素に供給するD / Aコンバータ210-nとからなるものを用いる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、

前記駆動回路のソースドライバは、

画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成する、少なくとも一つのパルス生成器と、

前記サンプルパルスに 응답して、前記入力デジタル信号をサンプリングする、少なくとも一つのサンプラーと、

参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する、少なくとも一つの比較器と、

前記比較結果を保持する、少なくとも一つのラッチと、

前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号に対応する画素に供給する少なくとも一つの D / A コンバータと、からなるものであることを特徴とする液晶ディスプレイ装置。

【請求項 2】

前記 D / A コンバータから形成された前記アナログ信号を受信して当該アナログ信号に対応する画素に供給するアナログバッファを備えることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 3】

前記ラッチに保持された比較結果であるデジタル信号を、高い信号レベルの信号に転換し、前記信号を前記 D / A コンバータに出力する信号レベルコンバータを備えることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 4】

前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 5】

前記サンプラーは、スイッチであることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 6】

前記パルス生成器は、シフトレジスタであることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 7】

駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、

前記駆動回路のソースドライバは、

画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成するシフトレジスタと、

データバスと、

データバスライン上の入力デジタルデータを、前記サンプリングパルスに 응답してサンプリングし、数量が前記液晶ディスプレイ装置のデータラインの数と等しい一組のスイッチと、

スイッチの一つに結合され、対応するスイッチによりサンプリングされるデジタル信号を受信する第一入力端を備えると共に参考電圧を受信する第二入力端を備えており、受信したデジタル信号と参考電圧とを比較して、比較結果を出力する一組の比較器と、

前記比較器の一つに結合され、前記比較結果を保持する一組のラッチと、

前記ラッチの一つに結合され、前記対応するラッチにより保持された比較結果であるデジタル信号に基づいて、アナログ信号を生成し、前記アナログ信号に対応する画素に供給する一組の D / A コンバータと、からなることを特徴とする液晶ディスプレイ装置。

【請求項 8】

10

20

30

40

50

前記 D / A コンバータの一つに結合され、前記対応する D / A コンバータから形成された前記アナログ信号を受信し、前記アナログ信号を対応する画素に供給する一組のアナログバッファを備えることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。

【請求項 9】

前記ラッチの一つと前記 D / A コンバータの一つの間に結合され、前記対応するラッチにより保持された前記デジタル信号を、高い信号レベルの信号に増幅し、前記信号を前記対応する D / A コンバータ C に出力する一組の信号レベルコンバータを備えることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。

【請求項 10】

前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCD (liquid crystal display、液晶ディスプレイ) に関するものであって、特に、LCD パネルの駆動回路等に FPC (Flexible Printed Circuit) が用いられたものに関する。

【背景技術】

【0002】

LCD は、例えば、ソースドライバと、ゲートドライバと、両ドライバ (駆動部) に制御信号を送ってこれらの動作を制御する制御部と、ソースドライバおよびゲートドライバから出力される出力信号に基づいて画像を表示する LCD パネル部とを備えたようなものである。そして、ソースドライバ (source driver) は、快速デジタルデータを受信して、それを緩慢な並列デジタル信号に転換し、その後、緩慢なデジタル信号をアナログ電圧に転換して、LCD を駆動するものである。ディスプレイパネルは多数の画素からなる。SVG A (Super Video Graphics Array) モードの場合、LCD パネルは 800 (水平ライン) × 600 (垂直ライン) 画素を有する。この場合、ソースドライバは、画素に全データを正確に書き込むためには、800 ユニットの対応回路を必要とする。対応回路の各ユニットは、1 ビットのシフトレジスタ、3 組 (R、G、B) の n ビットのサンプルラッチ (sample latch) およびホールドラッチ (hold latch)、3 つの DAC (digital-to-analog converter) および 3 つのアナログバッファ (analog buffer) を備える。このことから、ソースドライバは広面積を必要とする。よって、必要な面積を減少させることは、例えばソースドライバ等の設計上、非常に重要である。また、ソースドライバの面積の問題は、解像度を増加させる場合、特に、LTOS、LTFS、TFT-LCD、OLED 等の新規のディスプレイシステムのパネル上にデータドライバを製造する場合 (driver-on-panel) においても最初にぶつかる問題である。 20 30

【0003】

図 1 は、公知の LTFS TFT-LCD である。図示されるように、この LTFS TFT-LCD (特許文献 1 参照) は、画素と駆動回路とからなり、信号レベルが、ガラス基板上に結合されて形成された水平駆動回路システムの電圧 V_{dd} より小さいデジタル信号を受信するのに用いられる。LTFS TFT-LCD は、水平シフトレジスタ 122、一組のサンプリングスイッチ 102 - 1 ~ 102 - n、一組のレベルシフト 104 - 1 ~ 104 - n、一組のラッチ 106 - 1 ~ 106 - n、一組の DAC 108 - 1 ~ 108 - n、一組のバッファ 110 - 1 ~ 110 - n、画素 116、データライン 114 - 1 ~ 114 - n、スキャンライン 112 - 1 ~ 112 - n、垂直シフトレジスタ 120 からなる。 40

【特許文献 1】米国特許第 6,256,024 号明細書

【0004】

スキャンライン 112 - 1 ~ 112 - n は、垂直スキャン回路とドライバとして機能する垂直シフトレジスタ 120 により、垂直にスキャンされる。水平スキャン回路として機 50

能する水平シフトレジスタ 122 は、水平開始パルス Hst と水平クロックパルス Hck とを受信すると共に、水平開始パルス Hst と水平クロックパルス Hck に基づいて、サンプリングパルスを生成し、入力デジタルデータをサンプリングする。サンプリングスイッチ 102 - 1 ~ 102 - n は、データライン 114 - 1 ~ 114 - n と対応して提供され、データバスライン上のサンプルデジタルデータは、水平シフトレジスタ 122 から供給されるサンプリングパルスに対応する。

【0005】

サンプリングスイッチ 102 - 1 ~ 102 - n によりサンプリングされるデジタルデータは、レベルコンバータとして機能するレベルシフトに供給される。レベルシフト 104 - 1 ~ 104 - n は、水平シフトレジスタ 122 から与えられるレベルシフトパルスに基づいて、それぞれのサンプリングデータの信号レベルを、水平駆動回路システムの電圧 V_{dd} レベルにシフトする。レベルシフト 104 - 1 ~ 104 - n によりシフトされたサンプリングデータは、それぞれ、ラッチ 106 - 1 ~ 106 - n により区切られる 1 水平同期期間の間、保持される。

10

【0006】

ラッチ 106 - 1 ~ 106 - n のラッチデータは、それぞれ、DAC 108 - 1 ~ 108 - n により、アナログ信号に転換され、バッファ 110 - 1 ~ 110 - n に供給される。バッファ 110 - 1 ~ 110 - n は、DAC 108 - 1 ~ 108 - n により与えられるアナログ信号に基づいて、データライン 114 - 1 ~ 114 - n を駆動する。

【発明の開示】

20

【発明が解決しようとする課題】

【0007】

ところで、水平駆動回路システムの電圧 V_{dd} よりも低い信号レベルを有しているデジタル信号は、一つの信号が対応するデータラインに入力されるまで伝送されて、対応する画素に供給されるものである。また、レベルシフターは、デジタル信号を対応するデータラインに入力する前に、当該デジタル信号を増幅している。よって、データラインへのデジタル信号伝送時に消耗される動的消費電力はその分増加する。この装置において、一つのレベルシフターは、一对の相補信号に結合されている。よって、N ビットのデジタル信号 (N は自然数) に、2N データバスが要求される。2N データバスのデジタル信号伝送時に消耗される電力は、N データバスのデジタル信号伝送時の消費電力を上回る。FPC の I/O ピン数と LCD のレイアウトサイズは、このようなことによって増加してしまう。

30

【0008】

本発明は、FPC 上の I/O ピン数や LCD パネル上の信号ライン数の減数化が図られた駆動回路を有する LCD を提供することを課題とする。

【課題を解決するための手段】

【0009】

このような課題を解決する本発明は、駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ (LCD) 装置であって、前記駆動回路のソースドライバは、画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成する、少なくとも一つのパルス生成器と、前記サンプルパルスにตอบสนองして、前記入力デジタル信号をサンプリングする、少なくとも一つのサンプラーと、参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する、少なくとも一つの比較器と、前記比較結果を保持する、少なくとも一つのラッチと、前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号を対応する画素に供給する少なくとも一つの D/A コンバータと、からなるものであることを特徴とする。

40

【0010】

このように、本発明に係る液晶ディスプレイのソースドライバでは、参考電圧を受信する比較器によってサンプリングされたデジタル信号を受信し、当該デジタル信号を参考電圧と比較して得られる比較結果を出力するようにしたので、デジタル信号を相補信号の形

50

態で送信する必要がない。つまり、デジタル信号の送信に用いられるデータバス数が半減することとなり、伝送時の消費電力が抑制される。これにより、液晶ディスプレイ装置のランニングコストが抑制される。また、LCDパネルの駆動回路としてFPCを用いる場合、データバスの数を減らすことができれば、FPC上のI/Oピン数およびLCDパネル上の信号ライン数が減少するので、液晶ディスプレイが必要とする面積が大幅に減少する。これにより、液晶ディスプレイの製造コストが抑制される。

【0011】

ソースドライバとしては、前記D/Aコンバータから形成された前記アナログ信号を受信して当該アナログ信号に対応する画素に供給するアナログバッファを備えるものが好ましい。アナログバッファは、前もって生成されるアナログ信号を受信し、対応する画素に供給するものである。また、ソースドライバとしては、前記ラッチに保持された比較結果であるデジタル信号を、高い信号レベルの信号に転換し、前記信号を前記D/Aコンバータに出力する信号レベルコンバータを備えるものが好ましい。

10

【0012】

そして、前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることが好ましい。参考電圧のレベルを入力デジタル信号の振幅の半分にすると、比較器が受信する段階において受信したデジタル信号を増幅しなくてよくなる。これにより、デジタル信号伝送時に消耗される動的消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。また、前記サンプラーは、スイッチであることが好ましい。さらに、前記パルス生成器は、シフトレジスタであることが好ましい。

20

【0013】

また、上記課題を解決する本発明は、駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、前記駆動回路のソースドライバは、画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成するシフトレジスタと、データバスと、データバスライン上の入力デジタルデータを、前記サンプリングパルスにตอบสนองしてサンプリングし、数量が前記液晶ディスプレイ装置のデータラインの数と等しい一組のスイッチと、スイッチの一つに結合され、対応するスイッチによりサンプリングされるデジタル信号を受信する第一入力端を備えると共に参考電圧を受信する第二入力端を備えており、受信したデジタル信号と参考電圧とを比較して、比較結果を出力する一組の比較器と、前記比較器の一つに結合され、前記比較結果を保持する一組のラッチと、前記ラッチの一つに結合され、前記対応するラッチにより保持された比較結果であるデジタル信号に基づいて、アナログ信号を生成し、前記アナログ信号に対応する画素に供給する一組のD/Aコンバータと、からなることを特徴とするものである。

30

【0014】

この液晶ディスプレイのソースドライバにおいても、先に説明したように、参考電圧を受信する比較器によってサンプリングされたデジタル信号を受信し、当該デジタル信号を参考電圧と比較して得られる比較結果を出力するようにしたので、デジタル信号を相補信号の形態で送信する必要がない。したがって、データバスの数が半減して伝送時の消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。また、LCDパネルの駆動回路としてFPCを用いる場合、データバスの数を減らすことができれば、FPC上のI/Oピン数およびLCDパネル上の信号ライン数が減少し、液晶ディスプレイが必要とする面積が大幅に減少する。これにより、液晶ディスプレイの製造コストが抑制される。

40

【0015】

このような液晶ディスプレイ装置において、ソースドライバとしては、前記D/Aコンバータの一つに結合され、前記対応するD/Aコンバータから形成された前記アナログ信号を受信し、前記アナログ信号に対応する画素に供給する一組のアナログバッファを備えるものが好ましい。アナログバッファは、前もって生成されるアナログ信号を受信し、対応する画素に供給するものである。そして、ソースドライバとしては、前記ラッチの一つ

50

と前記 D / A コンバータの一つの間に結合され、前記対応するラッチにより保持された前記デジタル信号を、高い信号レベルの信号に増幅し、前記信号を前記対応する D / A コンバータ C に出力する一組の信号レベルコンバータを備えるものが好ましい。また、前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることが好ましい。このようにすると、比較器が受信する段階において受信したデジタル信号を増幅しなくてよいので、デジタル信号伝送時に消耗される動的消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。

【発明の効果】

【0016】

液晶ディスプレイ装置において、駆動回路として F P C を用いる場合に、当該 F P C 上の I / O ピン数および L C D パネル上の信号ライン数が減少すると、液晶ディスプレイが必要とする面積が大幅に減少すると共に駆動に必要な電力が減少し、液晶ディスプレイの製造コストおよび使用コストが抑制される。

【発明を実施するための最良の形態】

【0017】

以下、本発明に係るアクティブマトリクス型液晶ディスプレイの好適な実施形態を説明する。

【0018】

図 2 は、本発明に係る実施形態の液晶ディスプレイを示すブロック図である。図示されるように、本発明に係る具体例のアクティブマトリクス型液晶ディスプレイは、複数の画素（画素ユニット）と駆動回路とからなるものであり、これらは、ガラス基板上に形成されたものである。なお、駆動回路は、水平駆動回路の電圧 V_{dd} より低い信号レベルのデジタル信号を受信するものである。そして、入力されるデジタル信号は、N ビットのデジタルデータである（カラーディスプレイの場合、データラインの総数は、R、B、G × 平行プロセスの数である）。

【0019】

図 2 に示されるように、L C D は、水平シフトレジスタ 222、一組の比較器 204 - 1 ~ 204 - n、一組のラッチ 206 - 1 ~ 206 - n、一組のレベルシフター 208 - 1 ~ 208 - n、一組の D / A コンバータ 210 - 1 ~ 210 - n、一組のアナログバッファ 212 - 1 ~ 212 - n、複数の画素 230、データライン 216 - 1 ~ 216 - n、スキャンライン 214 - 1 ~ 214 - n、垂直シフトレジスタ 220、からなる。

【0020】

水平スキャン回路として機能する水平シフトレジスタ 222 は、水平開始パルス H_{st} と水平クロックパルス H_{ck} に基づいて、一定間隔で連続的に (in time series)、画素に対応するデジタル信号入力をサンプリングするサンプリングパルスを生成する。

【0021】

サンプリングスイッチ（サンプラー）202 - 1 ~ 202 - n は、n 列ライン 216 - 1 ~ 216 - n に対応して提供されているものであり、また、水平シフトレジスタ 222 から供給されるサンプリングパルスに応答して、データバスライン上のデジタルデータをサンプリングする。

【0022】

各比較器 204 - 1 ~ 204 - n は、サンプリングスイッチ 202 - 1 ~ 202 - n に結合されている。比較器 204 - 1 ~ 204 - n は、対応するサンプリングスイッチ 202 - 1 ~ 202 - n によりサンプリングされるデジタル信号と参考電圧 V_{ref} を受信する。参考電圧 V_{ref} のレベルは、入力デジタル信号の振幅の約半分である。デジタル信号と参考電圧 V_{ref} とを比較した後、比較器 204 - 1 ~ 204 - n は比較結果を出力する。

【0023】

比較結果は対応するラッチ 206 - 1 ~ 206 - n により、1 水平同期期間の間（すなわち次の比較結果信号が入力されるまで）維持される。レベルシフト 208 - 1 ~ 208 - n は、対応するラッチ 206 - 1 ~ 206 - n により、維持されるデジタル信号を、D

10

20

30

40

50

/ Aコンバータ210-1~210-nに適する高信号レベルの信号に増幅させ、信号を対応するD/Aコンバータ210-1~210-nに出力する。

【0024】

D/Aコンバータ210-1~210-nは、対応するレベルシフト208-1~208-nから伝送されるデジタル信号に基づいて、アナログ信号を生成する。アナログバッファ212-1~212-nは、対応するD/Aコンバータ210-1~210-nから生成されるアナログ信号を受信し、アナログ信号を対応する画素230に供給する。

【0025】

一方、スキャンライン214-1~214-nは、垂直スキャン回路とドライバとして機能する垂直シフトレジスタ220により、垂直にスキャンされる。

10

【0026】

液晶ディスプレイ装置において、画素230は、アレイ構造で配列されている。各画素230は、液晶234とトランジスタ232とを備える。トランジスタ232のドレイン端とゲート端は、データライン216-1~216-nとスキャンライン214-1~214-nにそれぞれ接続されている。トランジスタ232のソース端は、液晶234に接続されている。更に、データライン216-1~216-nとスキャンライン214-1~214-nは、水平シフトレジスタ222と垂直シフトレジスタ220とにそれぞれ、結合されている。これらのデータライン216-1~216-nとスキャンライン214-1~214-nは、イメージデータとスキャン制御データに従って、画素230を制御する。

20

【0027】

なお、ここまで説明した液晶ディスプレイ装置以外の装置としては、例えば、アナログバッファ212-1~212-nを除去したものが考えられる。

【0028】

図3は、本発明の具体例による比較器の例を示す図である。図2に示される水平シフトレジスタ222から生成される、一組の相補信号により、各比較器は、いつでも、対応するサンプリングスイッチ202からデジタル信号SDを受信するように制御する。本具体例において、デジタル信号SDの振幅は、0~3.3である。以下は、水平シフトレジスタ222から生成された比較器204-2を制御する一組の相補信号SR_out1およびSR_out2を例として説明する。

30

【0029】

図3に示されるように、比較器204-2は、19個のトランジスタQ302、Q304、Q306、Q308、Q310、Q312、Q314、Q316、Q318、Q320、Q322、Q324、Q326、Q328、Q330、Q332、Q334、Q336、Q338からなる。トランジスタQ304のソース端は、デジタル信号SDを受信する。トランジスタQ302のソース端は、参考電圧Vrefを受信する。信号SR_out1は、トランジスタQ302、Q304、Q306のゲート端に入力される。信号SR_out2は、トランジスタQ306、Q322、Q328のゲート端に入力される。トランジスタQ318のゲート端は、信号SR_out0を受信する。信号SR_out0は、水平シフトレジスタ222から生成され、比較器204-1を制御する。電力がトランジスタQ316、Q324、Q330、Q334、Q338のソース端に供給される。トランジスタQ306、Q320、Q326、Q332、Q336、Q338のソース端はコモン電極（本具体例では、接地）に結合されている。

40

【0030】

トランジスタQ332、Q334のドレイン端の接続点と、トランジスタQ336、Q338のドレイン端の接続点は、それぞれ、一組の相補信号Q_out1およびQ_out2出力を生成する。信号Q_out1およびQ_out2の両方、またはQ_out1およびQ_out2から選択される1つがラッチに入力される。このような処理が各デジタル信号SDについて行われる。信号Q_out1およびQ_out2の中の一つだけがラッチに入力されないといけなため、信号ラインは減少する。以下では、ラッチに信号Q_out1が入力される場合を例とし

50

て説明する。

【 0 0 3 1 】

なお、図 3 に示される回路は本発明の比較器の一例である。本実施形態の液晶ディスプレイ装置では、図 3 に示される回路以外にも、デジタル信号と参考電圧とを比較する他の回路を用いることができる。

【 0 0 3 2 】

図 4 は、本発明の具体例によるラッチとレベルシフターの例を示す図である。図 4 に示されるラッチ 4 3 0 は、図 2 中のラッチ 2 0 6 - 1 ~ 2 0 6 - n のいずれかである。図 4 に示されるレベルシフター 4 4 0 は、選択されたラッチに対応するレベルシフターの具体例である。例えば、図 4 に示されるラッチ 4 3 0 は、ラッチ 2 0 6 - 2 の具体例である。図 4 に示されるレベルシフター 4 4 0 はレベルシフター 2 0 8 - 2 の具体例である。

【 0 0 3 3 】

図 4 に示されるように、ラッチ 4 3 0 は 4 つのインバータ 4 0 2、4 0 4、4 0 6 および 4 0 8 からなる。レベルシフター 4 4 0 は、6 個のトランジスタ Q 4 1 0、Q 4 1 2、Q 4 1 4、Q 4 1 6、Q 4 1 8 および Q 4 2 0 からなる。

【 0 0 3 4 】

インバータ 4 0 4、4 0 6 の入力端は、比較器の出力端に結合されており、例えば信号 Q_out 1 を受信する（図 3 参照）。インバータ 4 0 4 の出力端は、インバータ 4 0 2 および 4 0 8 の入力端に結合されている。インバータ 4 0 2 の出力端は、インバータ 4 0 4 および 4 0 6 の入力端に結合されている。インバータ 4 0 6 と 4 0 8 の出力端は、レベルシフター 4 4 0 に結合されている。

【 0 0 3 5 】

トランジスタ Q 4 1 0 および Q 4 1 2 のドレイン端は、インバータ 4 0 8 の出力端に結合されている。トランジスタ Q 4 1 8 と Q 4 2 0 のドレイン端は、インバータ 4 0 6 の出力端に結合されている。トランジスタ Q 4 1 0 および Q 4 1 2 のソース端と、トランジスタ Q 4 1 4、Q 4 1 6、Q 4 1 8 および Q 4 2 0 のドレイン端は、コモン電極（具体例では、接地）に結合されている。トランジスタ Q 4 1 8 および Q 4 2 0 のソース端の接続点は、D/A コンバータに出力されるデジタル信号 D_out を生成する。

【 0 0 3 6 】

なお、図 4 に示される、ラッチとして動作する回路は一例である。ラッチとしては、図 4 に示される回路以外にも、デジタルデータを保持できる他の回路を用いることができる。さらに、他のアプリケーション（デバイス）として考えられるものとしては、レベルシフターの後に、必要に応じて、バッファやインバータを加えたものが考えられる。

【 0 0 3 7 】

図 5 は、図 2 ~ 図 4 の信号のタイミングを示す図である。縦軸は振幅で、横軸は時間である。ライン 5 0 は、比較器に入力されるデジタル信号 S D である。ライン 5 2 は水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 である。ライン 5 4 はラッチ 4 3 0 に保存される信号である。このタイミングチャートを基に本実施形態の装置が適切に動作することを説明する。

【 0 0 3 8 】

水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がまずオンになり、デジタル信号 S D (1) が比較器に入力される。参考電圧と比較した後、水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオフになるとき、デジタル信号 “ 1 ” は、ラッチに保存される。水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 が次にオンになるとき、デジタル信号 S D (0) は、比較器に入力される。参考電圧と比較した後、その後、水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオフになるとき、デジタル信号 “ 0 ” は、ラッチに保存される。水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオンになるとき、デジタル信号 S D “ 1 ” は、比較器に入力される。参考電圧と比較した後、水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオフになるとき、デジタル信号 “ 1 ” は、ラッチに保存される。参考電圧と比較した後、その後、水平シフ

10

20

30

40

50

トレジスタ 2 2 2 から生成される信号 S R_out 1 がオンになるとき、デジタル信号 S D “ 1 ” は、比較器に入力される。参考電圧と比較した後、水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオフになるとき、デジタル信号 “ 1 ” は、ラッチに保存される。

【 0 0 3 9 】

以上、本発明に係る液晶ディスプレイ装置について、好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

10

【 0 0 4 0 】

【図 1】公知の L T P S T F T - L C D を示す図である。

【図 2】本発明の具体例による液晶ディスプレイを示す図である。

【図 3】本発明の具体例による比較器の例を示す図である。

【図 4】本発明の具体例によるラッチとレベルシフターの例を示す図である。

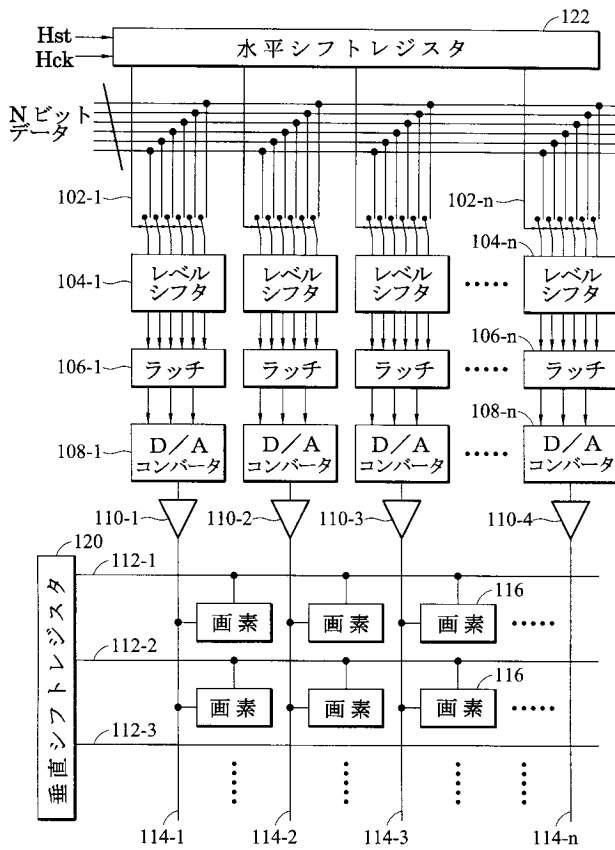
【図 5】図 2 ~ 図 4 の信号のタイミング図である。

【符号の説明】

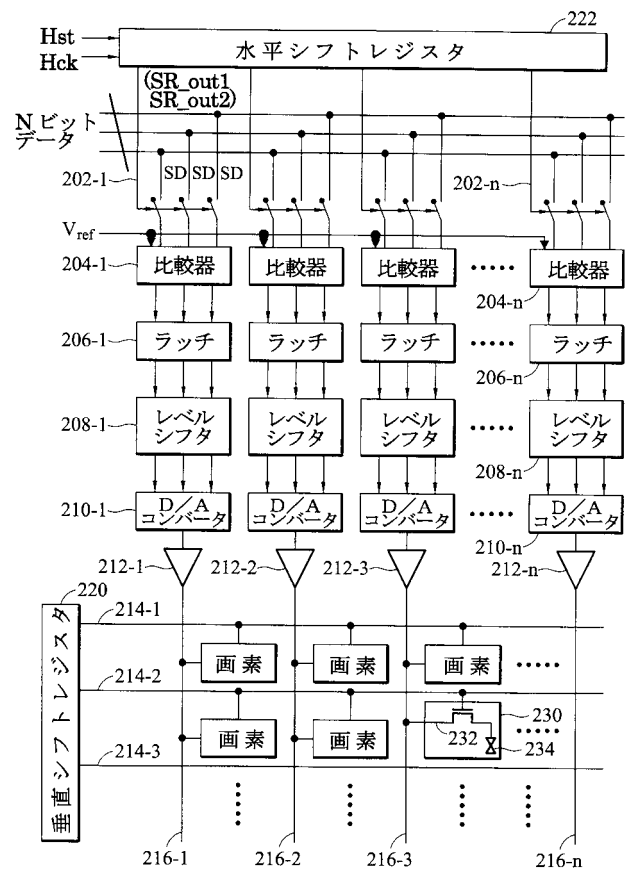
【 0 0 4 1 】

1 0 2 - 1 ~ 1 0 2 - n , 2 0 2 - 1 ~ 2 0 2 - n	一組のサンプリングスイッチ	
1 0 4 - 1 ~ 1 0 4 - n , 2 0 8 - 1 ~ 2 0 8 - n	一組のレベルシフト	20
1 0 6 - 1 ~ 1 0 6 - n , 2 0 6 - 1 ~ 2 0 6 - n	一組のラッチ	
1 0 8 - 1 ~ 1 0 8 - n , 2 1 0 - 1 ~ 2 1 0 - n	一組の D / A コンバータ	
1 1 0 - 1 ~ 1 1 0 - n , 2 1 2 - 1 ~ 2 1 2 - n	一組のバッファ	
1 1 2 - 1 ~ 1 1 2 - n , 2 1 4 - 1 ~ 2 1 4 - n	スキャンライン	
1 1 4 - 1 ~ 1 1 4 - n , 2 1 6 - 1 ~ 2 1 6 - n	データライン	
1 1 6 , 2 3 0	画素	
1 2 0 , 2 2 0	垂直シフトレジスタ (パルス生成器)	
1 2 2 , 2 2 2	水平シフトレジスタ (パルス生成器)	
2 0 4 - 1 ~ 2 0 4 - n	比較器	
2 3 2 , Q 3 0 2 , Q 3 0 4 , Q 3 0 6 , Q 3 0 8 , Q 3 1 0 , Q 3 1 2 , Q 3 1 4 ,		30
Q 3 1 6 , Q 3 1 8 , Q 3 2 0 , Q 3 2 2 , Q 3 2 4 , Q 3 2 6 , Q 3 2 8 , Q 3 3 0		
,		
Q 3 3 2 , Q 3 3 4 , Q 3 3 6 , Q 3 3 8 , Q 3 2 4 , Q 3 2 6 , Q 3 3 0 , Q 3 3 2		
,		
Q 3 3 4 , Q 3 3 6 , Q 3 3 8 , Q 4 1 0 , Q 4 1 2 , Q 4 1 4 , Q 4 1 6 , Q 4 1 8		
,		
Q 4 2 0	トランジスタ	
2 3 4	液晶	
4 0 2 , 4 0 4 , 4 0 6 , 4 0 8	バッファ	
Hst	水平開始パルス	40
Hck	水平クロックパルス	
S R_out 0 , S R_out 1 , S R_out 2 , S D , Q_out 1 , Q_out 2	信号	
Vref	参考電圧	

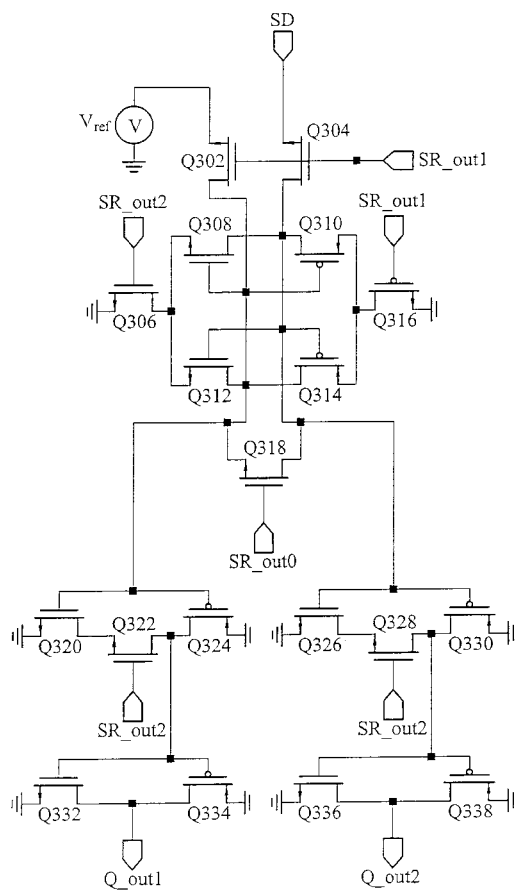
【図 1】



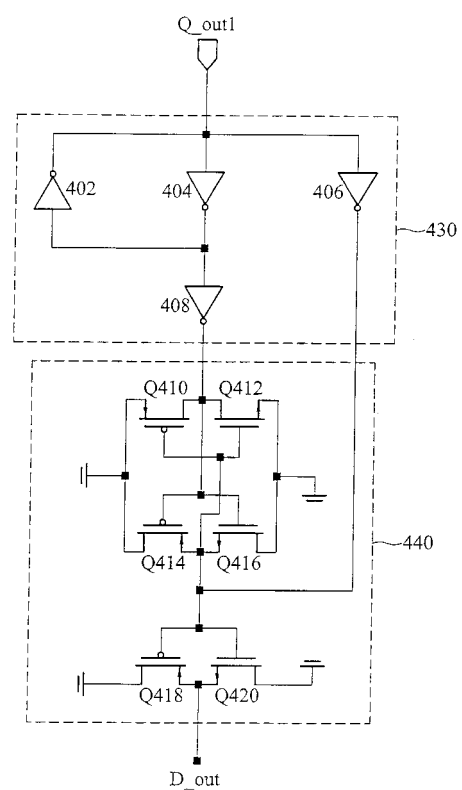
【図 2】



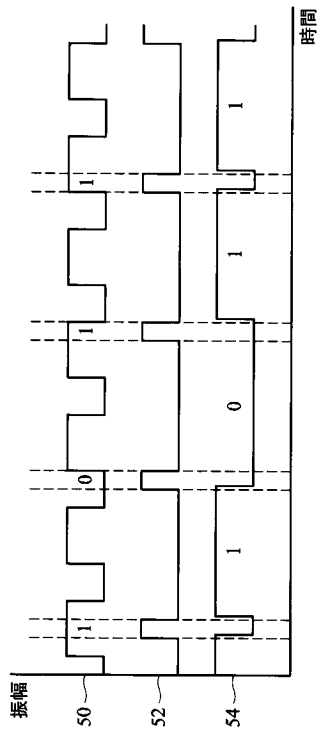
【図 3】



【図 4】



【 図 5 】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 R

F ターム(参考) 5C080 AA10 BB05 DD23 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置		
公开(公告)号	JP2004341497A	公开(公告)日	2004-12-02
申请号	JP2004095537	申请日	2004-03-29
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▼ふん▲有限公司		
[标]发明人	孫文堂		
发明人	孫 文堂		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.621.L G09G3/20.623.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.L G09G3/20.623.R		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC12 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC26 2H093/NC49 2H093/ND42 2H093/ND49 2H093/ND50 2H093/ND54 2H093/NE03 2H093/NE07 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF51 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZD23 2H193/ZF36 2H193/ZP03		
代理人(译)	田中大介		
优先权	092113172 2003-05-15 TW		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有驱动电路的LCD，其中FPC上的I/O引脚数量和LCD面板上的信号线数量减少了。在具有驱动电路和多个像素单元并基于接收到的数字信号输入执行显示的LCD中，脉冲发生器222产生采样脉冲作为驱动电路的源极驱动器，并且采样 响应于脉冲对输入的数字信号进行采样的采样器202-n，接收通过与参考电压进行比较而输出比较结果并保持比较结果的采样数字信号的比较器204-n。D/A转换器210-n基于接收到的数字信号生成模拟信号并将该模拟信号提供给相应的像素。[选择图]图2

