

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-309681
(P2004-309681A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1343	GO2F 1/1343	2H091
GO2F 1/1335	GO2F 1/1335 520	2H092
GO2F 1/1368	GO2F 1/1368	

審査請求 未請求 請求項の数 2 O L (全 22 頁)

(21) 出願番号	特願2003-101211 (P2003-101211)	(71) 出願人	000004329
(22) 出願日	平成15年4月4日 (2003.4.4)		日本ビクター株式会社
			神奈川県横浜市神奈川区守屋町3丁目12番地
		(72) 発明者	岩佐 隆行
			神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
		Fターム(参考)	2H091 FA14Z FB08 GA02 GA13 LA12 2H092 GA13 GA29 HA05 JA24 JA41 JA46 KA18 KB04 NA23 NA29

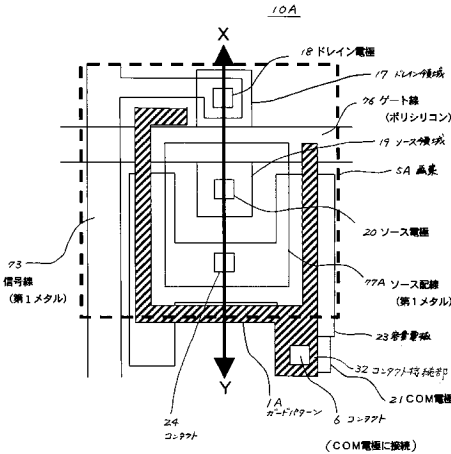
(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】

【課題】フリッカーを発生させることなく、信号線とソース配線間の寄生容量を減少させてクロストークを抑制できる反射型液晶表示装置を提供する。

【解決手段】半導体基板11上に画素トランジスタ14と保持容量部Cと反射電極30とからなる画素を行方向と列方向とにマトリクス状に複数配置すると共に、複数の前記反射電極30と、これに対向して配置した透明な対向電極41を形成した透明基板との間に液晶40を封入して構成した反射型液晶表示装置において、各前記列方向に配置した画素トランジスタ14のドレイン電極18に接続する、ビデオ信号を供給するための信号線73と、画素トランジスタ14のソース電極20に接続し、信号線73と同層であるソース配線77Aとの間に、信号線73及びソース配線77Aから離間して、固定電位を供給したガードパターン1Aを配置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に画素トランジスタと、前記画素トランジスタ用の保持容量部とを電氣的に分離してそれぞれ複数設け、且つ、前記複数の画素トランジスタ及び保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電氣的に分離して複数設けて、一つの前記画素トランジスタに接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、前記画素を前記半導体基板上で行方向と列方向とにマトリクス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、
各前記列方向に配置した前記画素トランジスタのドレイン電極に接続する、金属膜からなり、ビデオ信号を供給するための信号線と、前記画素トランジスタのソース電極に接続し、前記信号線を形成する前記金属膜と同じ金属膜から形成した配線部との間隙に、前記信号線及び前記配線部から離間して、固定電位を供給される、前記同じ金属膜から形成したガードパターンを配置して構成したことを特徴とする反射型液晶表示装置。

10

【請求項 2】

半導体基板上に画素トランジスタと、前記画素トランジスタ用の保持容量部とを電氣的に分離してそれぞれ複数設け、且つ、前記複数の画素トランジスタ及び保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電氣的に分離して複数設けて、一つの前記画素トランジスタに接続した一つの前記保持容量部及び一つの前記反射用画素電極を組にして一つの画素を形成し、前記画素を前記半導体基板上で行方向と列方向とにマトリクス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な対向電極を透明基板の下面に成膜して、複数の前記反射用画素電極と前記対向電極との間に液晶を封入して構成した反射型液晶表示装置において、
各前記列方向に配置した前記画素トランジスタのドレイン電極に接続する、金属膜からなり、ビデオ信号を供給するための信号線と、前記画素トランジスタのソース電極に接続し、前記信号線を形成する前記金属膜と同じ金属膜から形成した配線部との間隙に、前記信号線及び前記配線部から離間して、電位を供給されない、前記同じ金属膜から形成したガードパターンを配置して構成したことを特徴とする反射型液晶表示装置。

20

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は反射型液晶表示装置に係り、画素を構成する画素トランジスタの各ドレイン（又はソース）に接続する信号線の配線と、画素トランジスタのソース（又はドレイン）に接続する反射電極に接続する配線との間に生じる寄生容量を抑制することにより、同一信号線に接続する複数の画素間における信号のクロストークによる表示品質の劣化を抑えるのに好適な反射型液晶表示装置に関するものである。

【0002】

【従来の技術】

最近、屋外公衆用や管制業務用のディスプレイや、ハイビジョン放送規格や、コンピュータ・グラフィックスのSVGA規格に代表される高精細映像の表示用ディスプレイ等のように、映像を大画面に表示するための投射型液晶表示装置が盛んに利用されている。
この種の投射型液晶表示装置には、大別すると透過方式を用いた透過型液晶表示装置と、反射方式を用いた反射型液晶表示装置とがある。前者の透過型液晶表示装置の場合には、各画素に設けられたTFT（Thin Film Transistor：薄膜トランジスタ）の領域が、光を透過させる画素の透過領域とならないために開口率が小さくなるという欠点を有していることから、後者の反射型液晶表示装置が注目されている。

40

【0003】

一般的に、上記した反射型液晶表示装置では、半導体基板（Si基板）上にスイッチング素子（画素トランジスタ）と、該スイッチング素子用の保持容量部とを電氣的に分離して

50

それぞれ複数設け、且つ、複数のスイッチング素子及び複数の保持容量部の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極を電氣的に分離して複数設けて、一つのスイッチング素子に接続した一つの保持容量部及び一つの反射用画素電極を組にして一つの画素を形成し、この画素を半導体基板上で行方向と列方向とにマトリクス状に複数配置すると共に、複数の反射用画素電極に対向して全画素共通となる透明な対向電極を透明基板の下面に成膜して、複数の反射用画素電極と対向電極との間に液晶を封入して構成することで、透明基板側からカラー画像用の読み出し光を対向電極を介して液晶内に入射させて、スイッチング素子により対向電極と各反射用画素電極の間の電位差をビデオ信号に対応させて各反射用画素電極ごとに変化させ、液晶の配向を制御することでカラー画像用の読出し光を変調して、各反射用画素電極で反射させたカラー画像用の読出し光を透明基板から出射させるものである。

10

【0004】

図8は、従来例1の反射型液晶表示装置において、1つの画素を模式的に拡大して示した断面図である。

図9において、図9の(a)は、従来例1の反射型液晶表示装置におけるアクティブマトリクス駆動回路を説明するためのブロック図であり、図9の(b)は図9の(a)の中のX部を拡大して示した模式図である。

【0005】

図8に示した従来例1の反射型液晶表示装置50Aは、一般的な反射型プロジェクタに適用できるように構成されているものである。画像を表示するための複数の画素のうちで一つの画素を拡大して説明すると、基台となる半導体基板11は、単結晶シリコンのようなp型Si基板(又はn型Si基板でも良い)を用いており、この半導体基板11(以下、p型Si基板ともいう)の図示左側に、一つのp-ウエル領域12が左右のフィルード酸化膜13A, 13Bによって画素単位で電氣的に分離された状態で設けられている。そして、一つのp-ウエル領域12に一つのスイッチング素子14(以下、画素トランジスタともいう)が設けられており、このスイッチング素子14はMOSFET(Metal Oxide Semiconductor Field Effect Transistor)より構成されている。

20

【0006】

また、一つの画素トランジスタ14においては、p-ウエル領域12上の略中央に位置するゲート酸化膜15上にポリシリコンからなるゲート電極16が成膜されることで、ゲートGが形成されている。

30

また、画素トランジスタ14のゲートGの図示左側にはドレイン領域17が形成され、且つ、このドレイン領域17上の第1ビアホールVia1内に成膜されたアルミ配線からなるドレイン電極18が形成されることで、ドレインDが形成されている。

【0007】

また、画素トランジスタ14のゲートGの図示右側にはソース領域19が形成され、且つ、このソース領域上の第1ビアホールVia1内に成膜されたアルミ配線からなるソース電極20が形成されることで、ソースSが形成されている。

また、p型Si基板11上でp-ウエル領域12より図示右方に、イオン注入した拡散容量電極21(以下、COM電極ともいう)が形成されており、この拡散容量電極21も左右のフィルード酸化膜13B, 13Cによって画素単位で電氣的に分離された状態で設けられている。

40

【0008】

また、拡散容量電極21上には絶縁膜22と容量電極23とが順に成膜され、且つ、容量電極23上の第1ビアホールVia1内にアルミ配線により容量電極用コンタクト24が形成されることで、一つの画素トランジスタ14に対応した保持容量部Cが形成されている。

また、フィルード酸化膜13A, 13B, 13C、ゲート電極16、容量電極23の上方には、第1層間絶縁膜25と、第1メタル膜26と、第2層間絶縁膜27と、第2メタル

50

膜 28 と、第 3 層間絶縁膜 29 と、第 3 メタル膜 30 とによる複数の機能膜が上記した順で積層して成膜されている。

【0009】

この際、第 1、第 2 及び第 3 層間絶縁膜 25, 27, 29 は、絶縁性がある SiO_2 (酸化ケイ素) などを用いて成膜されている。

また、第 1、第 2 及び第 3 メタル膜 26, 28, 30 は、導電性がある金属膜としてアルミ配線などにより一つの画素トランジスタ 14 と対応して一つの画素ごとに所定のパターン形状にそれぞれ形成されており、同じ画素内では第 1、第 2 及び第 3 メタル膜 26, 28, 30 同士が電氣的に接続されているものの、隣り合う画素に対しては第 1、第 2 及び第 3 メタル膜中に細い幅で略角状に周回した開口部 26', 28', 30' がそれぞれ形成されることで画素ごとに第 1、第 2 及び第 3 メタル膜 26, 28, 30 が電氣的にそれぞれ分離されている。

10

【0010】

そして、一つの画素内では、最下段の第 1 メタル膜 26 の一部は画素トランジスタ 14 のソース領域 19 と、保持容量部 C の容量電極にそれぞれ接続されている。また、一つの画素内において、中段の第 2 メタル膜 28 は、上方に配置した透明基板 (図示しない) 側から入射させた読み出し光 L の一部を下方に設けた p 型 Si 基板 11 上の画素トランジスタ 14 側に対して遮光するための金属遮光膜として設けられているものである。即ち、第 2 メタル膜 28 (金属遮光膜) は、上段の隣り合う第 3 メタル膜 30 間に形成された開口部 30' から侵入する読み出し光 L の一部を遮光するように開口部 30' を遮蔽して成膜されていると共に、第 2 層間絶縁膜 27 をエッチングして形成した第 2 ビアホール Via 2 内にアルミ配線を形成することにより最下段の第 1 メタル膜 26 に接続されている。

20

【0011】

また、一つの画素内において、上段の第 3 メタル膜 30 は、一つの画素に対応して隣り合う第 3 メタル膜 30 間に形成した開口部 30' によって正形状に区切られて一つの反射画素電極として設けられており、且つ、第 3 層間絶縁膜 29 をエッチングして形成した第 3 ビアホール Via 3 内にアルミ配線を形成することにより中段の第 2 メタル膜 28 に接続されている。

また、第 3 メタル膜 30 (以下、反射用画素電極、又は反射電極ともいう) の上方には液晶 40 が封入されており、この液晶を介して透明な対向電極 41 が透明基板 (ガラス基板) (図示しない) の下面に複数の反射画素電極 30 に対向し、且つ、各反射画素電極 30 に対する共通電極として画素ごとに区画されずに ITO (Indium Thin Oxide) などを用いて成膜されている。

30

【0012】

次に、従来例 1 の反射型液晶表示装置 50 A において、p 型 Si 基板 11 上に複数の画素を行方向と列方向とにマトリクス状に配置した時のアクティブマトリクス駆動回路について図 9 の (a) 及び図 9 の (b) を用いて説明する。

図 9 の (a) 及び図 9 の (b) に示した如く、従来例 1 の反射型液晶表示装置 50 A におけるアクティブマトリクス駆動回路 70 では、一つの画素トランジスタ 14 に接続した一つの保持容量部 C 及び一つの反射電極 30 を組にして一つの画素が形成され、この画素の組が p 型 Si 基板 11 上に行方向と列方向とにマトリクス状に複数配置されている。

40

【0013】

そして、複数の画素のうちで一つの画素を特定するために、水平シフトレジスタ回路 71 と垂直シフトレジスタ回路 75 とが設けられている。

まず、水平シフトレジスタ回路 71 には、ビデオスイッチ 72 を介して信号線 73 が画素の列方向 (垂直方向) に向かって画素列ごとに配線されているものの、ここでは図示の都合上、信号線 73 の 1 本のみを水平シフトレジスタ回路 71 に接続した状態で示す。この信号線 73 はビデオ信号を画素列順に供給するものである。この際、ビデオスイッチ 72 を介して信号線 73 にはビデオ線 74 が結線されている。また、一つの信号線 73 は、第 1 メタル膜 26 (図 8) のアルミ配線により一つの画素列に沿って配置した複数の画素ト

50

ランジスタ 14 のドレイン電極 18 にそれぞれ接続されている。

【0014】

次に、垂直シフトレジスタ回路 75 には、ゲート線 76 が画素の行方向（水平方向）に向かって画素行ごとに配線されているものの、ここでは図示の都合上、ゲート線 76 の 1 本のみを垂直シフトレジスタ回路 75 に接続した状態で示す。このゲート線 76 はゲートパルスを後述のスキアン方向の行順に供給するものである。この際、一つのゲート線 76 は、ポリシリコンにより一つの画素行に沿って配置した複数の画素トランジスタ 14 のゲート電極 16 にそれぞれ接続されている。

【0015】

また、各画素トランジスタ 14 のソース電極 20 は、第 1 メタル膜 26（図 8）のアルミ配線からなるソース配線 77 により容量電極用コンタクト 24（以下、単に、コンタクトともいう）を介して保持容量部 C の容量電極 23 に接続されていると共に、これに接続する第 2 メタル膜 28（図 8）のアルミ配線を介して一つの反射電極 30 にも接続されている。

【0016】

この際、アクティブマトリクス駆動回路 70 は、周知のフレーム反転駆動法を適用しており、ビデオ信号はフレーム周期ごとに正極性及び負極性に反転し、即ち、例えば、ビデオ信号の第 n フレーム期間が正書き込み、第 $(n+1)$ フレーム期間が負書き込みとなる。従って、信号線からビデオ信号を入力する場合には、信号線 73 を画素トランジスタ 14 のドレイン電極か、ソース電極のいずれか一方に接続すれば良いが、ここでは上述したように信号線 73 を画素トランジスタ 14 のドレイン電極 18 に接続している。尚、信号線 73 をソース電極 20 に接続した場合には、画素トランジスタ 14 のドレイン電極 18 に一つの保持容量部 C 及び一つの反射電極 30 が接続されるものである。

【0017】

また、上記した従来例 1 の反射型液晶表示装置 50 A において、固定電位として画素トランジスタ 14 の p - ウエル領域 12 に供給するウエル電位と、保持容量部 C の拡散容量電極 21（COM 電極）に供給する COM（コモン）電位とが必要である。

即ち、p - ウエル領域 12 に供給するウエル電位は、p - ウエル領域 12 内に形成した p + 領域（図示しない）上のウエル電位用コンタクトに固定電位として例えば 0 V の電圧が印加されている。

【0018】

一方、保持容量部 C の COM 電極 21 に供給される COM（コモン）電位は、保持容量部 C の COM 電極 21 に、COM 電極 21 上形成した COM（コモン）電位用コンタクト（図示しない）を介して印加される。それは、例えば 8 . 5 V の固定電圧である。この際、COM 電位は、保持容量部 C を形成するためには基本的に何ボルトでもかまわないものの、ビデオ信号の中心値（例えば 8 . 5 V）などに設定しておけば、保持容量部 C にかかる電圧は電源電圧の略半分ですむ。つまり、保持容量耐圧は電源電圧の略半分が良いので、保持容量部 C の絶縁膜 22 の膜厚のみを薄くして容量値を大きくすることが可能であり、保持容量部 C の保持容量値が大きいと、反射電極 30 の電位の変動を小さくすることができ、フリッカーや液晶の焼きつきを抑制するのに有利である。

【0019】

そして、保持容量部 C は、一つの反射電極 30 に印加された電位と COM 電位との電位差に応じて電荷を蓄積し、非選択期間に一つの画素トランジスタ 14 がオフ状態になってもその電圧を保持し、一つの反射電極 30 にその保持電圧を印加し続ける機能を備えている。

【0020】

ここで、従来例 1 の反射型液晶表示装置 50 A におけるアクティブマトリクス駆動回路 70 において、一つの画素が駆動させる場合には、ビデオ線 74 から順次タイミングをずらして入力されたビデオ信号がビデオスイッチ 72 を介して画素列方向に配置した一つの信号線 73 に供給され、且つ、この一つの信号線 73 と画素行方向に配置した一つのゲート

線 7 6 とが交差した位置にある一つの画素トランジスタ 1 4 が選択されて ON 動作する。

【 0 0 2 1 】

そして、選択された (ON した) 一つの画素トランジスタ 1 4 のソース S に接続する反射電極 3 0 に、信号線 7 3 からドレイン D を介してビデオ信号が入力されると、電荷のかたちで保持容量部 C に書き込まれ、且つ、選択された一つの反射電極 3 0 と対向電極 4 1 (図 8) との間にビデオ信号に応じた電位差 (液晶駆動電圧) が発生し、液晶 4 0 の光学特性を変調している。この結果、透明基板 (図示しない) 側から対向電極 4 1 を介して入射されたカラー画像用の読み出し光 L (図 8) は液晶 4 0 で画素ごとに変調されて反射電極 3 0 により反射され、透明基板から出射される。このため、透過方式と異なって、読み出し光 L を 1 0 0 % 近く利用でき、投射される画像に対して高精細と高輝度とを両立できる構造となっている。 10

【 0 0 2 2 】

次に、反射型液晶表示装置において、半導体基板上に複数の画素が画素列方向と画素行方向とに直交してマトリクス状に配置されている場合に、一つの画素列上に配置され、同一の信号線に接続する、それぞれの画素において発生する寄生容量及びそれによって生じる信号のクロストークについて、説明する。

【 0 0 2 3 】

図 1 0 は、従来例 1 の反射型液晶表示装置において、複数の画素のうち、例えば画素 8 0 A , 画素 8 0 B 及び画素 8 0 C を 1 つの列上に配置した時に、画素の寄生容量を説明するための模式図である。 20

同図には、従来例 1 の反射型液晶表示装置を構成する複数の画素のうち、一つの信号線 7 3 に接続する 3 つの画素 8 0 A , 画素 8 0 B , 画素 8 0 C を示してある。画素 8 0 A , 8 0 B , 8 0 C には、説明の便宜上、これらに含まれる要素のうち、画素トランジスタ 1 4 A , 1 4 B , 1 4 C と、保持容量部 C A , C B , C C と、反射電極 3 0 A , 3 0 B , 3 0 C と、ゲート線 7 6 A , 7 6 B , 7 6 C とをそれぞれ示してある。

【 0 0 2 4 】

ここで、各画素トランジスタ (スイッチング素子: MOSFET) 1 4 A , 1 4 B , 1 4 C のそれぞれのドレイン D には信号線 7 3 が接続され、それぞれのソース S には反射電極 3 0 A , 3 0 B , 3 0 C 及び保持容量部 C A , C B , C C の一端子がそれぞれ接続され、それぞれのゲート G にはゲート線 7 6 A , 7 6 B , 7 6 C がそれぞれ接続している。 30

各画素トランジスタ 1 4 A , 1 4 B , 1 4 C のドレイン D とソース S との間には、それぞれ寄生容量 C d s が存在している。

なお、図 1 0 において、画素 8 0 A , 8 0 B , 8 0 C は隣接しているが、同列 (同じ信号線に接続している) であれば、隣り合う画素でなくとも良い。

【 0 0 2 5 】

このように、画素 8 0 A , 8 0 B , 8 0 C は、画素列方向において同列であるため、画素 8 0 A , 8 0 B , 8 0 C に接続されている信号線 7 3 は同じであり、画素 8 0 A に信号を書き込む時、画素 8 0 B に信号を書き込む時、画素 8 0 C に信号を書き込む時は、それぞれタイミングが異なるが、常に信号線 7 3 にはそれぞれの画素 8 0 A , 8 0 B , 8 0 C に書き込むための信号電圧が印加される。 40

【 0 0 2 6 】

詳しく説明すると、例えば画素 8 0 B に信号を書き込む場合、信号線 7 3 には画素 8 0 B に書き込むための信号電圧が印加される。このとき、ゲート線 7 6 B に印加される信号によって画素トランジスタ 1 4 B がオンされて、画素 8 0 B の反射電極 3 0 B に所定の信号電圧が印加される。

なお、このとき、画素 8 0 A と画素 8 0 C の画素トランジスタ 1 4 A , 1 4 C は、ゲート G にそれぞれ接続するゲート線 7 6 A , 7 6 C には信号が印加されていないので、オフになっている。従って、画素 8 0 A , 8 0 C のそれぞれの反射電極 3 0 A , 3 0 C には、画素 8 0 B に書き込む信号電圧が印加されることはない。

【 0 0 2 7 】

この後、タイミングをずらして画素 80A, 80C にも同じように、同じ信号線 73 を使用して、それぞれの画素 80A, 80C の反射電極 30A, 30C に所定の信号電圧が印加され、書き込みがなされる。

その間、画素 80B に書き込まれた信号は、次のフレームで画素 80B に次の書き込みがなされるまで、保持される。

【0028】

このとき、それぞれの画素トランジスタ 80A, 80B, 80C に寄生容量 C_{ds} が存在すると、上記のように画素 80B に書き込むための信号電圧が信号線 73 に印加されているとき、画素トランジスタ 14A, 14C がオフになっていて、所定の大きさを保持しておかなければならない画素 80A, 80C の信号電圧が、寄生容量 C_{ds} を介して、信号線 73 に印加された信号電圧の影響を受けて変動してしまう。

液晶表示装置から画像信号によって変調した光をプロジェクターに投影した場合に、この寄生容量 C_{ds} によって発生するクロストークにより、投影画像の表示品質を劣化させてしまう。

【0029】

図 11 は、画素トランジスタの寄生容量により発生するクロストーク現象による表示特性を説明するための図であり、図 11 の (a) は表示したい表示画面を示し、図 11 の (b) は、クロストークが発生した表示画面を示す。

図 11 の (a) に示すように、表示画面 60 の中央部に白表示を行う矩形のホワイトボックスパターン部 64 を設け、その周囲には、灰色表示を行うグレイバック部 61, 63, 65, 62 を設ける。

【0030】

しかし、図 11 の (b) に示すように、表示画面 60 に対応する複数の画素の画素トランジスタには寄生容量 C_{ds} が存在するため、白表示を行うホワイトボックスパターン部 64 に対応する各画素と同一の信号線に接続される画素を有する、図上でホワイトボックスパターン部 64 の上下に位置するグレイバック部 63 及びグレイバック部 65 の灰色階調は、クロストークの影響を受け、図上でホワイトボックスパターン部の左右に位置するグレイバック部 61 及びグレイバック部 62 とは異なる灰色階調となる。これは、表示品質において、不良レベルであることを示す。

【0031】

ここで、図 11 の (a) 及び (b) に矢印で示すように、垂直シフトレジスタによる画素のスキャン方向を、図上で上方より下方に向うようにした場合、ホワイトボックスパターン部 64 の図上で上のグレイバック部 63 (これは、クロストーク部 63' になる。) の階調は、グレイバック部 61, 62 の階調よりも白くなり、ホワイトボックスパターン部 64 の図上で下のグレイバック部 65 (これは、クロストーク部 65' になる。) の階調は、グレイバック部 61, 62 の階調よりより黒くなる。

【0032】

このクロストーク現象について、図 12 及び図 13 を用いて説明する。

図 12 は、1つの列上に配置された画素 80A、画素 80B 及び画素 80C にクロストークが発生している場合の信号波形図である。縦軸が電圧、横軸が時間である。

図 13 は、液晶の駆動電圧 (入力電圧) と出力光の強度との関係を示すグラフ図である。

【0033】

いま、図 10 に示したように、同一の信号線 73 に画素 80A, 80B, 80C が接続されているとする。また、図 11 の (b) に示すように、各画素 80A, 80B, 80C は表示画面の 60 の図上左右の中央部 M にあり、画素 80A はグレイバック部 63 内に位置し、画素 80B はホワイトボックスパターン部 64 に位置し、画素 80C はグレイバック部 65 に位置するとし、垂直シフトレジスタによる各画素 80A, 80B, 80C のスキャン方向は図上で上から下に向う方向であるとする。

【0034】

このとき、図 11 の (a) に示す表示画面を表示するために、図 11 の (b) に示す中央

部 M に配置された信号線 7 3 に供給されるビデオ信号は、図 1 2 に信号線電圧で示される。この信号線電圧は、保持容量部 C A、C B、C C の一端に供給される C O M 電位 V_{com} を中心に、フレーム周期ごとに正極性及び負極性に反転する。同図において、垂直走査期間として示されているのは、1 フレームの垂直走査期間である。例えば、時刻 t_1 から時刻 t_7 までをビデオ信号の第 n フレーム期間とすると、ここでは正書き込みであり、時間 t_7 から時間 t_{13} までをビデオ信号の第 $(n+1)$ フレーム期間とすると負書き込みとなる。このとき、液晶としてはノーマリーブラックの液晶を用いているので V_{com} のセンター電圧においては、黒表示となっている。

【0035】

信号線電圧は、時刻 t_1 から時刻 t_3 の間は灰色表示に対応する電圧 V_1 であり、この期間においてはグレーバック部 6 3 が走査される。信号線電圧は、時刻 t_3 から時刻 t_5 の間は白表示に対応する電圧 V_2 であり、この期間においてはホワイトボックスパターン部 6 4 が走査される。信号線電圧は、時刻 t_5 から時刻 t_7 の間は灰色表示に対応する電圧 V_1 であり、この期間においてはグレーバック部 6 5 が走査される。

【0036】

従って、グレーバック部 6 3 の中央近辺にある画素 8 0 A においては、グレー書き込みが、ホワイトボックスパターン部 6 4 の中央近辺にある画素 8 0 B においては、白書き込みが、グレーバック部 6 5 の中央近辺にある画素 8 0 C においてはグレー書き込みが行われる。

このとき、画素 8 0 A においては、時刻 t_2 から 1 フレーム分の正のグレー書き込みがなされ、画素 8 0 B においては、時刻 t_4 で 1 フレーム分の正の白書き込みがなされ、画素 8 0 C においては、時刻 t_6 から 1 フレーム分の正のグレー書き込みがなされる。

【0037】

上述のように、画素 8 0 A においては、時刻 t_2 で電圧 V_1 が印加され、それが保持容量部 C A で保持されるが、ホワイトボックスパターン部 6 4 が白表示開始する時刻 t_3 において、信号線 7 3 に電圧 V_2 が印加されると、寄生容量 C_{ds} があるので、その影響を受けて、保持電圧がプラス方向にシフトする。

画素 8 0 C においても同様で、時刻 t_0 で電圧 $(2V_{com} - V_1)$ が印加され、それが、保持容量部 C C で保持されるが、時刻 t_3 において、寄生容量 C_{ds} により、保持電圧がプラス方向にシフトする。

画素 8 0 B においても同様で、時刻 t_0 から保持されていた電圧 $(2V_{com} - V_2)$ が、時刻 t_3 において、容量 C_{ds} により、保持電圧がプラス方向にシフトする。

【0038】

図 1 2 において、上向きの矢印で示す箇所が、寄生容量 C_{ds} によるクロストークを示す。

このため、図 1 1 の (b) に示すように、垂直シフトレジスタのスキャン方向を図示上、上から下方向方向にスキャンした場合、ホワイトボックスパターン部 6 4 の上に位置するグレーバック部 6 3 はグレーバック部 6 1、6 2 よりも白く表示されるクロストーク部 6 3' となり、ホワイトボックスパターン部 6 4 の下に位置するグレーバック部 6 5 はグレーバック部 6 1、6 2 よりも黒く表示されるクロストーク部 6 5' となる。

【0039】

なお、画素 8 0 B も寄生容量 C_{ds} によりクロストークが発生するが、図 1 3 に示すように、白表示するには、液晶に飽和電圧 V_p (図 1 2 における V_2 に対応する。) を印加するが、ここで電圧を Δ 変動させても出力光の強度変化が少ないので影響が小さいが、画素 8 0 A、8 0 C におけるように、グレー表示する、電圧 V_p と閾値電圧 V_{th} (これは黒表示となり、図 1 2 における V_{com} に対応する。) の中間の電圧 V_g では、同じ Δ の電圧変動でも出力光の強度の変動が大きいためである。

【0040】

ここで、寄生容量 C_{ds} としては、画素トランジスタ 1 4 A、1 4 B、1 4 C 内部のものと、画素トランジスタ 1 4 A、1 4 B、1 4 C のドレイン電極、ソース電極にそれぞれ接

10

20

30

40

50

続されたアルミ配線間に生じるものがあるが、後者の割合が大きい。

【0041】

以下、画素の構造に基いて、寄生容量を説明する。

図14は、従来例1の反射型液晶表示装置において、1つの画素の寄生容量を説明するための図であり、図15に示すX-Y矢視線に沿って、第1メタル膜側から半導体基板を見た平面図である。

図15は、従来例1の反射型液晶表示装置において、1つの画素の寄生容量を説明するための図であり、図14に示すX-Y矢視線に沿った断面図である。上述の図8と対応する。

【0042】

両図に示されるように、第1メタル膜26から形成された信号線73が、画素トランジスタ14のドレイン電極18に接続されている。

また画素トランジスタ14のソース電極20には、反射電極30へ接続するためのソース配線77が第1メタル膜26で形成されている。このソース配線77は、画素トランジスタ14のソース電極20に光が当たるのを抑制するために、画素トランジスタ14のソース電極20を覆うように大きな面積で形成されている。画素トランジスタ14のソース電極20に光が照射されると、光キャリアによるリーク電流が発生する。このソース電極20はソース領域19（拡散電極部）とウエル領域12のPN接合になっており、言い換えるとフォトダイオードを形成しているといえる。従って、このフォトダイオードに相当する拡散電極部に到達する光を低減させる必要があるためである。

【0043】

このため、信号線73とソース配線77のアルミ配線間において寄生容量 C_{ds} が発生することになる。

なお、図14、15に示すレイアウト構造においては、ウエル領域12とCOM電極21においては、基板11と同電極の拡散にしているために、アルミ配線を必要としていない。

図15における断面図でも、画素トランジスタ14のドレイン電極18に接続されたアルミ配線と、画素トランジスタ14のソース電極20に接続されたアルミ配線間において、寄生容量 C_{ds} が発生している部分を示してある。

【0044】

従来例2の反射型液晶表示装置として、その画素における配置を従来例1の反射型液晶表示装置と異ならせたものがある。

図16は、従来例2の反射型液晶表示装置において、1つの画素の寄生容量を説明するための図であり、図17に示すX-Y矢視線に沿って、第1メタル膜側から半導体基板を見た平面図である。

図17は、従来例2の反射型液晶表示装置において、1つの画素の寄生容量を説明するための図であり、図16に示すX-Y矢視線に沿った断面図である。

【0045】

従来例2の反射型液晶表示装置50Bにおいては、その構成要素は、従来例1の反射型液晶表示装置50Aにおける構成要素と変わらないのであるが、その配置・形状が異なるので、その構成要素には、図8、図14及び図15に示した従来例1の同様の各構成要素に付した記号のあとに「a」を付した符号を付して、区別とその対応が分かるようにしてある。

従来例2における画素においては、ドレイン電極18aとソース電極20aの並びに平行して矩形の容量電極23aを配置してある。一方従来例1における画素においては、ドレイン電極18、ソース電極20と容量電極23を一行に配置してある。

【0046】

従来例2は、基本構成は従来例1と同様であるので、その基本構成の説明を省略する。

従来例2においては、第1メタル膜より構成した信号線73aとソース配線との間に寄生容量 C_{ds} が発生する。

10

20

30

40

50

【 0 0 4 7 】

ここで、このような寄生容量を抑制するものとして、例えば、以下のものがある（例えば、特許文献 1 参照。）

これによれば、TFTなどの薄膜トランジスタのアクティブマトリクスにおいて、ドレインバスラインと画素電極との間の寄生容量による電圧変動を防ぐため、ドレインバスライン上に保護絶縁膜を介して導電膜を形成するとともに、この導電膜を接地端に接続して、導電膜を常に低電位に保持することによりシールド膜として働くようにすることが開示されている。

【 0 0 4 8 】

【 特許文献 1 】

特開昭 6 3 - 2 0 2 7 9 2 号公報（第 2 頁、第 1 図）

【 0 0 4 9 】

【 発明が解決しようとする課題 】

ところで、上述したように、表示画面を 9 分割して、中央部の 1 / 9 分割画面に白（100 % 輝度）を、この周りの 8 つの 1 / 9 分割画面にグレー（50 % 輝度）を表示すると、寄生容量によりクロストークの発生する画面部分においては、そうでない画面部分と比較して 5 % の輝度変化が発生した。

通常、人間の目においては、2 % 以下の輝度変化分は認識されないとされており、クロストークによる輝度変化を 2 % 以下にする必要がある。

【 0 0 5 0 】

クロストークを引き起こす信号線とソース配線間の寄生容量 C_{ds} を減らすには、信号線とソース配線間の間隔を広げればよい。この場合、配線間隔を例えば $2 \mu m$ 以上すれば、クロストークを 2 % 以下に抑制できることが確認されている。

しかし、反射型液晶表示装置においては、配線間隔を大きくすると、画素トランジスタに到達する不要光の入射行路を広げてしまうことになり、光による画素トランジスタのリークが顕著に発生する。

【 0 0 5 1 】

この場合、例えば $9 \mu m$ 程度の画素ピッチでは、信号線とソース配線の配線間隔を例えば $2 \mu m$ に広げてしまうと、光によるリーク電流によってフリッカーや焼き付が発生するといった問題が発生する。

従って、配線間隔を大きくすることなく、信号線とソース配線間の寄生容量 C_{ds} を減少させることが求められている。

【 0 0 5 2 】

一方、特許文献 1 に示された方法によれば、同一面上に形成したドレインバスラインと画素電極に対して、シールド膜をドレインバスラインの上方に形成してあるので、ドレインバスラインと画素電極間の横方向の寄生容量を効果的に抑制することは出来ないという問題がある。

そこで本発明は、上記問題を解決して、フリッカーや焼き付を発生させることなく、信号線とソース配線間の寄生容量を減少させてクロストークを抑制できる反射型液晶表示装置を提供することを目的とするものである。

【 0 0 5 3 】

【 課題を解決するための手段 】

上記目的を達成するための手段として、第 1 の発明は、半導体基板 11 上に画素トランジスタ 14 と、前記画素トランジスタ 14 用の保持容量部 C とを電氣的に分離してそれぞれ複数設け、且つ、前記複数の画素トランジスタ 14 及び保持容量部 C の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極 30 を電氣的に分離して複数設けて、一つの前記画素トランジスタ 14 に接続した一つの前記保持容量部 C 及び一つの前記反射用画素電極 30 を組にして一つの画素を形成し、前記画素を前記半導体基板 11 上で行方向と列方向とにマトリクス状に複数配置すると共に、複数の前記反射用画素電極 30 に対向して透明な対向電極 41 を透明基板の下面に成膜して、複数の前記反

10

20

30

40

50

射用画素電極 30 と前記対向電極 41 との間に液晶 40 を封入して構成した反射型液晶表示装置において、

各前記列方向に配置した前記画素トランジスタ 14 のドレイン電極 18 に接続する、金属膜（第 1 メタル膜 26）からなり、ビデオ信号を供給するための信号線 73 と、前記画素トランジスタ 14 のソース電極 20 に接続し、前記信号線 73 を形成する前記金属膜（第 1 メタル膜 26）と同じ金属膜から形成した配線部（ソース配線 77A）との間隙に、前記信号線 73 及び前記配線部（ソース配線 77A）から離間して、固定電位を供給される、前記同じ金属膜（第 1 メタル膜 26）から形成したガードパターン 1A を配置して構成したことを特徴とする反射型液晶表示装置である。

また、第 2 の発明は、半導体基板 11 上に画素トランジスタと、前記画素トランジスタ 14 用の保持容量部 C とを電氣的に分離してそれぞれ複数設け、且つ、前記複数の画素トランジスタ 14 及び保持容量部 C の上方に積層した複数の機能膜のうちで最上層に金属膜を用いて成膜した反射用画素電極 30 を電氣的に分離して複数設けて、一つの画素トランジスタ 14 に接続した一つの画素を形成し、前記画素を前記半導体基板 11 上で行方向と列方向とにマトリクス状に複数配置すると共に、複数の前記反射用画素電極 30 に対向して透明な対向電極 41 を透明基板の下面に成膜して、複数の前記反射用画素電極 30 と前記対向電極 41 との間に液晶 40 を封入して構成した反射型液晶表示装置において、

各前記列方向に配置した前記画素トランジスタ 14 のドレイン電極 18 に接続する、金属膜（第 1 メタル膜 26）からなり、ビデオ信号を供給するための信号線 73 と、前記画素トランジスタ 14 のソース電極 20 に接続し、前記信号線 73 を形成する前記金属膜（第 1 メタル膜 26）と同じ金属膜から形成した配線部（ソース配線 77A）との間隙に、前記信号線 73 及び前記配線部（ソース配線 77A）から離間して、電位を供給されない、前記同じ金属膜（第 1 メタル膜 26）から形成したガードパターン 1B を配置して構成したことを特徴とする反射型液晶表示装置である。

【0054】

【発明の実施の形態】

以下、本発明の実施の形態につき、好ましい実施例により、図面を参照して説明する。なお、構成要素に付す参照符号については、従来例と同一の構成要素には同一の参照符号を付し、その説明を省略する。

【0055】

< 第 1 実施例 >

図 1 は、本発明の反射型液晶表示装置の第 1 実施例における 1 つの画素を示す図であり、図 2 に示す X - Y 矢視線に沿って、第 1 メタル膜側から半導体基板を見た平面図である。図 2 は、本発明の反射型液晶表示装置の第 1 実施例における 1 つの画素を示す図であり、図 1 に示す X - Y 矢視線に沿った断面図である。

【0056】

第 1 実施例の反射型液晶表示装置 10A は、従来例 1 の液晶表示装置 50A にガードパターン 1A 及び COM 電極 21 と接続するためのコンタクト 6 を追加したものである。

図 1 及び図 2 に示した第 1 実施例の反射型液晶表示装置 10A は、一般的な反射型プロジェクタに適用できるように構成されているものである。画像を表示するための行列状（マトリクス状）に配置された複数の画素のうちで、一つの画素を拡大して説明すると、基台となる半導体基板 11 としては、単結晶シリコンのような p 型 Si 基板（又は n 型 Si 基板でも良い）を用いている。この半導体基板 11（以下、p 型 Si 基板ともいう）の図示左側に、一つの p - ウエル領域 12 が左右のフィールド酸化膜 13A, 13B によって画素単位で電氣的に分離された状態で設けられている。そして、一つの p - ウエル領域 12 に一つの画素トランジスタ 14（スイッチング素子である）が設けられており、この画素トランジスタ 14 は MOSFET より構成されている。

【0057】

また、一つの画素トランジスタ 14 においては、p - ウエル領域 12 上の略中央に位置す

るゲート酸化膜 15 上にポリシリコンからなるゲート電極 16 が成膜されることで、ゲート G が形成されている。ゲート電極 16 は、各画素の行毎に形成されているゲート線 76 に接続している。

また、画素トランジスタ 14 のゲート G の図示左側にはドレイン領域 17 が形成され、且つ、このドレイン領域 17 上の第 1 ビアホール V i a 1 内に成膜されたアルミ配線からなるドレイン電極 18 が形成されることで、ドレイン D が形成されている。

【 0 0 5 8 】

また、画素トランジスタ 14 のゲート G の図示右側にはソース領域 19 が形成され、且つ、このソース領域上の第 1 ビアホール V i a 1 内に成膜されたアルミ配線からなるソース電極 20 が形成されることで、ソース S が形成されている。

10

また、p 型 S i 基板 11 上で p - ウェル領域 12 より図示右方に、イオン注入した拡散容量電極 21 (以下、C O M 電極ともいう) が形成されており、この拡散容量電極 21 も左右のフィード酸化膜 13 B , 13 C によって画素単位で電氣的に分離された状態で設けられている。

【 0 0 5 9 】

また、拡散容量電極 21 上には絶縁膜 22 と容量電極 23 とが順に成膜され、且つ、容量電極 23 上の第 1 ビアホール V i a 1 内にアルミ配線により容量電極用コンタクト 24 が形成されることで、一つの画素トランジスタ 14 に対応した保持容量部 C が形成されている。

また、フィード酸化膜 13 A , 13 B , 13 C 、ゲート電極 16 、容量電極 23 の上方には、第 1 層間絶縁膜 25 と、第 1 メタル膜 26 と、第 2 層間絶縁膜 27 と、第 2 メタル膜 28 と、第 3 層間絶縁膜 29 と、第 3 メタル膜 30 とによる複数の機能膜が上記した順で積層して成膜されている。

20

【 0 0 6 0 】

この際、第 1、第 2 及び第 3 層間絶縁膜 25 , 27 , 29 は、絶縁性がある S i O₂ (酸化ケイ素) などを用いて成膜されている。

また、第 1、第 2 及び第 3 メタル膜 26 , 28 , 30 は、導電性がある金属膜としてアルミ配線などにより一つの画素トランジスタ 14 と対応して一つの画素ごとに所定のパターン形状にそれぞれ形成されている。

第 1 メタル膜 26 からは、ドレイン電極 18 に接続する信号線 73 と、ソース電極 20 及び容量電極用コンタクト 24 に接続するソース配線 77 A と、ガードパターン 1 A とがそれぞれ所定の形状で、互いに物理的に電氣的に分離して形成されている。

30

【 0 0 6 1 】

同じ画素内では、ソース配線 77 A は第 2 ビアホール V i a 2 内に形成したアルミ配線を介して第 2 メタル膜 28 から形成された接続部 31 に接続されている。この接続部 31 は第 3 ビアホール V i a 3 内に形成したアルミ配線を介して第 3 メタル膜 (以下、反射画素電極、又は反射電極ともいう) 30 に接続されている。

第 3 メタル膜 (反射電極) 30 は、第 3 メタル膜 30 中に細い幅で略角状に周回した開口部 30' が形成されることで、正形状に区切られており、画素毎に電氣的に分離されている。

40

【 0 0 6 2 】

第 2 メタル膜 28 においては、第 2 メタル膜 28 中に細い幅で略角状に周回した開口部 28' が形成してあり、これにより接続部 31 と第 2 メタル膜 28 とは画素毎に電氣的に分離されている。

第 2 メタル膜 28 と C O M 電極 21 とは、コンタクト (図示しない) を介して電氣的に接続されており、これは、全画素共通に接続されている。

【 0 0 6 3 】

第 1 メタル膜 26 から形成されているガードパターン 1 A は、図 1 に示すように、ソース配線 77 A と信号線 73 との間に配置されている。ガードパターン 1 A は、そのコンタクト接続部 32 に接続するコンタクト 6 を介して、C O M 電極 21 に電氣的に接続されてい

50

る。ガードパターン 1 A は、矩形状のソース配線 7 7 A の 4 辺のうち、3 辺の全長にわたって対向しており、残りの 1 辺においても一部の部分で対向して配置されている。ガードパターン 1 A は信号線 7 3 と平行して対向しており、ドレイン電極 1 8 からの引き出し部分とも対向して配置されている。

【0064】

なお、一つの画素内において、中段の第 2 メタル膜 2 8 は、上方に配置した透明基板（図示しない）側から入射させた読み出し光 L の一部を下方に設けた p 型 Si 基板 1 1 上の画素トランジスタ 1 4 側に対して遮光するための金属遮光膜として設けられているものである。即ち、第 2 メタル膜 2 8（金属遮光膜）は、上段の隣り合う第 3 メタル膜 3 0 間に形成された開口部 3 0' から侵入する読み出し光 L の一部を遮光するように開口部 3 0' を遮蔽して成膜されている。

10

【0065】

また、第 3 メタル膜 3 0 の上方には液晶 4 0 が封入されており、この液晶を介して透明な対向電極 4 1 が透明基板（ガラス基板）（図示しない）の下面に複数の反射画素電極 3 0 に対向し、且つ、各反射画素電極 3 0 に対する共通電極として画素ごとに区画されずに ITO などを用いて成膜されている。

以上のように第 1 実施例の反射型液晶表示装置は構成されている。

【0066】

上述のように、本実施例の反射型液晶表示装置において、第 1 メタル膜 2 6 から形成される信号線 7 3 とソース配線 7 7 A との間に、第 1 メタル膜 2 6 から形成するガードパターン 1 A を設けてある。ガードパターン 1 A の配線寸法（幅）を、 $0.4\ \mu\text{m}$ としてある。ガードパターン 1 A と信号線 7 3 との間隔（最も短い間隔）を $0.5\ \mu\text{m}$ とし、ガードパターン 1 A とソース配線 7 7 A との間隔（最も短い間隔）を $0.5\ \mu\text{m}$ としてある。

20

【0067】

この第 1 実施例の反射型液晶表示装置に、図 1 1 で上述した、矩形の中央部を白表示のホワイトボックスパターン部 6 4 とし、その周囲をグレー表示のグレーバック部 6 1, 6 2, 6 3, 6 5 とする画面表示を行ったところ、グレーバック部 6 3, 6 5 におけるクロストークによる出力光の輝度変化を 2 % 以下にすることができる。これにより、人間の視覚においてほとんど判別することが出来ないレベルまで改善された。なお、表示動作時には、ガードパターン 1 A には、COM 電圧 V_{com} を印加した。

30

すなわち、信号線 7 3 とソース配線 7 7 A 間に、ガードパターン 1 A を設けることにより、信号線 7 3 とソース配線 7 7 A 間に生じる寄生容量を抑制することができた。

【0068】

また、配線間隔（ガードパターン 1 A と信号線 7 3 との間隔、ガードパターン 1 A とソース配線 7 7 A との間隔）を $0.5\ \mu\text{m}$ とすることで、読み出し光 L が不要光として画素トランジスタ 1 4 に到達するのを抑制できて、問題となるレベルのリーク電流の発生がない。通常、リークの発生において、光を照射した状態で、1 フレーム分の $1/60\ \text{sec}$ において画素電圧の降下分が $10\ \text{mV}$ を超えてしまうと、フリッカーや焼きつきが発生するが、本実施例においては、画素をピッチ $9\ \mu\text{m}$ で形成してあるが、このような画素寸法においても、光によるリーク電流での電圧降下分は、1 フレーム分の $1/60\ \text{sec}$ において $5\ \text{mV}$ 以下であり、スペック内である。

40

【0069】

なお、ガードパターン 1 A を固定電位に保持することによって、信号線 7 3 とソース配線 7 7 A との間の寄生容量を遮断すればよいため、ガードリングの配線幅はいくらでもかまわない。

ガードパターン 1 A を構成する配線はアルミであるため、アルミ自体の抵抗は十分に低いために信号線電圧の寄生容量によってガードリングの電位が揺さぶられることはほとんどない。

また、ガードパターン 1 A と信号線 7 3 との間の配線間隔、ガードパターン 1 A とソース配線 7 7 A との間の配線間隔を $0.5\ \mu\text{m}$ の場合を説明したが、それぞれを例えば 1.0

50

μm 以下としておけば、光によるリーク電流の影響を抑えることが出来る。

【0070】

<第2実施例>

図3は、本発明の反射型液晶表示装置の第2実施例における1つの画素を示す図であり、第1メタル膜側から半導体基板を見た平面図である。

第2実施例の反射型液晶表示装置10Bは、第1実施例の反射型液晶表示装置10Aにおいて、ガードリング1Aに代えて、コンタクト接続部32を有せず、従って、COM電極21とは接続せず、電位を固定しない以外はガードパターン1Aと同様のガードパターン1Bを設けた以外は、第1実施例の反射型液晶表示装置10Aと同様に構成してある。

【0071】

第2実施例の反射型液晶表示装置10Bにおいては、ガードパターンの電位を固定する場合(第1実施例)と比較して、信号線73とソース配線77Aとの間に生じる寄生容量を抑制する効果は減少してしまうが、それでもクロストークを減少することができ、ホワイボックスパターン表示において、ホワイボックスパターン上下の領域に発生するクロストークによる輝度変化を抑制することができる。一方、ガードパターンの電位を固定する場合と比較して、反射型液晶表示装置製作時の歩留まりを向上させることが出来るというメリットをもつ。

【0072】

すなわち、図3に例示するように、ゴミ等により信号線73とガードパターン1Bとショートしてしまった場合でも、ガードパターン1Bとソース配線77Aの分離が保持されていれば、画素欠陥となることはない。また、ソース配線77Aとガードパターン1Bがショートした場合においても画素欠陥となることは無い。

従って、信号線73とガードパターン1Bがショートするか、ソース配線77Aとガードパターン1Bがショートした場合においては、表示欠陥とはならず、ガードパターンの電位を固定した場合と比較して歩留まりを向上させることが出来る。

【0073】

なお、ガードパターン1Bと信号線73又はソース配線77Aとの間にショートが発生した場合、信号線73とソース配線77A間の寄生容量が増えて、その画素の輝度変化があるが、人間は1つの画素のみを見ているわけではなく、画面全体の絵を見ているので、1つの画素のみが輝度変化したとしても、識別できないので問題はない。

【0074】

<第3実施例>

図4は、本発明の反射型液晶表示装置の第3実施例における1つの画素を示す図であり、図5に示すX-Y矢視線に沿って、第1メタル膜側から半導体基板を見た平面図である。

図5は、本発明の反射型液晶表示装置の第3実施例における1つの画素を示す図であり、図4に示すX-Y矢視線に沿った断面図である。

【0075】

第3実施例の反射型液晶表示装置10Cは、従来例2の液晶表示装置50Bにガードパターン1C、ガードパターン1C'、コンタクト6a及びコンタクト7を追加し、これらを配置するために、ソース配線をソース配線77aよりは領域の小さいソース配線77aCとしたものである。

従って、第3実施例の反射型液晶表示装置10Cにおいては、その構成要素は、第1実施例の反射型液晶表示装置50Aにおける構成要素と変わらないのであるが、その配置・形状が異なるので、その構成要素には、図1及び図2に示した第1実施例の同様の各構成要素に付した記号のあとに「a」を付した符号を付して、区別とその対応が分かるようにしてある。これらは、上述の従来例1と従来例2の関係と同様である。

【0076】

第3実施例(ガードパターン関連以外の基本構成は従来例2と同様である。)における画素においては、ドレイン電極18aとソース電極20aの並びに平行して矩形の容量電極23aを配置してある。一方、第1実施例(ガードパターン関連以外の基本構成は従来例

10

20

30

40

50

1と同様である。)における画素においては、ドレイン電極18、ソース電極20と容量電極23を一行に配置してある。

第3実施例は、その基本構成は第1実施例と同様であるので、その基本構成の説明を省略する。

なお、ガードパターン1C及びガードパターン1C'は、第1メタル膜26aを所定形状にすることにより形成されている。

【0077】

図4に図示の左側に配置した、信号線73aとソース配線77aCとの間に配置したガードパターン1Cは、同一列の画素に共通して接続・配置されている。同様に、図示の右側に配置した、ソース配線77aCと右に隣接する画素の信号線(図示しない)との間に配置したガードパターン1C'は、同一列の画素に共通に接続・配置されている。

10

ガードパターン1Cは、第1ビアホールVia1aに形成したコンタクト6aを介してCOM電極21aに電氣的に接続しており、COM電位Vcomに保たれる。一方、ガードパターン1C'は、コンタクト7を介してp-ウエル領域12aに接続され、ウエル電位に保持される。

【0078】

ここで、ガードパターン1C、1C'の配線寸法(幅)を、 $0.4\mu\text{m}$ としてある。ガードパターン1C、1C'と信号線73aとの間隔(最も短い間隔)を $0.5\mu\text{m}$ とし、ガードパターン1C、1C'とソース配線77aCとの間隔(最も短い間隔)を $0.5\mu\text{m}$ としてある。

20

【0079】

この第3実施例の反射型液晶表示装置に、図11で上述した、矩形の中央部を白表示のホワイトボックスパターン部64とし、その周囲をグレー表示のグレーバック部61、62、63、65とする画面表示を行ったところ、グレーバック部63、65におけるクロストークによる出力光の輝度変化を2%以下にすることができる。これは、人間の視覚においてほとんど判別することが出来ないレベルまで改善された。

なお、ここでは、信号線73aとソース配線77aCとの間の寄生容量Cdsを抑制するために、ガードパターン1CはCOM電極21aに接続している。また、ソース配線77aCと右に隣り合う画素の信号線との間の寄生容量を抑制するために、ガードパターン1C'はウエル電極12aに接続している。

30

【0080】

<第4実施例>

図6は、本発明の反射型液晶表示装置の第4実施例における1つの画素を示す図であり、第1メタル膜側から半導体基板を見た平面図である。

同図に示すように、第4実施例の反射型液晶表示装置10Dは、第1実施例の反射型液晶表示装置10Aにおいて、ガードパターン1Aに代えてガードパターン1Dとし、ソース配線77Aに代えてソース配線77Dとした以外は、第1実施例の反射型液晶表示装置と同様にして構成してある。

【0081】

第1メタル膜から形成されるガードパターン1Dは、矩形のソース配線77Dの周囲を取り囲んでいる。ガードパターン1Dの配線寸法(幅)を、 $0.4\mu\text{m}$ としてある。ガードパターン1Dと信号線73との間隔(最も短い間隔)を $0.5\mu\text{m}$ とし、ガードパターン1Dとソース配線77Dとの間隔(最も短い間隔)を $0.5\mu\text{m}$ としてある。

40

このガードパターン1Dを配置できるように、ソース領域としてソース領域77より領域の小さいソース領域77Dを形成してある。ガードパターン1Dはコンタクト6を介してCOM電極21に電氣的に接続している。

【0082】

本実施例は、寄生容量の影響で電位を変動させたくないソース配線の周囲の影響を防ぐことで、もっとも効果的なレイアウト方法である。

この第4実施例の反射型液晶表示装置に、図11で上述した、矩形の中央部を白表示のホ

50

ホワイトボックスパターン部 6 4 とし、その周囲をグレー表示のグレーバック部 6 1 , 6 2 , 6 3 , 6 5 とする画面表示を行ったところ、グレーバック部 6 3 , 6 5 におけるクロストークによる出力光の輝度変化を 1 % 以下に抑制することができる。これにより、人間の視覚において輝度変化を判別することが出来ないレベルまで改善された。なお、表示動作時には、ガードパターン 1 A には、COM 電圧 V_{com} を印加した。

これにより、ガードパターン 1 D を信号線 7 3 とソース配線 7 7 D 間に配置することにより、信号線 7 3 とソース配線 7 7 D 間に発生する寄生容量を抑制することができた。

【0083】

< 第 5 実施例 >

図 7 は、本発明の反射型液晶表示装置の第 5 実施例における 1 つの画素を示す図であり、
第 1 メタル膜側から半導体基板を見た平面図である。 10

同図に示すように、第 5 実施例の反射型液晶表示装置 1 0 E は、第 4 実施例の反射型液晶表示装置 1 0 D において、ガードパターン 1 D に代えて、コンタクト接続部 3 2 D を有せず、従って、COM 電極 2 1 とは接続せず、電位を固定しない以外はガードパターン 1 D と同様のガードパターン 1 E を設けた以外は、第 4 実施例の反射型液晶表示装置 1 0 D と同様に構成してある。

【0084】

第 5 実施例の反射型液晶表示装置 1 0 E においては、ガードパターンの電位を固定する場合（第 4 実施例）と比較して、信号線 7 3 とソース配線 7 7 D との間に生じる寄生容量を抑制する効果は減少してしまうが、クロストークを減少することができ、ホワイトボックスパターン表示において、ホワイトボックスパターン上下の領域に発生するクロストークによる輝度変化を抑制することができる。一方、ガードパターンの電位を固定する場合と比較して、歩留まりを向上させることが出来るというメリットを有する。 20

【0085】

すなわち、図 7 に例示するように、ゴミ等により信号線 7 3 とガードパターン 1 E とショートしてしまった場合でも、ガードパターン 1 E とソース配線 7 7 D の分離が保持されていれば、画素欠陥となることはない。また、ソース配線 7 7 D とガードパターン 1 E がショートした場合においても画素欠陥となることは無い。

従って、信号線とガードリング、ソース配線とガードリングがショートした場合においても、表示欠陥とはならず、ガードリングの電位を固定した場合と比較して歩留まりを向上させることが出来る。 30

【0086】

なお、ガードパターン 1 D と信号線 7 3 又はソース配線 7 7 D との間にショートが発生した場合、寄生容量が増えて、その画素の輝度変化があるが、人間は 1 つの画素のみを見ているわけではなく、画面全体の絵を見ているので、1 つの画素のみが輝度変化したとしても、識別できないので問題はない。

【0087】

このように反射型液晶表示装置において、画素トランジスタのドレイン（又はソース）に接続するビデオ信号を供給する信号線と、画素トランジスタのソース（又はドレイン）に接続する、信号線と同じ層上に配置された配線部との間に、固定電位が供給された、又は電位が供給されていない導電性のガードパターンを配置することにより、信号線と配線部に発生する寄生容量を抑制して、ホワイトボックスパターンを表示するときに顕著に発生するクロストークを低減することができる。また、信号線とガードパターン間、及びガードパターンと配線部との間の間隙は、その間を通過する不要光を遮蔽するに十分に狭く保持することができ、リーク電流の発生を抑え、フリッカーや液晶の焼きつきを防止できる。 40

【0088】

なお、ここでは、ここの画素にガードパターンを配置した場合、同一列の画素に共通するガードパターンを配置した場合について説明したが、画素トランジスタに接続する信号線と画素トランジスタのソース配線間にガードリングを配置してあれば、寄生容量を抑制で 50

きるのであるから、ガードパターンに固定の電位を供給するのであれば、当然ながら全ての画素に接続する１つの電位線でもかまわない。

また、ガードパターンに電位を供給せず、ダミーパターンとする場合には、反射型液晶表示装置製作の歩留まりを良好にできる。

【００８９】

【発明の効果】

以上詳細に説明したように、本発明の請求項１記載の反射型液晶表示装置によれば、各列方向に配置した画素トランジスタのドレイン電極に接続する、金属膜からなり、ビデオ信号を供給するための信号線と、前記画素トランジスタのソース電極に接続し、前記信号線を形成する前記金属膜と同じ金属膜から形成した配線部との間隙に、前記信号線及び前記配線部から離間して、固定電位を供給した、前記同じ金属膜から形成したガードパターンを配置することにより、フリッカーや焼き付を発生させることなく、信号線とソース配線間の寄生容量を減少させてクロストークを抑制できる反射型液晶表示装置を提供できるという効果がある。

10

また、請求項２記載の発明によれば、各列方向に配置した前記画素トランジスタのドレイン電極に接続する、金属膜からなり、ビデオ信号を供給するための信号線と、前記画素トランジスタのソース電極に接続し、前記信号線を形成する前記金属膜と同じ金属膜から形成した配線部との間隙に、前記信号線及び前記配線部から離間して、電位を供給しない、前記同じ金属膜から形成したガードパターンを配置することにより、作製プロセスにおけるゴミなどの影響を受けにくくなるため、作製の歩留まりを向上することが出来る。

20

【図面の簡単な説明】

【図１】本発明の反射型液晶表示装置の第１実施例における１つの画素を示す図であり、図２に示すＸ－Ｙ矢視線に沿って、第１メタル膜側から半導体基板を見た平面図である。

【図２】本発明の反射型液晶表示装置の第１実施例における１つの画素を示す図であり、図１に示すＸ－Ｙ矢視線に沿った断面図である。

【図３】本発明の反射型液晶表示装置の第２実施例における１つの画素を示す図であり、第１メタル膜側から半導体基板を見た平面図である。

【図４】本発明の反射型液晶表示装置の第３実施例における１つの画素を示す図であり、図５に示すＸ－Ｙ矢視線に沿って、第１メタル膜側から半導体基板を見た平面図である。

【図５】本発明の反射型液晶表示装置の第３実施例における１つの画素を示す図であり、図４に示すＸ－Ｙ矢視線に沿った断面図である。

30

【図６】本発明の反射型液晶表示装置の第４実施例における１つの画素を示す図であり、第１メタル膜側から半導体基板を見た平面図である。

【図７】本発明の反射型液晶表示装置の第５実施例における１つの画素を示す図であり、第１メタル膜側から半導体基板を見た平面図である。

【図８】従来例１の反射型液晶表示装置において、１つの画素を模式的に拡大して示した断面図である。

【図９】（ａ）は、従来例１の反射型液晶表示装置におけるアクティブマトリクス駆動回路を説明するためのブロック図であり、（ｂ）は（ａ）の中のＸ部を拡大して示した模式図である。

40

【図１０】従来例１の反射型液晶表示装置において、複数の画素のうち、例えば画素８０Ａ、画素８０Ｂ及び画素８０Ｃを１つの列上に配置した時に、画素の寄生容量を説明するための模式図である。

【図１１】画素トランジスタの寄生容量により発生するクロストーク現象による表示特性を説明するための図であり、図１１の（ａ）は表示したい表示画面を示し、図１１の（ｂ）は、クロストークが発生した表示画面を示す。

【図１２】１つの列上に配置された画素８０Ａ、画素８０Ｂ及び画素８０Ｃにクロストークが発生している場合の信号波形図である。

【図１３】液晶の駆動電圧（入力電圧）と出力光の強度との関係を示すグラフ図である。

【図１４】従来例１の反射型液晶表示装置において、１つの画素の寄生容量を説明するた

50

めの図であり、図 15 に示す X - Y 矢視線に沿って、第 1 メタル膜側から半導体基板を見た平面図である。

【図 15】従来例 1 の反射型液晶表示装置において、1 つの画素の寄生容量を説明するための図であり、図 14 に示す X - Y 矢視線に沿った断面図である。

【図 16】従来例 2 の反射型液晶表示装置において、1 つの画素の寄生容量を説明するための図であり、図 17 に示す X - Y 矢視線に沿って、第 1 メタル膜側から半導体基板を見た平面図である。

【図 17】従来例 2 の反射型液晶表示装置において、1 つの画素の寄生容量を説明するための図であり、図 16 に示す X - Y 矢視線に沿った断面図である。

【符号の説明】

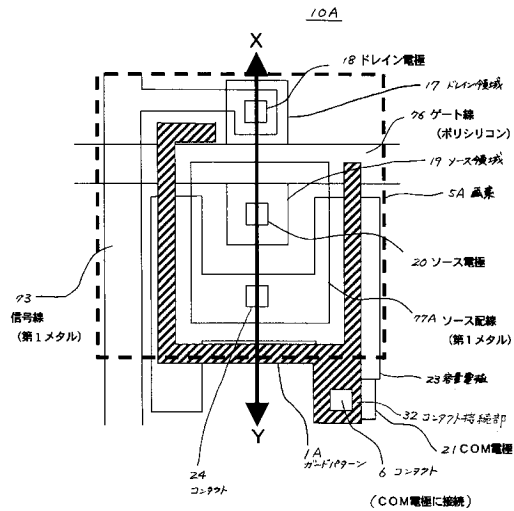
1 A , 1 B , 1 C , 1 C ' , 1 D , 1 E ... ガードパターン、5 A , 5 B , 5 C , 5 D , 5 E ... 画素、6 , 6 a ... コンタクト、7 ... コンタクト、10 A , 10 B , 10 C , 10 D , 10 E ... 反射型液晶表示装置、11 ... 半導体基板 (p 型 Si 基板)、12 , 12 a ... p - ウエル領域、13 A , 13 A a , 13 B , 13 B a , 13 C , 13 C a ... フィールド酸化膜、14 , 14 a ... 画素トランジスタ (スイッチング素子 : MOSFET)、15 , 15 a ... ゲート酸化膜、16 , 16 a ... ゲート電極、17 , 17 a ... ドレイン領域、18 , 18 a ... ドレイン電極、19 , 19 a ... ソース領域、20 , 20 a ... ソース電極、21 , 21 a ... COM 電極 (拡散容量電極)、22 , 22 a ... 絶縁膜、23 , 23 a , 23 a C ... 容量電極、24 , 24 a , 24 a C ... 容量電極用コンタクト、25 , 25 a ... 第 1 層間絶縁膜、26 , 26 a ... 第 1 メタル膜、26 ' , 26 ' a ... 開口部、27 , 27 a ... 第 2 層間絶縁膜、28 , 28 a ... 遮光膜 (第 2 メタル膜)、28 ' , 28 ' a ... 開口部、29 , 29 a ... 第 3 層間絶縁膜、30 , 30 a ... 反射 (画素) 電極 (第 3 メタル膜)、30 ' , 30 ' a ... 開口部、31 , 31 a ... 接続部、32 , 32 D ... コンタクト接続部、40 ... 液晶、41 ... 対向電極、50 A , 50 B ... 反射型液晶表示装置、51 A , 51 B ... 画素、60 ... 表示画面、61 ... グレーバック部、62 ... グレーバック部、63 ... グレーバック部、63 ' ... クロストーク部、64 ... ホワイトボックスパターン部、65 ... グレーバック部、65 ' ... クロストーク部、70 ... アクティブマトリクス駆動回路、71 ... 水平シフトレジスタ回路、72 ... ビデオスイッチ、73 ... 信号線、74 ... ビデオ線、75 垂直シフトレジスタ回路、76 ... ゲート線、77 , 77 a , 77 A , 77 a A , 77 a C , 77 D ... ソース配線、80 A ... 画素 A , 80 B ... 画素 B、80 C ... 画素 C , C , C a , C A , C B , C C ... 保持容量部、D ... ドレイン、G ... ゲート、S ... ソース、Via 1 , Via 1 a ... 第 1 ビアホール、Via 2 , Via 2 a ... 第 2 ビアホール、Via 3 , Via 3 a ... 第 3 ビアホール。

10

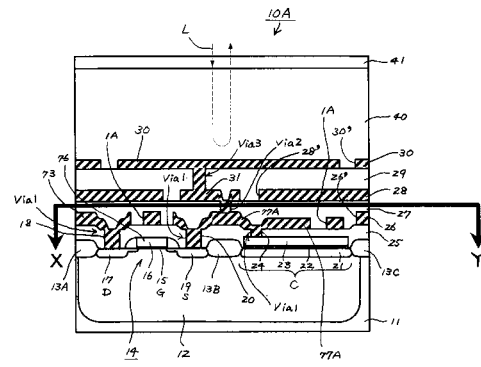
20

30

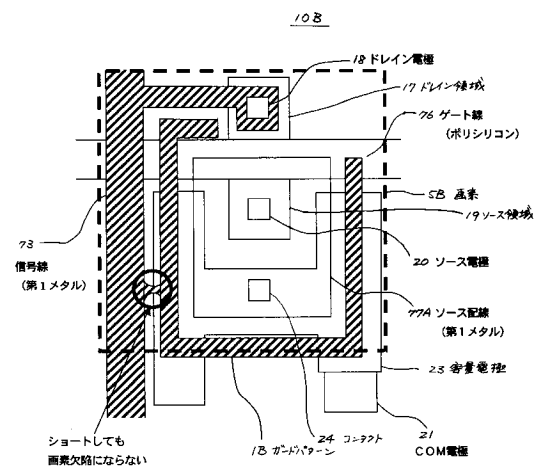
【 図 1 】



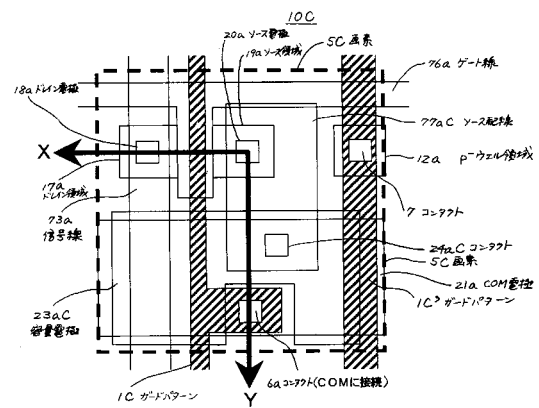
【 図 2 】



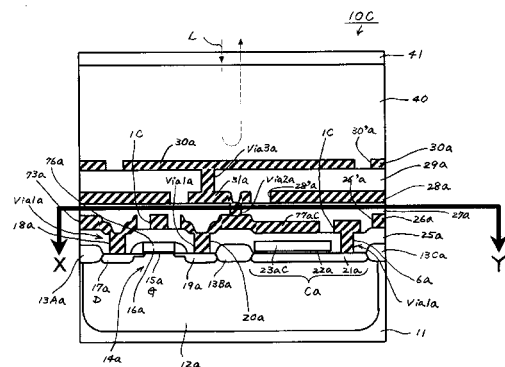
【 図 3 】



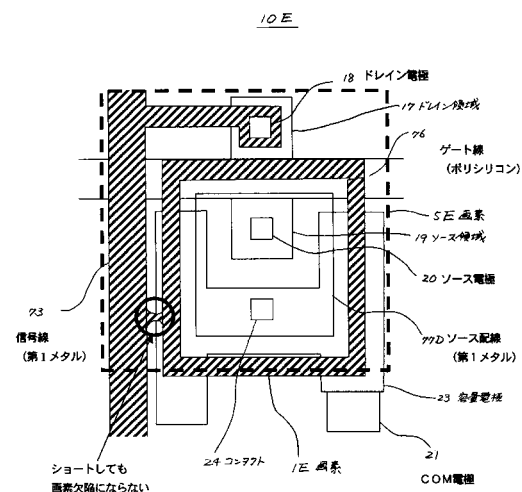
【 図 4 】



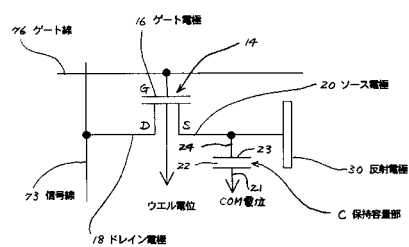
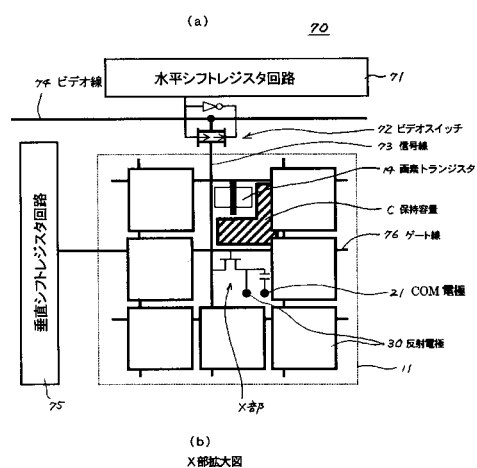
【 図 5 】



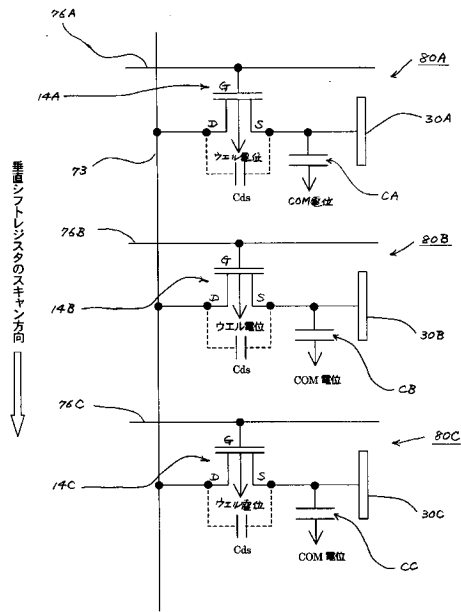
【圖 7】



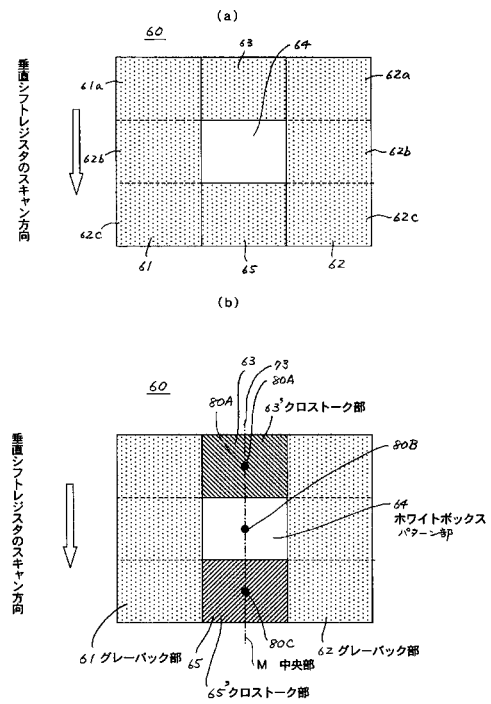
【圖 9】



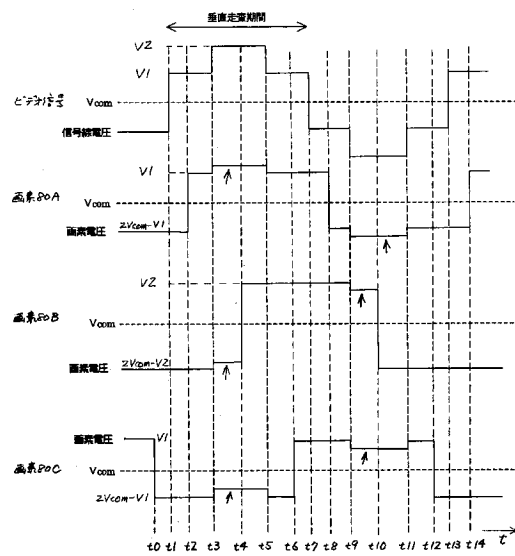
【図 10】



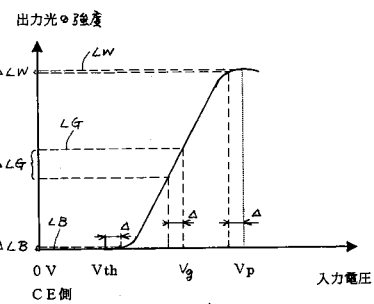
【図 11】



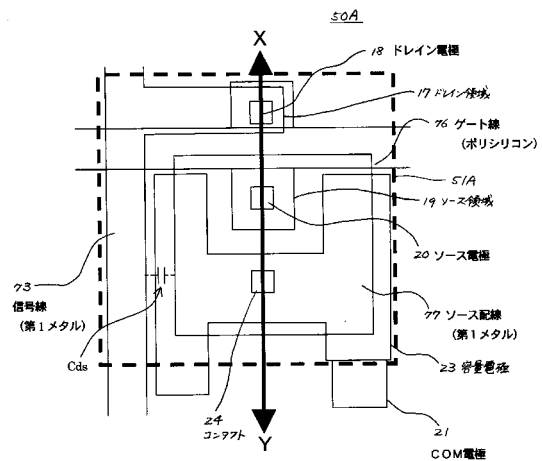
【図 12】



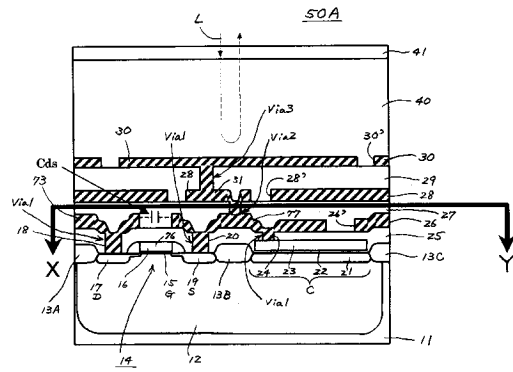
【図 13】



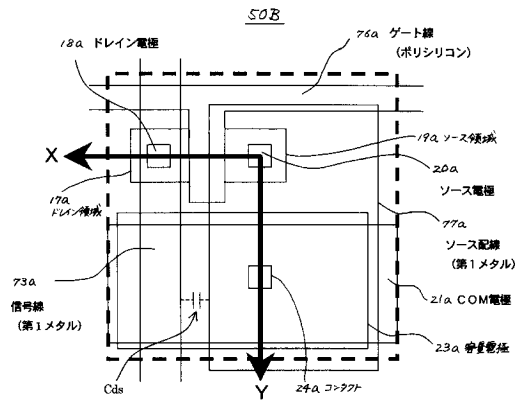
【図 14】



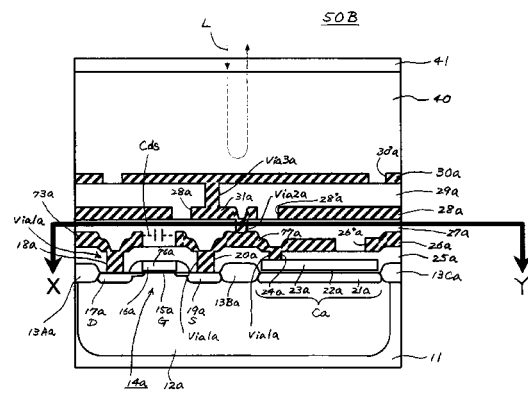
【図 15】



【図 16】



【図 17】



专利名称(译)	反射型液晶表示装置		
公开(公告)号	JP2004309681A	公开(公告)日	2004-11-04
申请号	JP2003101211	申请日	2003-04-04
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1335.520 G02F1/1368		
F-TERM分类号	2H091/FA14Z 2H091/FB08 2H091/GA02 2H091/GA13 2H091/LA12 2H092/GA13 2H092/GA29 2H092/HA05 2H092/JA24 2H092/JA41 2H092/JA46 2H092/KA18 2H092/KB04 2H092/NA23 2H092/NA29 2H191/FA13Y 2H191/FA31Y 2H191/FB14 2H191/GA04 2H191/GA17 2H191/GA19 2H191/LA21 2H191/MA11 2H191/NA43 2H192/AA24 2H192/BC31 2H192/BC42 2H192/BC72 2H192/CB02 2H192/CC04 2H192/DA01 2H192/DA43 2H192/DA72 2H192/EA03 2H192/EA13 2H192/GA03 2H192/GD03 2H192/JB02 2H291/FA13Y 2H291/FA31Y 2H291/FB14 2H291/GA04 2H291/GA17 2H291/GA19 2H291/LA21 2H291/MA11 2H291/NA43		
其他公开文献	JP4135547B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种反射型液晶显示装置，该显示装置能够通过减小信号线与源极线之间的寄生电容而不会引起闪烁而抑制串扰。在半导体基板上，在行方向和列方向上以矩阵状排列有多个像素，每个像素均包括像素晶体管，辅助电容C和反射电极，并且设置有多个反射电极。在通过在形成有彼此相对布置的透明对电极41的透明基板之间包围液晶40而构成的反射型液晶显示装置中，设置有沿各列方向布置的像素晶体管14的漏电极18。信号线73和源极线77A连接到用于提供视频信号的信号线73和像素晶体管14的源极20，并且设置在信号线73和源极线77A之间的间隙中。供给固定电位的保护图案1A被分开布置。[选型图]图1

