

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-138826  
(P2004-138826A)

(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/36</b>	G09G 3/36	2H093
<b>G02F 1/133</b>	G02F 1/133 505	5C006
<b>G09G 3/20</b>	G02F 1/133 545	5C080
	G02F 1/133 575	
	G09G 3/20 611A	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2002-303523 (P2002-303523)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(22) 出願日	平成14年10月17日(2002.10.17)	(74) 代理人	100080034 弁理士 原 謙三
		(74) 代理人	100113701 弁理士 木島 隆一
		(74) 代理人	100115026 弁理士 圓谷 徹
		(74) 代理人	100116241 弁理士 金子 一郎
		(72) 発明者	西垣 貴嘉 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
最終頁に続く			

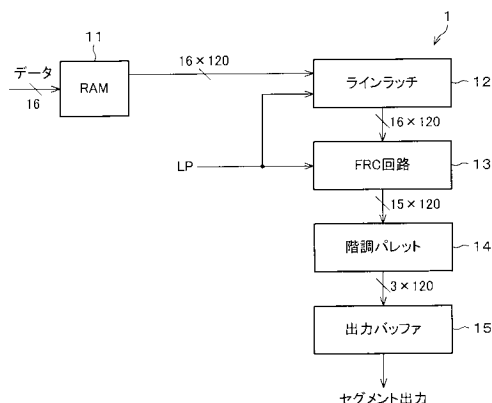
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 構成が簡素で低消費電力の液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置1は、フレーム間引き制御により階調表示を行うものであって、複数色カラーの表示階調データを記憶するRAM11と、表示クロックLPに同期して上記RAM11からの表示階調データをラインラッチするラインラッチ12と、このラインラッチ12によりラッチされた表示階調データに対して、上記表示クロックLPに同期してフレーム間引き制御を行うFRC回路13とを備えている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

フレーム間引き制御により階調表示を行う液晶表示装置の駆動方法であって、複数色カラーの表示階調データを表示クロックに同期してラインラッチし、このようにしてラッチした表示階調データに対して上記表示クロックに同期してフレーム間引き制御を行う液晶表示装置の駆動方法。

## 【請求項 2】

画素全体として点滅パターンが不規則化するように 4 スキャン出力のフレーム間引き制御を行うことを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

## 【請求項 3】

上記フレーム間引き制御を行った後、更にパルス幅変調制御を行うことを特徴とする請求項 1 又は 2 に記載の液晶表示装置の駆動方法。

## 【請求項 4】

フレーム間引き制御により階調表示を行う液晶表示装置であって、複数色カラーの表示階調データを記憶する記憶手段と、表示クロックに同期して上記記憶手段からの表示階調データをラインラッチするラッチ手段と、上記ラッチ手段によりラッチされた表示階調データに対して、上記表示クロックに同期してフレーム間引き制御を行うフレーム間引き制御手段とを備えたことを特徴とする液晶表示装置。

## 【請求項 5】

上記フレーム間引き制御手段によりフレーム間引き制御された表示階調データに対して、パルス幅変調制御を行う手段を更に備えたことを特徴とする請求項 4 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、フレーム間引き階調表示制御を行う液晶表示装置及びその駆動方法に関するものである。

## 【0002】

## 【従来の技術】

近年、単純マトリクス型液晶表示装置は、携帯端末分野、特に携帯電話での用途で使用されることが多く、多階調化、低消費電力化が望まれている。

## 【0003】

単純マトリクス型液晶表示装置での階調表示方法として、階調データに応じて、1 フレーム毎に送出するデータを間引くことにより、時空間的に液晶にかかる電圧値を変化させ階調表示を実現するフレーム間引き方式の階調表示方法が広く使用されている。

## 【0004】

図 7 は、従来の液晶表示装置 7 の構成を概略的に示すブロック図である。すなわち、上記液晶表示装置 7 は、RAM 71 と、FRC (フレーム間引き) 回路 73 と、シフトレジスタ 76 と、ラインラッチ 72 と、階調パレット 74 と、出力バッファ 75 とを備えている。

## 【0005】

液晶表示装置 7 は、65k ( $2^{16} = 65536$ ) 色 (R (赤) データ 5 bit、G (緑) データ 6 bit、B (青) データ 5 bit) を PWM 方式 (パルス幅変調方式) およびフレーム間引き制御 (FRC) で表示するものである。なお、パネルの表示画素は  $m \times 3 (= RGB) \times n$  であり、 $m = 120$  (列方向の画素数)、 $n = 160$  (行方向の画素数) の場合を例にとって説明する。

## 【0006】

液晶表示装置 7 の RAM 71 には、65k 色カラーの表示階調データが転送され入力され

10

20

30

40

50

る。入力された表示階調データ16 bit (R: 5 bit、G: 6 bit、B: 5 bit)は、ドットクロックDCKのタイミングで(ドットクロックDCKに同期して)FRC回路73に入力される。

【0007】

FRC回路73でFRC(フレーム間引き制御)処理されたデータ12 bit (R: 4 bit、G: 4 bit、B: 4 bit)は、ドットクロックDCKに同期してシフトレジスタ76に入力される。この場合、FRC回路73においては、常にドットクロックDCKのタイミング、すなわち表示クロックLPの120倍の速度で転送処理が行われる必要があるので、消費電力が著しく増大することとなる。

【0008】

図3にドットクロックDCKと表示クロックLPのタイミングチャートを示す。ここで示す例は、120列のセグメントデータの場合であるため、ドットクロックDCKは表示クロックLPの120倍の速度となる。シフトレジスタ76で変換された120列分のデータ12(=RGB×4)×120bitは表示クロックLPのタイミングでラインラッチ72に入力される。

10

【0009】

ラッチされたデータ12(=RGB×4)×120bitは階調パレット74に入力される。階調パレット74でPWM制御されたデータ3(=RGB)×120bitは出力バッファ75に入力され、ここからセグメント出力として出力される。

【0010】

なお、上記FRC回路は、たとえば、特許文献1や特許文献2に開示されているように、ドットクロックに同期してフレーム間引き制御を行っている。

20

【0011】

【特許文献1】

特開平10-116055号公報(公開日:平成10年5月6日)

【0012】

【特許文献2】

特開平7-281154号公報(公開日:平成7年10月27日)

【0013】

【発明が解決しようとする課題】

しかしながら、上記従来の液晶表示装置では、フレーム間引き制御がドットクロックDCKに同期して行われるので、高速転送処理を行う必要がある。消費電力は転送速度(同期クロックの周波数)に比例するため、上記従来の液晶表示装置は、消費電力が増大するという問題点を有している。

30

【0014】

本発明は、上記問題点を鑑みてなされたものであって、その目的は、構成が簡素で低消費電力の液晶表示装置及びその駆動方法を提供することにある。

【0015】

【課題を解決するための手段】

本発明の液晶表示装置の駆動方法は、上記課題を解決するために、フレーム間引き制御により階調表示を行うものであって、複数色カラーの表示階調データを表示クロックに同期してラインラッチし、このようにしてラッチした表示階調データに対して上記表示クロックに同期してフレーム間引き制御を行うことを特徴としている。

40

【0016】

上記の発明によれば、フレーム間引き制御によって、複数色カラーの表示階調データに応じて、1フレーム毎に送出するデータが間引かれ、時空間的に液晶にかかる電圧値が変化し、これにより階調表示が行われる。

【0017】

上記フレーム間引き制御をドットクロックに同期して行う場合、ドットクロックの周波数は高いので、データの高速転送処理を行うことが必要となる。この場合、消費電力は転送

50

速度（同期クロックの周波数）に比例するので、液晶表示装置における消費電力が増大してしまう。

【0018】

そこで、上記不具合を克服するために、本液晶表示装置の駆動方法においては、ドットクロックに同期するのではなくて、表示クロックに同期してフレーム間引き制御が行われる。

【0019】

たとえば、表示画素が  $m$  ( $m$ : 整数) 列存在する表示パネルの場合、表示クロックの転送速度（周波数）は、ドットクロックの転送速度（周波数）の  $(1/m)$  倍に減少する。これにより、液晶表示装置における消費電力を大幅に削減することが可能となる。

10

【0020】

加えて、表示クロックに同期してフレーム間引き制御を行うことによって、ドットクロックに同期してフレーム間引き制御を行う場合に該制御後に必要であったシフトレジスタ処理が不要となるので、その分、工程を簡素化できると共に、簡素な工程及び制御によって従来と同質の液晶表示装置の駆動が行える。

【0021】

画素全体として点滅パターンが不規則化するように4スキャン出力のフレーム間引き制御を行うことが好ましい。

【0022】

4スキャンのフレーム間引き制御を行う場合、駆動周波数が低くなるため、フリッカが発生する可能性がある。これに対応するため、隣接する画素の点滅位相を異なるタイミングにする必要がある。しかしながら、単純に隣接画素の位相をずらしただけでは、画素全体として点滅の規則的な繰り返しパターンが目立ってしまう。

20

【0023】

そこで、本駆動方法によれば、画素全体として点滅パターンが不規則化するように4スキャン出力のフレーム間引き制御が行われる。これにより、画素全体として点滅の規則的な繰り返しパターンは目立つことがなくなるので、駆動周波数が低くなっても、フリッカの発生を確実に回避できる。

【0024】

上記フレーム間引き制御を行った後、更にパルス幅変調制御を行ってもよい。この場合、フレーム間引き制御とパルス幅変調制御の双方を行うことが可能となる。

30

【0025】

本発明の液晶表示装置は、上記課題を解決するために、フレーム間引き制御により階調表示を行う液晶表示装置であって、複数色カラーの表示階調データを記憶する記憶手段と、表示クロックに同期して上記記憶手段からの表示階調データをラインラッチするラッチ手段と、上記ラッチ手段によりラッチされた表示階調データに対して、上記表示クロックに同期してフレーム間引き制御を行うフレーム間引き制御手段とを備えたことを特徴としている。

【0026】

上記の発明によれば、フレーム間引き制御によって、記憶手段からの複数色カラーの表示階調データに応じて、1フレーム毎に送出するデータが間引かれ、時空間的に液晶にかかる電圧値が変化し、これにより階調表示が行われる。

40

【0027】

このとき、表示クロックに同期して上記記憶手段からの表示階調データは、ラッチ手段によってラインラッチされる。上記ラッチ手段によりラッチされた表示階調データに対して、上記表示クロックに同期してフレーム間引き制御がフレーム間引き制御手段によって行われる。

【0028】

上記フレーム間引き制御をドットクロックに同期して行う場合、ドットクロックの周波数は高いので、データの高速転送処理を行うことが必要となる。この場合、消費電力は転送

50

速度（周波数）に比例するので、液晶表示装置における消費電力が増大してしまう。

【0029】

そこで、上記不具合を克服するために、本液晶表示装置においては、上述のように、ドットクロックに同期するのではなくて、表示クロックに同期してフレーム間引き制御手段は、フレーム間引き制御を行う。

【0030】

たとえば、表示画素が $m$ （ $m$ ：整数）列存在する表示パネルの場合、表示クロックの転送速度（周波数）は、ドットクロックの転送速度の（ $1/m$ ）倍に減少する。これにより、液晶表示装置における消費電力を大幅に削減することが可能となる。

【0031】

加えて、フレーム間引き制御手段において表示クロックに同期してフレーム間引き制御を行うことによって、ドットクロックに同期してフレーム間引き制御を行う場合に該制御後に必要であったシフトレジスタが不要となるので、その分、構成及び制御を簡素化できると共に、簡素な構成及び制御によって従来と同質の液晶表示装置を実現できる。

10

【0032】

上記フレーム間引き制御手段によりフレーム間引き制御された表示階調データに対して、パルス幅変調制御を行う手段を更に備えた構成でもよい。この場合、フレーム間引き制御とパルス幅変調制御の双方を行う液晶表示装置を実現できる。

【0033】

【発明の実施の形態】

20

本発明の実施の一形態について図1～図6に基づいて説明すれば、以下のとおりである。

【0034】

図1は、本実施形態にかかる液晶表示装置1の主要な構成の概略を示すブロック図である。すなわち、上記液晶表示装置1は、主として、複数色カラーの表示階調データを記憶するRAM11（記憶手段）と、表示クロックLPに同期して上記RAM11からの表示階調データをラインラッチするラインラッチ12（ラッチ手段）と、上記ラインラッチ12によりラッチされた表示階調データに対して、上記表示クロックLPに同期してフレーム間引き制御を行うFRC回路13（フレーム間引き制御手段）と、上記FRC回路13によりフレーム間引き制御された表示階調データに対して、パルス幅変調制御を行う階調パレット14（パルス幅変調制御手段）と、出力バッファ15とを備えている。

30

【0035】

上記液晶表示装置1は、65k色（R（赤）データ：5bit、G（緑）データ：6bit、B（青）データ：5bit）をフレーム間引き制御およびPWM方式（パルス幅変調方式）で表示するものである。

【0036】

なお、以下の説明においては、説明の便宜上、表示パネルの表示画素が、 $m \times 3$ （=RGB） $\times n$ であり、 $m = 120$ 及び $n = 160$ の場合を例示するが、本発明はこれに限定されるものではなく、他の $m$ と $n$ の組み合わせを有する表示パネルの場合でもよい。

【0037】

上記のRAM11には、65k色カラーの表示階調データが転送され入力される。入力された120列分の表示階調データ16（R：5bit、G：6bit、B：5bit） $\times$ 120bitは、表示クロックLPのタイミングで（表示クロックLPに同期して）ラインラッチ12に入力される。ラインラッチされた16（R：5bit、G：6bit、B：5bit） $\times$ 120bitデータは、表示クロックLPに同期して上記FRC回路13に入力される。

40

【0038】

上記FRC回路13は、図2に示すように、主として、表示クロックLPを入力し、フレームカウント動作及びラインカウント動作を行う2ビットのフレームカウンタ21及び2ビットのラインカウンタ22と、複数のフレーム間引き制御ロジック23とから構成されている。なお、上記ラインカウンタ22は、表示クロックLPをカウントするものであり

50

、表示クロックLPのタイミングで（表示クロックLPに同期して）動作する。一方、上記フレームカウンタ21は、フレームをカウントするものであり、表示クロックLPのn（行方向の画素数）分周のタイミングで（表示クロックLPをn分周したものに同期して）動作する。

【0039】

上記FRC回路13においては、ラインラッチされた16（R：5bit、G：6bit、B：5bit）bitデータの下位2ビットがフレーム間引き制御ロジック23に入力され、表示クロックLPに同期してフレーム間引き制御が行われる。

【0040】

上記FRC回路13においてフレーム間引き制御を従来技術のようにドットクロックに同期して行う場合、ドットクロックの周波数が高いので、データの高速転送処理を行うことが必要となる。この場合、消費電力は転送速度（同期クロックの周波数）に比例するので、液晶表示装置における消費電力が増大してしまう。

10

【0041】

そこで、上記不具合を克服するために、本液晶表示装置1によれば、上述のように、上記FRC回路13において、ドットクロックに同期するのではなくて、表示クロックLPに同期してフレーム間引き制御が行われる。

【0042】

表示画素が120列存在する表示パネル（図示しない）の場合、表示クロックLPの転送速度（周波数）は、ドットクロックの転送速度の（1/120）倍に減少する（図3参照）。

20

【0043】

加えて、上記FRC回路13は表示クロックLPに同期してフレーム間引き制御を行うので、ドットクロックに同期してフレーム間引き制御を行う場合に該フレーム間引き制御後に従来必要であったシフトレジスタが不要となり、その分、構成及び制御を簡素化できると共に、簡素な構成及び制御によって従来と同質の液晶表示装置を実現できる。

【0044】

なお、上記のフレーム間引き制御ロジック23には、上記フレームカウンタ21及び上記ラインカウンタ22からそれぞれ2ビットの出力データが供給される。

【0045】

本実施例においては、4スキャン出力を行うことによって、所望の色数を表現している。4スキャンのフレーム間引き制御を行う場合、駆動周波数が低くなるため、フリッカが発生する可能性がある。これに対応するため、隣接する画素の点滅位相を異なるタイミングにする必要がある。

30

【0046】

しかしながら、単純に隣接画素の位相をずらしただけでは、画素全体として点滅の規則的な繰り返しパターンが目立ってしまう。そこで、本実施の形態によれば、 $2 \times (RGB) \times 2$ のマトリックスを作り、その中で点滅パターンを不規則化させている。このように点滅パターンを不規則化することにより、画素全体として点滅の規則的な繰り返しパターンは目立つことがなくなるので、駆動周波数が低くなっても、フリッカの発生を確実に回避できる。

40

【0047】

点滅パターンの不規則化は、たとえば図4のテーブルに従って行う。つまり、 $2 \times (RGB) \times 2$ 画素のマトリックスを考え、図4に示すように、このマトリックスを回転させることによって、スキャンごとに $8 \times (RGB) \times 4$ 画素分の不規則な点滅パターン（図4参照）の生成を行う。図4の点滅パターンテーブル中の数字は、点滅パターン1～4をそれぞれ示す。図4の点滅パターンに基づく画素の点滅の具体例を図5に示し、実際の回路を図6に示す。

【0048】

図5において、1段目は、スキャンと点滅パターンとの関係を示す説明図であり、点滅パ

50

ターン 1 ~ 4 は、スキャン（第 1 ~ 第 4 スキャン）に応じて変化している。

【 0 0 4 9 】

たとえば、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 0 0 ” が入力された場合、点滅パターン 1 によれば、第 1 スキャンにおいては “ 1 ”（点灯）であると共に第 2 ~ 第 4 スキャンにおいては “ 0 ”（消灯）であり、点滅パターン 2 によれば、第 1 ~ 第 3 スキャンにおいては “ 0 ” であると共に第 4 スキャンにおいては “ 1 ” であり、点滅パターン 3 によれば、第 1、第 2、及び第 4 スキャンにおいては “ 0 ” であると共に第 3 スキャンにおいては “ 1 ” であり、点滅パターン 4 は、第 1、第 3、及び第 4 スキャンにおいては “ 0 ” であると共に第 2 スキャンにおいては “ 1 ” である。

【 0 0 5 0 】

同様に、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 0 1 ” が入力された場合、点滅パターン 1 によれば、第 1 及び第 3 スキャンにおいては “ 1 ” であると共に第 2 及び第 4 スキャンにおいては “ 0 ” であり、点滅パターン 2 によれば、第 1 及び第 3 スキャンにおいては “ 0 ” であると共に第 2 及び第 4 スキャンにおいては “ 1 ” であり、点滅パターン 3 によれば、第 1 及び第 3 スキャンにおいては “ 1 ” であると共に第 2 及び第 4 スキャンにおいては “ 0 ” であり、点滅パターン 4 によれば、第 1 及び第 3 スキャンにおいては “ 0 ” であると共に第 2 及び第 4 スキャンにおいては “ 1 ” である。

【 0 0 5 1 】

同様に、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 1 0 ” が入力された場合、点滅パターン 1 によれば、第 1 スキャンにおいては “ 0 ” であると共に第 2 ~ 第 4 スキャンにおいては “ 1 ” であり、点滅パターン 2 によれば、第 1 ~ 第 3 スキャンにおいては “ 1 ” であると共に第 4 スキャンにおいては “ 0 ” であり、点滅パターン 3 によれば、第 1、第 2、及び第 4 スキャンにおいては “ 1 ” であると共に第 3 スキャンにおいては “ 0 ” であり、点滅パターン 4 によれば、第 1、第 3、及び第 4 スキャンにおいては “ 1 ” であると共に第 2 スキャンにおいては “ 0 ” である。

【 0 0 5 2 】

同様に、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 1 1 ” が入力された場合、点滅パターン 1 ~ 4 のいずれも、第 1 ~ 第 4 スキャンにおいて “ 1 ” である。

【 0 0 5 3 】

図 5 において、2 段目 ~ 5 段目は、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 0 0 ”、“ 0 1 ”、“ 1 0 ”、及び “ 1 1 ” がそれぞれ入力された場合に、図 4 の点滅パターンテーブルに基づいてそれぞれ行われる、第 1 ~ 第 4 スキャンにおける  $8 \times (RGB) \times 4$  画素の点滅状態を示す。

【 0 0 5 4 】

図 5 における 2 段目 ~ 5 段目の画素（各 3 2 個の画素）の点滅状態（“ 1 ” か “ 0 ”）は、図 4 の点滅パターンテーブルにおける対応画素の各点滅パターン（点滅パターン 1 ~ 4 のいずれか）に対応している。

【 0 0 5 5 】

たとえば、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 0 0 ” が入力された場合、図 5 の 2 段目 ~ 5 段目において、3 2 個の画素のうち、各左上隅の画素は、点滅パターン 1 が第 1 ~ 第 4 スキャンに移行するのにしたがって変化する。つまり、上記各左上隅の画素は、第 1 スキャン（図 5 の 2 段目）においては “ 1 ” であり、第 2 スキャン（図 5 の 3 段目）においては “ 0 ” であり、第 3 スキャン（図 5 の 4 段目）においては “ 0 ” であり、第 4 スキャン（図 5 の 5 段目）においては “ 0 ” である。

【 0 0 5 6 】

同様に、フレーム間引き制御ロジック 2 3 に対して下位 2 ビットデータ “ 0 1 ” が入力された場合、図 5 の 2 段目 ~ 5 段目において、3 2 個の画素のうち、各右上隅の画素は、点滅パターン 4 が第 1 ~ 第 4 スキャンに移行するのにしたがって変化する。つまり、上記各右上隅の画素は、第 1 スキャン（図 5 の 2 段目）においては “ 0 ” であり、第 2 スキャン（図 5 の 3 段目）においては “ 1 ” であり、第 3 スキャン（図 5 の 4 段目）においては “

10

20

30

40

50

0”であり、第4スキャン(図5の5段目)においては“1”である。

【0057】

同様に、フレーム間引き制御ロジック23に対して下位2ビットデータ“10”が入力された場合、図5の2段目～5段目において、32個の画素のうち、各右下隅の画素は、点滅パターン2が第1～第4スキャンに移行するのにしたがって変化する。つまり、上記各右下隅の画素は、第1スキャン(図5の2段目)においては“1”であり、第2スキャン(図5の3段目)においては“1”であり、第3スキャン(図5の4段目)においては“1”であり、第4スキャン(図5の5段目)においては“0”である。

【0058】

同様に、フレーム間引き制御ロジック23に対して下位2ビットデータ“11”が入力された場合、図5の2段目～5段目において、32個の画素のうち、各左下隅の画素は、点滅パターン3が第1～第4スキャンに移行するのにしたがって変化する。つまり、上記各左下隅の画素は、第1～第4スキャン(図5の2段目～5段目)において“1”である。

10

【0059】

なお、図5中の下位2ビットとは、各セグメント出力に対応するRAM11からの出力データ(ラインラッチ回路12からの出力データ)の下位2ビットを意味する。この下位2ビットは、フレーム間引き制御ロジック23に入力され、ここで上述の各点滅パターンに従って1ビットデータに変換されて最下位ビットとして階調パレット14に出力される(図2参照)。

20

【0060】

上記フレーム間引き制御ロジック23から出力された1ビット及びRAM11(ラインラッチ回路12)からの出力データの上位4ビットが、最下位ビット及び上位ビットとして、それぞれ階調パレット14に入力される。即ち、合計15(=RGB×5)×120bitが階調パレット14に入力される。

【0061】

なお、図2において、SEGBiに対応するデータは6ビット中の下位2ビットであり、SEGAi及びSEGCiに対応するデータはそれぞれ5ビット中の下位1ビットである。また、下位1ビットデータが“0”のとき下位2ビットデータは“01”、下位1ビットデータが“1”のとき下位2ビットデータは“11”に対応する。

30

【0062】

ここで、図5に示す画素の点滅の具体例を実現するフレーム間引き制御ロジック23の構成例を図6に示す。図6の構成例は、図2の構成に対応したものである。図6に示すフレーム間引き制御ロジック23の構成によれば、前記の下位2ビット、フレームカウンタの出力2ビット、及びラインカウンタの出力2ビットの計6ビットから1ビットを出力するものである。

【0063】

図6に示すフレーム間引き制御ロジック23において、VCNT0及びVCNT1が図2中のフレームカウンタ21の出力2ビット、HCNT0及びHCNT1が図2中のラインカウンタ22の出力2ビット、DINA0及びDINA1、DINB0及びDINB1、DINC0及びDINC1、並びにDIND0及びDIND1がそれぞれ下位2ビット、DOUTA、DOUTB、DOUTC、及びDOUTDがそれぞれフレーム間引き制御ロジックの出力1ビットに相当している。

40

【0064】

また、図6中、DOUTAは、SEGA0, SEGB0, SEGC0, SEGA5, SEGB5, SEGC5, ..., SEGAi, SEGBi, SEGCi, SEGAi+5, SEGBi+5, SEGCi+5, ..., SEGA128, SEGB128, SEGC128に対応し、DOUTBは、SEGA1, SEGB1, SEGC1, SEGA4, SEGB4, SEGC4, ..., SEGAi+1, SEGBi+1, SEGCi+1, SEGAi+4, SEGBi+4, SEGCi+4, ..., SEGA129, SEGB129, SEGC1

50

29に対応している。

【0065】

さらに、同図中、DOUTCは、SEGA2, SEGB2, SEGC2, SEGA7, SEGB7, SEGC7, ..., SEGAi+2, SEGBi+2, SEGCi+2, SEGAi+7, SEGBi+7, SEGCi+7, ..., SEGA130, SEGB130, SEGC130に対応し、DOUTDは、SEGA3, SEGB3, SEGC3, SEGA6, SEGB6, SEGC6, ..., SEGAi+3, SEGBi+3, SEGCi+3, SEGAi+6, SEGBi+6, SEGCi+6, ..., SEGA131, SEGB131, SEGC131に対応している。

【0066】

なお、上記SEGAi, SEGBi, 及びSEGCiは、それぞれRGBに対応するセグメント番号(SEG No.)を表している。

【0067】

上記階調パレット14でPWM制御されたデータ3(=RGB)×120bitは出力バッファ15に入力され、ここからセグメント出力として出力される。

【0068】

なお、本発明は、上記の実施の形態に限定されるものではなく、本発明の範囲内で種々の変更が可能である。例えば、上記実施の形態では、PWM方式とFRC方式とを併用した場合を例示したが、FRC方式単独の場合(この場合にも階調パレット14は必要である。)でも図1と同様の構成となる。

【0069】

本構成においては、FRC方式単独の場合でも、階調パレット14の使用が必要となる。

【0070】

なお、PWM方式単独の場合には、FRC回路13はスルーし、階調パレット14に入力されることとなる。

【0071】

【発明の効果】

本発明の液晶表示装置の駆動方法は、以上のように、複数色カラーの表示階調データを表示クロックに同期してラインラッチし、このようにしてラッチした表示階調データに対して上記表示クロックに同期してフレーム間引き制御を行うことを特徴としている。

【0072】

上記フレーム間引き制御をドットクロックに同期して行う場合、ドットクロックの周波数は高いので、データの高速度転送処理を行うことが必要となる。この場合、消費電力は転送速度(同期クロックの周波数)に比例するので、液晶表示装置における消費電力が増大してしまう。

【0073】

そこで、上記不具合を克服するために、本液晶表示装置の駆動方法においては、ドットクロックに同期するのではなくて、表示クロックに同期してフレーム間引き制御が行われる。

【0074】

たとえば、表示画素がm(m:整数)列存在する表示パネルの場合、表示クロックの転送速度(周波数)は、ドットクロックの転送速度(周波数)の(1/m)倍に減少する。これにより、液晶表示装置における消費電力を大幅に削減することが可能となる。

【0075】

加えて、表示クロックに同期してフレーム間引き制御を行うことによって、ドットクロックに同期してフレーム間引き制御を行う場合に該制御後に必要であったシフトレジスタ処理が不要となるので、その分、工程を簡素化できると共に、簡素な工程及び制御によって従来と同質の液晶表示装置の駆動が行えるという効果を併せて奏する。

【0076】

画素全体として点滅パターンが不規則化するように4スキャン出力のフレーム間引き制御

10

20

30

40

50

を行うことが好ましい。

【0077】

4 スキャンのフレーム間引き制御を行う場合、駆動周波数が低くなるため、フリッカが発生する可能性がある。これに対応するため、隣接する画素の点滅位相を異なるタイミングにする必要がある。しかしながら、単純に隣接画素の位相をずらしただけでは、画素全体として点滅の規則的な繰り返しパターンが目立ってしまう。

【0078】

そこで、本駆動方法によれば、画素全体として点滅パターンが不規則化するように4 スキャン出力のフレーム間引き制御が行われる。それゆえ、画素全体として点滅の規則的な繰り返しパターンは目立つことがなくなるので、駆動周波数が低くなっても、フリッカの発生を確実に回避できるという効果を併せて奏する。

【0079】  
上記フレーム間引き制御を行った後、更にパルス幅変調制御を行ってもよい。この場合、フレーム間引き制御とパルス幅変調制御の双方を行うことが可能となるという効果を併せて奏する。

【0080】

本発明の液晶表示装置は、以上のように、複数色カラーの表示階調データを記憶する記憶手段と、表示クロックに同期して上記記憶手段からの表示階調データをラインラッチするラッチ手段と、上記ラッチ手段によりラッチされた表示階調データに対して、上記表示クロックに同期してフレーム間引き制御を行うフレーム間引き制御手段とを備えたことを特徴としている。

【0081】

上記の発明によれば、表示クロックに同期して上記記憶手段からの表示階調データは、ラッチ手段によってラインラッチされる。上記ラッチ手段によりラッチされた表示階調データに対して、上記表示クロックに同期してフレーム間引き制御がフレーム間引き制御手段によって行われる。

【0082】

上記フレーム間引き制御をドットクロックに同期して行う場合、ドットクロックの周波数は高いので、データの高速度転送処理を行うことが必要となる。この場合、消費電力は転送速度（周波数）に比例するので、液晶表示装置における消費電力が増大してしまう。

【0083】

そこで、上記不具合を克服するために、本液晶表示装置においては、上述のように、ドットクロックに同期するのではなくて、表示クロックに同期してフレーム間引き制御手段は、フレーム間引き制御を行う。

【0084】

たとえば、表示画素が  $m$  ( $m$ : 整数) 列存在する表示パネルの場合、表示クロックの転送速度（周波数）は、ドットクロックの転送速度の  $(1/m)$  倍に減少する。これにより、液晶表示装置における消費電力を大幅に削減することが可能となる。

【0085】

加えて、フレーム間引き制御手段において表示クロックに同期してフレーム間引き制御を行うことによって、ドットクロックに同期してフレーム間引き制御を行う場合に該制御後に必要であったシフトレジスタが不要となるので、その分、構成及び制御を簡素化できると共に、簡素な構成及び制御によって従来と同質の液晶表示装置を実現できるという効果を併せて奏する。

上記フレーム間引き制御手段によりフレーム間引き制御された表示階調データに対して、パルス幅変調制御を行う手段を更に備えた構成でもよい。この場合、フレーム間引き制御とパルス幅変調制御の双方を行う液晶表示装置を実現できるという効果を併せて奏する。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の主要な構成の概略を示すブロック図である。

【図2】上記液晶表示装置を構成するフレーム間引き制御回路の構成例を示すブロック図

10

20

30

40

50

である。

【図3】本発明と従来技術の双方を説明するものであり、ドットクロックと表示クロックのタイミングチャートを示す。

【図4】上記フレーム間引き制御回路で使用される画素の点滅パターンテーブルを示す説明図である。

【図5】図4の点滅パターンに基づく画素の点滅の具体例を示す説明図である。

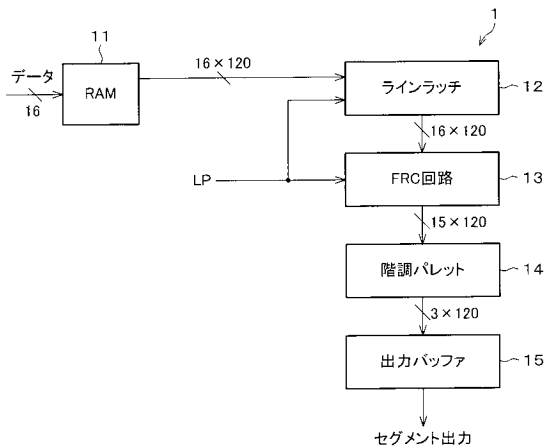
【図6】フレーム間引き制御回路図である。

【図7】従来の液晶表示装置の主要な構成の概略を示すブロック図である。

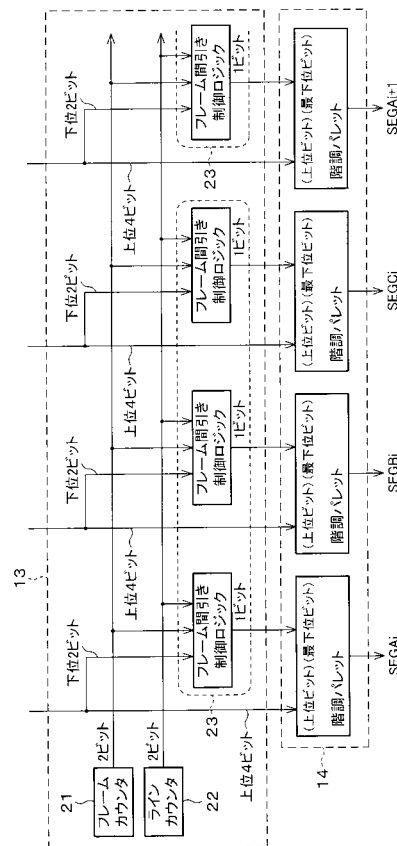
【符号の説明】

- 1 1     R A M ( 記憶手段 )
- 1 2     ラインラッチ ( ラッチ手段 )
- 1 3     F R C 回路 ( フレーム間引き制御手段 )
- 1 4     階調パレット ( パルス幅変調制御を行う手段 )
- 2 1     フレームカウンタ
- 2 2     ラインカウンタ
- 2 3     フレーム間引き制御ロジック ( フレーム間引き制御手段 )

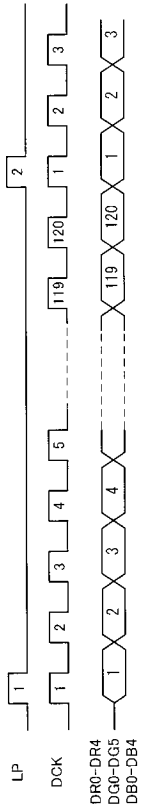
【図1】



【図2】



【 図 3 】

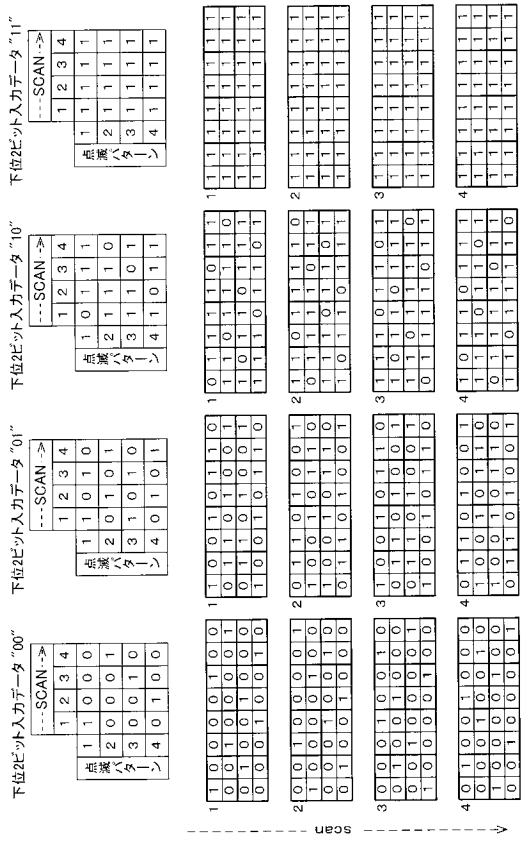


【 図 4 】

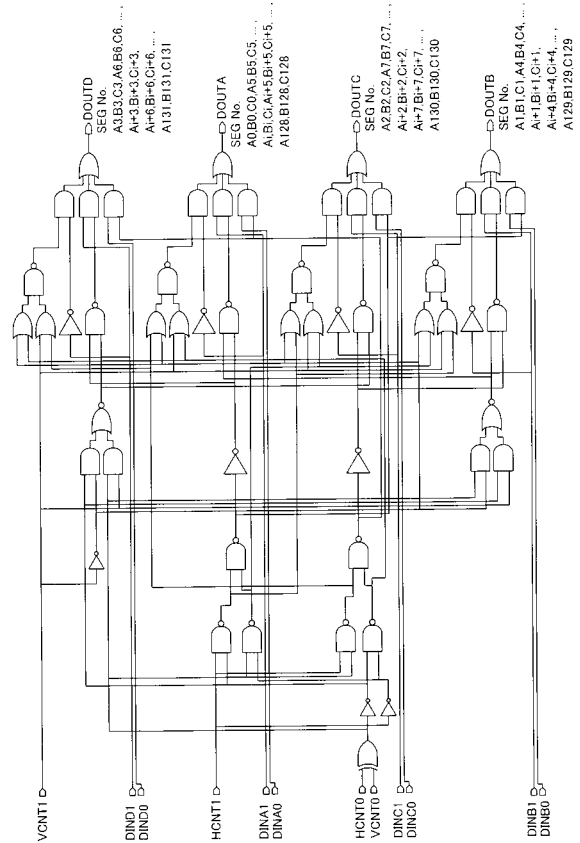
点滅パターンテーブル  
(8 × RGB × 4画素分)

1	2	4	3	2	1	3	4
4	3	1	2	3	4	2	1
2	1	3	4	1	2	4	3
3	4	2	1	4	3	1	2

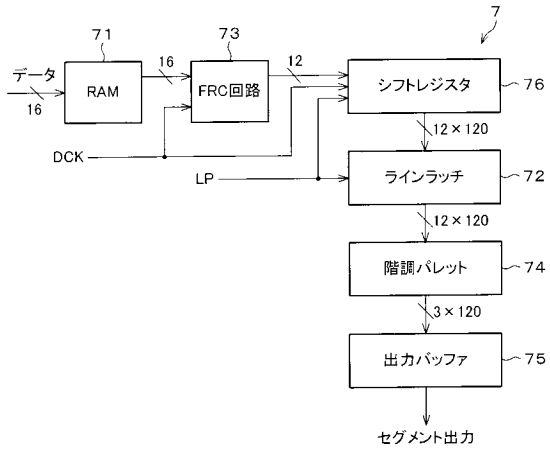
【 図 5 】



【 図 6 】



【図7】



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 F
G 0 9 G	3/20	6 4 1 K
G 0 9 G	3/20	6 4 2 J

(72)発明者 坂本 敦

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 安西 教生

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 札幌 一嘉

大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H093 NA07 NA43 NA55 NA56 NC11 NC22 NC26 NC29 NC49 ND06  
 ND10 ND39 ND50 ND54  
 5C006 AA14 AA15 AA17 AA22 AC02 AF04 AF06 AF11 AF25 AF44  
 AF72 BB12 BC12 BC16 BF02 BF03 BF04 BF05 BF08 BF22  
 BF23 BF26 FA13 FA15 FA16 FA23 FA43 FA48 FA56  
 5C080 AA10 BB05 CC03 DD06 DD08 DD23 DD26 EE29 EE30 FF12  
 GG15 GG17 JJ02 JJ03 JJ04 KK07

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2004138826A</a>	公开(公告)日	2004-05-13
申请号	JP2002303523	申请日	2002-10-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	西垣貴嘉 坂本敦 安西教生 札幌一嘉		
发明人	西垣 貴嘉 坂本 敦 安西 教生 札幌 一嘉		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.545 G02F1/133.575 G09G3/20.611.A G09G3/20.611.E G09G3/20.623.G G09G3/20.641.A G09G3/20.641.E G09G3/20.641.F G09G3/20.641.K G09G3/20.642.J		
F-TERM分类号	2H093/NA07 2H093/NA43 2H093/NA55 2H093/NA56 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC29 2H093/NC49 2H093/ND06 2H093/ND10 2H093/ND39 2H093/ND50 2H093/ND54 5C006/AA14 5C006/AA15 5C006/AA17 5C006/AA22 5C006/AC02 5C006/AF04 5C006/AF06 5C006/AF11 5C006/AF25 5C006/AF44 5C006/AF72 5C006/BB12 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF08 5C006/BF22 5C006/BF23 5C006/BF26 5C006/FA13 5C006/FA15 5C006/FA16 5C006/FA23 5C006/FA43 5C006/FA48 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD08 5C080/DD23 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF12 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 2H193/ZB43 2H193/ZD25 2H193/ZD26		
代理人(译)	木岛隆一 金子 一郎		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种结构简单，功耗低的液晶显示装置。本发明的液晶显示装置1通过帧细化控制进行灰度显示，并且包括用于存储多种颜色的显示灰度数据的RAM 11，以及用于存储RAM 11的显示灰度数据的RAM 11。和FRC电路13，用于对由线路锁存器12与显示时钟LP同步地锁存的显示灰度数据执行跳帧控制它有。点域1

