

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 46089

(P2003 - 46089A)

(43)公開日 平成15年2月14日(2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/00	338 5 C 0 9 4
G 0 9 F 9/00	338		342 Z 5 F 1 1 0
	342	9/30	330 Z 5 G 4 3 5
9/30	330		338

審査請求 未請求 請求項の数 6 O L (全 12数) 最終頁に続く

(21)出願番号 特願2001 - 233607(P2001 - 233607)

(22)出願日 平成13年8月1日(2001.8.1)

(71)出願人 302036002

富士通ディスプレイテクノロジー株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 松原 邦夫

鳥取県米子市石州府字大塚ノ式650番地 株式会社米子富士通内

(72)発明者 野中 一男

鳥取県米子市石州府字大塚ノ式650番地 株式会社米子富士通内

(74)代理人 100108187

弁理士 横山 淳一

最終頁に続く

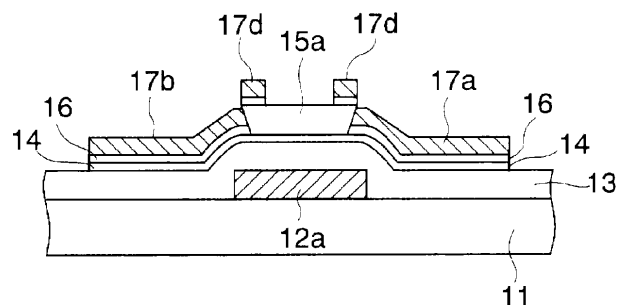
(54)【発明の名称】 薄膜トランジスタ、液晶表示装置及び薄膜トランジスタの製造方法

(57)【要約】

【課題】 ゲートとソースとの間の寄生容量C_{gs}が極めて小さく、且つ特性が均一な薄膜トランジスタを提供する。

【解決手段】 ガラス基板11上に、ゲート絶縁膜13、シリコン膜14、チャネル保護膜15aを形成する。チャネル保護膜15aは、例えば下側の層ほどエッチングレートが大きい複数の絶縁層により形成し、フォトリソグラフィ法によりパターニングすることにより、上側が広く下側が狭い逆テーパー状に形成する。その後、n⁺型アモルファスシリコン膜16、ソース電極17a及びドレイン電極17bを形成する。このとき、チャネル保護膜15aが逆テーパー状であり、且つシリコン膜16とソース電極17aとの合計の厚さ以上に形成されているので、チャネル保護膜15a上の導電膜17dとソース電極17a及びドレイン電極17bとが電氣的に分離される。

薄膜トランジスタ（第1の実施の形態）



12a: ゲート電極
15a: チャネル保護膜
17a: ソース電極
17b: ドレイン電極

【特許請求の範囲】

【請求項 1】 基板上に形成されたゲート電極と、
前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体膜と、
前記半導体膜のチャネル領域上に形成されたチャネル保護膜と、
前記チャネル保護膜の両側にそれぞれ形成され、前記半導体膜に電氣的に接続されたソース電極及びドレイン電極とを有する薄膜トランジスタにおいて、
前記チャネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つ前記半導体膜の上面から前記ソース電極の上面までの高さよりも厚く形成されていることを特徴とする薄膜トランジスタ。

【請求項 2】 基板上に形成されたゲート電極と、
前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体膜と、
前記半導体膜のチャネル領域上に形成されたチャネル保護膜と、
前記チャネル保護膜の両側にそれぞれ形成され、前記半導体膜に電氣的に接続されたソース電極及びドレイン電極とを有する薄膜トランジスタにおいて、
前記チャネル保護膜の厚さが 1.0 乃至 3.0 μm であることを特徴とする薄膜トランジスタ。

【請求項 3】 基板上にゲート電極を形成する工程と、
前記基板上に前記ゲート電極を覆うゲート絶縁膜を形成する工程と、
前記第 1 の絶縁膜上の前記ゲート電極を跨ぐ領域に半導体膜を形成する工程と、
前記ゲート電極の直上の前記半導体膜の上に、上側が広く下側が狭い逆テーパー状の絶縁性チャネル保護膜を形成する工程と、
前記基板の上側全面に導電膜を形成する工程と、
前記導電膜をパターンニングして、前記チャネル保護膜の両側に前記半導体膜と電氣的に接続したソース電極及びドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項 4】 基板上にゲート電極を形成する工程と、
前記基板上に前記ゲート電極を覆うゲート絶縁膜を形成する工程と、
前記第 1 の絶縁膜上の前記ゲート電極を跨ぐ領域に半導体膜を形成する工程と、
前記ゲート電極の直上の前記半導体膜の上に、厚さが 1.0 乃至 3.0 μm の絶縁性チャネル保護膜を形成する工程と、
前記基板の上側全面に導電膜を形成する工程と、
前記導電膜をパターンニングして、前記チャネル保護膜の両側に前記半導体膜と電氣的に接続したソース電極及びドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 画素毎に薄膜トランジスタが設けられた液晶表示装置において、
前記薄膜トランジスタのチャネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つソース電極及びドレイン電極よりも厚く形成されていることを特徴とする液晶表示装置。

【請求項 6】 画素毎に薄膜トランジスタが設けられた液晶表示装置において、
前記薄膜トランジスタのチャネル保護膜が 1.0 乃至 3.0 μm であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及び有機 E L (Electro Luminescence) 表示装置等に使用される薄膜トランジスタ (Thin Film Transistor: 以下、T F T ともいう)、その薄膜トランジスタを用いた液晶表示装置及び薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】アクティブマトリクス方式の液晶表示装置や有機 E L 表示装置では、画素の非選択時にオフ状態になって信号を遮断するスイッチ素子として T F T が設けられている。図 9 は液晶表示装置の一例を示す断面図、図 10 は同じくその液晶表示装置の平面図である。なお、図 9 は、図 10 の A - A 線における断面である。

【0003】この液晶表示装置は、T F T (薄膜トランジスタ) 基板 50 と、C F (カラーフィルタ) 基板 60 と、これらの基板 50, 60 の間に封入された液晶 70 とにより構成されている。また、T F T 基板 50 の下及び C F 基板 60 の上にはそれぞれ偏光板 (図示せず) が偏光軸を直交させて配置されている。T F T 基板 50 は、以下のように構成されている。すなわち、透明ガラス基板 51 の一方の面 (図 9 では上面) 上には複数のゲート配線 52 a が相互に平行に形成されている。また、各ゲート配線 52 a の間には、蓄積容量配線 52 b がゲート配線 52 a に平行に形成されている。

【0004】これらのゲート配線 52 a 及び蓄積容量配線 52 b は絶縁膜 53 に覆われている。ゲート配線 52 a の上方の絶縁膜 53 の上には、T F T 75 の動作層である半導体膜 (図示せず) が選択的に形成されており、その半導体膜の上には、チャネル保護膜 55 a が形成されている。また、チャネル保護膜 55 a を挟んで、T F T 75 のソース電極 57 a 及びドレイン電極 57 b が形成されている。これらのソース電極 57 a 及びドレイン電極 57 b は、T F T 75 の動作層である半導体膜に電氣的に接続している。

【0005】絶縁膜 53 上には、蓄積容量電極 57 c 及びデータ配線 57 d が形成されている。ドレイン電極 57 b はデータ配線 57 d に接続され、蓄積容量電極 57 c は絶縁膜 53 及び蓄積容量配線 52 b とともに蓄積容量を構成している。これらのソース電極 57 a、ドレイ

ン電極 57b、蓄積容量電極 57c 及びデータ配線 57d は、層間絶縁膜 58 に覆われている。この層間絶縁膜 58 上には透明画素電極 59 が形成されている。この画素電極 59 は、層間絶縁膜 58 に形成されたコンタクトホールを介してソース電極 57a 及び蓄積容量電極 57c に電氣的に接続されている。画素電極 59 の上には、電圧無印加時の液晶分子の配向方向を決める配向膜（図示せず）が形成されている。

【0006】ゲート配線 52a とデータ配線 57d とにより区画される矩形の領域が画素領域であり、1つの画素毎に、1つの画素電極 59 と、1つの TFT75 と、1つの蓄積容量とが設けられている。CF 基板 60 は以下に示すように構成されている。透明ガラス基板 61 の一方の面（図では下面）には、各画素間の領域、蓄積容量形成領域及び TFT 形成領域等を遮光するブラックマトリクス 62 が形成されている。また、ガラス基板 61 の下には、各画素毎に、赤色（R）、緑色（G）及び青色（B）のいずれか一色のカラーフィルタ 63 が形成されている。

【0007】カラーフィルタ 63 の下には、透明導電体からなるコモン電極 64 が形成されている。このコモン電極 64 の下には、電圧無印加時の液晶分子の配向方向を決める配向膜（図示せず）が形成されている。このように構成された液晶表示装置において、コモン電極 64 と画素電極 59 との間に電圧を印加すると、液晶分子の配向方向が変化し、光の透過率が変化する。従って、各画素毎に画素電極 59 に印加する電圧を制御することにより、液晶表示装置に所望の画像を表示することができる。

【0008】図 11～図 13 は、TFT 基板の製造方法を工程順に示す断面図である。これらの図を参照して、従来の TFT の製造方法について説明する。まず、図 11(a) に示すように、透明ガラス基板 51 の上に Cr（クロム）等の導電体からなる導電体膜を形成し、導電体膜をフォトリソグラフィ法によりパターンニングして、ゲート配線 52a 及び蓄積容量配線 52b を形成する。その後、プラズマ CVD（Chemical Vapor Deposition）法により、基板 51 の上側全面に、ゲート絶縁膜となる SiN 膜 53、TFT の動作層となるアモルファスシリコン膜 54 及びチャネル保護膜となる SiN 膜 55 を、この順序で形成する。

【0009】次に、図 11(b) に示すように、フォトリソグラフィ法により SiN 膜 55 をパターンニングして、TFT 形成領域にゲート配線 52a とほぼ等しい幅のチャネル保護膜 55a を形成する。そして、このチャネル保護膜 55a の両側部分のアモルファスシリコン膜 53 に不純物を注入して、ソース・ドレイン領域を形成する。

【0010】次に、図 12(a) に示すように、プラズマ CVD 法により、ガラス基板 51 の上側全面に、オー

ミックコンタクト層となる n^+ 型アモルファスシリコン膜 56 を形成する。その後、図 12(b) に示すように、PVD（Physical Vapor Deposition）法により、 n^+ 型アモルファスシリコン膜 56 の上に導電体膜 57 を形成する。

【0011】次に、図 13(a) に示すように、フォトリソグラフィ法により、導電体膜 57、 n^+ 型アモルファスシリコン膜 56 及びアモルファスシリコン膜 54 をパターンニングして、TFT 形成領域に、TFT の動作層（アモルファスシリコン膜 54）と、ソース電極 57a 及びドレイン電極 57b と、オーミックコンタクト層（電極 57a、57b の下方の n^+ 型アモルファスシリコン膜 56）とを形成するとともに、蓄積容量配線 52b の上方に蓄積容量電極 57c を形成する。また、このとき同時にデータ配線 57d（図 10 参照）も形成する。

【0012】次いで、図 13(b) に示すように、CVD 法により、基板 51 の上側全面に層間絶縁膜として SiN 膜 58 を形成し、この SiN 膜 58 でソース電極 57a、ドレイン電極 57b 及び蓄積容量電極 57c を覆う。その後、SiN 膜 58 に、ソース電極 57a 及び蓄積容量電極 57c に通じるコンタクトホールをそれぞれ形成する。

【0013】更に、基板 51 の上側全面に ITO（Indium-Tin Oxide）膜を形成し、この ITO 膜をパターンニングして、画素電極 59 を形成する。この画素電極 59 は、コンタクトホールを介してソース電極 57a 及び蓄積容量電極 57c に電氣的に接続される。このようにして、画素毎に TFT を備えた液晶表示装置が形成される。

【0014】

【発明が解決しようとする課題】従来の TFT では、図 14 に示すように、ソース電極 57a 及びドレイン電極 57b の先端部分がいずれもチャネル保護膜 55a 上に位置している。このため、TFT のゲートとソースとの間に比較的大きな寄生容量 C_{gs} が発生する。しかも、ソース電極 57a 及びドレイン電極 57b を形成する際に、ステッパの 1 ショット毎の位置ずれにより、ソース電極 57a 及びドレイン電極 57b とチャネル保護膜 55a との重なり量が変化するので、寄生容量 C_{gs} のばらつきも大きい。

【0015】図 15 は、ゲート配線に供給される走査信号 V_g 、データ配線に供給される表示信号 V_d 、画素電極の電圧 V_{px} を示す波形図である。この図 15 に示すように、走査信号 V_g が“H”レベルのときに TFT75 がオンになって画素電極 59 に表示信号 V_d が書き込まれる。その後、走査信号 V_g が“L”レベルになると、TFT75 がオフになって、画素電極 59 に書き込まれた表示信号 V_d が保持される。しかし、TFT75 がオフになった直後に、図 15 に示すように、画素電極 59

の電圧 V_{px} が ΔV だけ降下する。この電圧降下量 ΔV は寄生容量 C_{gs} の大きさに関係し、寄生容量 C_{gs} が大きいほど電圧降下量 ΔV も大きくなる。

【0016】データ配線 57d には一定の周期で極性が変化する表示信号 V_d が供給されるが、寄生容量 C_{gs} による電圧降下により、画素電圧の対称性（極性に対する対称性）が崩れ、焼き付きや残像及びフリッカが発生する。また、画素毎の寄生容量 C_{gs} のばらつきにより、画像の表示品質が低下する。以上から、本発明は、ゲートとソースとの間の寄生容量 C_{gs} が極めて小さく、且つ特性が均一な薄膜トランジスタ、その薄膜トランジスタを用いた液晶表示装置及び薄膜トランジスタの製造方法を提供することを目的とする。

【0017】

【課題を解決する手段】本発明の薄膜トランジスタは、チャンネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つ、半導体膜の上面からソース電極の上面までの高さよりも厚く形成されている。ソース電極及びドレイン電極は、通常、チャンネル保護膜を形成した後、PVD 法により金属膜を形成し、この金属膜をパターニングすることにより形成される。本発明のようにチャンネル保護膜を逆テーパー状にしておくと、金属膜を形成する際に、チャンネル保護膜の側壁部に金属が付着しにくく、チャンネル保護膜上の金属膜と、その他の部分の金属膜とが電氣的に分離された状態となる。

【0018】従って、この金属膜をパターニングして形成されたソース電極及びドレイン電極は、従来と異なってチャンネル保護膜上の金属膜と電氣的に分離されている。このため、ソースとゲートとの間の寄生容量 C_{gs} が小さく、且つ寄生容量 C_{gs} のばらつきも小さくなる。逆テーパー状のチャンネル保護膜は、例えば以下のようにして形成することができる。すなわち、チャンネル保護膜となる絶縁膜を形成する際に、この絶縁膜を複数の絶縁層で構成する。各絶縁層は成膜条件を変えて形成し、下側の絶縁層ほどエッチングレートを大きくする。これにより、絶縁膜をパターニングする際に、下側の絶縁層ほどオーバーエッチングになり、逆テーパー状のチャンネル保護膜を形成することができる。

【0019】また、本発明の他の薄膜トランジスタは、チャンネル保護膜が、1.0 乃至 3.0 μm と厚く形成されている。ソース電極及びドレイン電極となる金属膜は、通常、150 nm 程度の厚さに形成される。従って、チャンネル保護膜の厚さを 1.0 μm 以上とすると、チャンネル保護膜の形状が逆テーパー状でなくても、チャンネル保護膜上の金属膜とその他の部分の金属膜とが電氣的に分離された状態となる。これにより、ソースとゲートとの間の寄生容量 C_{gs} が小さく、且つ寄生容量 C_{gs} のばらつきも小さい薄膜トランジスタが得られる。但し、チャンネル保護膜の厚さが 3.0 μm を超えると、素子の上に大きな突起が形成される。液晶表示装置の場合は、チ

ヤネル保護膜が 3.0 μm を超えると、必然的にセルギャップが大きくなって、表示性能が低下する。このため、チャンネル保護膜の厚さは 1.0 乃至 3.0 μm とする。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について添付の図面を参照して説明する。

（第 1 の実施の形態）図 1 は本発明の第 1 の実施の形態の薄膜トランジスタを示す断面図である。絶縁性ガラス基板 11 の上にはゲート電極 12a が選択的に形成されており、ガラス基板 11 及びゲート電極 12a の上にはゲート絶縁膜として SiN 膜 13 が形成されている。SiN 膜 13 の上には、TFT の動作層であるアモルファスシリコン膜 14 が選択的に形成されている。

【0021】ゲート電極 12a の上方のアモルファスシリコン膜 14 の上には、絶縁材料からなるチャンネル保護膜 15a が形成されている。本実施の形態では、チャンネル保護膜 15a が、上側が広く下側が狭い逆テーパー状に形成されている。チャンネル保護膜 15a の両側部分のアモルファスシリコン膜 14 の上には、オーミックコンタクト層である n^+ 型アモルファスシリコン膜 16 がそれぞれ形成されている。また、これらの n^+ 型アモルファスシリコン膜 16 の上には、金属膜からなるソース電極 17a 及びドレイン電極 17b が形成されている。

【0022】なお、チャンネル保護膜 15a 上のソース電極 17a 側及びドレイン電極 17b 側の縁部には、 n^+ 型アモルファスシリコン膜 16a 及び電極 17a、17b をパターニングする際にチャンネル保護膜 15a 上に残った導電体膜 17d が存在する。本実施の形態では、チャンネル保護膜 15a が逆テーパー状に形成されており、且つ、チャンネル保護膜 15a の厚さが、 n^+ 型アモルファスシリコン膜 16 と電極 17a、17b を構成する金属膜との合計の厚さよりも厚く形成されているため、導電体膜 17d はソース電極 17a 及びドレイン電極 17b と電氣的に分離されている。

【0023】本実施の形態の薄膜トランジスタは、上述の如く、チャンネル保護膜 15a 上の導電体膜 17d がソース電極 17a 及びドレイン電極 17b と電氣的に分離されているので、ゲートとソースとの間の寄生容量 C_{gs} が小さい。図 2 ~ 図 4 は、本発明の第 1 の実施の形態の薄膜トランジスタの製造方法を工程順に示す断面図である。なお、以下の説明では、本発明を液晶表示装置の TFT 基板に適用した例について説明している。

【0024】まず、図 2 (a) に示すように、透明ガラス基板 11 の上に、厚さが約 150 nm の Cr (クロム) 膜を形成し、この Cr 膜をフォトリソグラフィ法によりパターニングして、ゲート配線 12a 及び蓄積容量配線 12b を形成する。なお、ガラス基板 11 とゲート配線 12a 及び蓄積容量配線 12b との間に、バッファ層として SiO₂ 膜及び SiN 膜等を形成してもよい。

【0025】その後、プラズマCVD法により、ガラス基板11の上側全面に、ゲート絶縁膜となる厚さが約400nmのSiN膜13と、TFTの動作層となる厚さが約15nmのアモルファスシリコン膜14とを順番に形成する。次に、アモルファスシリコン膜14の上に、チャンネル保護膜となる厚さが約120nmのSiN膜15を形成する。このSiN膜15は、膜質(エッチングレート)の異なる複数のSiN層を積層して構成する。これらのSiN層は、下側からエッチングレートが大きい順番で積層される。

【0026】例えば、2層のSiN層でSiN膜15を構成する場合、下側のSiN層の成膜条件は、ガス種及び流量が $\text{SiH}_4 / \text{NH}_3 / \text{N}_2 = 150 / 1000 / 2000 \text{ sccm}$ 、ガス圧が213Pa、RFパワーが2100Wとし、上側のSiN層の成膜条件は、ガス種及び流量が $\text{SiH}_4 / \text{NH}_3 / \text{N}_2 = 250 / 900 / 3000 \text{ sccm}$ 、ガス圧が213Pa、RFパワーが2100Wとする。

【0027】次に、図2(b)に示すように、SiN膜15上に所定のパターンのレジスト膜(図示せず)を形成した後、SiN膜15をドライエッチングして、ゲート配線12aとほぼ等しい幅のチャンネル保護膜を形成する。SiN膜15のエッチング条件は、例えば、エッチングガスのガス種及び流量が $\text{SF}_6 / \text{O}_2 = 70 / 430 \text{ sccm}$ 、ガス圧が37.5Pa、RFパワーが600Wとする。

【0028】このエッチングにより、図2(b)に示すように、上側が広く下側が狭い逆テーパー状のチャンネル保護膜15aが形成される。次に、図3(a)に示すように、プラズマCVD法により、ガラス基板11の上側全面に、オーミックコンタクト層となる n^+ 型アモルファスシリコン膜16を約30nmの厚さに形成する。この場合、チャンネル保護膜15aが逆テーパー状に形成されており、且つ n^+ 型アモルファスシリコン膜16に比べて膜厚が厚いので、チャンネル保護膜15a上の n^+ 型アモルファスシリコン膜16は、他の部分の n^+ 型アモルファスシリコン膜16と電氣的に分離される。

【0029】その後、図3(b)に示すように、PVD法により、 n^+ 型アモルファスシリコン膜16の上に、導電体膜17を形成する。この導電体膜17は、例えば、厚さが約20nmのTi層と、厚さが約50nmのAl層と、厚さが約80nmのTi層との3層構造とする。この場合も、チャンネル保護膜15aが逆テーパー状に形成されており、且つ、チャンネル保護膜15aの厚さが n^+ 型アモルファスシリコン膜16と導電体膜17との合計の厚さよりも大きいので、チャンネル保護膜15a上の導電体膜17は、他の部分の導電体膜17と電氣的に分離される。

【0030】次に、図4(a)に示すように、フォトリソグラフィ法により、導電体膜17、 n^+ 型アモルファ

スシリコン膜16及びアモルファスシリコン膜14をパターニングして、TFT形成領域に、TFTの動作層(アモルファスシリコン膜14)と、ソース電極17a及びドレイン電極17bと、オーミックコンタクト層(電極17a, 17bの下方の n^+ 型アモルファスシリコン膜16)とを形成するとともに、蓄積容量配線12bの上方に蓄積容量電極17cを形成する。また、このとき同時に、データ配線(図示せず)も形成する。このようにして、チャンネル保護膜17aの上に重ならないソース電極17a及びドレイン電極17bが形成される。

本実施の形態では、チャンネル保護膜15a上の縁部に、ソース電極17a及びドレイン電極17bと電氣的に分離された導電体膜17dが残る。

【0031】なお、ソース電極17a及びドレイン電極17bを形成した後、再度エッチングを行い、チャンネル保護膜15aの側壁部に付着している導電体膜17の残渣を除去することが好ましい。次いで、図4(b)に示すように、CVD法により、基板11の上側全面に、層間絶縁膜としてSiN膜18を約300nmの厚さに形成し、このSiN膜18でソース電極17a、ドレイン電極17b及び蓄積容量電極17cを被覆する。その後、SiN膜18に、ソース電極17a及び蓄積容量電極17cに通じるコンタクトホールを形成する。

【0032】そして、基板11の上側全面にITO膜を約70nmの厚さに形成し、このITO膜をパターニングして、ソース電極17a及び蓄積容量電極17cに電氣的に接続された画素電極19を形成する。このようにして形成されたTFT基板をCF基板を重ね合わせ、両者の間に液晶を封入することにより、液晶表示装置が完成する。

【0033】本実施の形態においては、チャンネル保護膜15aとなるSiN膜15を形成するときに、成膜条件を変化させてエッチングレートの異なる複数の層を形成する。これにより、上側が広く下側が狭い逆テーパー状のチャンネル保護膜15aが形成される。この逆テーパー状のチャンネル保護膜15aにより、ソース電極17a及びドレイン電極17bとなる導電体膜17が、チャンネル保護膜15aの上とその他の部分とで電氣的に分離される。従って、ゲートとソースとの間の寄生容量 C_{gs} が小さい。また、ソース電極17a及びドレイン電極17bのパターニング時にマスクの位置ずれが発生しても、ゲートとソースとの間の寄生容量 C_{gs} が一定となり、寄生容量 C_{gs} のばらつきによる表示品質の劣化が回避される。これにより、表示品質の優れた液晶表示装置が得られる。

【0034】(第2の実施の形態)図5は本発明の第2の実施の形態の薄膜トランジスタを示す断面図である。絶縁性ガラス基板31の上にはゲート電極32aが選択的に形成されており、ガラス基板31及びゲート電極32aの上にはゲート絶縁膜としてSiN膜33が形成さ

れている。SiN膜33の上には、TFTの動作層であるアモルファスシリコン膜34が選択的に形成されている。

【0035】ゲート電極32aの上方のアモルファスシリコン膜34の上には、絶縁材料からなるチャネル保護膜35aが形成されている。本実施の形態では、チャネル保護膜35aの高さが1.0~3.0μmであり、従来より厚く形成されている。チャネル保護膜35aの両側のアモルファスシリコン膜34の上には、オーミックコンタクト層であるn⁺型アモルファスシリコン膜36

10 がそれぞれ形成されている。また、これらのn⁺型アモルファスシリコン膜36の上には、金属膜からなるソース電極37a及びドレイン電極37bが形成されている。

【0036】なお、チャネル保護膜35a上のソース電極37a側及びドレイン電極37b側の縁部には、n⁺型アモルファスシリコン膜36a及び電極37a, 37bをパターニングする際にチャネル保護膜35a上に残った導電体膜37dが存在する。本実施の形態では、チャネル保護膜35aが1.0~3.0μmと十分厚く形

20 成されているため、導電体膜37dはソース電極37a及びドレイン電極37bと電気的に分離されている。

【0037】本実施の形態の薄膜トランジスタにおいても、チャネル保護膜35a上の導電体膜37dがソース電極37a及びドレイン電極37bと電気的に分離されているので、ゲートとソースとの間の寄生容量C_{gs}が小さい。図6~図8は、本発明の第2の実施の形態の薄膜トランジスタの製造方法を工程順に示す断面図である。なお、以下の説明では、本発明を液晶表示装置のTFT基板に適用した例について説明している。

30 【0038】まず、図6(a)に示すように、透明ガラス基板31の上に、厚さが150nmのCr膜を形成し、このCr膜をフォトリソグラフィ法によりパターニングして、ゲート配線32a及び蓄積容量配線32bを形成する。その後、プラズマCVD法により、ガラス基板31の上側全面に、ゲート絶縁膜となる厚さが約400nmのSiN膜34と、TFTの動作層となる厚さが約15nmのアモルファスシリコン膜34と、チャネル保護膜となる厚さが1.0μmのSiN膜35とを順番に形成する。

40 【0039】次に、図6(b)に示すように、SiN膜35上に所定のパターンのレジスト膜(図示せず)を形成した後、SiN膜35をドライエッチングして、ゲート配線32aとほぼ等しい幅のチャネル保護膜35aを形成する。次に、図7(a)に示すように、プラズマCVD法により、ガラス基板31の上側全面に、オーミックコンタクト層となるn⁺型アモルファスシリコン膜36を約30nmの厚さに形成する。この場合、チャネル保護膜35aが1.0μmと厚く形成されているので、チャネル保護膜35a上のn⁺型アモルファスシリコン

膜36は、他の部分のn⁺型アモルファスシリコン膜36と電気的に分離される。

【0040】その後、図7(b)に示すように、PVD法により、n⁺型アモルファスシリコン膜36の上に、導電体膜37を形成する。この導電体膜は、例えば、厚さが約20nmのTi層と、厚さが約50nmのAl層と、厚さが約80nmのTi層との3層構造とする。この場合も、チャネル保護膜35aが厚く形成されているので、チャネル保護膜35a上の導電体膜37は、他の部分の導電体膜37と電気的に分離される。

【0041】次に、図8(a)に示すように、フォトリソグラフィ法により、導電体膜37、n⁺型アモルファスシリコン膜36及びアモルファスシリコン膜34をパターニングして、TFT形成領域に、TFTの動作層(アモルファスシリコン膜34)と、ソース電極37a及びドレイン電極37bと、オーミックコンタクト層(電極37a, 37bの下方のn⁺型アモルファスシリコン膜36)とを形成するとともに、蓄積容量配線32bの上方に蓄積容量電極37cを形成する。また、このとき同時に、データ配線(図示せず)も形成する。このようにして、チャネル保護膜37aの上に重ならないソース電極37a及びドレイン電極37bが形成される。なお、チャネル保護膜35a上の縁部には、ソース電極37a及びドレイン電極37bと電気的に分離された導電体膜37dが残る。

【0042】次いで、図8(b)に示すように、CVD法により、基板31の上側全面に、層間絶縁膜としてSiN膜38を約300nmの厚さに形成し、このSiN膜38でソース電極37a、ドレイン電極37b及び蓄積容量電極37cを被覆する。その後、SiN膜38に、ソース電極37a及び蓄積容量電極37cに通じるコンタクトホールを形成する。

【0043】そして、基板31の上側全面にITO膜を約70nmの厚さに形成し、このITO膜をパターニングして、ソース電極37a及び蓄積容量電極37cに電気的に接続された画素電極39を形成する。このようにして形成されたTFT基板をCF基板を重ね合わせ、両者の間に液晶を封入することにより、液晶表示装置が完成する。

40 【0044】本実施の形態においては、チャネル保護膜35aを1.0~3.0μmと厚く形成する。このため、ソース電極37a及びドレイン電極37bとなる導電体膜37が、チャネル保護膜35aの上とその他の部分とで電気的に分離される。従って、ゲートとソースとの間の寄生容量C_{gs}が小さい。また、ソース電極37a及びドレイン電極37bのパターニング時にマスクの位置ずれが発生しても、ゲートとソースとの間の寄生容量C_{gs}が一定となり、寄生容量C_{gs}のばらつきによる表示品質の劣化が回避される。これにより、表示品質の優れた液晶表示装置が得られる。

【0045】なお、上記第1及び第2の実施の形態では、いずれも本発明を液晶表示装置のTFTに適用した場合について説明したが、本発明はこれに限定されず、TFTを使用した種々の装置に適用することができる。

(付記1) 基板上に形成されたゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体膜と、前記半導体膜のチャネル領域上に形成されたチャネル保護膜と、前記チャネル保護膜の両側にそれぞれ形成され、前記半導体膜に電氣的に接続されたソース電極及びドレイン電極とを有する薄膜トランジスタにおいて、前記チャネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つ前記半導体膜の上面から前記ソース電極の上面までの高さよりも厚く形成されていることを特徴とする薄膜トランジスタ。

【0046】(付記2) 前記チャネル保護膜の上に、前記ソース電極及び前記ドレイン電極と電氣的に分離された導電体膜を有することを特徴とする付記1に記載の薄膜トランジスタ。

(付記3) 基板上に形成されたゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体膜と、前記半導体膜のチャネル領域上に形成されたチャネル保護膜と、前記チャネル保護膜の両側にそれぞれ形成され、前記半導体膜に電氣的に接続されたソース電極及びドレイン電極とを有する薄膜トランジスタにおいて、前記チャネル保護膜の厚さが1.0乃至3.0 μm であることを特徴とする薄膜トランジスタ。

【0047】(付記4) 前記チャネル保護膜の上に、前記ソース電極及び前記ドレイン電極と電氣的に分離された導電体膜を有することを特徴とする付記3に記載の薄膜トランジスタ。

(付記5) 基板上にゲート電極を形成する工程と、前記基板上に前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記第1の絶縁膜上の前記ゲート電極を跨ぐ領域に半導体膜を形成する工程と、前記ゲート電極の直上の前記半導体膜の上に、上側が広く下側が狭い逆テーパー状の絶縁性チャネル保護膜を形成する工程と、前記基板の上側全面に導電膜を形成する工程と、前記導電膜をパターンニングして、前記チャネル保護膜の両側に前記半導体膜と電氣的に接続したソース電極及びドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【0048】(付記6) 前記チャネル保護膜は、成膜条件を変化させることにより、上部と下部とでエッチングレート異なる絶縁膜を形成し、該絶縁膜をエッチングして形成することを特徴とする付記5に記載の薄膜トランジスタの製造方法。

(付記7) 基板上にゲート電極を形成する工程と、前記基板上に前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記第1の絶縁膜上の前記ゲート電極を跨ぐ領域

*域に半導体膜を形成する工程と、前記ゲート電極の直上の前記半導体膜の上に、厚さが1.0乃至3.0 μm の絶縁性チャネル保護膜を形成する工程と、前記基板の上側全面に導電膜を形成する工程と、前記導電膜をパターンニングして、前記チャネル保護膜の両側に前記半導体膜と電氣的に接続したソース電極及びドレイン電極を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【0049】(付記8) 画素毎に薄膜トランジスタが設けられた液晶表示装置において、前記薄膜トランジスタのチャネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つソース電極及びドレイン電極よりも厚く形成されていることを特徴とする液晶表示装置。

(付記9) 画素毎に薄膜トランジスタが設けられた液晶表示装置において、前記薄膜トランジスタのチャネル保護膜が1.0乃至3.0 μm であることを特徴とする液晶表示装置。

【0050】

【発明の効果】 上述したように、本発明の薄膜トランジスタによれば、チャネル保護膜が、上側が広く下側が狭い逆テーパー状であり、且つ、半導体膜の上面からソース電極の上面までの高さよりも厚く形成されているので、ソース電極及びドレイン電極がチャネル保護膜の上の金属膜と電氣的に分離されている。このため、ソースとゲートとの間の寄生容量 C_{gs} が小さく、且つ寄生容量 C_{gs} のばらつきも小さくなる。

【0051】 また、本発明の他の薄膜トランジスタによれば、チャネル保護膜が、1.0乃至3.0 μm と厚く形成されているので、ソース電極及びドレイン電極がチャネル保護膜の上の金属膜と電氣的に分離されている。このため、ソースとゲートとの間の寄生容量 C_{gs} が小さく、且つ寄生容量 C_{gs} のばらつきも小さくなる。従って、本発明によれば、焼き付きやフリッカのない表示品質が優れた液晶表示装置の作製が可能になる。

【図面の簡単な説明】

【図1】 図1は本発明の第1の実施の形態の薄膜トランジスタを示す断面図である。

【図2】 図2は、本発明の第1の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図(その1)である。

【図3】 図3は、本発明の第1の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図(その2)である。

【図4】 図4は、本発明の第1の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図(その3)である。

【図5】 図5は本発明の第2の実施の形態の薄膜トランジスタを示す断面図である。

【図6】 図6は、本発明の第2の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図(その1)であ

る。

【図 7】図 7 は、本発明の第 2 の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図（その 2）である。

【図 8】図 8 は、本発明の第 2 の実施の形態の薄膜トランジスタの製造方法を工程を示す断面図（その 3）である。

【図 9】図 9 は液晶表示装置の一例を示す断面図である。

【図 10】図 10 は同じくその液晶表示装置の平面図である。

【図 11】図 11 は、従来の液晶表示装置における薄膜トランジスタの製造方法を工程を示す断面図（その 1）である。

【図 12】図 12 は、従来の液晶表示装置における薄膜トランジスタの製造方法を工程を示す断面図（その 2）である。

【図 13】図 13 は、従来の液晶表示装置における薄膜トランジスタの製造方法を工程を示す断面図（その 3）である。

【図 14】図 14 は、従来の薄膜トランジスタのゲートとソースとの間の寄生容量を示す模式図である。

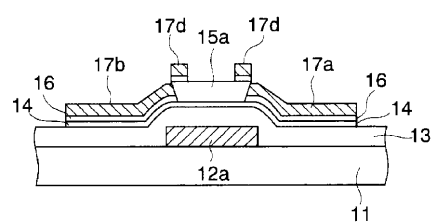
【図 15】図 15 は、従来の問題点を示す図であり、寄生容量 C_{gs} による画素電極の電圧降下を示す波形図である。

*【符号の説明】

- 11, 31...ガラス基板、
- 12a, 32a...ゲート電極、
- 12b, 32b...蓄積容量配線、
- 13, 15, 18, 33, 35, 38...SiN膜、
- 14, 34...アモルファスシリコン膜、
- 15a, 35a, 55a...チャネル保護膜、
- 16, 36... n^+ 型アモルファスシリコン膜、
- 17, 37...導電体膜、
- 17a, 37a, 57a...ソース電極、
- 17b, 37b, 57b...ドレイン電極、
- 17c, 37c...蓄積容量電極、
- 19, 39, 59...画素電極、
- 50...TFT基板、
- 52a...ゲート配線、
- 52b...蓄積容量配線、
- 57c...蓄積容量電極、
- 57d...データ配線、
- 60...CF基板、
- 62...ブラックマトリクス、
- 63...カラーフィルタ、
- 64...コモン電極、
- 70...液晶、
- 75...TFT。

【図 1】

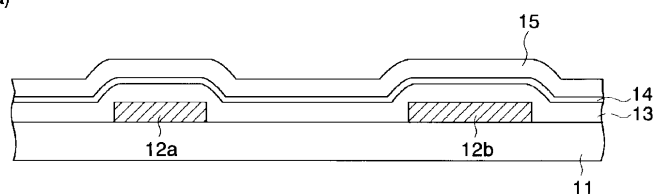
薄膜トランジスタ（第 1 の実施の形態）



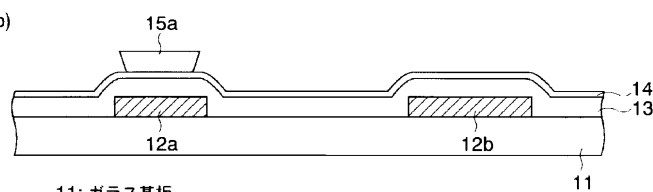
- 12a: ゲート電極
- 15a: チャネル保護膜
- 17a: ソース電極
- 17b: ドレイン電極

【図 2】

(a)

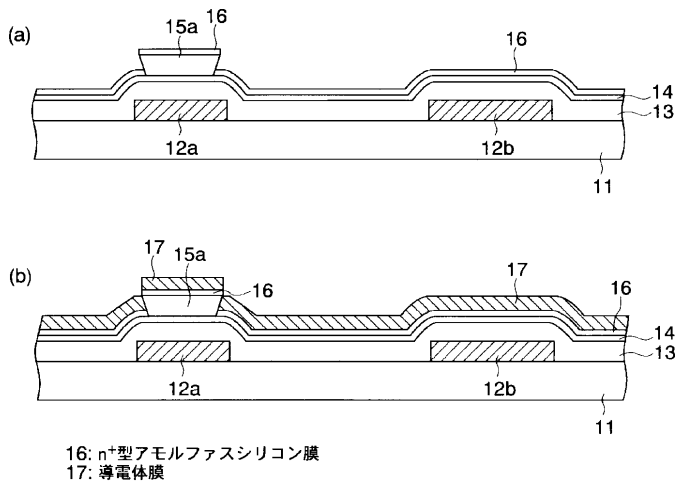


(b)



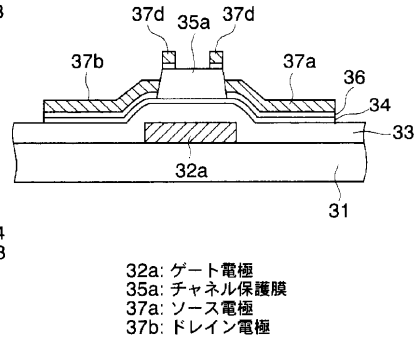
- 11: ガラス基板
- 13, 15: SiN膜
- 14: アモルファスシリコン膜
- 15a: チャネル保護膜

【図3】

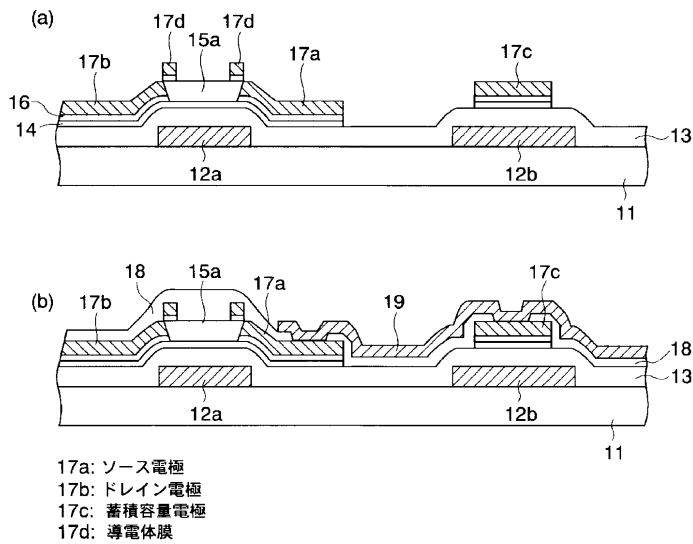


【図5】

薄膜トランジスタ（第2の実施の形態）

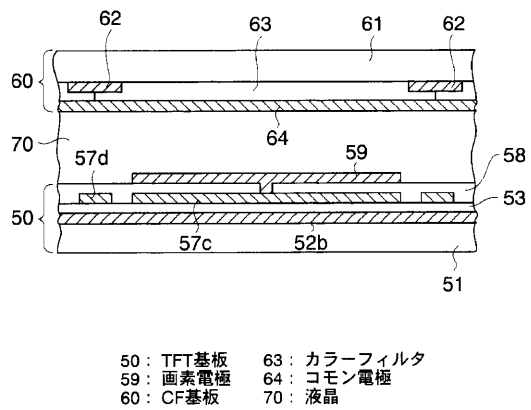


【図4】

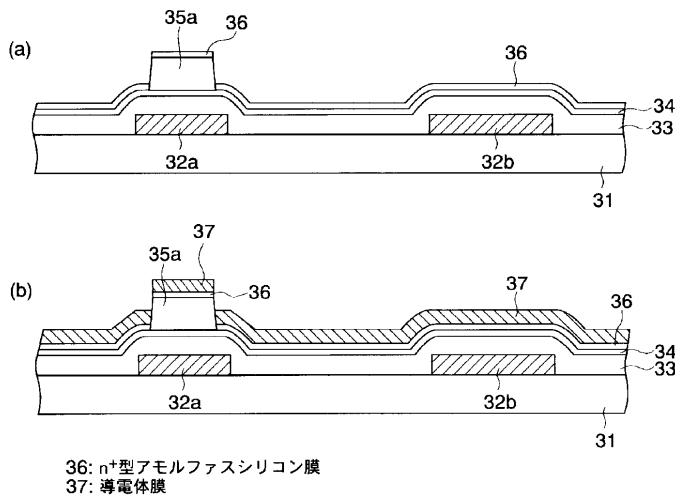


【図9】

液晶表示装置（断面図）

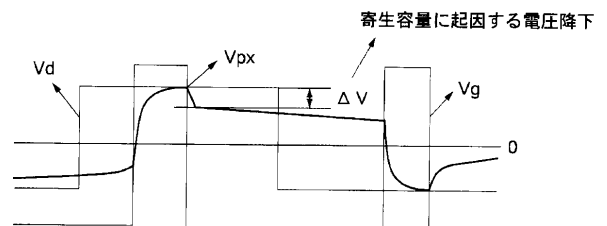


【図7】

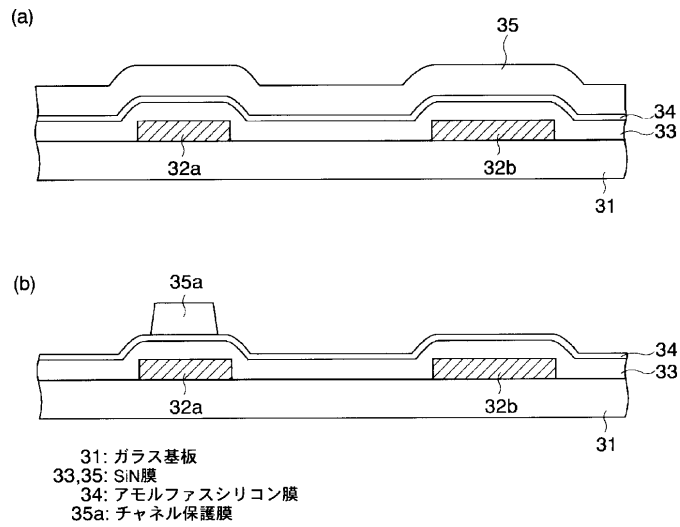


【図15】

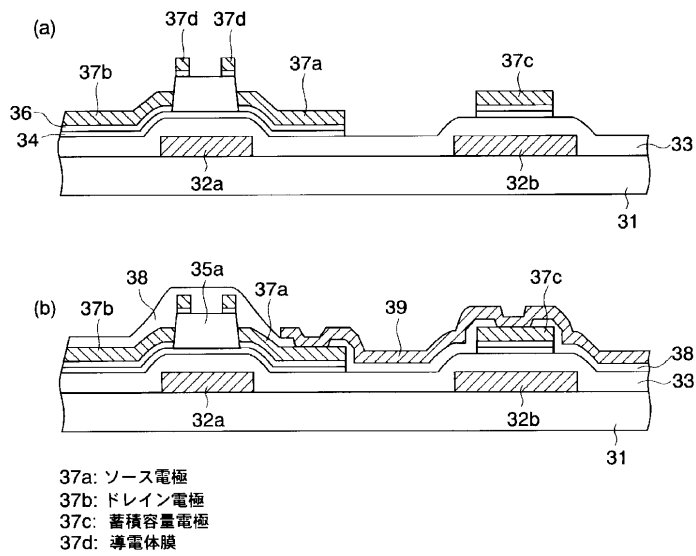
寄生容量による電圧降下



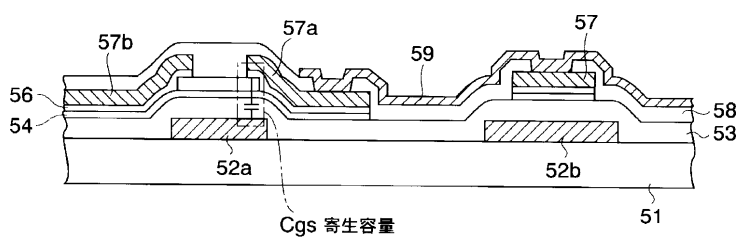
【図 6】



【図 8】

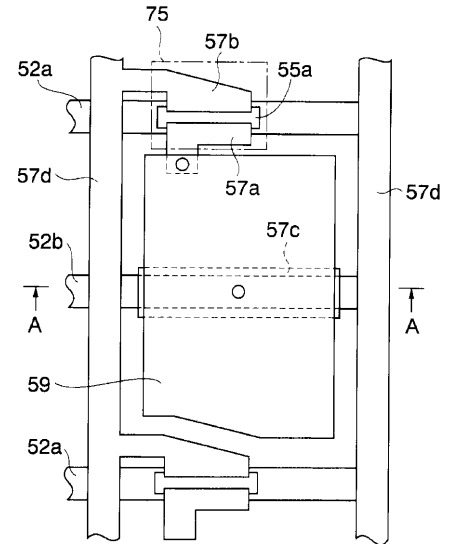


【図 14】



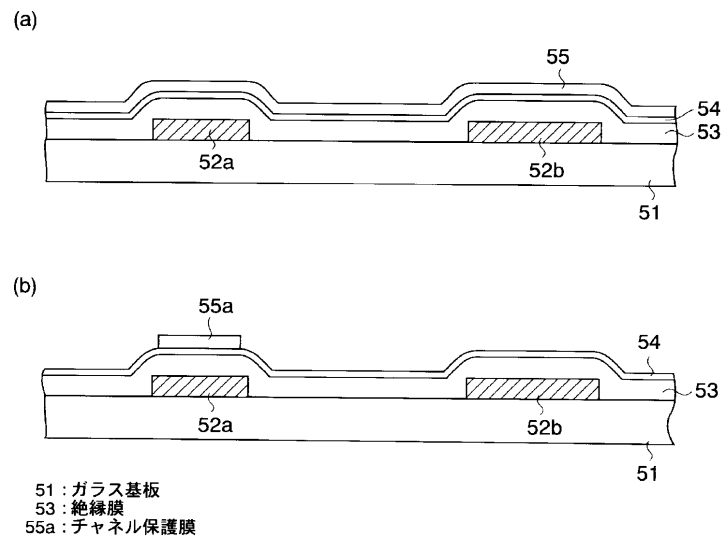
【図 10】

液晶表示装置 (平面図)

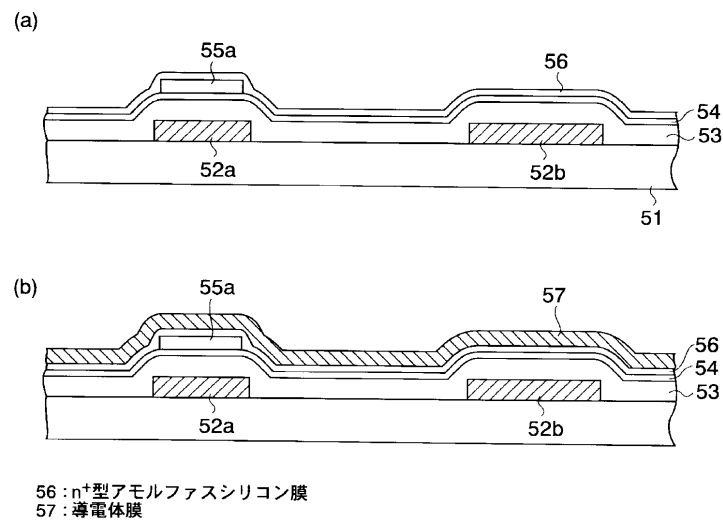


52a: ゲート配線
52b: 蓄積容量配線
57d: データ配線
59: 画素電極
75: TFT

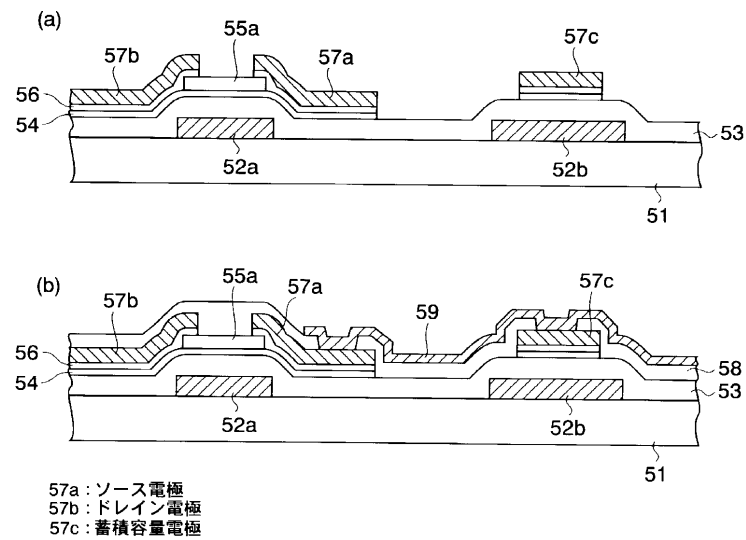
【図11】



【図12】



【図 13】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 4 8 A
	3 4 8	9/35	
9/35		H 0 1 L 29/78	6 1 9 A
H 0 1 L 21/336			6 1 6 K
(72)発明者 野中 一男		F タ-ム(参考)	2H092 JA24 JA28 JA33 JB64 KA05
鳥取県米子市石州府字大塚ノ式650番地			KA12 MA08 MA13 NA01 NA23
株式会社米子富士通内			5C094 AA03 AA55 BA03 BA43 CA19
(72)発明者 小杉 俊太郎			DA15 EA04 EA07 FA04
鳥取県米子市石州府字大塚ノ式650番地			5F110 AA02 AA30 BB01 CC07 DD02
株式会社米子富士通内			DD13 DD14 EE04 FF03 FF30
(72)発明者 岩田 知典			GG02 GG15 GG45 HK03 HK04
鳥取県米子市石州府字大塚ノ式650番地			HK09 HK16 HK22 NN13 NN24
株式会社米子富士通内			NN72 NN73
			5G435 AA01 AA16 BB12 CC09 HH14
			KK05 KK09 KK10

专利名称(译)	薄膜晶体管，液晶显示装置和制造薄膜晶体管的方法		
公开(公告)号	JP2003046089A	公开(公告)日	2003-02-14
申请号	JP2001233607	申请日	2001-08-01
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	松原邦夫 野中一男 小杉俊太郎 岩田知典		
发明人	松原 邦夫 野中 一男 小杉 俊太郎 岩田 知典		
IPC分类号	G02F1/1368 G09F9/00 G09F9/30 G09F9/35 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G09F9/00.338 G09F9/00.342.Z G09F9/30.330.Z G09F9/30.338 G09F9/30.348.A G09F9/35 H01L29/78.619.A H01L29/78.616.K G09F9/00.342 G09F9/30.330		
F-TERM分类号	2H092/JA24 2H092/JA28 2H092/JA33 2H092/JB64 2H092/KA05 2H092/KA12 2H092/MA08 2H092/MA13 2H092/NA01 2H092/NA23 5C094/AA03 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/FA04 5F110/AA02 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD14 5F110/EE04 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/NN13 5F110/NN24 5F110/NN72 5F110/NN73 5G435/AA01 5G435/AA16 5G435/BB12 5G435/CC09 5G435/HH14 5G435/KK05 5G435/KK09 5G435/KK10 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB72 2H192/CC04 2H192/CC72 2H192/DA12 2H192/DA42 2H192/DA72 2H192/EA22 2H192/EA43 2H192/HA63 2H192/HA80		
代理人(译)	横山纯一		
其他公开文献	JP4346841B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种在栅极和源极之间具有极小的寄生电容 C_{gs} 且具有均匀特性的薄膜晶体管。在玻璃基板上形成栅极绝缘膜，硅膜和沟道保护膜15a。沟道保护膜15a由例如朝向下层的蚀刻速率较高的多个绝缘层形成，并通过光刻法进行图案化，以形成倒锥形状，其中上侧较宽而下侧较窄。之后，形成n+型非晶硅膜16，源电极17a和漏电极17b。此时，由于沟道保护膜15a具有倒锥形形状，并且形成为具有等于或大于硅膜16和源电极17a的总厚度的厚度，因此在沟道保护膜15a和15b上的导电膜17d和源电极17a漏电极17b被电分离。

