

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 258324

(P2002 - 258324A)

(43)公開日 平成14年9月11日 (2002.9.11)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	5 F 1 1 0
21/336		612 D	
		616 T	
		618 C	

審査請求 未請求 請求項の数 8 O L (全 10数)

(21)出願番号 特願2001 - 61090(P2001 - 61090)

(22)出願日 平成13年3月6日 (2001.3.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 野村 秀次

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 落合 孝洋

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

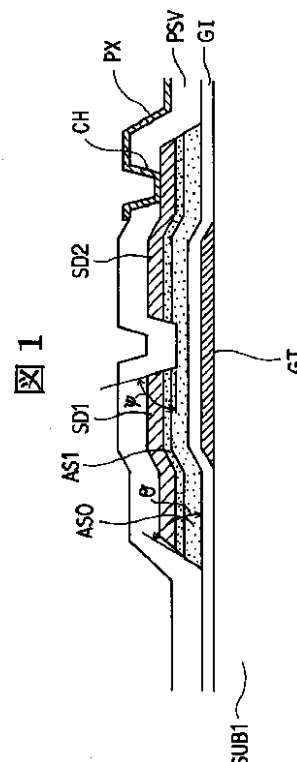
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 薄膜トランジスタを被う保護膜等のカバレッジを良好にする。

【解決手段】 基板上的各画素領域に薄膜トランジスタを備える液晶表示装置であって、前記薄膜トランジスタは、前記基板側からゲート電極、絶縁膜、島状からなる半導体層、この半導体層の上面に形成された一対の電極が形成され、前記半導体層の輪郭に相当する側壁がなだらかに形成され、該側壁の前記基板に対する角度が前記一対の電極の互いに対向する側壁の前記基板に対する角度よりも小さく構成されている。



【特許請求の範囲】

【請求項1】 基板上の各画素領域に薄膜トランジスタを備える液晶表示装置であって、

前記薄膜トランジスタは、前記基板側からゲート電極、絶縁膜、島状からなる半導体層、この半導体層の上面に形成された一対の電極が形成され、

前記半導体層の輪郭に相当する側壁がなだらかに形成され、該側壁の前記基板に対する角度が前記一対の電極の互いに対向する側壁の前記基板に対する角度よりも小さく構成されていることを特徴とする液晶表示装置。

【請求項2】 一対の電極、半導体層は一括エッチングによって形成された平面パターンを有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 半導体層は、一対の電極との界面に高濃度の不純物がドーピングされた層が形成されているとともに、該半導体層の輪郭に相当する側壁は前記一対の電極の互いに対向する輪郭に相当する側壁を除く他の側壁と段差なく形成されていることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 一対の電極の間の半導体層の表面は、前記高濃度の不純物がドーピングされた層が除去され該高濃度の不純物がドーピングされていない半導体層にまで到達して凹陥部が形成されていることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 基板上の各画素領域に薄膜トランジスタを備える液晶表示装置であって、

前記薄膜トランジスタは、前記基板側からゲート電極、絶縁膜、島状からなる半導体層、この半導体層の上面に形成された一対の電極が形成され、

半導体層は、前記一対の電極との界面に高濃度の不純物がドーピングされた層が形成されているとともに、前記一対の電極の間にて該高濃度の不純物がドーピングされていない半導体層にまで到達して凹陥部が形成され、

前記半導体層の輪郭に相当する側壁の前記基板に対する角度が前記一対の電極の間の前記半導体層に形成された前記凹陥部の側壁の前記基板に対する角度よりも小さく構成されていることを特徴とする液晶表示装置。

【請求項6】 基板上の各画素領域に薄膜トランジスタを備える液晶表示装置であって、

前記薄膜トランジスタは、前記基板上にゲート電極、このゲート電極を被って、絶縁膜、半導体層、導電層、およびフォトレジスト膜を形成する工程と、

前記フォトレジスト膜面にて、ドレイン電極およびソース電極の各形成領域を含む第1の部分と、ドレイン電極とソース電極との間の領域およびこの領域を除くドレイン電極およびソース電極の各形成領域の周辺の領域を含む第2の部分と、それ以外の第3の部分に区分けし、第1の部分から第2の部分にかけて段階的に変化する光の照射量によって前記フォトレジスト膜を選択露光する工程と、

現像によって残存された前記フォトレジスト膜をマスクとして前記導電層、半導体層を一括エッチングする工程と、を経て形成されることを特徴とする液晶表示装置の製造方法。

【請求項7】 第1の部分は遮光され、第3の部分は露光され、第2の部分は第3の部分における露光量よりも小さな露光量で露光されることを特徴とする請求項6に記載の液晶表示装置の製造方法。

【請求項8】 半導体層は前記導電層が積層される表面にて高濃度の不純物がドーピングされた半導体層が形成されていることを特徴とする請求項6に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、たとえばアクティブ・マトリックス型における薄膜トランジスタの改良に関する。

【0002】

【従来技術】アクティブ・マトリックス型の液晶表示装置は、液晶を介して対向配置される各透明基板の一方の透明基板の液晶側の面に、そのx方向に延在しy方向に並設されるゲート信号線と、y方向に延在しx方向に並設されるドレイン信号線とが形成され、これら各信号線で囲まれた領域を画素領域としている。そして、各画素領域には、片側のゲート信号線からの走査信号によって作動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えている。この画素電極は、各透明基板のうちいずれかに形成した対向電極との間に電界を発生せしめ、この電界によって液晶の光透過率を制御せしめている。ここで、前記薄膜トランジスタは、ゲート信号線の一部をゲート電極とし、このゲート電極の上層に絶縁膜および半導体層が順次形成され、該半導体層の上面にドレイン信号線に接続される一方の電極（以下、この明細書ではドレイン電極と称す）および画素電極に接続される他方の電極（以下、この明細書ではソース電極と称す）が形成されたいわゆる逆スタガ構造のMIS（Metal-Insulator-Semiconductor）型トランジスタの構成からなるものが知られている。そして、このように構成された薄膜トランジスタはたとえばSiNからなる保護膜によって被覆され、液晶との直接的な接触を回避するようになっている。液晶と直接接触すると該薄膜トランジスタの特性が劣化してしまうからである。

【0003】

【発明が解決しようとする課題】しかし、このように構成される液晶表示装置は、薄膜トランジスタの半導体層（およびその上面に形成された各電極）が島状に、すなわち閉じられた領域として形成されるために、その部分が突出した部分として形成され、その側壁には比較的急峻な段差が形成されていた。このため、薄膜トランジスタ

タを被う保護膜を形成した場合に該段差の部分において該保護膜が十分に形成され難く、該保護膜が該段差を十分に被覆しない部分、所謂該段差上での該保護膜のカバレッジ (coverage of the protective film/layer, 以下、単にカバレッジと記す) が良好でない部分が液晶表示装置を構成する基板上にしばしば出現した。その結果、この保護膜の上部に形成される画素電極が、上記保護膜のカバレッジが不十分な段差上またはその周辺で断線することが指摘された。本発明は、このような事情に基づいてなされたものであり、保護膜等のカバレッジを

【0004】

【課題を解決するための手段】本発明において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。本発明による液晶表示装置は、たとえば、基板上の各画素領域に薄膜トランジスタを備える液晶表示装置であって、前記薄膜トランジスタは、前記基板側からゲート電極、絶縁膜、島状からなる半導体層、この半導体層の上面に形成された一対の電極が形成され、前記半導体層の輪郭に相当する側壁がな

ららかに形成され、該側壁の前記基板に対する角度が前記一対の電極の互いに対向する側壁の前記基板に対する角度よりも小さく構成されていることを特徴とするものである。このように構成した液晶表示装置は、その薄膜トランジスタの半導体層の輪郭に相当する側壁が極めてな

【0005】本発明による液晶表示装置の別の一例は、その間に液晶層が封止された一対の基板と、この一対の

【0006】上記第1導体層は、たとえばゲート電極と呼ばれる金属層又は合金層からなる。上記第2導体層は、たとえば金属層または合金層からなり、第1導体層

10 20 30 40 50

上部で分断されることで上記半導体層とともに電界効果型トランジスタを構成する。この場合、分断された第2導体層の一方はソース電極と、他方はドレイン電極とそれぞれ呼ばれる。上記第3導体層は、たとえばインジウム-錫-酸化物やインジウム-亜鉛-酸化物からなる酸化物導電材料(半導体的な性格を示すこともある)からなる。上記半導体層は、たとえば、その上記第2導電層との接合界面に沿って、その他の部分よりも高い濃度のn型の不純物を有する。この領域は、たとえば不純物を人為的に導入して形成される。この場合、上記第2導体層の分断領域において、半導体層はその不純物導入領域が分断されるように、その層厚が第2導体層の分断領域を挟む部分におけるその90%以下、たとえば80~40%のいずれかに減じられている。上記半導体層および第2導体層の側面(端面)の傾斜は、たとえば、巨視的にみたそれぞれのエッチング面の基板主面に対する角度として規定され、偶発的にエッチング面に生じた凹凸は局所的である限り、無視してもよい。

【0007】

【発明の実施の形態】以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

実施例1.

《等価回路》図2は本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図であるが、実際の幾何学的配置に対応して描かれている。同図において、透明基板SUB1があり、この透明基板SUB1は液晶を介して他の透明基板SUB2と対向して配置されている。

【0008】前記透明基板SUB1の液晶側の面には、図中x方向に延在しy方向に並設されるゲート信号線GLと、このゲート信号線GLと絶縁されてy方向に延在しx方向に並設されるドレイン信号線DLとが形成され、これら各信号線で囲まれる矩形の領域が画素領域(図中点線枠Aに示す)となり、これら各画素領域の集合によって表示部ARを構成するようになっている。

【0009】各画素領域には、一方のゲート信号線GLからの走査信号(電圧)の供給によって駆動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方のドレイン信号線DLからの映像信号(電圧)が供給される画素電極PXが形成されている。

【0010】また、画素電極PXと前記一方のゲート信号線GLと隣接する他方のゲート信号線GLとの間には容量素子Caddが形成され、この容量素子Caddによって、前記薄膜トランジスタTFTがオフした際に、画素電極PXに供給された映像信号を長く蓄積させるようになっている。

【0011】各画素領域における画素電極PXは、液晶を介して対向配置される他方の透明基板SUB2の液晶側の面にて各画素領域に共通に形成された対向電極CT(図示せず)との間に電界を発生せしめるようになって

おり、これにより各電極の間の液晶の光透過率を制御するようになっている。

【0012】各ゲート信号線GLの一端は透明基板の一边側(図中左側)に延在され、その延在部は該透明基板SUB1に搭載される垂直走査回路からなる半導体集積回路GDRCのバンクと接続される端子部GTMが形成され、また、各ドレイン信号線DLの一端も透明基板SUB1の一边側(図中上側)に延在され、その延在部は該透明基板SUB1に搭載される映像信号駆動回路からなる半導体集積回路DDRCのバンクと接続される端子部DTMが形成されている。

【0013】半導体集積回路GDRC、DDRCはそれぞれ、それ自体が透明基板SUB1上に完全に搭載されたもので、いわゆるCOG(チップオンガラス)方式と称されている。

【0014】半導体集積回路GDRC、DDRCの入力側の各バンクも透明基板SUB1に形成された端子部GTM2、DTM2にそれぞれ接続されるようになっており、これら各端子部GTM2、DTM2は各配線層を介して透明基板SUB1の周辺のうち最も端面に近い部分にそれぞれ配置された端子部GTM3、DTM3に接続されるようになっている。

【0015】前記透明基板SUB2は、前記半導体集積回路が搭載される領域を回避するようにして透明基板SUB1と対向配置され、該透明基板SUB1よりも小さな面積となっている。

【0016】そして、透明基板SUB1に対する透明基板SUB2の固定は、該透明基板SUB2の周辺に形成されたシール材SLによってなされ、このシール材SLは透明基板SUB1、SUB2の間の液晶を封止する機能も兼ねている。

【0017】なお、上述した説明では、COG方式を用いた液晶表示装置について説明したものであるが、本発明はTCP方式のものであっても適用できる。ここで、TCP方式とは、半導体集積回路がテープキャリア方式によって形成されたもので、その出力端子が透明基板SUB1に形成された端子部に接続され、入力端子が該透明基板SUB1に近接して配置されるプリント基板上の端子部に接続されるようになっている。

【0018】《画素の構成》図3は透明基板SUB1の一画素領域の構成を示す平面図であり、図2の点線枠Aに示す部分に相当する図面である。また、図1は図3のI-I線における断面図を示し、図4は図3のIV-IV線における断面図を示している。

【0019】図3において、まず、透明基板SUB1の液晶側の面に図中x方向に延在しy方向に並設されるゲート信号線GLが形成されている。このゲート信号線GLは、その一部において画素領域側に突出する突出部が形成され、この突出部は後述の薄膜トランジスタTFTのゲート電極GTとしての機能を有するようになってい

る。

【0020】そして、このゲート信号線GLをも被って透明基板SUB1の面にたとえばSiNからなる絶縁膜GIが形成されている。この絶縁膜GIは、後述のドレイン信号線DLに対してはゲート信号線GLとの層間絶縁膜としての機能、後述の薄膜トランジスタTFTに対してはそのゲート絶縁膜としての機能、後述の容量素子Cadに対してはその誘電体膜としての機能を有するようになっている。

【0021】前記ゲート電極GTと重畳する絶縁膜GIの表面にて、たとえばa-Siからなるi型(真性:導電型決定不純物がドーブされていない)の半導体層AS0が形成されている。

【0022】この半導体層AS0は、その上面にドレイン電極SD1およびソース電極SD2を形成することによって、いわゆる逆スタガ構造のMIS型トランジスタの半導体層となるものである。

【0023】この薄膜トランジスタTFTのドレイン電極SD1およびソース電極SD2は、前記絶縁膜GI上に形成されるドレイン信号線DLと同時に形成されるようになっている。

【0024】すなわち、図中y方向に延在されx方向に並設されるドレイン信号線DLが形成され、このドレイン信号線DLの一部を前記半導体層AS0の上面にまで延在させて形成することにより、その延在部は薄膜トランジスタTFTのドレイン電極SD1として形成される。

【0025】また、この時、前記ドレイン電極SD1と離間(薄膜トランジスタTFTのチャンネル幅に相当する)させて形成された電極がソース電極SD2となる。このソース電極SD2は後述の画素電極PXと接続されるもので、その接続部を確保するために、画素領域の中央側に若干延在させた延在部を有するパターンとなっている。

【0026】なお、ドレイン電極SD1、ソース電極SD2の半導体層AS0との界面には高濃度の不純物がドーブされた半導体層が形成され、この半導体層AS1はコンタクト層として機能するようになっている。

【0027】前記半導体層AS0を形成した後、その表面に不純物がドーブされた膜厚の薄い半導体層AS1を形成し、ドレイン電極SD1およびソース電極SD2を形成した後に、前記各電極をマスクとして、それから露出された半導体層AS0をエッチングすることにより、上述した構成とすることができる。

【0028】そして、このようにドレイン信号線DL(ドレイン電極SD1、ソース電極SD2)が形成された透明基板SUB1の表面には、該ドレイン信号線DL等をも被ってたとえばSiNからなる保護膜PSVが形成されている。

【0029】この保護膜PSVは薄膜トランジスタTFT

Tの液晶との直接の接触を回避するため等に設けられるもので、前記薄膜トランジスタTFTのソース電極SD2の延在部の一部を露出させるためのコンタクトホールCHが形成されている。また、この保護膜PSVの上面には画素領域の大部分を被ってたとえばITO(Indium-Tin-Oxide)膜からなる透明の画素電極PXが形成されている。

【0030】この画素電極PXは、保護膜PSVの前記コンタクトホールCHをも被うようにして形成され、これにより薄膜トランジスタTFTのソース電極SD2と

10 接続されるようになっている。
【0031】さらに、このように画素電極PXが形成された透明基板SUB1の表面には、該画素電極PXをも被って図示しない配向膜が形成されている。この配向膜はたとえば樹脂からなり、その表面には一定方向にラビング処理がなされている。この配向膜は液晶と接触するようになって、該液晶の初期配向方向を決定するようになっている。

【0032】《薄膜トランジスタTFT》この薄膜トランジスタTFTの構造の特徴は、まず、図3の平面図に

20 示すように、半導体層AS0、コンタクト層AS1、ドレイン電極SD1およびソース電極SD2が一括で選択エッチングされていることにある。このようにすることにより、薄膜トランジスタTFTの製造工数の低減、ひいては液晶表示装置の製造工数の低減の効果を奏するようになる。
【0033】このようにして薄膜トランジスタTFTが形成されることから、半導体層AS0に対するコンタクト層AS1の段差、コンタクト層AS1に対するドレイン電極SD1およびソース電極SD2の段差のないもの

30 として形成される。(なお、ドレイン電極SD1およびソース電極SD2はそれぞれ分離させて形成されるため、この部分においてはコンタクト層との間に段差を有する。)
【0034】また、図1は図3のI-I線における断面図で、薄膜トランジスタTFTの断面図を示している。この図において、半導体層AS0、コンタクト層AS1、ドレイン電極SD1およびソース電極SD2の順次積層からなる積層体の輪郭部に相当する側壁はなだらかに形成されている。

40 【0035】これにより、図3のIV-IV線における断面図である図4に示すように、薄膜トランジスタTFTを被って形成される保護膜PSVにおいて、そのカバレッジが良好となる効果を奏する。

【0036】なお、図5は図4に対応する従来の構成を示すもので、半導体層AS0、コンタクト層AS1、ドレイン電極SD1およびソース電極SD2の順次積層からなる積層体の輪郭部に相当する側壁が急峻なため、この部分において保護膜PSVが十分に堆積できず、画素電極PXが断線する危惧を有する。

【0037】そして、半導体層AS0、コンタクト層AS1、ドレイン電極SD1およびソース電極SD2の順次積層からなる積層体の輪郭部に相当する側壁の透明基板SUB1に対する角度は、分離されて形成されたドレイン電極SD1およびソース電極SD2の各対向面(側壁)の透明基板SUB1に対する角度よりも充分小さく形成されていることにある。

【0038】このことは、半導体層AS0の輪郭に相当する側壁の透明基板SUB1に対する角度が前記一对の電極の互いに対向する側壁の透明基板SUB1に対する角度よりも小さく形成されていることと同義である。

【0039】また、ドレイン電極SD1およびソース電極SD2の各対向部における領域(チャネル領域)は、コンタクト層AS1が除去されて半導体層AS0に到るまでの凹陷部が形成されている。コンタクト層AS1を構成する材料の残渣によって薄膜トランジスタTFTのドレイン領域とソース領域との電氣的短絡の発生を回避せんがためである。

【0040】このため、半導体層AS0の輪郭に相当する側壁の透明基板SUB1に対する角度が前記一对の電極の間の半導体層AS0に形成された前記凹陷部の側壁の透明基板SUB1に対する角度よりも小さく形成されている。

【0041】《製造方法》以下、上述した薄膜トランジスタTFTの製造方法の一実施例を図6(a)ないし(e)に基づいて説明をする。

【0042】工程1.(図6(a))

まず、透明基板SUB1の液晶側の面にはゲート信号線GLが形成され、このゲート信号線GLをも被ってたとえばSiNからなる絶縁膜GI、a-Siからなる半導体層AS0、この半導体層AS0の表面に高濃度のn型の不純物がドーブされたコンタクト層AS1、および金属からなる導電層SDが形成されているものを用意する。

【0043】ここで、導電層SDは、Mo、MoW、W等から形成されている。また、Ti/Al/Ti等であってもよい。これら導電層SD等をフォトリソグラフィ技術で選択エッチングするため、そのマスクの材料となるフォトレジスト膜PRを透明基板SUB1の全域に形成する。

【0044】そして、このフォトレジスト膜PRに選択露光させるためのフォトマスクMSUBを該フォトレジスト膜の上方に配置させて、該フォトマスクMSUBを介して露光を行う。この場合のフォトマスクMSUBは、その表面にたとえば図7に示したパターンからなる遮光膜を有したものとなっている。

【0045】図7は、その図中y方向に延在するドレイン信号線DLのパターンに対応させた遮光膜、この遮光膜と一体となって図中x方向に延在するドレイン電極SD1のパターンに対応させた遮光膜、この遮光膜と若干

離間されてやはり図中x方向に延在するソース電極SD2のパターンに対応された遮光膜とが形成され(これら各遮光膜を図中M1と記している)、これら各遮光膜の周辺には複数の線状のパターンからなる遮光膜が該各遮光膜を複数重に囲むようにして形成されている(この遮光膜を図中M3と記している)。また、ドレイン電極SD1とソース電極SD2のパターンの間には、M3と記した遮光膜も形成されているが、他の線状の遮光膜も形成されている(この遮光膜を図中M2と記している)。

【0046】すなわち、このようなフォトマスクMSUBを用いることによって、露光を完全に遮る部分と、露光を充分に行う部分と、それらの部分の境界の部分においてほぼ中間程度の露光(ハーフ露光と称される)を行う部分を形成するようにしている。

【0047】したがって、このハーフ露光における露光量をどの程度にするかは、本発明の効果を充分なものとするために重要になってくるが、図7に示したパターンの場合、その線状の遮光膜の幅、隣接する他の遮光膜の間隙をどのくらいにするかによって制御できるようになる。

【0048】このようなフォトマスクMSUBを介して前記フォトレジスト膜PRを露光し、該フォトレジスト膜を現像した場合、図6(a)に示すように、前記フォトマスクMSUBの対応する遮光膜に応じて膜厚がそれぞれ異なるフォトレジスト膜PRが残存するようになる。

【0049】すなわち、ドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域上のフォトレジスト膜PRはほぼ完全な状態で(当初のフォトレジスト膜の厚さで)残存し(図中PR1で示している)、それらの周辺、すなわちハーフ露光された部分はなだらかな斜面を有して形成されるようになる(図中PR3で示している)。ここで、ドレイン電極SD1とソース電極SD2の間の領域にあってはフォトレジスト膜が完全に除去し得ず(図中PR2で示している)、前記導電膜SD、半導体層AS1、AS0の後述するエッチングに充分耐え得る膜厚で残存するようになる。

【0050】工程2.(図6(b))

このように残存されたフォトレジスト膜PRをマスクとして、前記導電膜SD、半導体層AS1、AS0をたとえばプラズマエッチングによって選択エッチングする。この際に、フォトレジスト膜PRもその表面から若干のエッチングがなされる。

【0051】ここで、前記導電膜SDがMo、MoW、W等で形成されている場合には、フッ素系(SF₆、SF₆/O₂)または塩素系(Cl₂、Cl₂/O₂)のプラズマエッチングをし、Ti/Al/Ti等で形成されている場合には、塩素系(Cl₂)のプラズマエッチングをすることが好ましい。

【0052】この工程では、プラズマエッチングの初期

の段階を示し、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域上においてははまだフォトレジスト膜が残存している(図中PR2で示す)。

【0053】そして、該領域を除いてドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域以外の前記導電膜SD、半導体層AS1、AS0は順次エッチングされる。

【0054】この場合、該領域を除くドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域以外の前記導電膜SD、半導体層AS1、AS0の側壁に相当する部分には極めてなだらかな斜面が形成されるようになる。現時点では消失しているがこの部分のフォトレジスト膜PR3は極めてなだらかな斜面を有して形成されていたからである。

【0055】すなわち、フォトレジスト膜PR3をなだらかな斜面で形成すれば、その程度に応じて前記導電膜SD、半導体層AS1、AS0の側壁がなだらかに形成されることになる。

【0056】工程3.(図6(c))

さらに、エッチングを継続することにより、ドレイン電極SD1とソース電極SD2とのそれぞれの各形成領域の間におけるフォトレジスト膜PR2のエッチングが進む。その結果、これらの形成領域(後述の薄膜トランジスタTFTのチャネル部に相当する領域)からフォトレジスト膜PR2は完全に除去され、これらの形成領域間に導電層が顕われる。この場合に残存するフォトレジスト膜PR1は、ドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域上になる。

【0057】そして、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域およびドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域の前記導電膜、半導体層、絶縁膜の側壁に相当する部分もエッチングが進行し、その部分の傾斜は除々に大きくなっていく。この部分は既にフォトレジスト膜(PR3)が消失しており、前記斜面のうちその層厚が小さい方からエッチング速度が高まるからである。

【0058】また、前述のようなハロゲン系化合物のガスを用いたプラズマ・エッチングの継続に代えて、たとえば酸素プラズマ・アッシング(Ashing)処理で、薄膜トランジスタTFTのチャネル部に相当する領域に位置する(換言すれば、チャネル部上の)導電層SDの上面に形成されたフォトレジスト膜PR2を完全に除去し、この導電層SDを露出させることもできる。

【0059】工程4.(図6(d))

さらにエッチングを継続していくことによって、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域における導電層SDがエッチングされ、その下層のコンタクト層AS1が露出されるようになる。この際、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域およびドレイン信号線DL、ドレイン電極SD

1、およびソース電極SD2の形成領域の前記導電膜SD、半導体層AS1、AS0の側壁に相当する部分もエッチングが進行し、その部分の傾斜の増大は除々に進行する。

【0060】工程5.(図6(e))

さらにエッチングを継続していくことによって、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域におけるコンタクト層AS1が完全にエッチングされ、その下層の半導体層AS0が露出されるが、さらにエッチングを継続させることによって、この部分のコンタクト層AS1を完全に分断させるようにする。残存されたコンタクト層AS1によって薄膜トランジスタのドレイン領域とソース領域との電気的な接続がなされてしまうことを回避するためである。

【0061】この際、ドレイン電極SD1とソース電極SD2の各形成領域の間の領域およびドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2の形成領域の前記導電膜SD、半導体層AS1、AS0の側壁に相当する部分もエッチングがなされ、その部分の傾斜の増大は除々になされる。その後、残存されているフォトレジスト膜PR1を除去することにより、薄膜トランジスタTFTは完成される。

【0062】このようにして形成される薄膜トランジスタTFTにおいて、少なくともその半導体層AS0(半導体層AS1を含めてもよい)の側壁の斜面は、エッチング時間が極めて多くなるにも拘らず、チャンネル部における前記凹陥部の側壁の斜面よりもなだらかに形成されることになる。

【0063】この部分におけるエッチングは、フォトマスクMSUBの遮光膜M3によるハーフ露光によって形成された傾斜のなだらかなフォトレジスト膜PR3をマスクとしてなされるからである。

【0064】実施例2. 図8(a)は、上述した製造方法で用いられるフォトマスクMSUBの他の実施例を示す図で、図7に対応した図となっている。ドレイン電極SD1(ドレイン信号線DL)およびソース電極SD2に相当するパターンの周辺にそれらパターンを囲むようにして線状のパターンが複数重に形成されているが、そのうち外周に配置されるパターンは点線状に形成したものとなっている(図中SLT1で示す)。このよう構成したフォトマスクMSUBによってフォトレジスト膜に露光をした場合、残存するフォトレジスト膜PR1は、図8(b)に示すように、その周辺がなだらかに形成されるとともに、その端辺が波打つようにして形成される。そして、このフォトレジスト膜PR1をマスクとして、導電層SD、半導体層AS1、半導体層AS0を一*

*括エッチングした場合、残存するそれらの積層体の側壁は極めてなだらかな斜面が形成されるようになる。

【0065】実施例3. 図9は、上述した製造方法で用いられるフォトマスクMSUBの他の実施例を示す図で、図6(a)に対応した図となっている。図6(a)の場合と異なる構成は、完全に光を遮光する遮光膜(図中M1で示す)とハーフ露光させるための遮光膜(図中M2、M3で示す)とを透明導電膜MLを介して異なる層で形成したことにある。この場合において、フォトマスクMSUBの遮光膜によるパターンをフォトレジスト膜PRに結像させる際に、図中M1で示した遮光膜に焦点を合わせた場合、図中M2、M3で示した遮光膜はその焦点がぼけ、ハーフ露光の信頼性を向上させることができる効果を奏する。

【0066】

【発明の効果】以上、説明したことから明らかなように、本発明による液晶表示装置によれば、その薄膜トランジスタを被う保護膜等のカバレッジを良好にできる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の薄膜トランジスタの一実施例を示す断面図で、図3のI-I線における断面図である。

【図2】本発明による液晶表示装置の一実施例を示す等価回路図である。

【図3】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図4】本発明による液晶表示装置の効果を示す断面図で、図3のIV-IV線における断面図である。

【図5】従来の液晶表示装置の一例を示す断面図で、図4に対応した図である。

【図6】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図7】本発明による液晶表示装置の製造方法に用いられるフォトマスクの一実施例を示す要部平面図である。

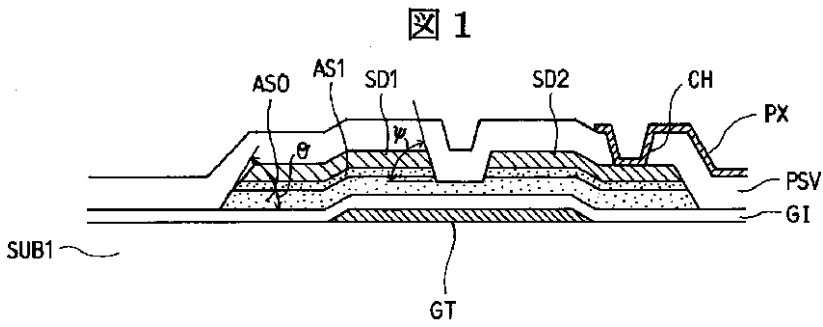
【図8】本発明による液晶表示装置の製造方法に用いられるフォトマスクの他の実施例を示す要部平面図である。

【図9】本発明による液晶表示装置の製造方法に用いられるフォトマスクの他の実施例を示す要部平面図である。

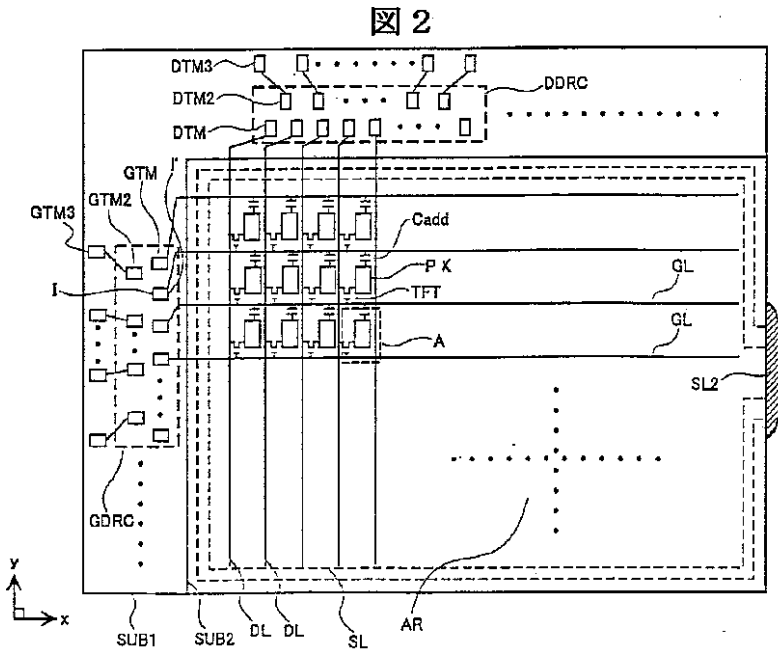
【符号の説明】

GT...ゲート電極、GI...絶縁膜、AS0...半導体層、AS1...コンタクト層、SD...導電層、SD1...ドレイン層、SD2...ソース層、PSV...保護膜、CH...コンタクト孔、PX...画素電極。

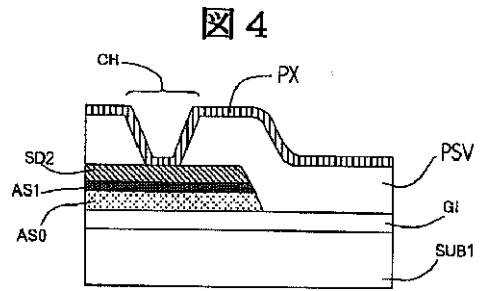
【図1】



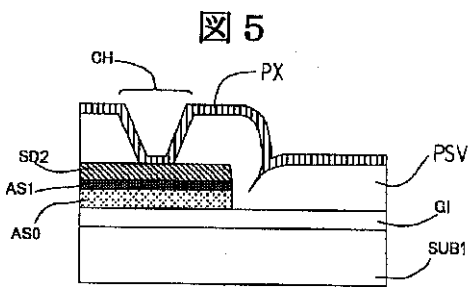
【図2】



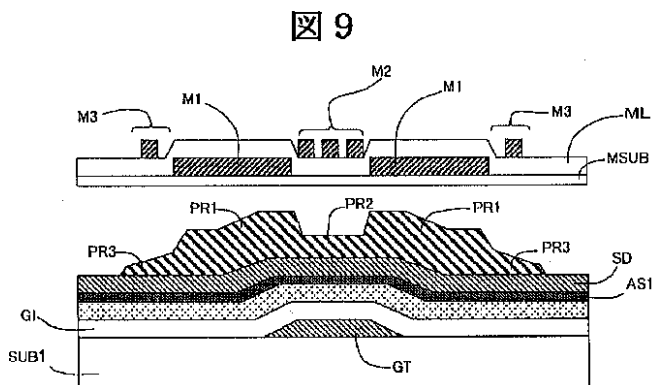
【図4】



【図5】

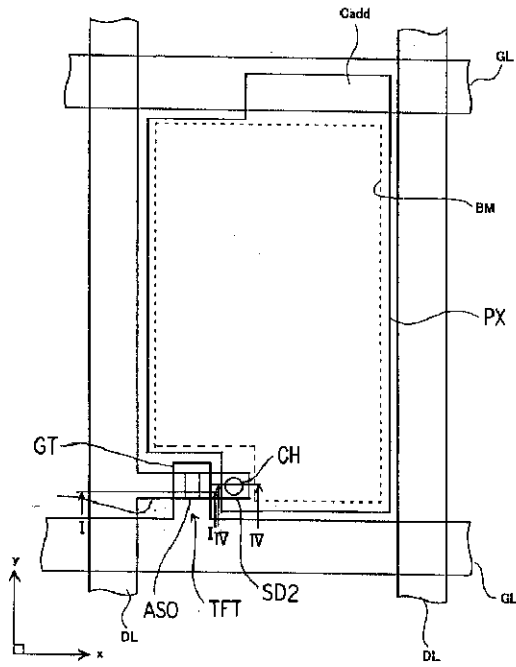


【図9】



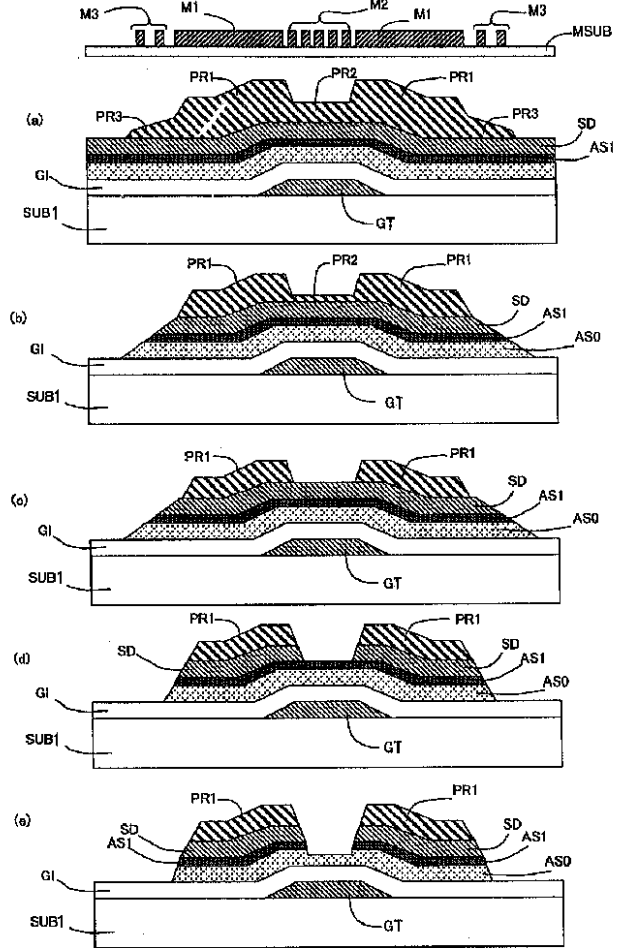
【図3】

図3



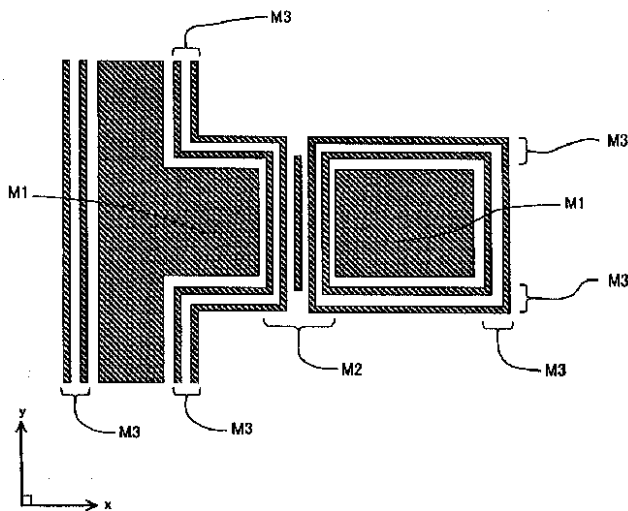
【図6】

図6



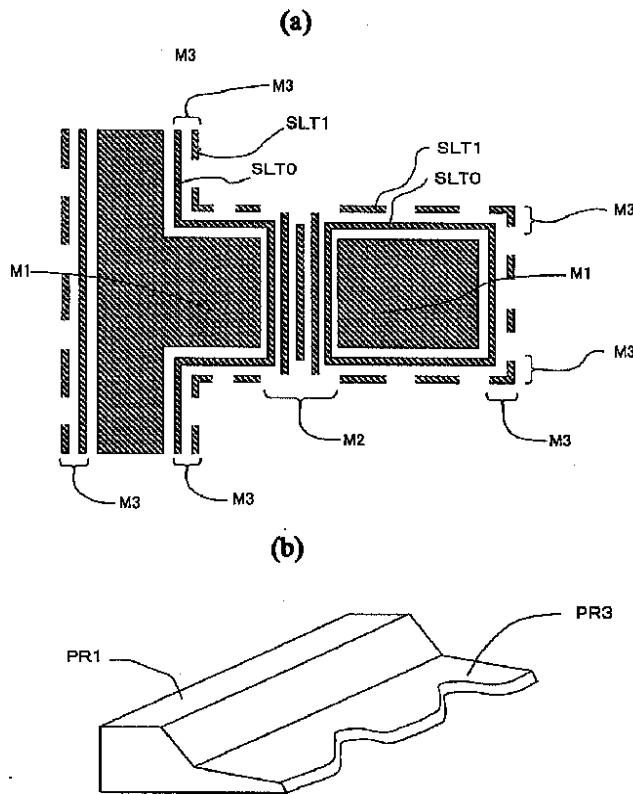
【図7】

図7



【図8】

図8



フロントページの続き

(72)発明者 桶 隆太郎
 千葉県茂原市早野3300番地 株式会社日立
 製作所ディスプレイグループ内

Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JA46
 JA47 JB22 JB31 JB57 KA19
 KB14 MA13 MA18 NA15
 5C094 AA21 AA31 BA03 BA43 CA19
 DA14 DA15 DB04 EA04 EA07
 EB02 FB12 FB14 FB15
 5F110 AA04 AA26 BB01 CC07 EE23
 FF03 GG02 GG15 GG22 GG26
 HK03 HK04 HK06 HK09 HK21
 HK22 NN02 QQ02 QQ03 QQ04

