

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4915841号
(P4915841)

(45) 発行日 平成24年4月11日 (2012. 4. 11)

(24) 登録日 平成24年2月3日 (2012. 2. 3)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 H04N 5/66 (2006.01)

G09G 3/36
 G09G 3/20 611H
 G09G 3/20 642A
 G09G 3/20 641C
 G09G 3/20 612F

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-116275 (P2006-116275)
 (22) 出願日 平成18年4月20日 (2006. 4. 20)
 (65) 公開番号 特開2007-286525 (P2007-286525A)
 (43) 公開日 平成19年11月1日 (2007. 11. 1)
 審査請求日 平成21年1月14日 (2009. 1. 14)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 西村 浩一
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 角谷 高憲
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 赤堀 英樹
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 階調電圧発生回路、ドライバIC、及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

データ線を駆動するドライバICに設けられ、
 ノードを介して直列に接続される複数の抵抗を備える階調抵抗回路と、
 出力端が前記階調抵抗回路の一端に接続され、正転入力端子が電源に接続され、前記電源から供給される基準供給電圧に応じた基準電圧を前記階調抵抗回路の一端に供給する第1の電圧バッファとを具備し、
 前記基準電圧に応じて、前記ノードから前記データ線を駆動するための階調電圧が供給され、

前記ドライバICが複数提供される場合、

複数の前記第1の電圧バッファの正転入力端子は、前記電源に共通接続され、

前記複数の第1の電圧バッファの出力端同士は開放され、

同じ階調電圧を供給する前記ノードは、相互に接続される
 階調電圧発生回路。

【請求項2】

請求項1に記載の階調電圧発生回路において、

前記階調抵抗回路の一端と前記第1の電圧バッファの出力端との間に設けられる抵抗を更に具備し、

前記ドライバICが複数提供される場合、

複数の前記階調抵抗回路の一端は、相互に接続される

10

20

階調電圧発生回路。

【請求項 3】

請求項 2 に記載の階調電圧発生回路において、

出力端が前記ノードに接続され、正転入力端子が電源に接続され、前記電源から供給される基準供給電圧に応じた基準電圧を前記ノードに供給する第 2 の電圧バッファと、
前記ノードと前記第 2 の電圧バッファとの間に設けられる抵抗とを更に具備し、
前記ドライバ IC が複数提供される場合、
複数の前記第 2 の電圧バッファの正転入力端子は、前記電源に共通接続される
階調電圧発生回路。

【請求項 4】

10

請求項 3 に記載の階調電圧発生回路において、

前記階調抵抗回路は、複数のノードを介して直列接続された複数の抵抗を備え、

前記複数の第 2 の電圧バッファの出力端は前記複数のノードに接続され、正転入力端子は複数の電源に接続され、前記複数の第 2 の電圧バッファは、前記複数の電源から供給される所定の基準供給電圧に応じた基準電圧を、自身に接続するノードに供給し、

前記複数の第 2 の電圧バッファと前記複数のノードとの間に複数の抵抗が設けられ、

前記ドライバ IC が複数提供される場合、

同じ階調電圧を供給する前記複数のノードは、相互に接続される

階調電圧発生回路。

【請求項 5】

20

請求項 1 から 4 いずれか 1 項に記載の階調電圧発生回路において、

前記階調抵抗回路の一端に接続され、第 1 の基準供給電圧が供給される電圧バッファと

、

前記階調抵抗回路の他端に接続され、前記第 1 の基準供給電圧より低電圧の第 2 の基準供給電圧が供給される電圧バッファとを備える

階調電圧発生回路。

【請求項 6】

請求項 1 から 5 いずれか 1 項に記載の階調電圧発生回路と、

前記階調電圧発生回路から供給される階調電圧を選択し、アナログ信号に変換する D / A コンバータと、

30

前記 D / A コンバータで変換された階調電圧に基づきデータ線を駆動する出力アンプ部とを具備する

ドライバ IC。

【請求項 7】

請求項 6 に記載のドライバ IC を複数有するドライバと、

複数のデータ線と複数の走査線と、前記複数のデータ線と前記複数の走査線との交点領域に設けられた複数の画素とを有する液晶パネルと、

前記複数の走査線を駆動するゲートドライバとを具備し、

前記複数のドライバ IC は前記ノードを介して並列に接続され、前記複数のデータ線を介して前記画素を駆動する

40

液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、階調電圧発生回路、ドライバ IC、及び液晶表示装置に関し、特に、複数の LCD ドライバ IC が設けられたドライバによって、画素が駆動される液晶表示装置に関する。

【背景技術】

【0002】

近年、カラー液晶表示装置 (LCD: Liquid Crystal Display

50

）は多階調化が進み、6ビットの26万色から、8ビットの1670万色表示に移行している。更には10ビットの10億色の製品が開発されている。そうした中で、 γ 特性を決定する階調電源回路（階調電圧発生回路）は、液晶パネル毎の特性に合わせた電圧を発生させるために重要な基盤回路の一つである。従来は、液晶用ドライバ（以下、LCDドライバと称す）の γ 特性を調整するため、LCDドライバ用ICの外部に設けられた階調電源用ICを使っていた。

【0003】

しかし、昨今、価格低減のため、この外部に設けられていた階調電源回路は、液晶パネルを駆動する複数の液晶用ドライバICのそれぞれに内蔵されて用いられている。この場合、階調電源回路を構成するアンプによるオフセット電圧により、各液晶ドライバICから出力される階調電圧はそれぞれ異なる値を示す。このため、いわゆるブロックムラという不具合が発生するという問題があった。特に、COG（Chip On Glass）にLCDドライバを貼り付けて配線する場合はその配線抵抗は大きい。このため、 γ 特性を決定する γ 抵抗に流れる電流によって、LCDドライバIC毎に γ 特性が変わってしまい、ブロックムラを引き起こす大きな要因となる。

【0004】

階調電源回路用の演算増幅器は、一般的には6ビット品で正側5個、負側5個のアンプをもち、また8ビット品では正側9個、負側9個のアンプを持つ。そして、これらのアンプは、電源効率が考慮され、電源電位またはグランド電位（GND）近辺まで出力することが可能なアンプである。又、階調電源回路は、専用ICとしてLCDドライバICの外部に設けられることも多いが、LCDドライバICに内蔵される場合もある。この場合、CMOSでアンプを構成しなければならないため、ドライバの駆動能力は制限される。

【0005】

図1は、従来技術によるLCDソースドライバ1100A及びLCDパネル1300の構成を示すブロック図である。図1を参照して、従来技術によるLCDソースドライバ1100Aは、それぞれがデジタル表示信号R、G、B（例えば6ビットデジタル信号）を外部より取り込むデータレジスタ11と、ストローク信号STに同期してデジタル表示信号をラッチするラッチ回路12と、並列n段のデジタル/アナログ変換器よりなるD/Aコンバータ13と、液晶の特性に応じたガンマ変換特性をもつ階調電圧発生回路14と、D/Aコンバータ13から出力される電圧をバッファする出力アンプ部15とを備えている。ここで出力アンプ部15は、n個の電圧フォロワ15₁～15_nを備えている。

【0006】

LCDパネル1300は、データ線と走査線との交差領域に設けられる薄膜トランジスタ（TFT：Thin Film Transistor）16₁～16_nを備える。又、TFT16₁～16_nに接続される画素容量17₁～17_nを備える。ここで、TFT16₁～16_nのゲートは走査線に接続され、ソースはデータ線に接続されている。又、画素17₁～17_nの一端は、TFT16₁～16_nのドレインに接続され、他端はCOM端子に接続されている。図1では、走査線1本に接続されるTFT16₁～16_n及び画素容量17₁～17_nが模式的に示されている。通常、LCDパネル1300は複数本の走査線を有し、この走査線とデータ線に接続されたTFT16₁～16_n及び画素容量17₁～17_nがアレイ状に設けられる。不図示のLCDゲートドライバは、走査線に接続されたTFT16₁～16_nのゲートを走査線毎に順次駆動していく。D/Aコンバータ13は、ラッチ回路12の6ビットデジタル表示信号を、D/A変換して、N個の電圧フォロワ15₁～15_nに供給し、TFT16₁～16_nを介して画素容量17₁～17_nとして動作する液晶素子（画素）にデータ信号を供給する。

【0007】

ここで、階調電圧発生回路14はデータ線を駆動するデータ信号の基準電圧となる階調電圧を発生する。D/Aコンバータ13では、不図示のROMスイッチ等によって構成されるデコーダによって階調電圧の選択が行われる。従来技術、例えば特許第259045

10

20

30

40

50

6号に記載の階調電圧発生回路は、抵抗ラダー回路を備えている（特許文献1参照）。この抵抗ラダー回路は、各階調電圧の出力点におけるインピーダンスを下げるため、かつ階調電圧の電圧値を微調整するため電圧フォロワで駆動される。

【0008】

図2は、従来技術による階調電圧発生回路14の構成を示すブロック図である。図2を参照して、階調電圧発生回路14は、LCDソースドライバ1100Aに内蔵される内蔵抵抗ラダー回路1102と、LCDソースドライバ1100Aの外部に設けられる外部抵抗ラダー回路1401と、電圧フォロワとして機能する複数のオペアンプ（オペレーショナルアンプ；演算増幅器） $OP_1 \sim OP_n$ を備えるバッファアンプ1101と、基準供給電圧 V_r を出力する定電圧発生回路とを備えている。ここで、内蔵抵抗ラダー回路1102はオペアンプ $OP_1 \sim OP_n$ の出力端に接続され、相互に直列接続している抵抗 $R_1 \sim R_{n-1}$ を備えている。又、外部抵抗ラダー回路1401は、定電圧発生回路と直列接続された抵抗 $R_0' \sim R_{n-1}'$ を備える。抵抗 $R_0' \sim R_{n-1}'$ はオペアンプ $OP_1 \sim OP_n$ の正転端子に接続されている。

10

【0009】

オペアンプ $OP_1 \sim OP_n$ は、外部抵抗ラダー回路1401内の抵抗 $R_0' \sim R_{n-1}'$ におけるタップ電圧に応答して階調電圧 $V_{g1} \sim V_{gn}$ を出力する。ここで、外部抵抗ラダー回路1401内の抵抗 $R_0' \sim R_{n-1}'$ は可変抵抗であり、この抵抗値を変化させることでオペアンプ $OP_1 \sim OP_n$ に与えるタップ電圧は調整される。この際、外部抵抗ラダー回路1401から出力される階調電圧 $V_{g1} \sim V_{gn}$ がLCDパネル1300の特性に対して最適な電圧となるように、オペアンプ $OP_1 \sim OP_n$ に与える電圧は調整される。

20

【0010】

階調電圧発生回路14に供給される基準供給電圧 V_r は、グランド電位GNDと電源電位 V_r との電位差である。基準供給電圧 V_r は、例えばバンドギャップリファレンス等の安定した外部の定電圧発生回路によって与えられる。階調電圧 V_{gn} 、 V_{gn-1} 、 V_{gn-2} 、 $\dots$ 、 V_{g2} 、 V_{g1} はそれぞれ、ラダー抵抗 R_0' 、 R_1' 、 R_2' 、 $\dots$ 、 R_{n-2}' 、 R_{n-1}' によって、最終的に決定される。すなわち、階調電圧 V_{gn} 、 V_{gn-1} 、 V_{gn-2} 、 $\dots$ 、 V_{g2} 、 V_{g1} は、以下のように求められる。

30

$$\begin{aligned} V_{gn} &= V_r \\ V_{gn-1} &= V_r \{ (R_{n-2}' + R_{n-3}' + \dots + R_0') / (R_{n-1}' + R_{n-2}' + R_{n-3}' + \dots + R_0') \} \\ &\dots \\ V_{g1} &= V_r \{ R_0' / (R_{n-1}' + R_{n-2}' + R_{n-3}' + \dots + R_0') \} \end{aligned}$$

【0011】

ここで、LCDソースドライバ10内部で階調電圧 $V_{g1} \sim V_{gn}$ を決定する抵抗 $R_1 \sim R_{n-1}$ の各抵抗比と、外部において階調電圧 $V_{g1} \sim V_{gn}$ を決定する抵抗 $R_1' \sim R_{n-1}'$ の各抵抗比とが同一であれば、オペアンプ $OP_2 \sim OP_{n-1}$ の出力電流は零となる。

【0012】

40

しかしながら、GND側から数えてn番目のオペアンプ OP_n （最高電圧の階調電圧 V_{gn} を出力するオペアンプ）の出力電流 I_n は吐き出し方向で、次式（1）で与えられる。

$$I_n = (V_{gn} - V_{g1}) / (R_1 + R_2 + \dots + R_{n-1}) \quad (1)$$

又、GND側から数えて1番目のオペアンプ OP_1 （最低電圧の階調電圧 V_{g1} を出力するオペアンプ）の出力電流 I_1 は、吸い込み方向で、次式（2）で与えられる。

$$I_1 = (V_{gn} - V_{g1}) / (R_1 + R_2 + \dots + R_{n-1}) \quad (2)$$

従って、オペアンプ OP_n とオペアンプ OP_1 の各アンプは、出力電流 I_n 、 I_1 をそれぞれ駆動できる出力段として設計しなければならない。特に、MOSトランジスタで設計する場合は、駆動能力を決めるトランジスタの相互コンダクタンス g_m がバイポーラト

50

レンジスタと比較して小さいので、注意が必要である。

【 0 0 1 3 】

又、特開平 1 0 - 1 4 2 5 8 2 号公報に、液晶階調電圧発生回路におけるオペアンプの出力ダイナミックレンジの縮小を改善する技術が開示されている（特許文献 2 参照）。

【 0 0 1 4 】

一方、複数の LCD ドライバ IC を並列接続して液晶に表示する階調を増加する LCD ドライバが特開平 5 - 1 1 9 7 4 4 号に記載されている（特許文献 3 参照）。図 3 は、階調電圧発生回路が内蔵された LCD ソースドライバ IC を 2 個用いた LCD ソースドライバ 1 1 0 0 B の構成を示すブロック図である。図 3 を参照して、LCD ソースドライバ 1 1 0 0 B は、第 1 LCD ソースドライバ IC 1 1 0 - 1 と第 2 LCD ソースドライバ IC 1 1 0 - 2 とを備える。第 1 LCD ソースドライバ IC 1 1 0 - 1 は、階調電圧発生回路 1 4 ' - 1、データレジスタ 1 1 - 1、ラッチ回路 1 2 - 1、D/A コンバータ 1 3 - 1、出力アンプ部 1 5 - 1 とを具備する。階調電圧発生回路 1 4 ' - 1 は、ラダー抵抗 $R_{1-1} \sim R_{(n/2)-1}$ で構成される負側階調抵抗群 1 4 2 - 1 と、ラダー抵抗 $R_{(n/2)+1} \sim R_{n-1}$ で構成される正側階調抵抗群 1 4 1 - 1 と、負側階調抵抗群 1 4 2 - 1 に接続され、電圧フォロウとして機能するオペアンプ 1 4 3₁ - 1 及び 1 4 3₂ - 1 と、正側階調抵抗群 1 4 1 - 1 に接続され、電圧フォロウとして機能するオペアンプ 1 4 3₃ - 1 及び 1 4 3₄ - 1 とを備えている。第 2 LCD ソースドライバ IC 1 1 0 - 2 の構成は、第 1 LCD ソースドライバ IC 1 1 0 - 1 と同様な構成であり、各構成の符号は第 1 LCD ソースドライバ IC 1 1 0 - 1 の構成に付された符号の追い番を 2

【 0 0 1 5 】

ここで、オペアンプ 1 4 3₄ - 1 及びオペアンプ 1 4 3₄ - 2 の正転入力端子は、第 1 の定電圧源 V_{H+} に接続され、オペアンプ 1 4 3₃ - 1 及びオペアンプ 1 4 3₃ - 2 の正転入力端子は、第 1 の定電圧源 V_{H+} よりも低い電圧を供給する第 2 の定電圧源 V_{L+} に接続されている。このため、オペアンプ 1 4 3₄ - 1 は、正側階調抵抗群 1 4 1 - 1 における最も高い電圧を正側階調抵抗群 1 4 1 - 1 に供給する。同様に、オペアンプ 1 4 3₄ - 2 は、正側階調抵抗群 1 4 1 - 2 における最も高い電圧を正側階調抵抗群 1 4 1 - 2 に供給する。又、オペアンプ 1 4 3₃ - 1 は正側階調抵抗群 1 4 1 - 1 における最も低い電圧を正側階調抵抗群 1 4 1 - 1 に供給する。同様に、オペアンプ 1 4 3₃ - 2 は、正側階調抵抗群 1 4 1 - 2 における最も低い電圧を正側階調抵抗群 1 4 1 - 2 に供給する。更に、オペアンプ 1 4 3₂ - 1 及びオペアンプ 1 4 3₂ - 2 の正転入力端子は、第 3 の定電圧源 V_{H-} に接続され、オペアンプ 1 4 3₁ - 1 及びオペアンプ 1 4 3₁ - 2 の正転入力端子は第 3 の定電圧源 V_{H-} よりも低い電圧を供給する第 4 の定電圧源 V_{L-} に接続されている。このため、オペアンプ 1 4 3₂ - 1 は負側階調抵抗群 1 4 2 - 1 における最も高い電圧を負側階調抵抗群 1 4 2 - 1 に供給する。同様に、オペアンプ 1 4 3₂ - 2 は、負側階調抵抗群 1 4 2 - 2 における最も高い電圧を負側階調抵抗群 1 4 2 - 2 に供給する。又、オペアンプ 1 4 3₁ - 1 は負側階調抵抗群 1 4 2 - 1 における最も低い電圧を負側階調抵抗群 1 4 2 - 1 に供給する。同様に、オペアンプ 1 4 3₁ - 2 は、負側階調抵抗群 1 4 2 - 2 における最も低い電圧を負側階調抵抗群 1 4 2 - 2 に供給する。又、2 つ以上の LCD ソースドライバ IC が用いられる時には、それぞれに設けられたオペアンプ 1 4 3 の正転入力端子は各々電源に共通接続されている。

【 0 0 1 6 】

第 1 ~ 第 4 の定電圧源 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} では通常、抵抗分割で構成されるためインピーダンスが高い。このためにバッファアンプが必要となる。ここでは、オペアンプ 1 4 3₁ ~ 1 4 3₄ がバッファアンプの役割を果たす。LCD パネルは、このような構成による LCD ソースドライバ 1 1 0 0 B からの出力にตอบสนองして輝度を変更する。例えば、ノーマリーホワイトタイプの LCD パネルにおいては、正側階調の高電圧側が黒レベルに、低電圧側が白レベルに相当し、負側階調の低電圧側が黒レベルに、高電圧側が白レベルに相当するように第 1 ~ 第 4 の電圧 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} の値が設定さ

れる。

【特許文献１】特許第２５９０４５６号

【特許文献２】特開平１０－１４２５８２号公報

【特許文献３】特開平５－１１９７４４号公報

【発明の開示】

【発明が解決しようとする課題】

【００１７】

上述のように従来技術では、ＬＣＤソースドライバが複数のＬＣＤソースドライバＩＣを備えることで、各ＬＣＤソースドライバＩＣ内のラダー抵抗のバラツキにより、各抵抗の精度にバラツキが生じる。このため各ドライバＩＣ間で階調特性が異なり、ブロックムラという表示異常が発生してしまう。更にはＬＣＤドライバに内蔵されている階調電源用演算増幅器のオフセット電圧の相違により、各ＬＣＤドライバＩＣ間で異なった階調電圧を発生し、これが原因でブロックムラの表示異常を起こす可能性がある。

10

【００１８】

詳細には、階調電圧は各ＬＣＤソースドライバＩＣに内蔵される抵抗分割で決定される。当然のことながらこの分割抵抗比はＬＣＤソースドライバＩＣ毎にばらつく。その結果、ＬＣＤソースドライバＩＣ毎に階調特性が異なる。このため、第１ＬＣＤソースドライバＩＣ１１０－１の階調特性と第２ＬＣＤドライバＩＣ１１０－２の階調特性が異なったものとなる。この場合、２つのドライバＩＣを並べて接続し、それぞれからの階調電圧に基づいたデータ信号によって液晶パネルを駆動すると、各ドライバＩＣが駆動するＬＣＤパネルの境目を人間の目で認識可能となってしまう。尚、人間の目は液晶の電圧で１０ｍＶ差があると異なった階調として認識するとされている。

20

【００１９】

これらの問題を解決するために階調電源用演算増幅器の出力同士を共通接続することが求められている。しかしながら、従来技術では、階調電源用演算増幅器を構成する演算増幅器の各々におけるオフセット電圧は異なるため、出力がショートされると電源用演算増幅器は異常動作する。このため、階調電源用演算増幅器の出力同士を接続することは難しい。従って、従来技術では、階調電圧発生回路を内蔵したＬＣＤドライバＩＣ同士を共通接続することは困難となっている。

30

【課題を解決するための手段】

【００２０】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、〔特許請求の範囲〕の記載と〔発明を実施するための最良の形態〕の記載との対応関係を明らかにするために、〔発明を実施するための最良の形態〕で使用される番号・符号が付加されている。但し、付加された番号・符号は、〔特許請求の範囲〕に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

【００２１】

本発明による第１の態様に係る階調電圧発生回路（４Ａ）は、ドライバＩＣ（１０Ａ）に設けられ、データ線（Ｘ）を駆動するための階調電圧（ $V_{g1} \sim V_{gn}$ ）を供給する。階調電圧発生回路（４Ａ）は、ノード（ $N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$ ）を介して直列接続された複数の抵抗（ $R_1 \sim R_{n-1}$ ）を備える階調抵抗回路（４１、４２）と、出力端が階調抵抗回路（４１、４２）の一端（ N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n ）に接続され、正転入力端子（４４１～４４４）が電源（４００Ａ）に接続される第１の電圧バッファ（４３１～４３４）とを具備する。第１の電圧バッファ（４３１～４３４）は、電源（４００Ａ）の基準供給電圧（ V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} ）に応じた基準電圧を階調抵抗回路（４１、４２）の一端（ N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n ）に供給する。階調電圧発生回路（４Ａ）は、この基準電圧に応じて、ノード（ $N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$ ）からデータ線（Ｘ）を駆動するための階調電圧（ $V_{g2} \sim V_{g((n/2)-1)}$ 、 $V_{g((n/2)+2)} \sim V_{g_n}$ ）を供給する。

40

50

$n - 1$) を供給する。ここで、ドライバ IC (10A) が複数提供される場合、複数の第 1 の電圧バッファ (43₁ ~ 43₄) の正転入力端子 (44₁ ~ 44₄) は、電源 (400A) に共通接続される。例えば、第 1 L C D ソースドライバ IC (10A - 1) の正転入力端子 (44₁ - 1 ~ 44₄ - 1) と、第 2 L C D ソースドライバ IC (10A - 2) の正転入力端子 (44₁ - 2 ~ 44₄ - 2) とは電源 (400A) に共通接続される。又、複数のドライバ IC (10A) において同じ階調電圧 ($V_{g2} \sim V_{g(n/2)-1}$ 、 $V_{g(n/2)+2} \sim V_{gn-1}$) を供給するノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) は、相互に接続される。例えば、第 1 L C D ソースドライバ IC (10A - 1) のノード ($N_2 - 1 \sim N_{(n/2)-1-1}$ 、 $N_{(n/2)+2-1} \sim N_{n-1-1}$) と、第 2 L C D ソースドライバ IC (10A - 2) のノード ($N_2 - 2 \sim N_{(n/2)-1-2}$ 、 $N_{(n/2)+2-2} \sim N_{n-1-2}$) とは相互に接続される。ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) 及び階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) は、D/A コンバータ (3) に接続され、基準供給電圧 (V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-}) に基づく階調電圧 ($V_{g1} \sim V_{gn}$) を D/A コンバータ (3) に供給する。D/A コンバータ (3) は、入力される表示データに基づき階調電圧 ($V_{g1} \sim V_{gn}$) を選択し、アナログ変換する。

【0022】

又、第 1 の態様に係る階調電圧発生回路 (4A) は、階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) と第 1 の電圧バッファ (43₁ ~ 43₄) の出力端との間に設けられる抵抗 ($R_{a1} \sim R_{a4}$) を更に具備する。又、ドライバ IC (10A) が複数提供される場合、複数の階調抵抗回路 (41、42) の一端 (N_1 、 $N_{n/2}$ 、 $N_{(n/2)+1}$ 、 N_n) は、相互に接続される。例えば、第 1 L C D ソースドライバ IC (10A - 1) の階調抵抗回路 (41 - 1、42 - 1) の一端 ($N_1 - 1$ 、 $N_{(n/2)-1}$ 、 $N_{(n/2)+1-1}$ 、 $N_n - 1$) は、第 2 L C D ソースドライバ IC (10A - 2) の階調抵抗回路 (41 - 2、42 - 2) の一端 ($N_1 - 2$ 、 $N_{(n/2)-2}$ 、 $N_{(n/2)+1-2}$ 、 $N_n - 2$) と、相互に接続される。このように、階調電源 (400A) 用の電圧バッファ (43) の出力端と階調電圧決定用の階調抵抗回路 (41、42) との間に電流制限用の抵抗 (R_a) を挿入することで、電圧バッファ (43) の出力端同士が短絡しないように各階調電圧 ($V_{g1} \sim V_{gn}$) の供給ノード ($N_1 \sim N_n$) を接続することができる。このため、電圧バッファ間の不要な電流の発生を防ぐことができる。又、各ドライバ IC (10A) 間における階調電圧 ($V_{g1} \sim V_{gn}$) のばらつきを抑制することができる。

【0023】

本発明による第 2 の態様に係る階調電圧発生回路 (4B) は、ドライバ IC (10B) に設けられ、データ線 (X) を駆動するための階調電圧 ($V_{g1} \sim V_{gn}$) を供給する。階調電圧発生回路 (4B) は、ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) を介して直列接続された複数の抵抗 ($R_1 \sim R_{n-1}$) を備える階調抵抗回路 (41、42) と、出力端が階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) に接続され、正転入力端子 (46₁、46_(m/2)、46_{(m/2)+1}}、46_m) が電源に接続される第 1 の電圧バッファ (45₁、45_(m/2)、45_{(m/2)+1}}、45_m) とを具備する。第 1 の電圧バッファ (45₁、45_(m/2)、45_{(m/2)+1}}、45_m) は、電源の基準供給電圧 (V_1 、 $V_{(m/2)}$ 、 $V_{(m/2)+1}$ 、 V_m) に応じた基準電圧を階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) に供給する。階調電圧発生回路 (4B) は、この基準電圧に応じて、ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) からデータ線 (X) を駆動するための階調電圧 ($V_{g2} \sim V_{g(n/2)-1}$ 、 $V_{g(n/2)+2} \sim V_{gn-1}$) を供給する。ここで、ドライバ IC (10B) が複数提供される場合、複数の第 1 の電圧バッファ (45₁、45_(m/2)、45_{(m/2)+1}}、45_m) の正転入力端子 (46₁、46_(m/2)、46_{(m/2)+1}}、46_m) は、

電源(400B)に共通接続される。例えば、第1LCDソースドライバIC(10B-1)の正転入力端子(46₁-1、46_(m/2)-1、46_{(m/2)+1}-1、46_m-1)と、第2LCDソースドライバIC(10B-2)の正転入力端子(46₁-2、46_(m/2)-2、46_{(m/2)+1}-2、46_m-2)とは電源に共通接続される。又、複数のドライバIC(10B)において同じ階調電圧(V_{g2}~V_{g(n/2)}-1、V_{g(n/2)+2}~V_{gn-1})を供給するノード(N₂~N_{(n/2)-1}、N_{(n/2)+2}~N_{n-1})は、相互に接続される。例えば、第1LCDソースドライバIC(10B-1)のノード(N₂-1~N_{(n/2)-1-1}、N_{(n/2)+2-1}~N_{n-1-1})と、第2LCDソースドライバIC(10B-2)のノード(N₂-2~N_{(n/2)-1-2}、N_{(n/2)+2-2}~N_{n-1-2})とは相互に接続される。ノード(N₂~N_{(n/2)-1}、N_{(n/2)+2}~N_{n-1})及び階調抵抗回路(41、42)の一端(N₁、N_(n/2)、N_{(n/2)+1}、N_n)は、D/Aコンバータ(3)に接続され、基準供給電圧(V₁~V_m)に基づく階調電圧(V_{g1}~V_{gn})をD/Aコンバータ(3)に供給する。D/Aコンバータ(3)は、入力される表示データに基づき階調電圧(V_{g1}~V_{gn})を選択しアナログ変換する。

【0024】

又、第2の態様に係る階調電圧発生回路(4B)は、階調抵抗回路(41、42)の一端(N₁、N_(n/2)、N_{(n/2)+1}、N_n)と第1の電圧バッファ(45₁、45_(m/2)、45_{(m/2)+1}、45_m)との間に設けられる抵抗(R_{a1}、R_{a(m/2)}、R_{a(m/2)+1}、R_{am})を更に具備する。又、ドライバIC(10B)が複数提供される場合、複数の階調抵抗回路(41、42)の一端(N₁、N_(n/2)、N_{(n/2)+1}、N_n)は、相互に接続される。例えば、第1LCDソースドライバIC(10B-1)の階調抵抗回路(41-1、42-1)の一端(N₁-1、N_{(n/2)-1}、N_{(n/2)+1-1}、N_{n-1})は、第2LCDソースドライバIC(10B-2)の階調抵抗回路(41-2、42-2)の一端(N₁-2、N_{(n/2)-2}、N_{(n/2)+1-2}、N_{n-2})と相互に接続される。このように、階調電源用の電圧バッファ(45)の出力端と階調電圧決定用の階調抵抗回路(41、42)との間に電流制限用の抵抗(R_a)を挿入することで、電圧バッファ(45)の出力端同士が短絡しないように各階調電圧(V_{g1}~V_{gn})の供給ノード(N₁~N_n)を接続することができる。このため、電圧バッファ間の不要な電流の発生を防ぐことができる。又、各ドライバIC(10B)間における階調電圧(V_{g1}~V_{gn})のばらつきを抑制することができる。

【0025】

更に、第2の態様に係る階調電圧発生回路(10B)は、出力端がノード(N_i~N_{(n/2)-i+1}、N_{(n/2)+i}~N_{(n-i)+1})に接続され、正転入力端子(46₂~46_{(m/2)-1}、46_{(m/2)+2}~46_{m-1})が電源(400B)に接続され、電源(400B)から供給される基準供給電圧(V₂~V_{(m/2)-1}、V_{(m/2)+2}~V_{m-1})に応じた基準電圧をノード(N_i~N_{(n/2)-i+1}、N_{(n/2)+i}~N_{(n-i)+1})に供給する第2の電圧バッファ(45₂~45_{(m/2)-1}、45_{(m/2)+2}~45_{m-1})と、ノード(N_i~N_{(n/2)-i+1}、N_{(n/2)+i}~N_{(n-i)+1})と第2の電圧バッファ(45₂~45_{(m/2)-1}、45_{(m/2)+2}~45_{m-1})の出力端との間に設けられた抵抗(R_{a2}~R_{a(m/2)-1}、R_{a(m/2)+2}~R_{am-1})とを具備する。第2の態様に係るドライバIC(10B)が複数提供される場合、複数の第2の電圧バッファ(45₂~45_{(m/2)-1}、45_{(m/2)+2}~45_{m-1})の正転入力端子(46₂~46_{(m/2)-1}、46_{(m/2)+2}~46_{m-1})は、電源(400B)に共通接続される。例えば、第1LCDソースドライバIC(10B-1)の第2の電圧バッファ(45₂-1~45_{(m/2)-1-1}、45_{(m/2)+2-1}~45_{m-1-1})の正転入力端子(46₂-1~46_{(m/2)-1-1}、46_{(m/2)+2-1}~46_{m-1-1})と、第2LCDソースドライバIC(10B-2)の第2の電圧バッファ(4

10

20

30

40

50

$5_{2-2} \sim 45_{(m/2)-1-2}$ 、 $45_{(m/2)+2-2} \sim 45_{m-1-2}$ の正転入力端子 ($46_{2-2} \sim 46_{(m/2)-1-2}$ 、 $46_{(m/2)+2-2} \sim 46_{m-1-2}$) とは、電源 (400B) に共通接続される。

【0026】

本発明による第3の態様に係る階調電圧発生回路 (4C) は、ドライバIC (10C) に設けられ、データ線 (X) を駆動するための階調電圧 ($V_{g1} \sim V_{gn}$) を供給する。階調電圧発生回路 (4C) は、ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) を介して直列接続された複数の抵抗 ($R_1 \sim R_{n-1}$) を備える階調抵抗回路 (41、42) と、出力端が階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) に接続され、正転入力端子 (44_1 、 $\sim 44_4$) が電源 (400A) に接続される第1の電圧バッファ ($43_1 \sim 43_4$) とを具備する。第1の電圧バッファ ($43_1 \sim 43_4$) は、電源 (400A) の基準供給電圧 (V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-}) に応じた基準電圧を階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) に供給する。階調電圧発生回路 (4C) は、この基準電圧に応じて、ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) からデータ線 (X) を駆動するための階調電圧 ($V_{g2} \sim V_{g_{(n/2)-1}}$ 、 $V_{g_{(n/2)+2}} \sim V_{g_{n-1}}$) を供給する。ここで、ドライバIC (10C) が複数提供される場合、複数の第1の電圧バッファ ($43_1 \sim 43_4$) の正転入力端子 ($44_1 \sim 44_4$) は、電源 (400A) に共通接続される。例えば、第1LCDソースドライバIC (10C-1) の正転入力端子 ($44_{1-1} \sim 44_{4-1}$) と、第2LCDソースドライバIC (10C-2) の正転入力端子 ($44_{1-2} \sim 44_{4-2}$) とは電源に共通接続される。又、複数のドライバIC (10C) において同じ階調電圧 ($V_{g2} \sim V_{g_{(n/2)-1}}$ 、 $V_{g_{(n/2)+2}} \sim V_{g_{n-1}}$) を供給するノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) は、相互に接続される。例えば、第1LCDソースドライバIC (10C-1) のノード ($N_{2-1} \sim N_{(n/2)-1-1}$ 、 $N_{(n/2)+2-1} \sim N_{n-1-1}$) と、第2LCDソースドライバIC (10C-2) のノード ($N_{2-2} \sim N_{(n/2)-1-2}$ 、 $N_{(n/2)+2-2} \sim N_{n-1-2}$) とは相互に接続される。ノード ($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$) 及び階調抵抗回路 (41、42) の一端 (N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n) は、D/Aコンバータ (3) に接続され、基準供給電圧 (V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-}) に基づく階調電圧 ($V_{g1} \sim V_{gn}$) をD/Aコンバータ (3) に供給する。D/Aコンバータ (3) は、入力される表示データに基づき階調電圧 ($V_{g1} \sim V_{gn}$) を選択しアナログ変換する。

【0027】

又、複数のドライバIC (10C) が提供される場合、第3の態様の階調電圧発生回路 (4C) の複数の第1の電圧バッファ ($43_1 \sim 43_4$) の出力端同士は開放される。例えば、第1ソースドライバIC (10C-1) のノード (N_{1-1} 、 $N_{(n/2)-1}$ 、 $N_{(n/2)+1-1}$ 、 N_{n-1}) と第2ソースドライバIC (10C-2) のノード (N_{1-2} 、 $N_{(n/2)-2}$ 、 $N_{(n/2)+1-2}$ 、 N_{n-2}) は開放される。すなわち、第3の態様の階調電圧発生回路 (4C) では、第1の態様の階調電圧発生回路 (4A) における抵抗 $R_{a1} \sim R_{a4}$ を 0Ω にした構成である。第3の態様の階調電圧発生回路 (4C) では、電圧バッファ (43) の出力端に抵抗を設ける事ができない場合に有効である。第3の態様の階調電圧発生回路 (4C) では、電圧バッファ 43 の出力同士がショート状態になって異常電流が流れることを防止する効果がある。

【0028】

以上のように本発明による第1及び第2の態様の階調電圧発生回路 (10A、10B) 、及びそれを用いた液晶表示装置は、階調抵抗回路 (41、42) と電圧バッファ (43、45) の出力端との間に抵抗 (R_a) を設けて、複数個のドライバIC (10A、10B) 間でこの抵抗 (R_a) と階調抵抗回路 (41、42) とのノード ($N_1 \sim N_n$) を含むすべてのノード同士を共通接続して異常電流の低減をすることができる。又、本発明による第3の態様の階調電圧発生回路 (4C) 、及びそれを用いた液晶表示装置では、階調

10

20

30

40

50

抵抗回路(41、42)と電圧バッファ(43)の出力端との間に抵抗を設けず、複数のドライバIC(10C)間で電圧バッファ(43)の出力端に接続されるノード(N_1 、 $N_{(n/2)}$ 、 $N_{(n/2)+1}$ 、 N_n)以外のノード($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$)を共通接続することで電圧バッファ(43)の出力端間における異常電流の発生を防止することができる。更に、複数のドライバIC間でノード($N_2 \sim N_{(n/2)-1}$ 、 $N_{(n/2)+2} \sim N_{n-1}$)同士を共通接続することで、複数のドライバICでの階調電圧のばらつきが抑制されるという特徴を有する。

【発明の効果】

【0029】

本発明によれば、複数のドライバICを用いて駆動される液晶表示パネルの画質を向上することができる。又、液晶表示パネルにおける表示異常(ブロックムラ)を改善できる。

10

【発明を実施するための最良の形態】

【0030】

以下、添付図面を参照しながら本発明の実施の形態を詳細に説明する。図面において同一、又は類似の参照符号は、同一、類似、又は等価な構成要素を示している。

【0031】

(構成)

(液晶表示装置の全体構成)

図4は、本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。図4を参照して、本発明による液晶表示装置は、LCD(Liquid cell Display)ソースドライバ100、LCDゲートドライバ200、LCDパネル300、基準供給電圧発生回路400とを具備している。LCDパネル300上には、列方向に配列された複数のデータ線 $X_1 \sim X_{2p}$ (p は2以上の自然数)、行方向に配列された複数の走査線 $Y_1 \sim Y_q$ (q は2以上の自然数)、データ線 $X_1 \sim X_{2p}$ と走査線 $Y_1 \sim Y_q$ との交差する領域に設けられた画素 $P_{11} \sim P_{2pq}$ とを備えている。ここで、画素 $P_{11} \sim P_{2pq}$ は、TFT(Thin Film Transistor) $6_{11} \sim 6_{2pq}$ と画素容量 $7_{11} \sim 7_{2pq}$ とを備えている。TFT $6_{11} \sim 6_{2pq}$ のゲートは走査線 $Y_1 \sim Y_q$ に接続され、ソースはデータ線 $X_1 \sim X_{2p}$ に接続されている。又、画素 $7_{11} \sim 7_{2pq}$ の一端は、TFT $6_{11} \sim 6_{2pq}$ のドレインに接続され、他端はCOM端子を介してコモン電極に接続されている。以下において、例えば、データ線 X_p と走査線 Y_q とが交差する位置に設けられた画素は、画素 P_{pq} と記載される。

20

30

【0032】

LCDソースドライバ100は複数のLCDソースドライバIC10を備え、LCDパネル300におけるデータ線 X を駆動する。本実施の形態におけるLCDソースドライバ100は、一例として2つのLCDソースドライバIC10-1、10-2を備える。LCDソースドライバIC10-1は、データ信号を出力してデータ線 $X_1 \sim X_p$ を駆動し、LCDソースドライバIC10-2は、データ信号を出力してデータ線 $X_{p+1} \sim X_{2p}$ を駆動する。以下、LCDソースドライバIC10-1、10-2に設けられた構成等には、それぞれ追い番として“-1”、“-2”が付されて説明される。又、LCDソースドライバIC10-1とLCDソースドライバIC10-2の区別をしない場合は、追い番が付されないで説明される。

40

【0033】

各LCDソースドライバIC10は、デジタル表示信号R、G、Bを外部より取り込むデータレジスタ1と、ストロブ信号STに同期してデジタル表示信号をラッチするラッチ回路2と、並列 p 段のデジタル/アナログ変換器よりなるD/Aコンバータ3と、液晶の特性に応じたガンマ変換特性をもつ階調電圧発生回路4と、D/Aコンバータ3から出力される電圧をバッファする出力アンプ部5とを備えている。

【0034】

階調電圧発生回路4は各画素Pの階調を指示するデータ信号の基準電圧となる階調電圧

50

$V_{g1} \sim V_{gn}$ を発生する。階調電圧発生回路4は、LCDソースドライバ100の外部に設けられた基準供給電圧発生回路400から供給される基準供給電圧に基づいて階調電圧 $V_{g1} \sim V_{gn}$ をD/Aコンバータ3に印加する。階調電圧 $V_{g1} \sim V_{gn}$ の数 n は任意であるが、6ビット製品の場合、例えば $n = 10$ の階調電圧 $V_{g1} \sim V_{g10}$ が出力される。ここでは省略されるが階調電圧 V_g は抵抗分割されてD/Aコンバータ3に出力される。6ビット製品の場合、抵抗分割により64階調分の階調電圧がD/Aコンバータ3に印加される。D/Aコンバータ3では、不図示のROMスイッチ等によって構成されるデコーダによって階調電圧の選択が行われる。又、選択した階調電圧をアナログ信号である表示信号に変換し、出力アンプ部5で増幅して各データ線Xに出力して各画素Pを駆動する。

10

【0035】

後述するように、本発明による階調電圧回路4において階調電圧を発生するノードNの一部又は全部は、他の階調電圧回路4の階調電圧を発生するノードNの一部又は全部に共通接続され、同電位となる。このため、隣接するLCDドライバIC10-1、10-2から出力される同じ階調電圧に基づく表示信号の大きさを均等化し、ブロックムラを改善することができる。すなわち、本発明の特徴は、複数のドライバIC間で分割抵抗で定まる階調電圧のノード同士を共通接続し同電位とするところである。以下、本発明を第1～第3の実施の形態で詳細に説明する。

【0036】

(第1の実施の形態)

20

図4及び図5を参照して、本発明による液晶表示装置の第1の実施の形態が説明される。第1の実施の形態における液晶表示装置は、図4に示されるLCDソースドライバ100をLCDソースドライバ100Aとし、基準供給電圧発生回路400を基準供給電圧発生回路400Aとする構成である。

【0037】

(第1の実施の形態におけるLCDソースドライバ100Aの構成)

図5は、第1の実施の形態におけるLCDソースドライバ100Aの構成を示すブロック図である。図5を参照して、LCDソースドライバ100Aは、第1LCDソースドライバIC10A-1と第2LCDソースドライバIC10A-2とを備える。LCDソースドライバIC10Aは、階調電圧発生回路4A、データレジスタ1、ラッチ回路2、D/Aコンバータ3、出力アンプ部5を具備する。

30

【0038】

階調電圧発生回路4Aは、正側階調抵抗群41、負側階調抵抗群42、電圧フォロウを形成する演算増幅回路である4個のオペアンプ43₁～43₄、及び4個の抵抗 $R_{a1} \sim R_{a4}$ を備えている。負側階調抵抗群42は、抵抗 $R_1 \sim R_{(n/2)-1}$ で構成される。抵抗 $R_1 \sim R_{(n/2)-1}$ は順にノード $N_2 \sim N_{(n/2)-1}$ を介して直列に接続される。又、抵抗 R_2 に接続されていない R_1 の一端は、ノード N_1 を介して抵抗 R_{a1} に接続され、抵抗 $R_{(n/2)-2}$ に接続されていない $R_{(n/2)-1}$ の一端は、ノード $N_{(n/2)}$ を介して抵抗 R_{a2} に接続される。正側階調抵抗群41は、抵抗 $R_{(n/2)+1} \sim R_{n-1}$ で構成される。抵抗 $R_{(n/2)+1} \sim R_{n-1}$ は順にノード $N_{(n/2)+2} \sim N_{n-1}$ を介して直列に接続される。又、抵抗 $R_{(n/2)+2}$ に接続されていない $R_{(n/2)+1}$ の一端は、ノード $N_{(n/2)+1}$ を介して抵抗 R_{a3} に接続され、抵抗 R_{n-2} に接続されていない R_{n-1} の一端は、ノード N_n を介して抵抗 R_{a4} に接続される。

40

【0039】

オペアンプ43₁及び43₂の出力端は、それぞれ抵抗 R_{a1} 及び R_{a2} を介して負側階調抵抗群のノード N_1 及び $N_{(n/2)}$ に接続される。又、オペアンプ43₃及び43₄の出力端は、それぞれ抵抗 R_{a3} 及び R_{a4} を介して正側階調抵抗群のノード $N_{(n/2)+1}$ 及び N_n に接続される。

【0040】

50

ここで、基準供給電圧発生回路400Aは、定電圧源 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} を備えている。オペアンプ434の正転入力端子444は、定電圧源 V_{H+} に接続され、オペアンプ433の正転入力端子443は、第1の定電圧源 V_{H+} よりも低い電圧を供給する定電圧源 V_{L+} に接続される。このため、オペアンプ434は、正側階調抵抗群41において最も高い電圧をノード N_n に供給する。同様にオペアンプ433は正側階調抵抗群41において最も低い電圧をノード $N_{(n/2)+1}$ に供給する。更に、オペアンプ432の正転入力端子442は、第3の定電圧源 V_{H-} に接続され、オペアンプ431の正転入力端子441は第3の定電圧源 V_{H-} よりも低い電圧を供給する第4の定電圧源 V_{L-} に接続される。このため、オペアンプ433は負側階調抵抗群42において最も高い電圧をノード $N_{(n/2)}$ に供給する。同様に、オペアンプ431は負側階調抵抗群42において最も低い電圧をノード N_1 に供給する。定電圧源 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} から供給される基準供給電圧の大きさは、例えば、ノーマリーホワイトタイプのLCDパネルにおいては、正側階調抵抗群41の高電圧側が白レベルに、低電圧側が黒レベルに相当し、負側階調抵抗群42の低電圧側が黒レベルに、高電圧側が白レベルに相当するように第1～第4の電圧 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} の値が設定される。

【0041】

負側階調抵抗群42及び正側階調抵抗群41は、ノード $N_1 \sim N_n$ を介してD/Aコンバータ3に接続されている。各ノード $N_1 \sim N_n$ は、オペアンプ431～434から供給された電圧に基づく階調電圧 $V_{g1} \sim V_{gn}$ をD/Aコンバータ3に供給する。一方、第1LCDソースドライバIC10A-1におけるノード $N_1-1 \sim N_n-1$ と、対応する第2LCDソースドライバIC10A-2におけるノード $N_1-2 \sim N_n-2$ とは共通接続されている。このため、第1LCDソースドライバIC10A-1における階調電圧 $V_{g1-1} \sim V_{gn-1}$ と、下付番号が対応する第2LCDソースドライバIC10A-2の $V_{g1-2} \sim V_{gn-2}$ とはそれぞれ同電圧となる。

【0042】

以上のように、本発明によるLCDソースドライバ100Aでは、2つのLCDソースドライバIC10A-1、10A-2における各オペアンプ43-1、43-2の正転入力端子44-1、44-2は、基準供給電圧発生回路400Aに共通接続され、且つ、2つのLCDソースドライバIC10A-1、10A-2間は、階調電圧 $V_{g1} \sim V_{gn}$ を供給するノード $N_1-1 \sim N_n-1$ とノード $N_1-2 \sim N_n-2$ で並列接続されている。又、各LCDソースドライバ10A内では、オペアンプ43と正側階調抵抗群41及び負側階調抵抗群42との間に、オペアンプ43-1とオペアンプ43-2の出力端同士がショート状態になって異常電流が流れることを防止するための抵抗 R_a が設けられている。

【0043】

(第1の実施の形態におけるLCDソースドライバ100Aの動作)

図5を参照して、抵抗 R_a の抵抗値の設計例が示される。ここでは、ノード N_n における階調電圧 V_{gn} に注目して抵抗 R_a の抵抗値の設計例が示される。ここで、階調電圧 V_{gn} の電圧値を V_{+1} とする。すなわち、LCDソースドライバIC10の共通接続点であるノード N_n-1 及び N_n-2 における電圧値を V_{+1} とする。又、第1LCDソースドライバIC10A-1におけるオペアンプ434-1のオフセット電圧を V_{IO1} 、第2LCDソースドライバIC10A-2におけるオペアンプ434-2のオフセット電圧を V_{IO2} 、オペアンプ434の出力に付加された抵抗 R_{a4} の抵抗値を R_a 、正側階調抵抗群41における全ての抵抗 $R_{(n/2)+1} \sim R_{n-1}$ の総抵抗値を R_{+1} とする。更に、オペアンプ433のオフセット電圧と、オペアンプ433の出力に接続されている付加抵抗 R_{a3} とによる影響を無視すると、ノード $N_{(n/2)+1}$ における電圧値は V_{L+} となる。ここで、「重ねの理」の法則を用いると V_{+1} は、以下のように計算される。

【数 1】

$$V_{+1} = (V_{H+} + V_{IO1}) \frac{R_a // (R_{+1}/2)}{R_a + R_a // (R_{+1}/2)} + (V_{H+} + V_{IO2}) \frac{R_a // (R_{+1}/2)}{R_a + R_a // (R_{+1}/2)} + V_{L+} \frac{R_a}{R_a + R_{+1}}$$

ここで、実際の設計では $R_a \ll R_{+1}/2$ なので $R_a // (R_{+1}/2) \approx R_a$ となり、上記の V_{+1} は近似的に、

10

【数 2】

$$V_{+1} \cong V_{H+} + \frac{V_{IO1} + V_{IO2}}{2}$$

となる。数 2 は、ノード N_n から D/A コンバータ 3 に供給される階調電圧 V_g の値 V_{+1} が、基準供給電圧 V_{H+} に、2 つのオペアンプ 43₄₋₁、43₄₋₂ におけるオフセット電圧の平均値 $(V_{IO1} + V_{IO2})/2$ を加えた値であることを示す。すなわち、LCD ソースドライバ IC 10A-1、10A-2 の各々における階調電源用のオペアンプ 43 のオフセット電圧は平均化され、共通の階調電圧で表示階調が決められる。このため、異なる LCD ソースドライバ IC 10A-1、10A-2 が、同じ基準供給電源に基づく階調電圧に応答してデータ線 X を駆動しても、LCD パネル 300 にブロックムラが生じない。

20

【0044】

次にオペアンプ 43 に流れる電流値を検証する。オペアンプ 43 に流れる出力電流値を I_{Ra1} とすると、

【数 3】

$$I_{Ra1} = \frac{V_{H+} + V_{IO1} - \left(V_{H+} + \frac{V_{IO1} + V_{IO2}}{2} \right)}{R_a} = \frac{V_{IO1} - V_{IO2}}{2R_a}$$

30

となる。ここで、オペアンプ 43 に流れる出力電流値 I_{Ra1} は、オペアンプ 43 の駆動電流範囲内である必要がある。例えば上式の $V_{IO1} - V_{IO2}$ が最大 20 mV と仮定し R_a を 100 Ω とすると、 I_{Ra1} は 100 μ A となる。

【0045】

このようにしてオペアンプ 43 におけるオフセット電圧に基づいて抵抗 R_a の抵抗値 R_a が決定される。この R_a は当然小さければ小さいほど所望の階調電圧 V_g に対する誤差は小さくなるが、逆に小さすぎるとオフセット電圧による不要な電流が大きくなる。すなわちこれらはトレードオフの関係になる。これらを勘案しながら R_a が最適設計されることが好ましい。

40

【0046】

以上のように、階調電源用のオペアンプ 43 の出力に抵抗 R_a を挿入することで、上記の異常電流を防止するという効果に加え、オペアンプ 43 における容量負荷に対する位相余裕を向上させるという効果もある。これはオペアンプ 43 の帰還ループの外に抵抗を挿入することにより、耐負荷容量特性が向上することに起因する。

【0047】

(第 2 の実施の形態)

(第 2 の実施の形態における LCD ソースドライバ 100B の構成)

50

図 6 及び図 7 を参照して、本発明による液晶表示装置の第 2 の実施の形態が説明される。第 2 の実施の形態における液晶表示装置は、第 1 の実施の形態における LCD ソースドライバ 100A、及び基準供給電圧発生回路 400A をそれぞれ、LCD ソースドライバ 100B、及び基準供給電圧発生回路 400B に替えた構成である。

【0048】

図 6 は、第 2 の実施の形態における LCD ソースドライバ 100B の構成を示すブロック図である。図 7 は、第 2 の実施の形態における階調電圧発生回路 4B の細部構成を示すブロック図である。図 6 を参照して、LCD ソースドライバ 100B は、第 1 LCD ソースドライバ IC 10B - 1 と第 2 LCD ソースドライバ IC 10B - 2 とを備える。LCD ソースドライバ IC 10B は、階調電圧発生回路 4B、データレジスタ 1、ラッチ回路 2、D/A コンバータ 3、出力アンプ部 5 を具備する。

【0049】

階調電圧発生回路 4B は、正側階調抵抗群 41、負側階調抵抗群 42、電圧フォロワを形成する演算増幅回路であるオペアンプ 45₁ ~ 45_m、及び抵抗 R_{a1} ~ R_{am} を備えている。第 2 の実施の形態における階調電圧発生回路 4B は、第 1 の実施の形態における正側階調抵抗群 41 及び負側階調抵抗群 42 におけるノード N₁ ~ N_n の数 n と同数又はそれ以下の m 個のオペアンプ 45₁ ~ 45_m が設けられている。オペアンプ 45 の数は、一般的には 6 ビット品で正側 5 個、負側 5 個の計 10 個 (m = 10) のオペアンプ 45 が設けられる。あるいは、8 ビット品では正側 9 個、負側 9 個の計 18 個 (m = 18) のオペアンプ 45 が設けられる。又、オペアンプ 45₁ ~ 45_m の出力端は、抵抗 R_{a1} ~ R_{am} を介してノード N₁ ~ N_n のいずれかと接続される。一方、基準供給電圧発生回路 400B は、m 個の定電圧源 V₁ ~ V_m を備えている。オペアンプ 45₁ ~ 45_m の正転入力端子 46₁ ~ 46_m は、定電圧源 V₁ ~ V_m に接続される。ただし、同じ下付番号が付された抵抗 R_a、オペアンプ 45、正転入力端子 46、定電圧源 V の間で上記のように接続される。

【0050】

負側階調抵抗群 42 及び正側階調抵抗群 41 は、ノード N₁ ~ N_n を介して D/A コンバータ 3 に接続されている。各ノード N₁ ~ N_n は、オペアンプ 45₁ ~ 45_n から供給された電圧に基づく階調電圧 V_{g1} ~ V_{gn} を D/A コンバータ 3 に供給する。一方、第 1 LCD ソースドライバ IC 10B - 1 におけるノード N₁ - 1 ~ N_n - 1 と、第 2 LCD ソースドライバ IC 10B - 2 におけるノード N₁ - 2 ~ N_n - 2 とは共通接続されている。このため、第 1 LCD ソースドライバ IC 10B - 1 における階調電圧 V_{g1} - 1 ~ V_{gn} - 1 と、下付き番号が対応する第 2 LCD ソースドライバ IC 10A - 2 の V_{g1} - 2 ~ V_{gn} - 2 とはそれぞれ同電圧となる。

【0051】

以上のように、本発明による LCD ソースドライバ 100B では、第 1 LCD ソースドライバ IC 10B - 1 内のオペアンプ 45 - 1 の正転入力端子 46 - 1 と、第 2 LCD ソースドライバ IC 10B - 2 内のオペアンプ 45 - 2 の正転入力端子 46 - 2 とが、基準供給電圧発生回路 400B の対応する電源 V₁ ~ V_m に共通接続されている。又、2 つの LCD ソースドライバ IC 10B - 1、10B - 2 間は、階調電圧 V_{g1} ~ V_{gn} を供給するノード N₁ - 1 ~ N_n - 1 と、対応するノード N₁ - 2 ~ N_n - 2 で並列接続されている。更に、オペアンプ 45 の出力端に接続されるノード N と、正側階調抵抗群 41 及び負側階調抵抗群 42 との間に、オペアンプ 45 - 1 とオペアンプ 45 - 2 同士がショート状態になって異常電流が流れることを防止するための抵抗 R_a が設けられている。

【0052】

図 7 を参照して、本発明による階調電圧発生回路 4B の構成の詳細が説明される。電圧フォロワであるオペアンプ 45 の出力端は、通常、数個に 1 つの割合でノード N に接続される。すなわち、m 個の基準供給電源によって n 個の階調電圧を発生することができる。詳細には、オペアンプ 45₁ ~ 45_(m/2) の出力端は、負側階調抵抗群 42 の一端 (ノード N₁) から他端 (ノード N_(n/2)) まで数個 (i 個) おきのノード N に接続さ

10

20

30

40

50

れる。同様に、オペアンプ $45_{(m/2)+1} \sim 45_m$ の出力端は、正側階調抵抗群 41 の一端（ノード $N_{(n/2)+1}$ ）から他端（ノード N_n ）まで数個（ i 個）おきのノード N に接続される。例えば、オペアンプ 45_1 とオペアンプ 45_2 とによって、中間階調を含む i 個の階調電圧 $V_{g1} \sim V_{gi}$ をノード $N_1 \sim N_i$ から供給することができる。又、全てのノード $N_1 \sim N_n$ は他の LCD ソースドライバ $10B$ の対応するノード $N_1 \sim N_n$ に接続されている。更に、上述のように、オペアンプ 45 とオペアンプ 45 に接続されたノード N との間は抵抗 R_a が設けられている。

【0053】

（第2の実施の形態における LCD ソースドライバ $100B$ の動作）

第2の実施の形態における LCD ソースドライバ $100B$ の動作は、基本的に第1の実施の形態と同じであるため詳細な説明は省略される。第2の実施の形態では、第1の実施の形態と同様に、異なる LCD データドライバ $IC10B$ のオペアンプ 45 の出力端同士を抵抗 R_a を介して接続しているため、オペアンプ $45-1 \sim 45-2$ 間で異常電流が発生することを防ぐことができる。このため、中間調レベルの階調信号 V_g を決定する m 個のオペアンプ 45 を備える構成であっても、複数の LCD データドライバ $IC10B$ 間でオペアンプ 45 の出力同士を接続することができる。更に、 LCD ソースドライバ $100B$ 内で決められる階調特性を外部で設定可能な基準供給電圧 $V_1 \sim V_m$ で自由に決められる。又、第1の実施の形態で示されたように、第1 LCD ソースドライバ $IC10B-1$ と第2 LCD ソースドライバ $10B-2$ の各々の階調電源用のオペアンプ 45 のオフセット電圧は平均化されるため、共通の階調電圧で表示階調が決められる。このため、異なる LCD ソースドライバ $IC10B$ が、同じ基準供給電源に基づく階調電圧に応答してデータ線 X を駆動しても、 LCD パネル 300 にブロックムラが生じない。

【0054】

（第3の実施の形態）

（第3の実施の形態における LCD ソースドライバ $100C$ の構成）

図8を参照して、本発明による液晶表示装置の第3の実施の形態が説明される。第3の実施の形態における液晶表示装置は、第1の実施の形態における LCD ソースドライバ $100A$ を LCD ソースドライバ $100C$ に替えた構成である。

【0055】

図8は、第3の実施の形態における LCD ソースドライバ $100C$ の構成を示すブロック図である。図8を参照して、 LCD ソースドライバ $100C$ は、第1 LCD ソースドライバ $IC10C-1$ と第2 LCD ソースドライバ $IC10C-2$ とを備える。 LCD ソースドライバ $IC10C$ は、階調電圧発生回路 $4C$ 、データレジスタ 1 、ラッチ回路 2 、 D/A コンバータ 3 、出力アンプ部 5 を具備する。

【0056】

階調電圧発生回路 $4C$ は、第1の実施の形態における階調電圧発生回路 $4A$ における抵抗 $R_{a1} \sim R_{a4}$ を 0Ω にし、ノード N_1-1 とノード N_1-2 、ノード $N_{(n/2)-1}$ とノード $N_{(n/2)-2}$ 、ノード $N_{(n/2)+1-1}$ とノード $N_{(n/2)+1-2}$ 、ノード N_n-1 とノード N_n-2 との間の接続のみを開放した構成である。第3の実施の形態では、オペアンプ 43 の出力端に抵抗を設ける事ができない場合に有効である。この場合、オペアンプ 43 の出力同士がショート状態になって異常電流が流れることを防止するために、第1の実施の形態においてオペアンプ 43 が抵抗を介さずに他の LCD ソースドライバのオペアンプ 43 の出力端に接続しているノード N 間を解放し、それ以外のノード N 間は共通接続されている。

【0057】

（第3の実施の形態における LCD ソースドライバ $100C$ の動作）

第3の実施の形態における LCD ソースドライバ $100C$ の動作は、基本的に第1の実施の形態と同じであるため詳細な説明は省略される。第3の実施の形態では、階調電圧 V_g における最高電圧 $V_{g(n/2)}$ 又は V_{gn} と最低電圧 V_{g1} 又は $V_{g(n/2)+1}$ を供給するノード N 間で LCD ソースドライバ $IC10C-1$ と LCD ソースドライバ 1

0C-2とは開放されている。階調電圧における最高電圧 $V_{g(n/2)}$ 又は V_{g_n} と最低電圧 V_{g_1} 又は $V_{g(n/2)+1}$ はLCDモジュールの動作でいえば、白と黒表示に近いデータ線Xを駆動するための階調電圧である。この階調は感度が低く、LCDソースドライバ10C間の多少の電圧誤差は階調誤差として認識しないので、ブロックムラとして認識されにくい。

【0058】

以上のように、本発明によるLCDソースドライバ100によれば、複数のLCDドライバIC10に内蔵する階調電源用オペアンプが異なるオフセット電圧を有していても、LCDパネル300は表示異常（ブロックムラ）を生じない。又、オペアンプ43における容量負荷に対する位相余裕を向上させるという効果が期待できる。

10

【0059】

以上、本発明の実施の形態を詳述してきたが、具体的な構成は上記実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の変更があっても本発明に含まれる。

【図面の簡単な説明】

【0060】

【図1】図1は、従来技術による液晶表示装置の構成を示すブロック図である。

【図2】図2は、従来技術による階調電圧発生回路の構成を示すブロック図である。

【図3】図3は、複数のLCDソースドライバICを有する従来技術によるLCDソースドライバの構成を示すブロック図である。

【図4】図4は、本発明による液晶表示装置の構成を示すブロック図である。

20

【図5】図5は、本発明によるLCDソースドライバの第1の実施の形態における構成を示すブロック図である。

【図6】図6は、本発明によるLCDソースドライバの第2の実施の形態における構成を示すブロック図である。

【図7】図7は、本発明による階調電圧発生回路の第2の実施の形態における構成を示すブロック図である。

【図8】図8は、本発明によるLCDソースドライバの第3の実施の形態における構成を示すブロック図である。

【符号の説明】

【0061】

30

1、1-1、1-2、11、11-1、11-2：データレジスタ
 2、2-1、2-2、12、12-1、12-2：ラッチ回路
 3、3-1、3-2、13、13-1、13-2：D/Aコンバータ
 4、4A、4B、4C、4-1、4-2、4A-1、4A-2、4B-1、4B-2、4C-1、4C-2、14、14-1、14-2、14'、14'-1、14'-2：階調電圧発生回路

5、5-1、5-2、15、15-1、15-2：出力アンプ部

15₁～15_n：電圧フォロワ

6、6₁₁～6_{2pq}、16₁～16_n：TFT

7、7₁₁～7_{2pq}、17₁～17_n：画素容量

40

R₁～R_{am}：抵抗

41-1、41-2、141、141-1、141-2：正側階調抵抗群

42-1、42-2、142、142-1、142-2：負側階調抵抗群

43₁-1～43₄-1、43₁-2～43₄-2、45₁-1～45_m-1、45₁-2～45_m-2、OP₁～OP_n、143₁-1～143₄-1、143₁-2～143₄-2：オペアンプ

44₁-1～44₄-1、44₁-2～44₄-2、46₁-1～46_m-1、46₁-2～46_m-2：正転入力端子

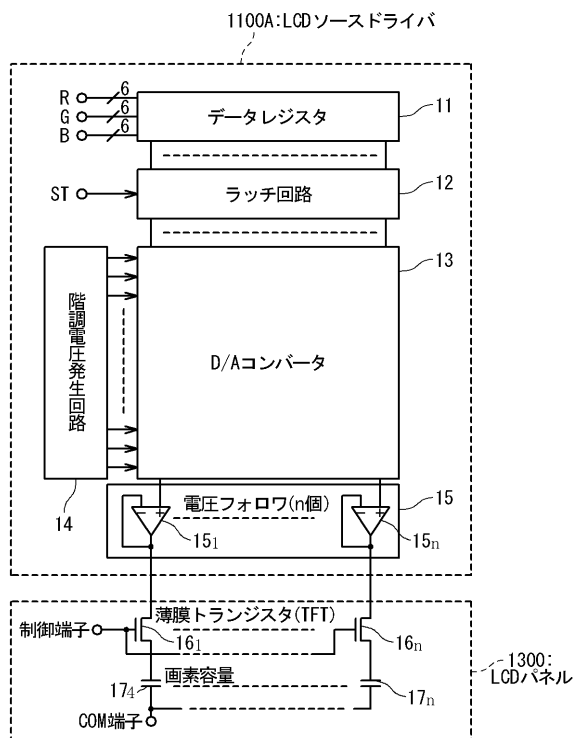
100、100A、100B、100C、1100A、1100B：LCDソースドライバ

50

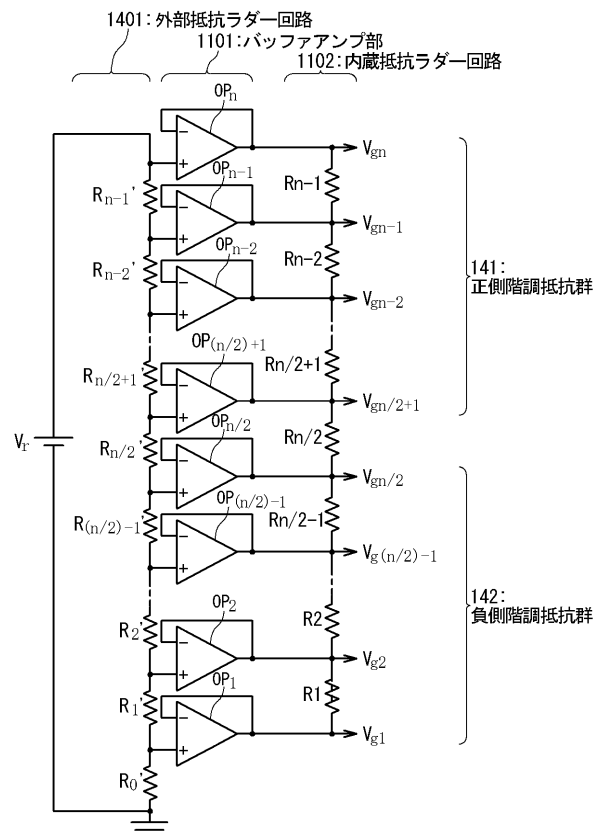
$10A-1$ 、 $10A-2$ 、 $10B-1$ 、 $10B-2$ 、 $10C-1$ 、 $10C-2$ 、 110
 -1 、 $110-2$: LCDソースドライバIC
 200 、 1200 : ゲートドライバ
 300 、 1300 : LCDパネル
 400 、 $400A$ 、 $400B$ 、 1400 : 定電圧回路
 $R_1 \sim R_{n-1}$ 、 $R_1-1 \sim R_{n-1}-1$ 、 $R_1-2 \sim R_{n-1}-2$: 内蔵階調抵抗
 $R_0' \sim R_{n-1}'$: 外部階調抵抗
 V_{H+} 、 V_{L+} 、 V_{H-} 、 V_{L-} 、 $V_1 \sim V_m$: 定電圧源
 $N_1-1 \sim N_{n-1}$ 、 $N_1-2 \sim N_{n-2}$: ノード
 $V_{g1} \sim V_{gn}$ 、 $V_{g1-1} \sim V_{gn-1}$ 、 $V_{g1-2} \sim V_{gn-2}$: 階調電圧
 $X_1 \sim X_{2p}$: データ線
 $Y_1 \sim Y_q$: 走査線
 P 、 $P_{11} \sim P_{2pq}$

10

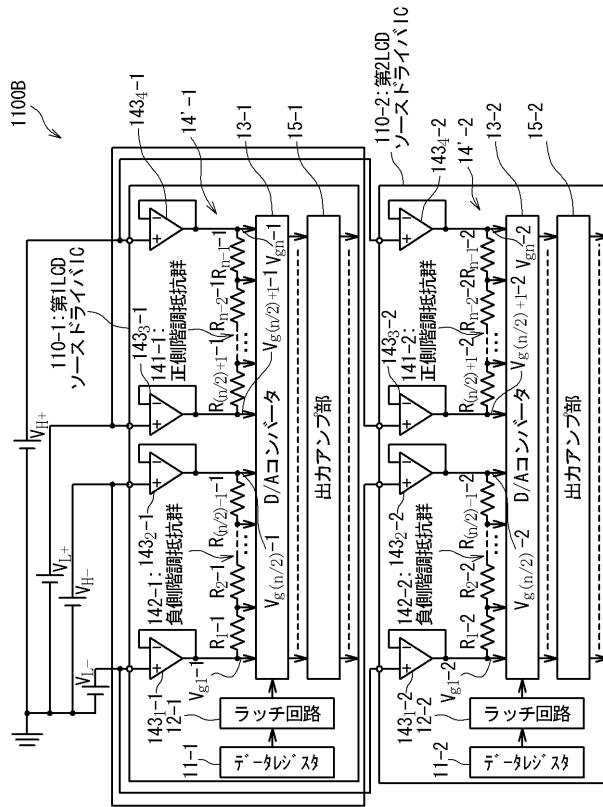
【図1】



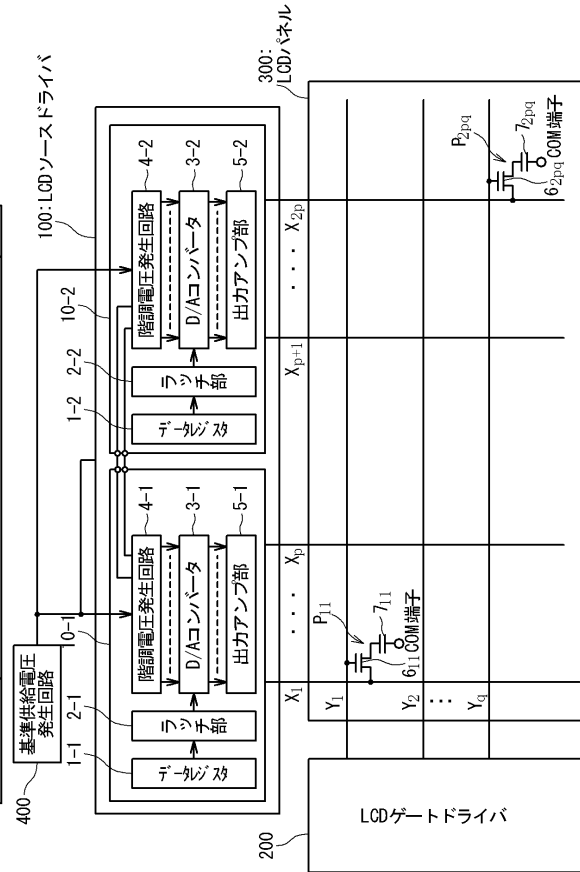
【図2】



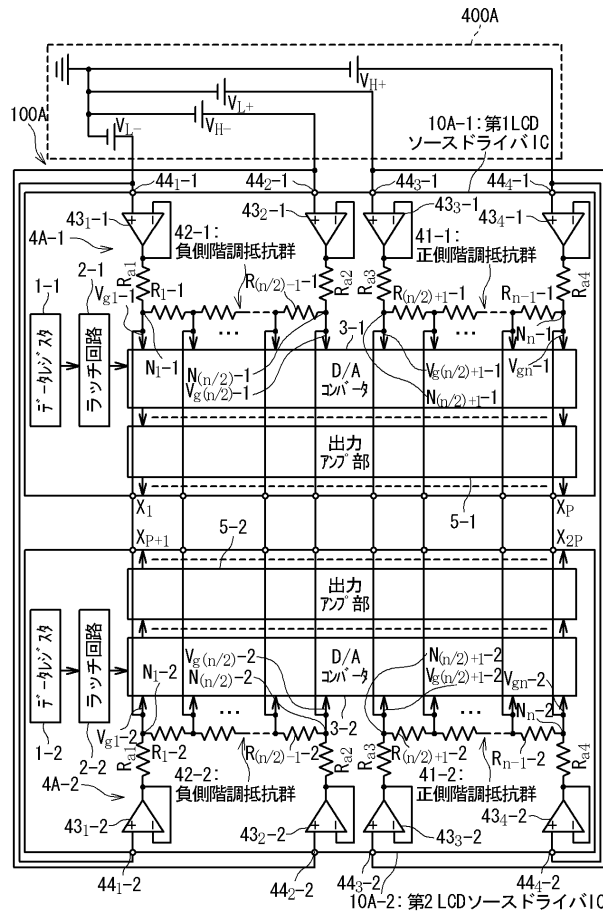
【図 3】



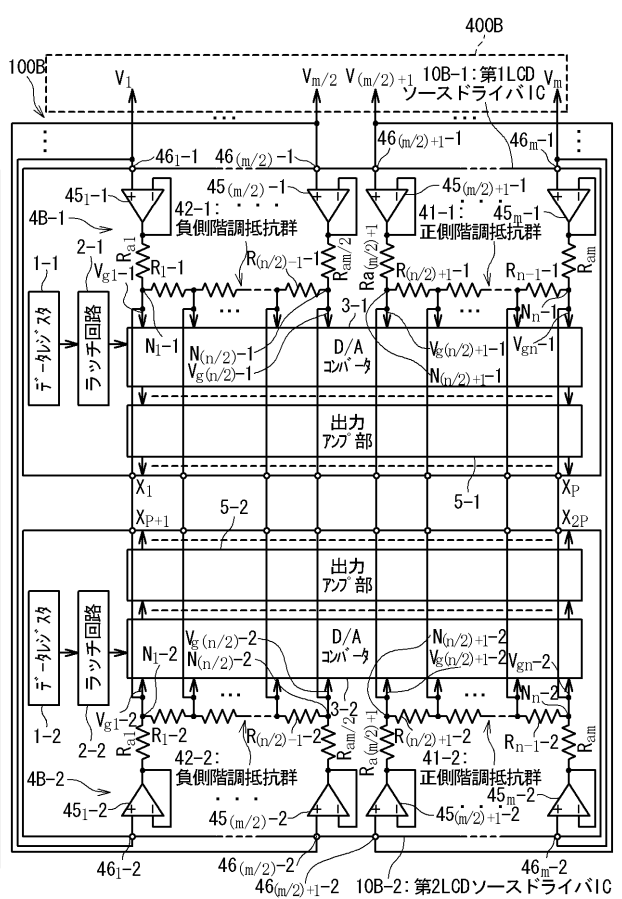
【図 4】



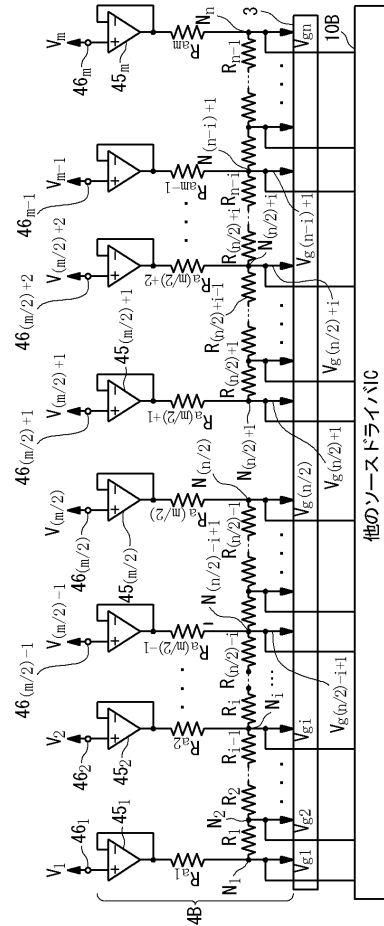
【図 5】



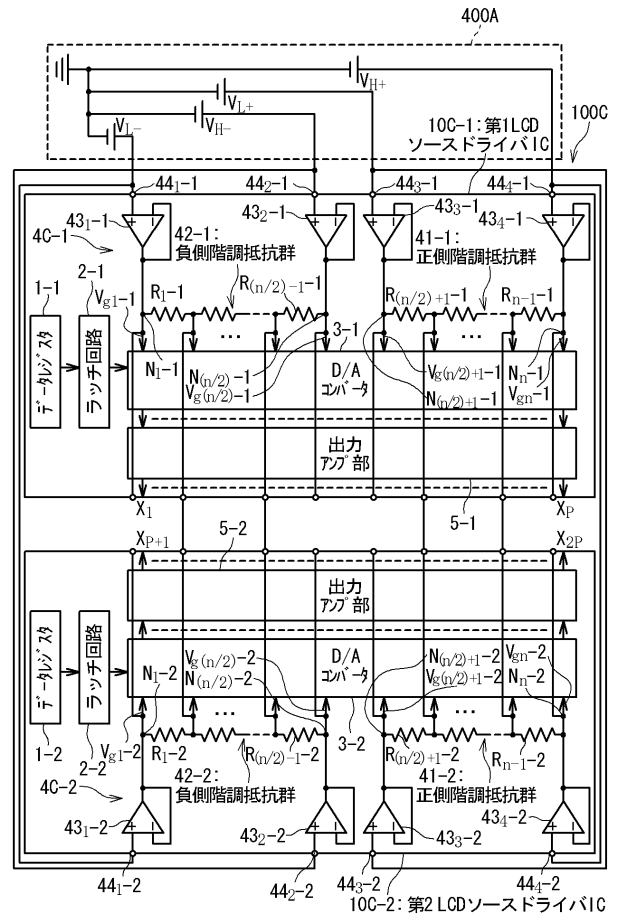
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 B
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0
H 0 4 N	5/66	1 0 2 B

審査官 森口 忠紀

(56)参考文献 特開2005-345808(JP,A)
特開2003-316333(JP,A)
特開2005-070338(JP,A)
実開平05-008592(JP,U)
特開2003-228348(JP,A)
特開2001-175226(JP,A)
特開2002-236473(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 , 5 0 5 - 1 / 1 3 3 , 5 8 0

专利名称(译)	灰度电压产生电路，驱动器IC和液晶显示装置		
公开(公告)号	JP4915841B2	公开(公告)日	2012-04-11
申请号	JP2006116275	申请日	2006-04-20
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	西村浩一 角谷高憲 赤堀英樹		
发明人	西村 浩一 角谷 高憲 赤堀 英樹		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/0291 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.611.H G09G3/20.642.A G09G3/20.641.C G09G3/20.612.F G09G3/20.621.M G09G3/20.680.G G09G3/20.623.F G09G3/20.623.B G02F1/133.575 G02F1/133.550 H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC21 2H093/NC26 2H093/NC34 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF43 5C006/EB04 5C006/EB05 5C006/FA22 5C006/FA56 5C058/AA06 5C058/BA01 5C058/BA07 5C058/BA13 5C058/BA35 5C058/BB05 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD25 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03		
代理人(译)	工藤稔		
其他公开文献	JP2007286525A		
外部链接	Espacenet		

摘要(译)

可以改善使用多个源极驱动器IC驱动的液晶显示面板的图像质量。根据本发明的灰度电压产生电路是设置在用于驱动多个像素的多个源极驱动器IC中的每一个中的灰度电压产生电路。根据本发明的灰度电压生成电路4A，灰度电阻器组包括多个的电阻R经由N，输出端连接到灰度级电阻组的一端的节点串联连接，灰度电阻器组以及用于提供参考电源电压的电压跟随器43。基于所述参考电源电压节点和所述灰度电阻器组的一端提供该灰度电压V G1 ~V中的 GN 到d / A转换器3。另外，电压跟随器43-1的非反相输入端子44-1，非反相输入端子的另一电压跟随43-2的44-2被共同连接到外部恒压源400A。节点N-1连接到另一个音调电阻组中的节点N-2。点域5

$$= \frac{V_{H+} + V_{I01} - \left(V_{H+} + \frac{V_{I01} + V_{I02}}{2} \right)}{R_a} = \frac{V_{I01} - V_{I02}}{2R_a}$$