

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4706729号
(P4706729)

(45) 発行日 平成23年6月22日 (2011.6.22)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int. Cl.

F I

G02F 1/1368 (2006.01)

G02F 1/1368

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/36 (2006.01)

G02F 1/133 575

G09G 3/20 (2006.01)

G09G 3/36

G09G 3/20 624B

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-183219 (P2008-183219)
 (22) 出願日 平成20年7月14日 (2008.7.14)
 (65) 公開番号 特開2010-20257 (P2010-20257A)
 (43) 公開日 平成22年1月28日 (2010.1.28)
 審査請求日 平成21年12月11日 (2009.12.11)

前置審査

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 中村 やよい
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社 八王子技術センタ
 ー内

審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

互いの画素電極が分離された第一副画素と第二副画素とを有する表示画素を備え、
 前記第一副画素と前記第二副画素とのそれぞれが、
該副画素に対応する画素電極と共通電極との間に液晶が挟持された液晶容量と、
該副画素に対応する画素電極と補助容量線との間に固体からなる誘電体が挟持された補
 助容量と、
 を有していると共に、

前記第一副画素と前記第二副画素とのうち前記第二副画素のみが、該副画素に対応する
画素電極と昇圧用容量線との間に固体からなる誘電体が挟持された昇圧用容量を有して
 おり、

前記昇圧用容量線に所定の周波数の矩形交流電圧を印加する第一電圧印加手段と、
前記共通電極と、前記第一副画素に対応する補助容量線と、前記第二副画素に対応する
補助容量線とに、前記矩形交流電圧の振幅中心電圧に等しい直流電圧を印加する第二電圧
 印加手段と、
 を備えた、液晶表示装置。

【請求項2】

前記第一電圧印加手段は、前記矩形交流電圧の振幅幅を可変可能に形成されている、請
 求項1に記載の液晶表示装置。

【請求項3】

10

20

前記昇圧用容量は、前記第二副画素の液晶に印加される実効電圧を昇圧させる、請求項2に記載の液晶表示装置。

【請求項4】

前記第一副画素の画素電極には第一スイッチング素子が接続され、

前記第二副画素の画素電極には第二スイッチング素子が接続され、

前記第一スイッチング素子及び前記第二スイッチング素子は、同一のデータ信号線及び走査信号線に接続されている、請求項1から3の何れか記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、互いの画素電極が分離された第一副画素と第二副画素とを有する表示画素を備えた液晶表示装置に関する。

【背景技術】

【0002】

従来の液晶表示装置は、表示画素に設けられた薄膜トランジスタ(TFT)などのスイッチング素子を介して液晶へ電圧が印加される。

図19は、従来の液晶表示装置の1画素分300を模式的に示す図である。画素電極(Pix)301は、トランジスタ302を介してソース電位に充電される。共通電極(COM)303には共通電圧(Vcom)が印加され、共通電極303と画素電極301との電位差が液晶への印加電圧(Vlc)となる。ここで、共通電極303と画素電極301との間に挟持された液晶が液晶容量C1cを形成すると共に、画素電極301と補助容量線305との間に挟持された固体の誘電体が補助容量Ccsを形成している。

20

【0003】

そして、補助容量Ccsは、液晶容量C1cと並列になるように形成されると共に、補助容量線305が共通電極303と同電位になるように接続されることで、トランジスタ302のゲート電位変動やオフ時のリーク電流に起因して画素電極301に生じる電位変動を緩和させる。なお、液晶表示装置は、表示状態の焼き付きや液晶の電気分解を防ぐため、液晶に印加される電圧の極性が所定の周期で切り換わるように交流駆動される。

【0004】

ところで、液晶表示装置では、表示状態の視野角依存性を改善するために、例えば特許文献1や特許文献2に示すように一つの画素を複数の領域に分割し、それぞれの領域で、液晶に印加される実効電圧が異なるように構成する技術が知られている。

30

【0005】

即ち、特許文献1には、分割された画素電極の何れか一つにTFTを接続すると共に、このTFTに接続された画素電極に印加された電圧を当該画素電極との間に形成される容量を介して他の画素電極に印加することで、画素内の複数の領域で、液晶に印加される実効電圧が異なるように構成した液晶表示装置が記載されている。

【0006】

特許文献2には、TFTに接続された画素電極に対向配置される共通電極を複数に分割し、それぞれに異なる電圧を印加することで、画素内の複数の領域で、液晶に印加される実効電圧が異なるように構成したアクティブマトリクス液晶ディスプレイが記載されている。

40

【0007】

【特許文献1】特開平7-028091号公報

【特許文献2】特開平8-015723号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、特許文献1に記載された液晶表示装置では、TFTに接続された画素電極と他の画素電極との間に形成される容量が、例えば誘電体(絶縁膜)の厚さの違いにより、液

50

晶表示装置毎にバラツキが生じた場合には、複数の液晶表示装置間で視野角依存性が異なってしまうという問題が生じる。

【 0 0 0 9 】

一方、特許文献 2 に記載されたアクティブマトリクス液晶ディスプレイでは、画素サイズレベルでの電極のパターニングを、液晶パネルを構成する両方の基板に対して行う必要があることから、製造工程数の増大を招き、さらには、2 枚の基板を貼り合わせる際に、高い貼り合わせ精度を必要とし、良品率の低下を招くことが問題になっていた。

【 0 0 1 0 】

本発明は、上記課題に鑑み、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の機差を液晶パネルの製造後においても容易に補正可能な液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するため、請求項 1 に記載の発明に係る液晶表示装置においては、互いの画素電極が分離された第一副画素と第二副画素とを有する表示画素を備え、前記第一副画素と前記第二副画素とのそれぞれが、該副画素に対応する画素電極と共通電極との間に液晶が挟持された液晶容量と、該副画素に対応する画素電極と補助容量線との間に固体からなる誘電体が挟持された補助容量と、を有していると共に、前記第一副画素と前記第二副画素とのうち前記第二副画素のみが、該副画素に対応する画素電極と昇圧用容量線との間に固体からなる誘電体が挟持された昇圧用容量を有しており、前記昇圧用容量線に所定の周波数の矩形交流電圧を印加する第一電圧印加手段と、前記共通電極と、前記第一副画素に対応する補助容量線と、前記第二副画素に対応する補助容量線とに、前記矩形交流電圧の振幅中心電圧に等しい直流電圧を印加する第二電圧印加手段と、を備えたことを特徴とする。

【 0 0 1 2 】

請求項 2 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記第一電圧印加手段は、前記矩形交流電圧の振幅幅を可変に形成されていることを特徴とする。

【 0 0 1 3 】

請求項 3 に記載の発明は、請求項 2 に記載の液晶表示装置において、前記昇圧用容量は、前記第二副画素の液晶に印加される実効電圧を昇圧させることを特徴とする。

【 0 0 1 4 】

請求項 4 に記載の発明は、請求項 1 から 3 の何れかに記載の液晶表示装置において、前記第一副画素の画素電極には第一スイッチング素子が接続され、前記第二副画素の画素電極には第二スイッチング素子が接続され、前記第一スイッチング素子及び前記第二スイッチング素子は、同一のデータ信号線及び走査信号線に接続されていることを特徴とする。

【発明の効果】

【 0 0 1 8 】

本発明によれば、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の機差を液晶パネルの製造後においても容易に補正することができる。

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

図 1 に示すように、本発明の液晶表示装置 1 は、例えば外部から入力されてくる画像データを一時記憶する画像メモリ 10 と、画像メモリ 10 に記憶された画像データに基づく画像が表示される表示パネル 11 と、表示パネル 11 の走査信号線を走査するための走査信号線駆動回路 12 と、表示パネル 11 のデータ信号線に画像データに基づいた表示信号電圧を供給するためのデータ信号線駆動回路 13 と、表示パネル 11 の共通電極及び補助容量線に所定の電圧を印加するための共通電圧発生回路 14 と、表示パネル 11 の昇圧用

10

20

30

40

50

容量線に画素電圧を昇圧させる電圧を印加するための昇圧電圧発生回路 15 と、昇圧電圧発生回路 15 が印加する電圧値が予め記憶された固有情報記憶部 16 と、詳細は後述するが各種制御信号を出力して各駆動部の同期を得る制御部 17 等を備えて構成されている。

【0020】

表示パネル 11 は、図 2 に示すように対向配置され、シール材 111 により接着された 2 枚の基板 112、113 間に液晶 LC が挟持された構成となっている。一方の基板 112 はその表示領域 114 に、行方向に延伸配設された複数の走査信号線、例えば n 本の走査信号線と、同じく行方向に延伸配設された複数の補助容量線、例えば、 n 本 $\times$ 2 の補助容量線と、同じく行方向に延伸配設された複数の昇圧用容量線、例えば、 n 本の昇圧用容量線と、列方向に延伸配設された複数のデータ信号線、例えば m 本のデータ信号線とを備え、走査信号線 $G(j)$ とデータ信号線 $S(i)$ との各交点近傍に図 3、図 4 に示す表示画素 $P(i, j)$ が設けられている。ここで、 $i = 1, 2, 3, \dots, m$ で、 $j = 1, 2, 3, \dots, n$ である。また、他方の基板 113 には、一方の基板 112 との対向面側に各表示画素 $P(i, j)$ で共通の電位になる共通電極 115 が形成されている。例えば、一方の基板 112 との対向面側に透明な電極が一面に亘って形成されている。

10

【0021】

各表示画素 $P(i, j)$ には、第一の副画素 $P1(i, j)$ と第二の副画素 $P2(i, j)$ とが設けられている。

【0022】

第一の副画素 $P1(i, j)$ には第一の画素電極 $E1(i, j)$ や第一のスイッチング素子としての TFT1(i, j) 等が形成されている。TFT1(i, j) のドレイン電極には第一の画素電極 $E1(i, j)$ が接続され、TFT1(i, j) のソース電極にはデータ信号線 $S(i)$ が接続され、TFT1(i, j) のゲート電極には走査信号線 $G(j)$ が接続されている。共通電極 115 と第一の画素電極 $E1(i, j)$ とそれらの間に挟持される液晶とによって第一の液晶容量 $C1c1(i, j)$ が形成されている。また、第一の画素電極 $E1(i, j)$ の下層側には固体からなる誘電体を介して補助容量線 $C1(j)$ が配設され、第一の画素電極 $E1(i, j)$ と誘電体と補助容量線 $C1(j)$ とにより第一の補助容量 $Ccs1(i, j)$ が形成されている。

20

【0023】

一方、第二の副画素 $P2(i, j)$ には第一の画素電極 $E1(i, j)$ とは分離された第二の画素電極 $E2(i, j)$ や第二のスイッチング素子としての TFT2(i, j) 等が形成されている。TFT2(i, j) のドレイン電極には第二の画素電極 $E2(i, j)$ が接続され、TFT2(i, j) のソース電極にはデータ信号線 $S(i)$ が接続され、TFT2(i, j) のゲート電極には走査信号線 $G(j)$ が接続されている。共通電極 115 と第二の画素電極 $E2(i, j)$ とそれらの間に挟持される液晶とによって第二の液晶容量 $C1c2(i, j)$ が形成されている。また、第二の画素電極 $E2(i, j)$ の下層側には固体からなる誘電体を介して補助容量線 $C2(j)$ と昇圧用容量線 $D(j)$ が配設され、第二の画素電極 $E2(i, j)$ と誘電体と補助容量線 $C2(j)$ とにより第二の補助容量 $Ccs2(i, j)$ が形成されると共に、第二の画素電極 $E2(i, j)$ と誘電体と昇圧用容量線 $D(j)$ とにより昇圧用容量 $Cd(i, j)$ が形成される。

30

40

【0024】

各表示画素 $P(i, j)$ は、それぞれの副画素 $P1(i, j)$ 、 $P2(i, j)$ において画素電極と共通電極 115 との間に配されることとなる液晶の配向状態を、画素電極と共通電極 115 との間の電位差に基づいて変化させることによって、その表示状態の制御が可能になるように構成されている。

【0025】

なお、共通電極 115 と補助容量線 $C1(j)$ 、 $C2(j)$ は、表示領域 114 の外部で電氣的に接続されることによって、同一の共通電圧 Vc が印加される。また、昇圧用容量線 $D(j)$ には共通電圧 Vc とは異なる昇圧用電圧 Vd が印加される。

【0026】

50

ここで、図 5 (a) 及び図 5 (b) に基づいて各表示画素 $P(i, j)$ の具体的な断面構成について説明する。

一方の基板 1 1 2 上にはゲート電極 5 1 を含む走査信号線 $G(j)$ が設けられている。この走査信号線 $G(j)$ と同一層に補助容量線 $C1(j)$ 、 $C2(j)$ 及び昇圧用容量線 $D(j)$ が設けられている。つまり、走査信号線 $G(j)$ と補助容量線 $C1(j)$ 、 $C2(j)$ と昇圧用容量線 $D(j)$ とは一括形成される。そして、それらの上面全体にはゲート絶縁膜 5 2 が設けられている。ゲート絶縁膜 5 2 の上面には真性アモルファスシリコンからなる半導体薄膜 5 3 が設けられている。半導体薄膜 5 3 の上面ほぼ中央部にはチャネル保護膜 5 4 が設けられている。チャネル保護膜 5 4 の上面両側及びその両側における半導体薄膜 5 3 の上面には n 型アモルファスシリコンからなるコンタクト層 5 5、5 6 が設けられている。

10

【 0 0 2 7 】

一方のコンタクト層 5 5 の上面にはドレイン電極 5 7 が設けられている。他方のコンタクト層 5 6 の上面及びゲート絶縁膜 5 2 の上面にはソース電極 5 8 を含むデータ信号線 $S(i)$ が設けられている。

【 0 0 2 8 】

上記ゲート電極 5 1、ゲート絶縁膜 5 2、半導体薄膜 5 3、チャネル保護膜 5 4、コンタクト層 5 5、5 6、ドレイン電極 5 7 及びソース電極 5 8 により、 $TFT1(i, j)$ が構成されている。なお、 $TFT2(i, j)$ も $TFT1(i, j)$ と同様に構成されている。

20

【 0 0 2 9 】

$TFT1(i, j)$ 及び $TFT2(i, j)$ 等を含むゲート絶縁膜 5 2 の上面全体には絶縁材料からなる平坦化膜 5 9 が設けられている。平坦化膜 5 9 には、ドレイン電極 5 7 の所定の箇所に対応する部分にコンタクトホール 6 0 が設けられている。また、平坦化膜 5 9 の上面の所定の個所には、ITO からなる画素電極 $E1(i, j)$ 、 $E2(i, j)$ が設けられている。画素電極 $E1(i, j)$ 、 $E2(i, j)$ はコンタクトホール 6 0 を介してそれぞれに対応する TFT のドレイン電極 5 7 に接続されている。

【 0 0 3 0 】

なお、補助容量線 $C1(j)$ のうちの第一の画素電極 $E1(i, j)$ と重ね合わされた部分は補助容量電極となっている。この重ね合わされた部分によって上述したように第一の補助容量 $Ccs1(i, j)$ が形成される。また、補助容量線 $C2(j)$ のうちの第二の画素電極 $E2(i, j)$ と重ね合わされた部分は補助容量電極となっている。この重ね合わされた部分によって上述したように第二の補助容量 $Ccs2(i, j)$ が形成される。さらに、昇圧用容量線 $D(j)$ のうちの第二の画素電極 $E2(i, j)$ と重ね合わされた部分は昇圧用容量電極となっている。この重ね合わされた部分によって上述したように昇圧用容量 $Cd(i, j)$ が形成される。なお、各表示画素 $P(i, j)$ において、第一の補助容量 $Ccs1(i, j)$ と第二の補助容量 $Ccs2(i, j)$ とは、その大きさが等しくなるように構成されている。

30

【 0 0 3 1 】

走査信号線駆動回路 1 2 は、図 6 に示すように、制御部 1 7 から出力される垂直同期信号 Vs や、水平同期信号 HS としての第 1 ゲートクロック信号 $GCK1$ 及び第 2 ゲートクロック信号 $GCK2$ に基づいて、各走査信号線 $G(j)$ に走査信号を出力する。なお、第 1 ゲートクロック信号 $GCK1$ と第 2 ゲートクロック信号 $GCK2$ とは互いに逆位相の矩形信号である。

40

【 0 0 3 2 】

走査信号線駆動回路 1 2 の主要部における概略構成は、例えば図 7 に示すように走査信号線数分 (n 段) の保持回路 1 2 1、1 2 2、1 2 3、1 2 4、 $\dots$ が直列に配置されて構成される。それぞれの保持回路 1 2 1 等は、入力端子 IN と、出力端子 OUT と、リセット端子 RST と、クロック信号入力端子 CK と、高電位電源入力端子 Th と、低電位電源入力端子 Tl とを有している。1 段目の保持回路 1 2 1 の入力端子 IN には 1 段目の

50

入力信号として垂直同期信号 V_s が供給される。２段目以後の保持回路の入力端子 I_N には前段の保持回路の出力信号が供給される。また、各保持回路のリセット端子 RST には次段も保持回路の出力信号が供給される。なお、最終段（例えば y 段目）の保持回路（図示せず）のリセット端子 RST には、別途リセット信号 END が供給される構成としてもよいし、１段目の保持回路 １２１ の出力信号が供給される構成としてもよい。

【００３３】

さらに、奇数段目の保持回路のクロック信号入力端子 CK には、第１ゲートクロック信号 $GCK1$ が供給され、偶数段目の保持回路のクロック信号入力端子 CK には、第１ゲートクロック信号 $GCK1$ に対して逆位相となっている第２ゲートクロック信号 $GCK2$ が供給される。また、各保持回路の高電位電源入力端子 Th には所定の高電圧 V_{gh} が供給され、各保持回路の低電位電源入力端子 Tl には所定の低電圧 V_{gl} が供給される。

10

【００３４】

各保持回路 １２１、１２２、１２３、１２４、・・・は、図８に示すように、それぞれ、６個の MOS 型電界効果トランジスタ（以下、 MOS トランジスタと記す） $T11 \sim T16$ とコンデンサ C とを有している。

【００３５】

このような走査信号線駆動回路 １２ は、図６に示すように、垂直同期信号 V_s に応じて当該フレームでの走査を開始すると共に、第１ゲートクロック信号 $GCK1$ 及び第２ゲートクロック信号 $GCK2$ に応じて、所定の期間だけローレベル電圧 V_{gl} からハイレベル電圧 V_{gh} に切り換えるといった電圧出力を、最前段の走査信号線 $G(1)$ から順に最後

20

【００３６】

つまり、走査信号線駆動回路 １２ は、走査信号線 $G(j)$ 毎に、当該走査信号線 $G(j)$ に対応する $TFT1(i, j)$ 及び $TFT2(i, j)$ を順次オン状態にし、このときにデータ信号線 $S(i)$ に出力されている表示信号電圧を対応する第一の副画素 $P1(i, j)$ 及び第二の副画素 $P2(i, j)$ に書き込む。

【００３７】

データ信号線駆動回路 １３ は、制御部 １７ から出力される水平同期信号 H_s 、垂直同期信号 V_s 、画像データ $Data$ 、基準クロック信号 CLK 、及び極性反転信号 Pol に基づいて、表示パネル １１ に設けられた各データ信号線 $S(i)$ に対して、各データ信号線 $S(i)$ に対応する表示信号電圧を所定のタイミングで出力する。

30

【００３８】

データ信号線駆動回路 １３ の機能ブロック構成は、図９に示すように、サンプリングメモリ １３１、データラッチ部 １３２、 D/A 変換回路 (DAC) １３３、及び表示信号電圧生成回路 １３４ からなる。

【００３９】

サンプリングメモリ １３１ は、制御部 １７ から出力される水平同期信号 H_s 及び基準クロック信号 CLK に同期して、走査信号線一本分の表示画素に対応する画像データ（１水平期間分の画像データ）単位で、各表示画素に対応する画像データを前段側の走査信号線に対応するものから順に、画像メモリ １０ から取り込むためのものであり、データ信号線 $S(i)$ の数と同数のデータ格納領域を備えている。つまり、サンプリングメモリ １３１ は、走査信号線毎に当該走査信号線に対応した画像データを取り込むと共に、当該取り込んだ画像データのそれぞれを、対応するデータ信号線 $S(i)$ のデータ格納領域に格納する。ここで、画像データには、各表示画素に表示すべき階調レベルが含まれ、この階調レベルは、表示画素毎に例えば８ビットのデジタルデータとして表される。各データ格納領域には、この８ビットのデジタルデータが格納される。

40

【００４０】

サンプリングメモリ １３１ が取り込んだ一水平期間分の画像データは、後段のデータラッチ部 １３２ からの要求にしたがって、サンプリングメモリ １３１ からデータラッチ部 １３２ に転送される。データラッチ部 １３２ に画像データが転送されると、サンプリングメ

50

メモリ 131 は、次の一水平期間分の画像データとして次の行の走査信号線に対応した画像データの取り込み状態に移る。これは、水平同期信号 Hs に同期して行われる。

【0041】

データラッチ部 132 は、水平同期信号 Hs に基づいて、サンプリングメモリ 131 から一水平期間分の画像データを一斉に取得すると共に、取得した画像データを後段の D/A 変換回路 133 に出力する。

【0042】

D/A 変換回路 133 は、複数の DAC 部 241 及び出力アンプ回路 242 で構成され、DAC 部 241 により表示信号電圧生成回路 134 から供給される表示信号電圧が選択されることで、データラッチ部 132 から出力されてくるそれぞれの画像データが、対応するアナログ信号としての表示信号電圧に変換され、出力アンプ回路 242 によりデータ信号線 S(i) へ出力される。

10

【0043】

このとき、D/A 変換回路 133 は、制御部 17 から出力される極性反転信号 Pol に対応するように、データラッチ部 132 から出力されたデジタル形式の画像データをアナログ電圧としての表示信号電圧に変換する。具体的には、D/A 変換回路 133 は、極性反転信号 Pol がハイ状態 Vsh であれば、データラッチ部 132 から出力された画像データが正極性の表示信号電圧になるように D/A 変換し、極性反転信号 Pol がロー状態 Vsl であれば、データラッチ部 132 から出力された画像データが負極性の表示信号電圧になるように D/A 変換する。換言すると、D/A 変換回路 133 は、極性反転信号 Pol がハイ状態 Vsh であるときは、液晶に印加される電圧が正極性となるように D/A 変換し、極性反転信号 Pol がロー状態 Vsl であるときは、液晶に印加される電圧が負極性となるように D/A 変換する。

20

【0044】

表示信号電圧生成回路 134 は、図 10 に示すように、それぞれが、端子 255 (電圧 VH) と端子 256 (電圧 VL) との間の電圧を画像データのビット数 p (本実施の形態では 8 ビット) に応じた複数の抵抗で分圧する 2 組のラダー抵抗器 31, 32 と、何れか一方のラダー抵抗器に切り換えるための複数のスイッチ SY0, SY1, ..., SY255 と、切り換えられたラダー抵抗器に対応するようにラダー抵抗器へ印加する電圧の極性を切り換えるためのスイッチ SYa, SYb などから構成される。そして、表示信号電圧生成回路 134 は、制御部 17 から出力される極性反転信号 Pol に基づいて各スイッチ SY0, SY1, ..., SY255 によりラダー抵抗器を選択すると共に、ラダー抵抗器に印加する電圧の極性をスイッチ SYa, SYb により切り換え、ラダー抵抗器によって分圧されたそれぞれの電圧をこれに対応する階調レベルの表示信号電圧として電圧印加ライン V0, V1, ..., V255 に印加する。

30

【0045】

具体的には、ラダー抵抗器 31 は、制御部 17 からの極性反転信号 Pol がハイレベル Vsh のときに各スイッチ SY0, SY1, ..., SY255 により当該ラダー抵抗器 31 が選択されると共に、スイッチ SYa, SYb により端子 255a (電圧 VH) と端子 256b (電圧 VL) が選択されることで、端子 255a (電圧 VH) と端子 256b (電圧 VL) の間の電圧を画像データのビット数 (本実施の形態では 8 ビット) に応じた複数の抵抗 RA1, RA2, ..., RA254 で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が正極性になる表示信号電圧として電圧印加ライン V0, V1, ..., V255 に印加する。

40

【0046】

また、ラダー抵抗器 32 は、制御部 17 からの極性反転信号 Pol がローレベル Vsl のときに各スイッチ SY0, SY1, ..., SY255 により当該ラダー抵抗器 32 が選択されると共に、スイッチ SYa, SYb により端子 256a (電圧 VL) と端子 255b (電圧 VH) が選択されることで、端子 256a (電圧 VL) と端子 255b (電圧 VH) の間の電圧を画像データのビット数 (本実施の形態では 8 ビット) に応じた複数の

50

抵抗 $R B 1, R B 2, \dots, R B 254$ で分圧し、それぞれの電圧を、例えば液晶に印加される電圧が負極性になる表示信号電圧として電圧印加ライン $V 0, V 1, \dots, V 255$ に印加する。

【0047】

各 $D A C$ 部 241 は、デコーダ 243 と、各電圧印加ライン $V 0, V 1, \dots, V 255$ に接続される選択スイッチ $S W 0, S W 1, \dots, S W 255$ とを備えて構成されている。デコーダ 243 は、データラッチ部 152 から出力された画像データを入力してデコードし、階調レベル数（ビット数）に応じたデータ信号を出力する。各選択スイッチ $S W 0, S W 1, \dots, S W 255$ はデコーダ 243 から出力されるデータ信号に基づいてオン/オフが制御される。そして選択された電圧印加ライン $V 0, V 1, \dots, V 255$ と電圧出力ライン $S L$ とが導通されて、選択された電圧印加ライン $V 0, V 1, \dots, V 255$ に印加されている表示信号電圧が電圧出力ライン $S L$ に印加される。電圧出力ライン $S L$ に印加された表示信号電圧は、出力アンプ回路 242 を介してデータ信号線 $S(i)$ に供給される。

10

【0048】

共通電圧発生回路 14 は、共通電極 115 及び各補助容量線 $C 1(j), C 2(j)$ に同一の共通電圧 $V c$ を印加する回路である。共通電圧 $V c$ は、例えば直流電圧とすることができる。

【0049】

制御部 17 は、極性反転信号 $P o l$ を、隣接する走査信号線に対応する表示画素間、即ち画素列方向に隣接する表示画素間で液晶に印加される電圧の極性が反転するように、さらには、フレーム毎に液晶に印加される電圧の極性が反転するように出力する。これにより、各表示画素 $P(i, j)$ において第一の副画素 $P 1(i, j)$ では、図 11 に示されるような電圧 $V l c$ が 1 フレームの大凡全期間に亘って液晶に印加される。図 11 において、 ΔV は、走査信号線と画素電極との間の寄生容量の影響により表示画素への表示信号電圧書き込み終了時に発生する引き込み電圧を示している。共通電圧 $V c$ の電圧レベルは、表示信号電圧の振幅中心電圧に対して ΔV の発生方向に ΔV だけシフトした電圧に設定することが好ましい。

20

【0050】

昇圧電圧発生回路 15 は、制御部 17 から出力される極性反転信号 $P o l$ と固有情報記憶部 16 に記憶されている固有情報 $I n f$ とに基づいて昇圧用容量線 $D(j)$ に昇圧用電圧 $V d$ を印加する。昇圧用電圧 $V d$ は、所定の周波数の矩形交流電圧とすることができる。昇圧用電圧 $V d$ は、制御部 17 から出力される極性反転信号 $P o l$ に基づいて発生させることができる。

30

【0051】

例えば、昇圧電圧発生回路 15 は、図 6 に示すように、極性反転信号 $P o l$ がハイレベル $V s h$ のときには共通電圧 $V c$ に対して負極側の電圧になる昇圧用電圧 $V d l$ を印加し、極性反転信号 $P o l$ がローレベル $V s l$ のときには共通電圧 $V c$ に対して正極側の電圧になる昇圧用電圧 $V d h$ を印加する。即ち、昇圧電圧発生回路 15 は、共通電圧 $V c$ がその中心電圧となるように極性反転信号 $P o l$ に同期した矩形交流信号とした昇圧用電圧 $V d$ を昇圧用容量線 $D(j)$ に印加する。

40

【0052】

図 12 は、第二の副画素 $P 2(i, j)$ における液晶に印加される電圧を示している。期間 $T 2$ では、昇圧用容量線 $D(j)$ に印加される電圧の上述した極性は当該表示画素に表示信号電圧が書き込まれた際の極性と等しい。この期間 $T 2$ では、第二の副画素 $P 2(i, j)$ における液晶に印加される電圧は、昇圧用容量線 $D(j)$ を介して昇圧用容量 $C d(i, j)$ に印加される電圧を制御することによって、第一の副画素 $P 1(i, j)$ における液晶への印加電圧 $V c l$ よりも大きい印加電圧 $V c l 1$ になる。一方、期間 $T 1$ 、つまり、昇圧用容量線 $D(j)$ に印加される電圧の上述した極性が当該表示画素に表示信号電圧が書き込まれた際の極性と異なるときには、第二の副画素 $P 2(i, j)$ における

50

液晶に印加される電圧は、第一の副画素 $P1(i, j)$ における液晶への印加電圧と同じ印加電圧、即ち V_{c1} になる。

従って、各フレームにおいて、第二の副画素 $P2(i, j)$ の液晶に印加される実効電圧を、第一の副画素 $P1(i, j)$ の液晶に印加される実効電圧よりも大凡 $|V_{l c 1} - V_{l c}| / 2$ だけ大きくすることができる。

【0053】

本実施の形態では、第一の副画素 $P1(i, j)$ における表示信号電圧と透過強度との関係 V_{T1} に対して、第二の副画素 $P2(i, j)$ における表示信号電圧と透過強度との関係 V_{T2} を図13に示すようにシフトさせることができ、これによって、各表示画素 $P(i, j)$ に複数の表示信号電圧と透過強度との関係が得られ、液晶表示装置1における視野角依存性を改善することができる。

10

【0054】

ところで、図14(a)に示すように、第二の副画素 $P1(i, j)$ での表示信号電圧と透過強度との関係 V_{T2} を第一の副画素 $P1(i, j)$ での表示信号電圧と透過強度との関係 V_{T1} に比較的近づけるような場合には、その中心電圧を共通電圧 V_c と一致させたまま、昇圧用電圧 V_d の振幅幅が小さくなるように制御すればよい。そして、昇圧用電圧 V_d を共通電圧 V_c と等しい直流電圧としたときに、 V_{T1} と V_{T2} とを等しくすることができる。さらに、昇圧用電圧 V_d の振幅を当初とは逆位相とし、その振幅幅が大きくなるように制御することによって、図14(b)に示すように、第二の副画素 $P2(i, j)$ における実効電圧を第一の副画素 $P1(i, j)$ における実効電圧よりも小さくすることができる。

20

【0055】

即ち、本実施の形態では、昇圧用容量線 $D(j)$ に印加する昇圧用電圧 V_d の振幅幅を調整することによって、表示信号電圧と透過強度との関係を容易にシフトさせることができることから、簡易な回路構成で視野角依存性を改善、さらには、その度合いを調整することができる。

【0056】

例えば、表示パネル11の製造後に、他の表示パネル11の視野角依存性と等しくなるように設定可能な昇圧用電圧 V_d の値を固有情報 I_{nf} として固有情報記憶部16に記憶させ、昇圧電圧発生回路15が、当該固有情報記憶部16に記憶された固有情報 I_{nf} に基づいた振幅幅の昇圧用電圧 V_d を昇圧用容量線 $D(j)$ に印加するように構成すれば、複数の表示パネル11間での視野角依存性に対する機差の発生を防止することができる。

30

【0057】

昇圧電圧発生回路15は、昇圧用電圧 V_d の振幅幅を調整すればよいだけなので、昇圧電圧発生回路15を簡単な回路構成にすることができる。例えば、副画素毎に異なるデータ信号線を備え、副画素毎に異なる表示信号電圧をそれぞれに対応するデータ信号線及びTFTを介して印加するような場合には、各副画素に対応する上述したような比較的規模の大きな表示信号電圧生成回路を複数備える必要があるが、本実施の形態ではその必要がなく、このようなものと比較すると、より簡易な回路構成で視野角依存性を調整することができる。

40

【0058】

しかも、本実施の形態では、共通電極115を1表示画素内でそれぞれの領域に対応するように分離させる必要もないことから、製造工程数の増大を招くこともない。また、本実施の形態では、対応するTFTを介して各副画素の画素電極に表示信号電圧が直接的に印加されることから、容量のみを介して画素電極に電圧が印加される構成のものと比較して、より安定的に電圧を液晶に印加させることができる。

【0059】

ところで、固有情報記憶部16は、例えば、不揮発性メモリの一つであるEEPROM(Electrically Erasable Programmable Read Only Memory)を用いることができ、当該液晶表示装置1の製造当初は情報が書き込まれていない所謂、「白地」の状態になってい

50

る。そして、当該液晶表示装置 1 の製造後に、例えば、書き込み用信号端子 161 に E P R O M 書き込み用システム装置が接続されることにより、当該液晶表示装置 1 の仕上がり具合に応じた所定の情報を固有情報記憶部 16 に記憶させることができる。

なお、固有情報記憶部 16 への書き込み電圧 V_{pp} は、当該液晶表示装置 1 のための電源調整回路に入力される基準電源 V_{cc} よりも高い電圧が必要のように構成し、固有情報記憶部 16 に記憶された情報が基準電源 V_{cc} の影響を受けて不用意に消去されてしまうことを防止するように構成することが好ましい。

【0060】

なお、上述の実施の形態では、共通電圧発生回路 14 が、直流電圧を共通電極 115 及び各補助容量線 $C1(j)$ 、 $C2(j)$ に同一の共通電圧 V_c として印加する場合について説明したが、共通電圧 V_c は昇圧用電圧 V_d に同期して振幅する矩形交流信号であってもよい。この場合、共通電圧 V_c の振幅中心電圧と昇圧用電圧 V_d の振幅中心電圧とは等しい電圧レベルに設定することが好ましい。さらに、この振幅中心電圧を、表示信号電圧の振幅中心電圧に対して上述した ΔV の発生方向に ΔV だけシフトした電圧に設定することが好ましい。この場合、共通電圧 V_c と昇圧用電圧 V_d とを同位相として、共通電圧 V_c の振幅幅が昇圧用電圧 V_d の振幅幅よりも小さくなるように設定することが好ましい。これにより、第一の副画素 $P1(i, j)$ の液晶に印加される実効電圧よりも、第二の副画素 $P2(i, j)$ の液晶に印加される実効電圧の方が大きくなる状態を維持することができる。

【0061】

上述の実施の形態では、第一の副画素 $P1(i, j)$ における第一の画素電極 $E1(i, j)$ と第二の副画素 $P2(i, j)$ における第二の画素電極 $E2(i, j)$ との形状や面積が等しい場合について説明したが、表示画素 $P(i, j)$ における第一の副画素 $P1(i, j)$ 及び第一の副画素 $P1(i, j)$ の配置についての変形例を以下に説明する。

図 15 は、表示画素 $P(i, j)$ における第一の副画素 $P1(i, j)$ 及び第 2 の副画素 $P2(i, j)$ の配置の第一例を示す部分拡大平面図である。

図 15 に示すように、第一の画素電極 $E1(i, j)$ と第二の画素電極 $E2(i, j)$ との形状や面積は異なってもよい。この場合、第一の副画素 $P1(i, j)$ のそれぞれは互いに同じ大きさ及び形状であり、第二の副画素 $P2(i, j)$ のそれぞれも互いに同じ大きさ及び形状である。従って、表示画素 $P(i, j)$ は、走査線 $G(j)$ の前行、つまり $j - 1$ 行側に配設された第一の副画素 $P1(i, j)$ と走査線 $G(j)$ の後行、つまり、 $j + 1$ 行側に配設された第二の副画素 $P2(i, j)$ とからなる 2 つの画素を 1 画素パターンとすると、このパターンが各行及び各列の交差部全てに配設されている。

【0062】

破線で囲まれた領域が 1 行 3 列分の画素であり、第一の副画素 $P1(i, j)$ が、第一スイッチング素子 $TFT1(i, j)$ を介して走査線 $G(j)$ 側に配設されている。第二の副画素 $P2(i, j)$ が、第二スイッチング素子 $TFT2(i, j)$ を介して走査線 $G(j)$ の下側に配設されている。

【0063】

図 15 において、走査線 $G(j)$ の前行側に配設された第一の副画素 $P1(i, j)$ のそれぞれが、前行側の表示画素 $P(i, j)$ の走査線 $G(j - 1)$ の下側に配設された第二の副画素 $P2(i, j)$ に隣接して配設されている。走査線 $G(j)$ の下側に配設された第二の副画素 $P2(i, j)$ のそれぞれが、後行側の表示画素 $P(i, j)$ の上側、つまり、後行側の走査線 $G(j + 1)$ の上側に配設された第一の副画素 $P1(i, j)$ に隣接して配設されている。

【0064】

第一の画素 $P1(i, j)$ の補助容量線 $C1(j)$ は、走査線 $G(j)$ の上行側に配設され、走査線 $G(j)$ の方向に平行となっている。

【0065】

第二の副画素 $P2(i, j)$ の補助容量線 $C2(j)$ は、走査線 $G(j)$ の下側に配設

され、走査線 $G(j)$ の方向に平行となっている。第二の副画素 $P2(i, j)$ の昇圧用容量線 $D(j)$ は補助容量線 $C2(j)$ の上側に配設され、走査線 $C2(j)$ に対して平行となっている。

【0066】

上述の実施の形態では、第二の副画素 $P2(i, j)$ において、昇圧用容量線 $D(j)$ が補助容量線 $C2(j)$ よりも走査信号線 $G(j)$ 側に配置されている場合について説明したが、図15とは逆に、補助容量線 $C2(j)$ が昇圧用容量線 $D(j)$ よりも走査信号線 $G(j)$ 側に配置されている構成としてもよい。

【0067】

また、上述の実施の形態では、走査信号線 $G(j)$ や昇圧用容量線 $D(j)$ の延伸方向に隣接する表示画素間で、第一の副画素 $P1(i, j)$ と第二の副画素 $P2(i, j)$ との配置関係が等しくなるように配置されている場合について説明したが、図16や図17に示すように、走査信号線 $G(j)$ や昇圧用容量線 $D(j)$ の延伸方向に隣接する表示画素間で、第一の副画素 $P1(i, j)$ と第二の副画素 $P2(i, j)$ との配置関係が反転するように配置される構成としてもよい。

【0068】

図16は、表示画素 $P(i, j)$ における第一の副画素 $P1(i, j)$ 及び第2の副画素 $P2(i, j)$ の配置の第二例を示す部分拡大平面図である。

図16に示すように、表示画素 $P(i, j)$ は、面積の小さい第一の副画素 $P1(i, j)$ と面積の大きい第二の副画素 $P2(i, j)$ とから構成されている。表示画素 $P(i, j)$ と同じ列の画素、例えば $P(i, j-1)$ 、 $P(i, j+1)$ の配置関係は、表示画素 $P(i, j)$ とは同じである。一方、表示画素 $P(i, j)$ と同じ行で隣り合う列の画素、例えば $P(i-1, j)$ 、 $P(i+1, j)$ の配置関係は、表示画素 $P(i, j)$ とは逆の配置関係となっている。つまり、 $P(i-1, j)$ 及び $P(i+1, j)$ においては、第二の副画素 $P2(i-1, j)$ が、第二スイッチング素子 $TFT2(i-1, j)$ を介して走査線 $G(j)$ の上側に配設され、第一の副画素 $P1(i-1, j)$ が、第一スイッチング素子 $TFT1(i-1, j)$ を介して走査線 $G(j)$ の下側に配設されている。

【0069】

第一の副画素 $P1(i, j)$ の補助容量線 $C1(j)$ と、 j 行に隣接する他の列に配設された第二の副画素 $P2(i-1, j)$ 及び $P2(i+1, j)$ の補助容量線 $C2(j)$ とが共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0070】

第二の副画素 $P2(i, j)$ の補助容量線 $C2(j)$ と、 j 行に隣接する他の列に配設された第一の副画素 $P1(i-1, j)$ 及び $P1(i+1, j)$ の補助容量線 $C1(j)$ と、が共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0071】

第二の副画素 $P2(i, j)$ の昇圧用容量線 $D(j)$ と、 j 行に隣接する他の列に配設された第二の副画素 $P2(i-1, j)$ 及び第二の副画素 $P2(i+1, j)$ の昇圧用容量線 $D(j)$ と、が共通に形成されており、走査線 $G(j)$ の方向に平行に配設されている。

【0072】

図17は、表示画素 $P(i, j)$ における第一の副画素 $P1(i, j)$ 及び第2の副画素 $P2(i, j)$ の配置の第三例を示す部分拡大平面図である。

図17に示すように、画素配置は、第一の副画素 $P1(i, j)$ と第二の副画素 $P2(i, j)$ との面積がほぼ同じであることと、第二の副画素 $P2(i, j)$ の昇圧用容量線 $D(j)$ の配線が異なること以外は、図16と同様の配置である。

【0073】

第二の副画素 $P2(i, j)$ の昇圧用容量線 $D(j)$ は、前列及び後列 ($i-1$ 列及び $i+1$ 列) でかつ後行の昇圧用容量線 $D(j+1)$ と、走査線 $G(j)$ の後行側への配線

部と、を含む。図示の場合、配線部は、手違いかすがいのような形状を有している。従って、第二の副画素 $P_2(i, j)$ の昇圧用容量線 $D(j)$ は、走査線 21 方向に平行な折れ曲がり線形状や列毎に波状に屈曲して、当該行の第二の副画素 $P_2(i, j)$ 及び後行の第二の副画素 $P_2(i, j+1)$ を交互に通過することになる。

【0074】

上述の実施の形態では、表示画素 $P(i, j)$ 毎に、2本の補助容量線を備える構成について説明したが、図18に示すように、所定の副画素間で補助容量線を共有するように配置する構成としてもよい。

図18は、表示画素 $P(i, j)$ における第一の副画素 $P_1(i, j)$ 及び第2の副画素 $P_2(i, j)$ の配置の第四例を示す部分拡大平面図である。図18の画素15が、図15の画素15と異なるのは、第一の副画素 $P_1(i, j)$ の補助容量線 $C_1(j)$ が前行の走査線 $G(j-1)$ 側に配設されている第二の副画素 $P_2(i, j-1)$ の補助容量線 $C_2(j-1)$ と共通に形成されている点にある。

10

同様に、走査線 $G(j)$ の後行側に配設される第二の副画素 $P_1(i, j)$ の補助容量線 $C_2(j)$ と、走査線 $G(j)$ の後行、つまり走査線 $G(j+1)$ 側に配設された第一の副画素 $P_1(i, j+1)$ の補助容量線 $C_1(j+1)$ と、共通配線となり、走査線 $G(j)$ の方向に対して平行に配設されている。

【0075】

以上のような電極及び配線構造によって、補助容量線 C_1 及び C_2 を形成するためのマスク形状が単純化され、コストが低減できる。

20

【0076】

図15～図18に示す画素配置によれば、表示信号電圧と透過強度との関係が異なる2つの領域を面内でより平均化されるように配置することができて好ましい。

【0077】

本発明によれば、液晶パネルの製造工程数の増大を招くことなく、視野角依存性の液晶パネル毎の差を、液晶パネルの製造後においても容易に補正することができる。

【0078】

本発明は上記実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

【図面の簡単な説明】

30

【0079】

【図1】本発明の液晶表示装置の構成を示すブロック図である。

【図2】本発明の液晶表示装置の断面を示す図である。

【図3】表示画素の等価回路を示す図である。

【図4】表示画素の拡大平面図である。

【図5】表示画素の断面を示し、(a)は図4におけるX-X'断面図、(b)は図4におけるY-Y'断面図である。

【図6】走査信号及び共通電圧を示す図である。

【図7】走査信号線駆動回路の構成を示すブロック図である。

【図8】保持回路の構成を示すブロック図である。

40

【図9】データ信号線駆動回路の構成を示すブロック図である。

【図10】表示信号電圧生成回路の構成を示すブロック図である。

【図11】第一の副画素における液晶に印加される電圧を示す図である。

【図12】第二の副画素における液晶に印加される電圧を示す図である。

【図13】各画素の副画素間における表示信号電圧と透過強度との関係を示す図である。

【図14】各画素の副画素間における表示信号電圧と透過強度との関係の変化の様子を示すもので、(a)は昇圧用電圧の振幅幅を小さくした場合、(b)は昇圧用電圧の位相を反転させた場合を示している。

【図15】表示画素における第一の副画素及び第2の副画素の配置の第一例を示す部分拡大平面図である。

50

【図 16】表示画素における第一の副画素及び第 2 の副画素の配置の第二例を示す部分拡大平面図である。

【図 17】表示画素における第一の副画素及び第 2 の副画素の配置の第三例を示す部分拡大平面図である。

【図 18】表示画素における第一の副画素及び第 2 の副画素の配置の第四例を示す部分拡大平面図である。

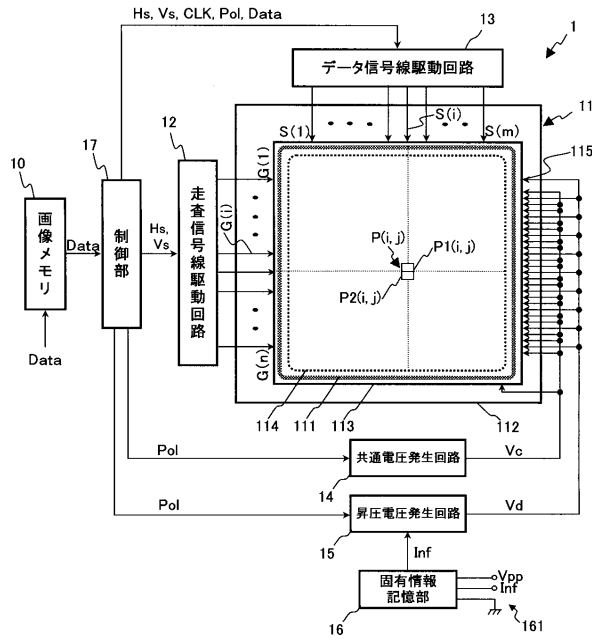
【図 19】従来の液晶表示装置の 1 画素分の構造を模式的に示す図である。

【符号の説明】

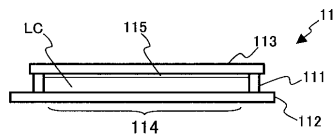
【0080】

1 : 液晶表示装置	10
10 : 画像メモリ	
11 : 表示パネル	
12 : 走査信号線駆動回路	
13 : データ信号線駆動回路	
14 : 共通電圧発生回路	
15 : 昇圧電圧発生回路	
16 : 固有情報記憶部	
17 : 制御部	
C1(j), C2(j) : 補助容量線	
D(j) : 昇圧用容量線	20
G(j) : 走査信号線	
S(i) : データ信号線	
P(i, j) : 表示画素	
P1(i, j) : 第一の副画素	
P2(i, j) : 第二の副画素	
E1(i, j) : 第一の画素電極	
E2(i, j) : 第二の画素電極	
C1c1(i, j) : 第一の液晶容量	
C1c2(i, j) : 第二の液晶容量	
Ccs1(i, j) : 第一の補助容量	30
Ccs2(i, j) : 第二の補助容量	
Cd(i, j) : 昇圧用容量	

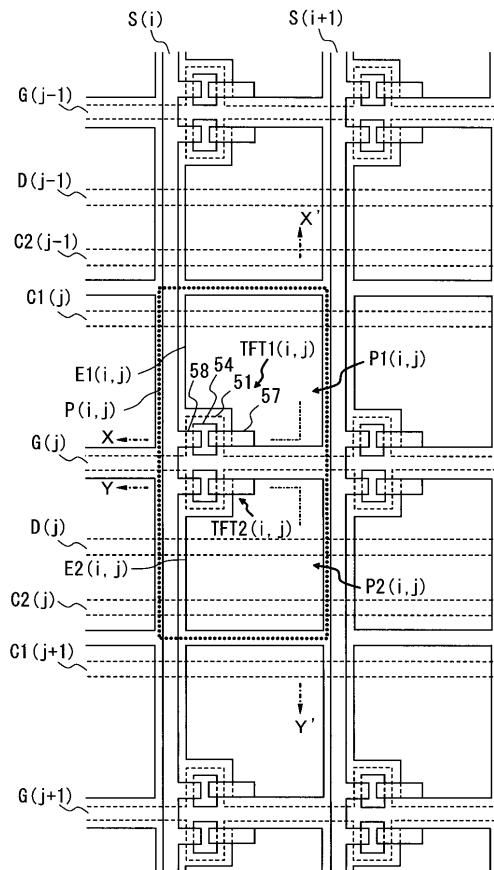
【図 1】



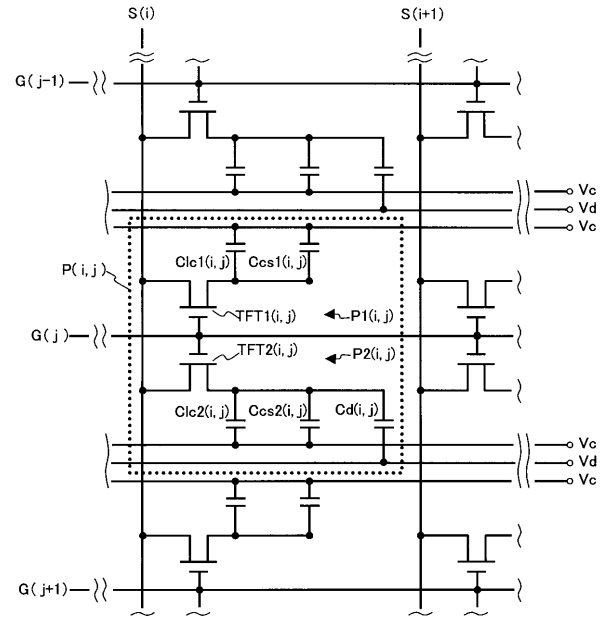
【図 2】



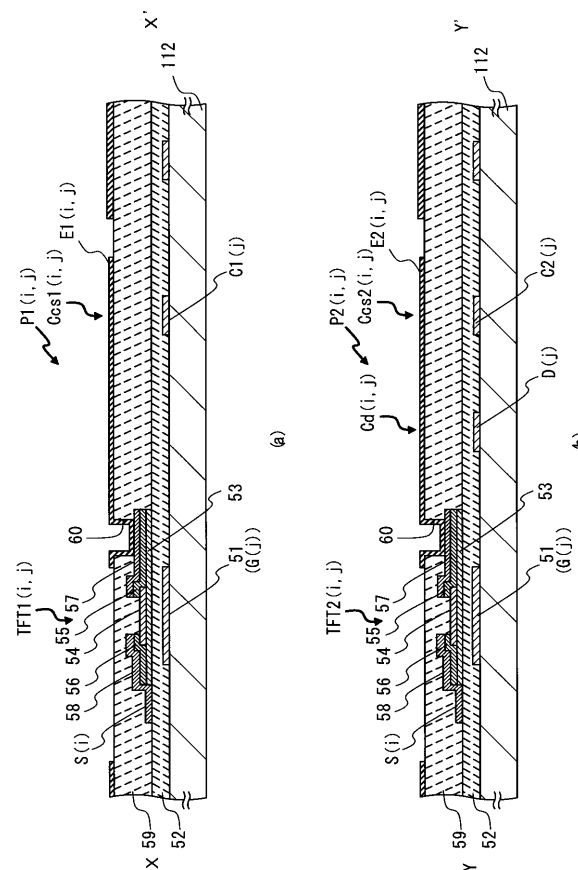
【図 4】



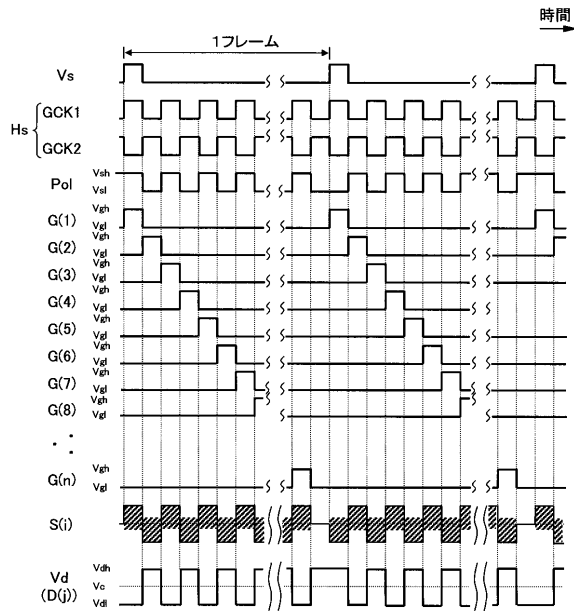
【図 3】



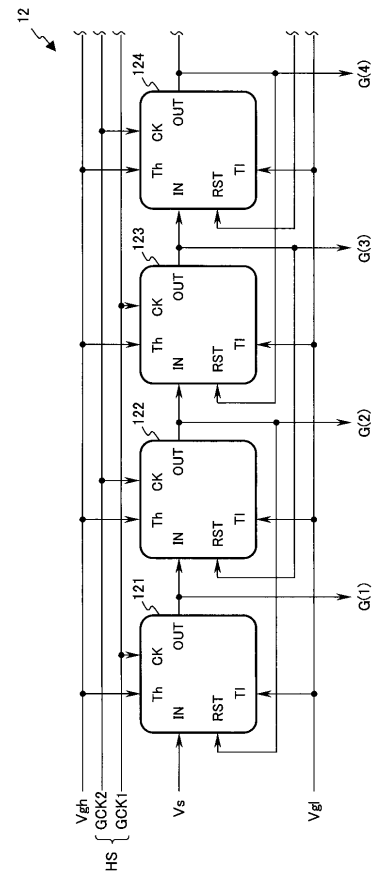
【図 5】



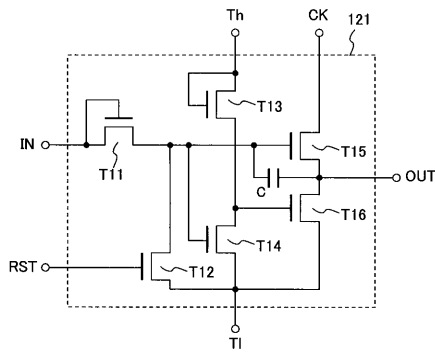
【図 6】



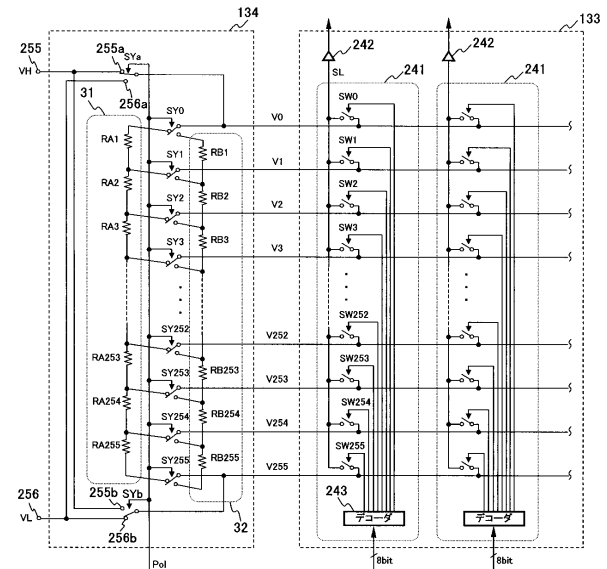
【図 7】



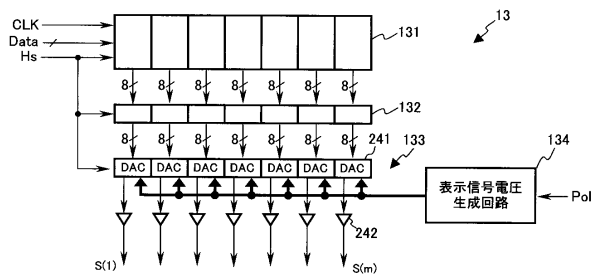
【図 8】



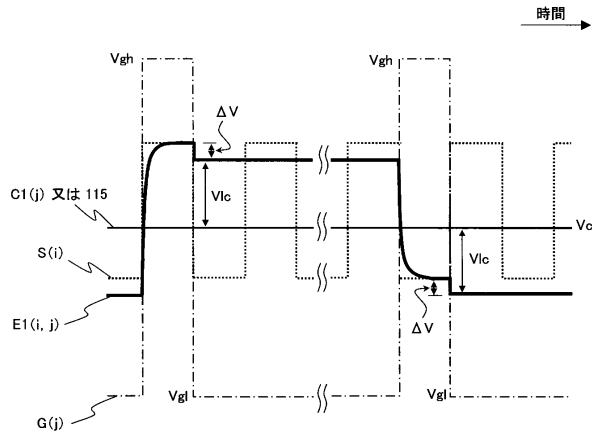
【図 10】



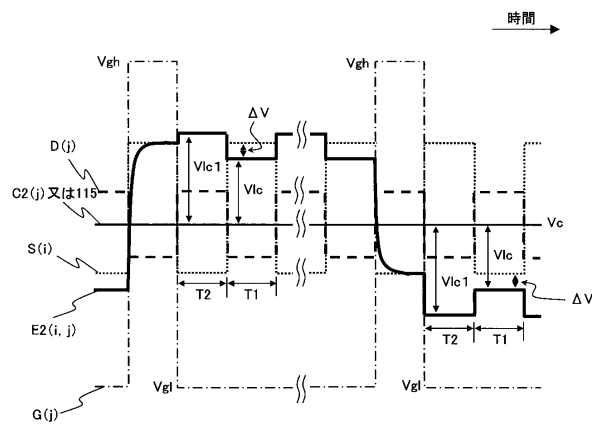
【図 9】



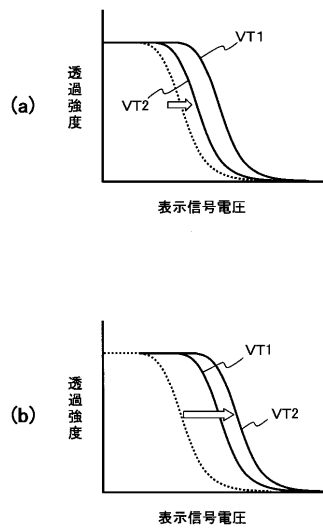
【図 1 1】



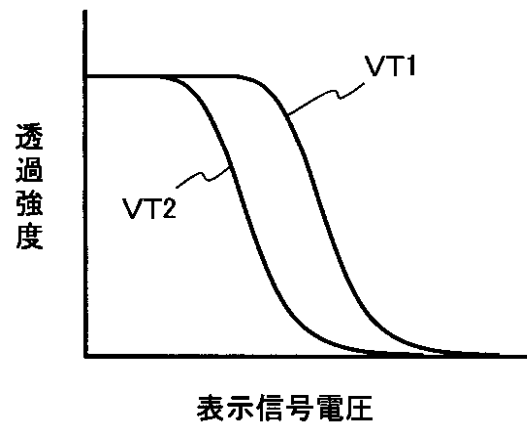
【図 1 2】



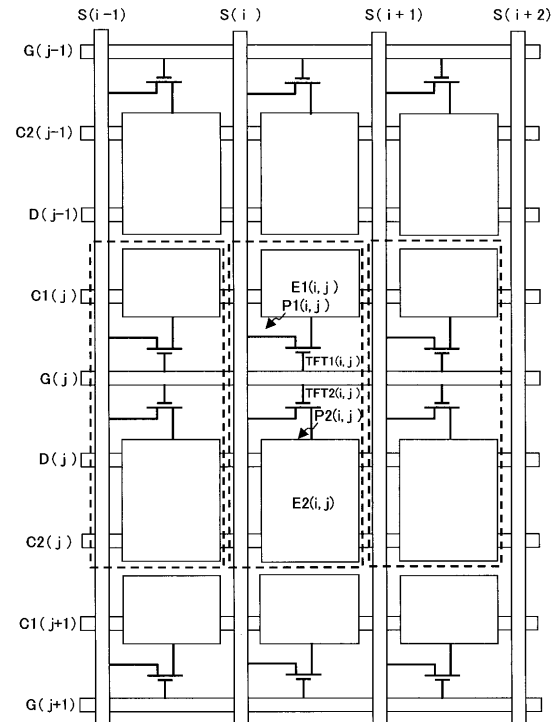
【図 1 4】



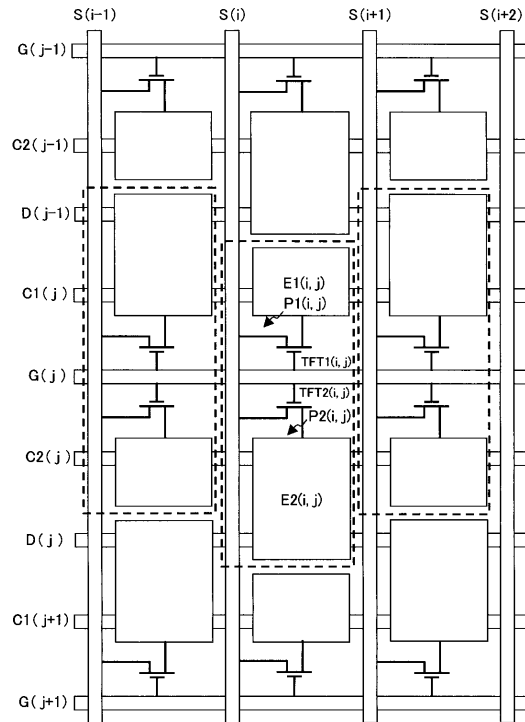
【図 1 3】



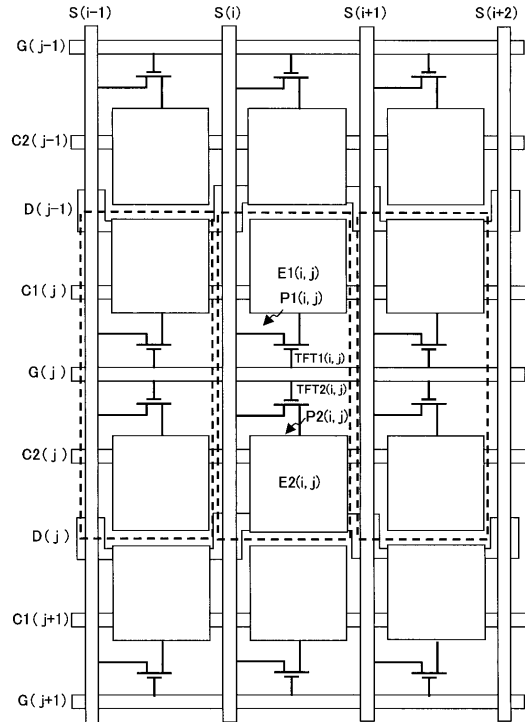
【図 1 5】



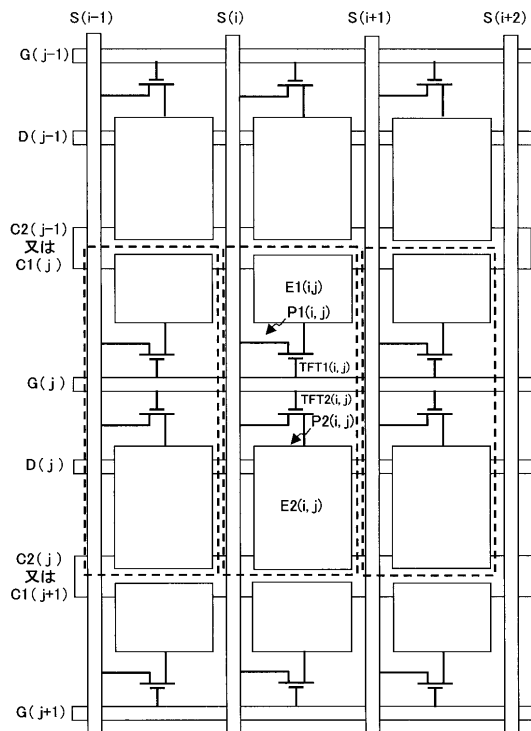
【図 16】



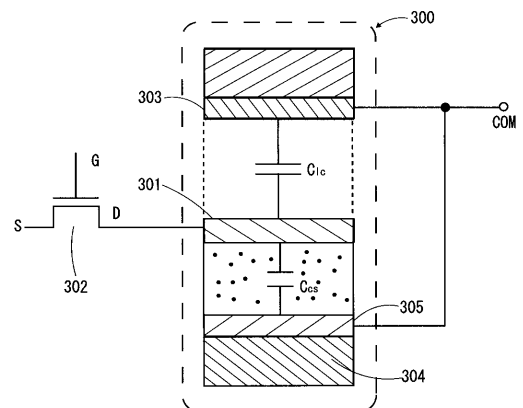
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 C
G 0 9 G 3/20 6 4 2 E

(56)参考文献 特開 2 0 0 8 - 0 3 3 2 1 8 (J P , A)
特開 2 0 0 7 - 1 5 6 3 7 9 (J P , A)
特開 2 0 0 4 - 0 7 8 1 5 7 (J P , A)
特開 2 0 0 9 - 2 4 4 8 1 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP4706729B2	公开(公告)日	2011-06-22
申请号	JP2008183219	申请日	2008-07-14
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい		
发明人	中村 やよい		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/13624 G02F1/134309 G02F1/136213 G02F2201/123 G09G3/3614 G09G3/3648 G09G3/3655 G09G3/3677 G09G3/3688 G09G3/3696 G09G2300/0443 G09G2300/0876 G09G2310/027 G09G2320/028		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/133.575 G09G3/36 G09G3/20.624.B G09G3/20.624.C G09G3/20.642.E		
F-TERM分类号	2H092/GA20 2H092/JA26 2H092/JA46 2H092/JB02 2H092/JB42 2H092/JB58 2H092/JB65 2H092/JB69 2H092/NA01 2H092/NA24 2H092/PA06 2H093/NA16 2H093/NA21 2H093/NA33 2H093/NA43 2H093/NA53 2H093/NC34 2H093/NC35 2H093/NC36 2H093/NC40 2H093/ND13 2H093/ND54 2H093/NE03 2H192/AA24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC22 2H192/DA12 2H192/DA81 2H192/GD61 2H193/ZA04 2H193/ZA05 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB03 2H193/ZB07 2H193/ZB14 2H193/ZB16 2H193/ZC04 2H193/ZC15 2H193/ZC16 2H193/ZC25 2H193/ZD23 2H193/ZF04 2H193/ZF05 2H193/ZF06 2H193/ZF16 2H193/ZF17 2H193/ZF23 2H193/ZF34 2H193/ZF35 2H193/ZF59 2H193/ZH41 2H193/ZH42 2H193/ZH52 2H193/ZP03 5C006/AA11 5C006/AC11 5C006/AC25 5C006/AF51 5C006/AF52 5C006/BC20 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
其他公开文献	JP2010020257A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中即使在制造液晶显示面板之后也可以容易地校正装置之间变化的视角依赖性，而不增加液晶显示面板的制造工艺的数量。
 ΣSOLUTION：在液晶显示装置中，显示像素 $P(i, j)$ 具有第一子像素 $P1(i, j)$ 和第二子像素 $P2(i, j)$ ，其中电极彼此分离，每个第一子像素和第二子像素的液晶电容具有由夹在像素电极和公共电极之间的液晶形成的液晶电容，以及由夹在像素电极和辅助电容线之间的固体电介质形成的辅助电容，以及第一子像素和第二子像素具有由夹在像素电极和设置电容线之间的固体电介质形成的升压电容。其中，进一步设置用于施加公共电极和辅助电容线共用的第一电压的第一电压施加装置14和用于将不同于第一电压的第二电压施加到设置电容线的第二电压施加装置15。。

【 図 4 】

