

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4633789号
(P4633789)

(45) 発行日 平成23年2月16日 (2011. 2. 16)

(24) 登録日 平成22年11月26日 (2010. 11. 26)

(51) Int. Cl.

F 1

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 6 0

G O 2 F 1/137 (2006. 01)

G O 2 F 1/133 5 7 5

G O 2 F 1/1347 (2006. 01)

G O 2 F 1/133 5 4 5

G O 9 G 3/36 (2006. 01)

G O 2 F 1/137

G O 9 G 3/20 (2006. 01)

G O 2 F 1/1347

請求項の数 9 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2007-510267 (P2007-510267)
 (86) (22) 出願日 平成17年3月28日 (2005. 3. 28)
 (86) 国際出願番号 PCT/JP2005/005777
 (87) 国際公開番号 W02006/103738
 (87) 国際公開日 平成18年10月5日 (2006. 10. 5)
 審査請求日 平成19年4月3日 (2007. 4. 3)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100067987
 弁理士 久木元 彰
 (72) 発明者 能勢 将樹
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 前川 慎喜

最終頁に続く

(54) 【発明の名称】 液晶表示素子の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

コレステリック相を形成する液晶にパルス状の駆動電圧を印加する液晶表示素子の駆動方法において、

最初のスキャンで第1および第2の画素グループをプレーナ状態にし、第3および第4の画素グループをフォーカルコニック状態にするステップ1と、

次のスキャンで前記第2および第4の画素グループを選択し、前記第2の画素グループにフォーカルコニック状態の方向に遷移させる電圧のパルスを印加することにより前記第2の画素グループの反射率を低減させ、前記第4の画素グループにも、前記パルスを印加することにより、前記第4の画素グループの反射率を更に低減させるステップ2と、
 を有することを特徴とする液晶表示素子の駆動方法。

【請求項 2】

請求項1記載の液晶表示素子の駆動方法において、

前記ステップ2は、前記各画素をそれぞれ所定の階調レベルに相当する反射率にするための少なくとも1回以上のサブステップから構成されることを特徴とする液晶表示素子の駆動方法。

【請求項 3】

請求項2記載の液晶表示素子の駆動方法において、

前記ステップ2では、前記ステップ1あるいは、先に実行したサブステップで選択された画素グループと非選択の画素グループに対し、現サブステップで各画素グループ内の反

射率を低減させる予定の画素群を同時に選択し、反射率を低減させることを特徴とする液晶表示素子の駆動方法。

【請求項 4】

請求項 1 ～ 3 のいずれかに記載の液晶表示素子の駆動方法において、
前記液晶表示素子は、ON信号のパルス印加する前後に電位をゼロレベルにする手段を有することを特徴とする液晶表示素子の駆動方法。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の液晶表示素子の駆動方法において、
前記ステップ 1 と前記ステップ 2 では前記コレステリック相を形成する液晶を駆動する電圧レベルが異なることを特徴とする液晶表示素子の駆動方法。

10

【請求項 6】

請求項 2 ～ 5 のいずれかに記載の液晶表示素子の駆動方法において、
前記ステップ 2 の各サブステップでは前記コレステリック相を形成する液晶を駆動するパルス幅が異なることを特徴とする液晶表示素子の駆動方法。

【請求項 7】

請求項 2 ～ 6 のいずれかに記載の液晶表示素子の駆動方法において、
前記サブステップはスキャンされている 1 ライン内で実行することを特徴とする液晶表示素子の駆動方法。

【請求項 8】

請求項 1 ～ 7 のいずれかに記載の液晶表示素子の駆動方法において、
表示素子は複数の素子を積層した構造であり、積層した各層は互いに独立した電圧パルスで駆動され、前記複数の各素子は、それぞれON信号のパルス印加する前後に電位をゼロレベルにする手段を有し、それぞれのON信号のパルス印加するタイミングをずらすことを特徴とする液晶表示素子の駆動方法。

20

【請求項 9】

コレステリック相を形成する液晶にパルス状の駆動電圧を印加して画像を表示する液晶表示素子において、

最初のスキャンで第 1 および第 2 の画素グループをプレーナ状態にし、第 3 および第 4 の画素グループをフォーカルコニック状態にする第 1 の手段と、

次のスキャンで前記第 2 および第 4 の画素グループを選択し、前記第 2 の画素にフォーカルコニック状態の方向に遷移させる電圧のパルス印加することにより前記第 2 の画素グループの反射率を低減させ、前記第 4 の画素グループにも、前記パルス印加することにより、前記第 4 の画素グループの反射率を更に低減させる第 2 の手段と、

30

を有することを特徴とする液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コレステリック液晶を用いた表示素子の駆動方法に関し、特に高品位な多階調表示を実現できる表示素子の駆動方法に関する。

【背景技術】

40

【0002】

近年、各企業・大学で電子ペーパーの開発が盛んに進められている。電子ペーパーが期待されている応用市場として、電子書籍を筆頭として、モバイル端末のサブディスプレイやICカードの表示部など、多様な携帯機器への応用が提案されている。

【0003】

電子ペーパーの有力な方式の1つに、コレステリック液晶を用いたものがある。

コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像性といった優れた特徴を有する。コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリティの添加剤（カイラル材とも称される）を比較的多く（数十％）添加することにより、ネマティック液晶の分

50

子がらせん状のコレステリック相を形成する液晶である。

【0004】

以下、コレステリック液晶の表示・駆動原理を説明する。

コレステリック液晶は、その液晶分子の配向状態で表示の制御を行う。図1Aの反射率のグラフに示すように、コレステリック液晶には入射光を反射するプレーナ状態（P）と、透過するフォーカルコニック状態（FC）があり、これらは無電界下でも安定して存在する。プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から以下の式で示される。

【0005】

$$\lambda = n \cdot p$$

10

一方、反射帯域 $\Delta\lambda$ は液晶の屈折率異方性 Δn に伴って大きくなる。

したがって、液晶の平均屈折率 n 、らせんピッチ p を選ぶことにより、プレーナ状態時には波長 λ の色を表示させることができる。

【0006】

また、液晶層とは別に光吸収層を設けることで、フォーカルコニック状態時には黒色を表示させることができる。

次に、コレステリック液晶の駆動例を以下に説明する。

【0007】

該液晶に強い電界を与えると、液晶分子のらせん構造は完全にほどけ、全ての分子が電界の向きに従うホメオトロピック状態になる。次に、ホメオトロピック状態から急激に電界をゼロにすると、液晶のらせん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。一方、液晶分子のらせん構造が解けない程度の弱い電界の形成後の電界除去、あるいは強い電界をかけ緩やかに電界を除去した場合は、液晶のらせん軸は電極に平行になり、入射光を透過するフォーカルコニック状態になる。また、中間的な強さの電界を与え、急激に除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。この現象を利用して情報の表示を行う。

20

【0008】

図1Aを参照し、以上の電圧応答特性をまとめると次のようになる。

初期状態がプレーナ状態（P）であると（実線のグラフ）、パルス電圧をある範囲に上げるとフォーカルコニック状態（FC）への駆動帯域となり、更にパルス電圧を上げると再度プレーナ状態への駆動帯域へとなる。

30

【0009】

初期状態がフォーカルコニック状態であると（点線のグラフ）、パルス電圧を上げるにつれて次第にプレーナ状態への駆動帯域へとなる。

中間調領域A、中間調領域Bとしたエリアの電圧を加えると、先述のプレーナ状態とフォーカルコニック状態が混在した中間調が得られる。

【0010】

また、図1Bに示すように、コレステリック液晶には累積応答、つまり弱いパルスを複数回印加することによってプレーナ状態からフォーカルコニック状態、あるいはフォーカルコニック状態からプレーナ状態に遷移する特性が知られている。

40

【0011】

例えば、初期状態がプレーナ状態の場合、中間調領域Aの中での弱い電圧パルスを連続的に印加することにより、図1Bに示すようにパルス印加回数に応じて次第にフォーカルコニック状態に遷移する。一方、初期状態を問わずして、中間調領域Bの中での弱い電圧パルスを連続的に印加することにより、図1Bに示すようにパルス印加回数に応じて次第にプレーナ状態に遷移する。したがって、パルスの印加回数により、所望の階調度の表示を行うことができる。また、図1Cに拡大して示すように、フォーカルコニック状態の散乱反射を徐々に低減でき、より良好な黒状態とすることも可能である。

【0012】

50

次に図1Dを参照して、マトリックス型液晶表示素子における液晶を駆動する電極の構成を説明する。一般的に、液晶表示素子の液晶駆動電極は、図1Dに示されているように、互いに対向状態で交差する複数のスキャン電極16と複数のデータ電極18から構成される。スキャン電極16とデータ電極18が交差する部分が画素となる。スキャン電極用ドライバ12によりスキャン電極16が順次選択（コモンモード）されてパルス状の電圧が印加され、データ電極18には、データ電極用ドライバ14によりそれぞれの画素の表示状態に対応するパルス状の電圧が印加され（セグメントモード）、当該画素の液晶を駆動する。データ電極18に印加される電圧とスキャン電極16に印加される電圧の差の電圧が画素の液晶に印加される電圧であり、図1Aに示す液晶を駆動する電圧である。

【0013】

10

以下、コレステリック液晶の多階調表示の駆動法についての主な先行技術を紹介するが、各々課題がある。

例えば下記特許文献1及び特許文献2に記載されたような、Preparation区間、Selection区間、Evolution区間の3ステージに分けた駆動波形のうち、Selection区間の振幅、パルス幅、また位相差などを用いて中間調を表示するダイナミック駆動と称される方法がある。しかしながら、これらのダイナミック駆動は高速であるが、中間調の粒状性が高い。また、ダイナミック駆動は一般に多くの電圧出力ができる専用のドライバが必要となり、ドライバの製造ならびにドライバのコントロール回路の複雑化により、コストアップの大きな要因となる。

【0014】

20

一方、このダイナミック駆動を安価な汎用STNドライバで適用できるように改良したものが下記非特許文献1で示されているが、これもダイナミック駆動の課題である高い粒状性の解消は期待できない。

【0015】

また、その他の中間調駆動方法の先行技術として、下記特許文献3に記載された、液晶をホメオトロピック状態にする第1のパルスを印加した直後、第2、第3のパルスを与え、第2、第3のパルスの電位差により所望の階調を表示させるものがあるが、この駆動法では、中間調の粒状性が懸念される他、駆動電圧も高いため、安価な提供が困難であるという課題が残存する。

【0016】

30

上記紹介して駆動法はいずれも初期状態を問わない中間調領域Bを用いての駆動であるため、高速であるが粒状性が大きくなり、表示品位に問題が残る。

一方、中間調領域Aを用いた駆動法には下記の非特許文献2に記載されたものがあるが、これも問題点が残存する。

【0017】

非特許文献2に記載された方法では、液晶特有の累積応答を利用し、短いパルスを印加することで、徐々にプレーナ状態→フォーカルコニック状態、あるいはフォーカルコニック状態→プレーナ状態へ準動画レートの速い速度で駆動することが述べられている。

【0018】

しかし、この方法では準動画レートの早い速度のため駆動電圧が50～70Vと高くなるためコストアップの要因となり、更にその中で記述されているTwo phase cumulative drive schemeはpreparation phase とselection phase の2つのステージを用いてプレーナ状態への累積応答とフォーカルコニック状態への累積応答の2方向（つまり中間調領域Aと中間調領域B）の累積応答を用いるため、表示品位の問題も残存する。

40

【0019】

以上説明したように、従来のコレステリック液晶を用いた電子ペーパーの多階調表示は、マルチレベルの駆動波形を生成できる特殊仕様のドライバICが必要であり、また駆動電圧も40～60Vと高いため、ICの高い耐圧も必要である。そのため、コストアップの大きな原因となっていた。また、従来技術は高速に書換えられるが中間調の粒状性が高く（均一性が低く）、高い表示クオリティが求められる電子ペーパー用途への適用が困難であった。

50

【0020】

さらに従来技術では、電圧パルスの電圧値あるいはパルス幅を選択画素毎にスイッチングすることにより、中間調のグレイレベルを制御している。このため、電圧値あるいはパルス幅を任意にスイッチングできるようなドライバICあるいは周辺回路の構築が必要となり、コストアップの大きな要因となっていた。また、特許文献1に記載されたもののよう出力数の少ないドライバを用いる中間調の駆動法もあるが、この場合も不定の初期状態からグレイレベルを制御するため、高速書換えが可能だが非常に高い駆動電圧（50～60V）を必要とする。また、中間調の駆動マージンが狭く、ガラス素子のようなセルギャップの均一性が高い素子においても中間調の粒状性が高くなり、高画質化が困難となっていた。

10

【特許文献1】特開2001-228459号公報

【特許文献2】特開2003-228045号公報

【特許文献3】特開2000-2869号公報

【非特許文献1】Nam-Seok Lee、Hyun-Soo Shin、etc、A Novel Dynamic Drive Scheme for Reflective Cholesteric Displays、SID 02 DIGEST、pp546-549、2002.

【非特許文献2】Y.-M. Zhu、D.-K. Yang、Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs、SID 98 DIGEST、pp798-801、1998

【発明の開示】

【0021】

本発明の目的は、耐圧の低い安価な汎用ドライバを用いた、均一性に優れる多階調表示を実現するための液晶表示素子の駆動方法を提供することである。そのため、液晶の累積応答（重ね書き）を応用した複数回のパルス印加を行い、駆動電圧とパルス幅をステップ毎に可変とし、反射状態の初期状態からマージンが大きな領域を用いて液晶を所定の中間調状態に制御する。その結果、駆動電圧の上昇も回避できるので、耐圧の低い安価な2値出力の汎用ドライバを利用できる。また、マージンが大きな領域を用いたグレイレベル変換であるため、フィルム素子のようなセルギャップ精度が劣る素子においても、均一性に優れる多階調表示を実現できる。また、本発明によれば、階調数が増えても重ね書き回数の増加を抑えることができる。

20

【発明を実施するための最良の形態】

【0022】

まず、図2を参照して、4階調表示をターゲットとした場合を例に本発明の第1の実施例を説明する。今、例示が4階調表示であるから、表示領域の各画素は、最終的には図2の完成パターンに示されているレベル0～レベル3のいずれかの階調を表示するように駆動される。

30

【0023】

図2に示されるように、まず、ステップ1で、各画素をプレーナ状態あるいはフォーカルコニック状態に駆動する。フォーカルコニック状態に駆動されるのはレベル0の画素のみである。後に詳細に説明するが、ステップ1では、図示のようにプレーナ状態、すなわち反射状態への駆動をONレベルとして32Vで駆動し、フォーカルコニック状態、すなわち非反射状態への駆動をOFFレベルとして24Vで駆動する。次に、ステップ2のサブステップ1では、レベル3の階調にする領域以外の領域を選択し、フォーカルコニック状態の方向に遷移させるONパルス（24V）を与える。すると、レベル1及びレベル2とすべき領域は、レベル2の階調の状態に駆動される。OFFパルス（～12V）が印加されるレベル3である表示領域はプレーナ状態にとどまる。

40

【0024】

次に、ステップ2のサブステップ2では、先のサブステップ1で選択した領域の中からレベル2とする領域を除いて、フォーカルコニック状態の方向に遷移させるONパルス（24V）を与える。このように、図1Aに示した中間調領域Aでプレーナ状態からフォーカルコニック状態の方向へ画素の階調に応じて順次遷移させる。

【0025】

50

図1Bに示すようにフォーカルコニック→プレーナ（図1Bの領域B）よりもプレーナ→フォーカルコニック（図1Bの領域A）の方が応答性が鈍感なため（ γ が緩やかなため）、中間調領域Aを用いた方が中間調領域Bを用いるよりも、高い均一性（低い粒状性）が実現され、より高い階調数をもたらすことができる。

【0026】

また、完全な黒状態（レベル0）とする画素に対しても、何度もパルスを繰り返し印加するため、より黒濃度が良好な高コントラストの表示が実現できる。というのは、黒状態をとるフォーカルコニック状態は1回のパルス印加では微弱な散乱反射が残存し、かすんだ黒になりがちだからである。

【0027】

それに対し本発明のようにステップ2においても複数回繰り返しパルスを印加することで、図1Cに示すようにフォーカルコニック状態の散乱反射を徐々に低減でき、より良好な黒状態とすることが可能となる。また、パルスの電圧値も低く済むため、非選択領域のクロストークもより安定して回避できる。

【0028】

次に、駆動回数を削減した第2の実施例について図3の8階調表示を例にして説明する。

ステップ1でプレーナ状態とフォーカルコニック状態に駆動するところまでは、第1の実施例と同様である。ステップ2では、駆動するONグループと駆動しないOFFグループについて、8階調の領域のそれぞれ例えば半分の階調の領域を選択し、選択した階調の領域をステップ2のサブステップ1のONグループとして同時にONパルスを印加する。

【0029】

次に、サブステップ1でONグループとしたものとOFFグループとしたものの中から、それぞれ半分の階調数の領域を選択し、サブステップ2でのONグループとしてONパルスを印加する。サブステップ3の場合も同様なルールで、サブステップ2のONグループとOFFグループの中から、それぞれ半分の階調数の領域を選択し、サブステップ3でのONグループとしてONパルスを印加する。

【0030】

このようにすることで、各領域は、サブステップ1、2、3全てでONパルスを印加される領域（黒の領域）からサブステップ1、2、3のいずれでもONパルスが印加されない領域（白の領域）まで、各サブステップでONパルスが印加されるかされないかにより8とおりの領域に分けられる。そこで、各サブステップで印加されるONパルスを異なるものとすることにより、階調の異なる8つの領域を形成することができ、ステップ2における駆動回数を3回にすることができる。

【0031】

図2に示した第1の実施例の駆動方法では、8階調であれば、全体で8回、ステップ2では7回の駆動が必要であるが、第2の実施例の駆動方法によれば、大幅に駆動回数を減らすことができる。

【0032】

なお、図3の例は8階調であるが、16階調やそれ以上の階調数でも、同様のルールを適用できることは明らかである。

次に、以下において、第1の実施例及び第2の実施例に共通に適用可能な実施態様について説明する。

【0033】

図4A～図4Cに示す実施態様は、表示画面を書き換える場合の表示素子の駆動方法に関するものである。

従来は、画面書き換え時には前の表示画面を一括してリセットする方式が一般的であった。しかし、この方式ではリセット時に少なくとも数十mWの電力が消費されていた。

【0034】

そこで、本実施態様は、表示素子を駆動する第1ステップにおいて画像を形成する前に

10

20

30

40

50

、数ラインずつ、順次液晶をホメオトロピック状態あるいはフォーカルコニック状態にリセットするものである。図4Aに示されているように、例えば4ラインずつリセットを行い、同時に1ラインのデータ書き込みを行うという動作をライン数だけ繰り返して画面書き換えを行うものであり、消費電力を抑制することができる。

【0035】

図4Bは表示画面を書き換える場合の一つのライン上の画素に印加される電圧を示すものであり、図5Bにおいて後に説明するように一回当たり正負の交流パルスが印加される。一つの画素の液晶には、図4Bに示すように複数回、例えば4回のリセットパルスが印加され、休止区間を挟んでから、書込区間で書込電圧が印加される。

【0036】

このリセット駆動法を用いることにより、ステップ1の反射状態と非反射状態を低消費電力でかつ高速に駆動することができる。またリセット用データとして、例えば全部の画素を白にするというような特別のリセットデータを用いることなく、書き込みデータ自体をリセットに使用している。

【0037】

図4Aにおいて画面の下半分は前回表示分の画面を示し、上半分は新規表示の画面を示している。図4Aに記載されたコモンモードはラインを順次選択するモードであり、セグメントモードは電極毎に印加電圧を選択可能なモードである。スキャン側はラインを順次選択してONスキャンパルスを印加し、データ側は表示すべきデータに応じてONデータあるいはOFFデータのパルスを印加する。図4Aで表示しているのは、一番上のラインから始めて書き込み先頭ライン、すなわち前述の1ラインずつの書き込みラインがほぼ画面の中央付近にきた状態を示し、このライン上のデータの書き込みが行われるとともにリセットライン、例えば4ラインについては書き込みデータを用いたリセットが行われている状態である。この動作について図4Cを用いてさらに説明する。

【0038】

図4Cに示すように、まずリセットラインとして4つのラインを設定する動作が行われる。同図においてスキャン側のスキャン開始信号であるEi o信号と、データ側のラッチとスキャン側のシフトのタイミングを与えるLp信号とが同時に入力されると、まず図4Aにおける画面上の上から一番目のラインが選択され、そのラインにデータを書き込み可能な状態となる。次にEi oとLp信号との2つめのパルスが共に入力されると、最初に選択された1ライン目は、Lp信号によってシフトされ、2ライン目が選択されるとともに、同時に入力されるEi o信号によって、1ライン目も同時に選択され、1ライン目と2ライン目の2つのラインが選択された状態となる。この動作が繰り返されてリセットライン設定区間では1ライン目から4ライン目が選択状態となって、その4つのラインにデータ書き込みが可能な状態となる。

【0039】

次の休止ライン設定区間ではLp信号のみが入力されており、このパルスによって1ラインのシフトが行われ、画面上の2ライン目から5ライン目までが選択された状態となる。

【0040】

その次の書き込み区間の最初で、Ei o信号とLp信号とが同時に入力され、その前に選択されている2ライン目から5ライン目は1ラインずつシフトされる。その結果、3ライン目から6ライン目が選択された状態となるとともに、Ei o信号の入力によって画面上の最初のライン、すなわち1ライン目も選択された状態となる。この状態で1ライン目のデータを与えることによって、1ライン目には本来書き込まれるべきデータが書き込まれるとともに、3ライン目から6ライン目までには1ライン目のデータがリセットのためのデータとして与えられ、前回表示されたデータのリセットが行われる。この時、2ライン目は休止ライン設定区間で設定された休止ラインとなっており、データの書き込みは行われない。

【0041】

その次のL pパルスの入力に対応して、その前に選択されていたラインはシフトされ、2ライン目と4ライン目から7ライン目までが選択状態となる。この状態で2ライン目のデータが与えられ、2ライン目に本来書き込まれるデータが書き込まれるとともに、4ライン目から7ライン目までの前回表示データのリセットが行われる。

【0042】

さらにその次のL pパルスの入力によって、同様に3ライン目と5ライン目から8ライン目が選択され、3ライン目のデータの書き込みが行われる。3ライン目にはその2つ前のL pパルスの入力時に1ライン目のデータが書き込まれているが、一般にコレステリック液晶の応答時間は材料の物性にもよるが、数十msオーダーである。2ライン目のデータが書き込まれるタイミングとしてのL pパルスの入力時点では、3ライン目は休止区間となっており、この区間（例えば50ms以下）において3ライン目の画素はフォーカルコニック状態、あるいはプレーナ状態への遷移の途中の過渡的な状態となっており、3ライン目のデータが実際に与えられる時点で、実際の書き込み状態としてのフォーカルコニック状態、またはプレーナ状態のいずれかが決定されることになる。そしてこのような動作が、例えば240ライン目まで、すなわち画面上の最も下のラインのデータの書き込みが行われるまで繰り返される。

【0043】

次に、図5A及び図5Bにより、ステップ1における表示素子の駆動について説明する。選択されたスキャン電極とその他のスキャン電極には図5Aに記載されたONスキャンとOFFスキャンの電圧がそれぞれ印加され、そのライン上でONパルスを印加すべき画素に対するデータ電極には図5Aに記載されたONデータの電圧が、その他のデータ電極にはOFFデータの電圧が印加される。

【0044】

図5Aの例示においては、ONデータに対しては、前半が32Vで後半が0Vの電圧が印加され、OFFデータに対しては、前半が24Vで後半が8Vの電圧が印加される。ONスキャンに対しては、前半が0Vで後半が32Vの電圧が印加され、OFFスキャンに対しては、前半が28Vで後半が4Vの電圧が印加される。

【0045】

各画素にはONデータあるいはOFFデータの印加電圧とONスキャンあるいはOFFスキャンの印加電圧の差が印加されることから、選択されたスキャンラインの画素には図5Bに示すONレベル（前半32V、後半-32V）あるいはOFFレベル（前半24V、後半-24V）の電圧波形が印加され、それ以外の非選択画素には前後半で正負4Vの電圧が印加される。汎用ドライバは通常、ON波形とOFF波形の2値の出力である。本発明のステップ1では図5Aのように、ON波形を例えば32V、OFF波形を24Vに設定してそれぞれプレーナ状態、フォーカルコニック状態へと駆動する。なお、液晶を駆動する場合、上記のように正負の交流パルスを用いることは、液晶の劣化を防ぐ等の目的で通常行われていることである。

【0046】

次に、ステップ2における表示素子の駆動について図6を参照して説明する。

本発明のステップ2では、ステップ1よりも高速にスキャンさせるか、パルス幅を短くする。例えば図6に記載されているように、ステップ1でのスキャン速度を2ms/lineとすると図6のような応答特性になり、24Vではフォーカルコニック状態である。一方、ステップ2での1ms/lineでは応答特性は図6のようにシフトし、24Vでは中間調領域Aの状態である。ただし、速度(ms/line)に対する応答特性は、液晶材料や素子構造によって変化するため、この例に限ったことではない。

【0047】

ステップ2のON波形24Vにより、ステップ1で反射状態とした部分の反射率を低減（フォーカルコニック状態を混在）させていく。この時、OFF波形は例えば12V程度にし、反射状態の液晶に印加してもそれを維持させるレベルにする。

【0048】

次に図7A及び図7Bを参照して、ON信号のパルスを印加する場合の表示素子の駆動法

について説明する。図7Aに記載されたONパルスは従来の通常の波形であるが、それに対して本実施態様の駆動方法では、図7Bに示すように、ONパルスの前後を強制的に0レベルとする。

【0049】

そうすることで、以下の2つのメリットが生じることを本発明者らは突き止めた。

(1) γ 特性の改善：図7Aのような通常の波形よりも、図7Bのようにより高い電圧・小さいパルス幅の波形の方が、より γ 特性が緩やかになり、より多くの階調数を表示できる。

(2) クロストークの改善：図7Aのような通常の波形では、ONパルスに連続して非選択パルスが印加される。つまり、液晶の状態が安定化しないうちに非選択のパルスが印加させるため、特に中間調がクロストークを受けやすい。それに対して、図7BのようにONパルス前後を0レベルにすることで、非選択パルスが印加させるまでに、ONパルスによって変化した液晶の状態を安定にすることができ、クロストークの影響を受けにくくすることができる。

【0050】

したがって、ステップ2の各サブステップにおいて上記駆動方法を採用することが特に好ましい。

次に、図8を参照して、ステップ1とステップ2の間での電圧スイッチングの例を示す。前述のように、ステップ1とステップ2のONパルス・OFFパルスの電圧値は異なる。この電圧の切換えにはアナログスイッチを用いるのが簡易である。

【0051】

図8において、ステップ1で32V、ステップ2で24Vに切り替えられる出力がセグメントモードとコモンモードのONパルスとして供給され、その波形がONデータ、ONスキヤンの波形に示されている。同様に、コモンモードのOFFパルスの波形がOFFスキヤンの波形に、セグメントモードのOFFパルスの波形がOFFデータの波形に示されている。

【0052】

このようにスイッチングすることで、各画素には図9のようなON・OFFの各波形が印加される。例えばONレベルのパルスが印加される画素には、図8に記載されたONデータの波形とONスキヤンの波形の差の電圧が印加されることから、ステップ1では±32V、ステップ2では±24Vが印加される。

【0053】

次に、ステップ2の各サブステップにおける表示素子の駆動について図10を参照して説明する。先に図3に示した第2の実施例において述べたように、各サブステップでは異なるONパルスを印加する必要がある。そのため、図10に例示するように、ステップ2の各サブステップでは、パルス幅をそれぞれ適切な値に設定する。高い黒濃度に駆動する時ほど、スキヤンを低速にするか、広いパルス幅に設定する。ドライバの出力であるONパルスの幅を広くするには、そのドライバを駆動するクロックの周波数を小さくして出力周期を長くすることで実現できるが、このパルス幅の切り替えは、アナログ的にクロック周波数そのものを切換えるよりも、論理的にドライバに入力するクロック生成部の分周比を変えて行うのがより安定する。

【0054】

次に、図11を参照して、同一の画素に複数回ONパルスを印加する場合であっても、スキヤン回数を削減することのできる駆動方法について説明する。

図11は、スキヤン用パルスとデータ側ラッチパルスの関係を示す図であり、スキヤン1ライン内で複数のサブステップを実行することを示している。スキヤン1ラインにつき1サブステップとすることもできるが、そのような方法では、例えば8階調の場合、ステップ1とステップ2を合わせて計5回のスキヤンが実行される。しかしながら、スキヤン回数は減った方が書込み中のチラツキが減り、観察者は好ましく感じる。したがって、このスキヤン回数を減らすために、1スキヤンにつき複数のサブステップのラッチパルスを印加する。こうすることで、スキヤン回数が減ってチラツキの少ない書込みが実現できる。

【0055】

またこの時、ステップ1とステップ2を独立させることが好ましい。つまり、ステップ1のみで1画面全て書込みを行い、ステップ2で残りの書込みを行う。こうすることで、使用者はステップ1の書き込みにより、画像の全体感を早めに把握することができるようになる。

【0056】

図12は、多階調の画像データから表示素子駆動用のサブ画像データを生成する処理を説明する図である。図12を用いて、グラデーションを例えば誤差拡散法により8階調に変換された画像データの処理について説明する。先に述べたように、第2の実施例においては、ステップ1とステップ2合わせて4回のパルス印加により8階調の表示が行われるが、画像データの処理としては図12に示すように、8階調の画像をパルス印加に合わせた4つのサブ画像に分離する。

10

【0057】

この時、ステップ2に対応したところでは、ONパルスにより反射率を下げる部分は、サブ画像データの概念では白(1)になり、OFFパルスが印加され反射率を保持する部分は、サブ画像データの概念では黒(0)になる。つまり、サブ画像毎に、ONパルスあるいはOFFパルスが印加されることを表す0,1の2値データであるサブ画像データが生成される。なお、階調変換のアルゴリズムは誤差拡散法やブルーノイズマスク法が画質の面で好ましい。

【0058】

20

次に、フルカラー表示における駆動方法について図13及び図14を参照して説明する。

図13は、フルカラー表示のための表示素子の積層構造を示す図である。図13に示すように、コレステリック液晶のフルカラー表示には、例えばRGB各素子の積層した構造が一般的である。そして、各層それぞれに対応したコントロール回路で制御する。そして、各層の表示素子は、それぞれの独立した電圧波形により駆動され、全体としてフルカラー表示を行う。

【0059】

図14は、フルカラー表示のための、ONパルスの駆動方法を説明する図である。

図7Bにおいて示すように、本発明の実施態様においてはONパルスの前後を強制的に0レベルとするとともに、ONパルスとしてより高い電圧で小さいパルス幅の波形を採用しているが、RGB各素子のONパルスの位置は、図14に示すように、同じタイミングにならないようにずらしている。それは、表示素子の積層構造を採用し、RGB各素子を同じタイミングで駆動するとスパイク電流が増大し、電源電圧が不安定化して表示品位が低下する他、誤動作することもあるからである。

30

【0060】

このスパイク電流を低減させるため、RGB各素子駆動時のONパルス位置を重ならないように、印加電圧を強制的に0にするタイミングを示すDSPOF信号の印加タイミングをずらしている。

【0061】

40

これにより、駆動回路が安定化し、表示品位も良好に得られることを確認できた。

以上説明したように、本発明の駆動方法を採用すれば、耐圧40V以下の安価な汎用ドライバ・部品での駆動が可能となる。

【0062】

次に、図15により、本発明の表示素子の駆動方法を実施する駆動回路のブロック構成例を説明する。ドライバIC10には、スキャンドライバとデータドライバが含まれる。演算部20は、原画像から得られたステップ1用のバイナリ画像と原画像から階調変換を行い、図12について説明した処理により分離したステップ2用のバイナリ画像群からなる表示用に処理をされた画像データをドライバIC10に出力するとともに、各種制御データをドライバIC10に出力する。

50

【0063】

データシフト・ラッチ信号は、スキャンラインを次のラインにシフトする制御とデータ信号のラッチを制御する信号である。極性反転信号は、単極性であるドライバIC10の出力を反転させる信号である。フレーム開始信号は表示画面を一画面分書き始めるときの同期信号である。ドライバクロックは、画像データの取り込みタイミングを示す信号である。ドライバ出力オフ信号は、ドライバ出力を強制的にゼロにするための信号である。

【0064】

ドライバICに入力される駆動電圧は、3～5Vの論理電圧を昇圧部40で昇圧し、電圧形成部50で各種電圧出力に形成される。演算部20から出力された制御データに基づいて、電圧選択部60が電圧形成部40で形成された電圧からドライバIC10に入力する電圧を選択し、レギュレータ70を介してドライバIC10に入力する。

10

【0065】

次に、本発明に係る反射型液晶表示素子の実施形態について添付図面を参照して説明し、さらに、本発明に係る液晶組成物について具体的に説明する。

図16は、本発明の駆動方法を適用する液晶表示素子の実施形態の断面構造を示す図である。この液晶表示素子はメモリ性を有しており、プレーナ状態及びフォーカルコニック状態はパルス電圧の印加を停止した後も維持される。液晶表示素子は、電極間に液晶組成物5を含む。電極3、4は基板に垂直な方向から見て互いに交差するように向かい合っている。電極上には絶縁性薄膜や配向安定化膜がコーティングされていることが好ましい。また、光を入射させる側とは反対側の基板の外表面（裏面）には、可視光吸収層8が設けられる。

20

【0066】

本発明に係る液晶表示素子では、5は室温でコレステリック相を示すコレステリック液晶組成物であり、これらの材料やその組み合わせについては以下の実験例によって具体的に説明する。

【0067】

6、7はシール材であり、液晶組成物5を各基板1、2間に封入するためのものである。9は駆動回路であり、前記電極にパルス状の所定電圧を印加する。

基板1、2は、いずれも透光性を有しているが、本発明に係る液晶表示素子に用いることができる一対の基板は、少なくとも一方が透光性を有していることが必要である。透光性を有する基板としては、ガラス基板があるが、ガラス基板以外にも、PETやPCなどのフィルム基板を使用することができる。

30

【0068】

電極3、4としては、例えば、Indium Tin Oxide (ITO：インジウム錫酸化物)が代表的であるが、その他Indium Zinc Oxide (IZO：インジウム亜鉛酸化物)等の透明導電膜や、アルミニウム、シリコン等の金属電極、あるいは、アモルファスシリコン、BZO (Bismuth Silicon Oxide)等の光導電性膜等を用いることができる。図16に示す液晶表示素子においては、既述の通り、透明基板1、2の表面に互いに平行な複数の帯状の透明電極3、4が形成されており、これらの電極は基板に垂直な方向から見て互いに交差するように向かい合っている。

40

【0069】

次に、図16には図示されていないが、本発明に係る液晶表示素子に用いて好適な要素について説明する。

(絶縁性薄膜) 図16に示す液晶表示素子を含め、本発明に係る液晶表示素子は電極間の短絡を防止したり、ガスバリア層として液晶表示素子の信頼性を向上させる機能を有する絶縁性薄膜が形成されていてもよい。

(配向安定化膜) 配向安定化膜としては、ポリイミド樹脂、ポリアミドイミド樹脂、ポリエーテルイミド樹脂、ポリビニルブチラール樹脂、アクリル樹脂等の有機膜や、酸化シリコン、酸化アルミニウム等の無機材料が例示される。本実施形態では、電極3、4に配向安定化膜がコーティングされている。また、配向安定化膜を絶縁性薄膜と兼用してもよい

50

。

(スペーサ) 図16に示す液晶表示素子を含め、本発明に係る液晶表示素子は、一对の基板間に、基板間ギャップを均一に保持するためのスペーサが設けられていてもよい。

【0070】

本実施形態の液晶表示素子には、基板1、2間にスペーサを挿入してある。このスペーサとしては、樹脂製又は無機酸化物製の球体を例示できる。また、表面に熱可塑性の樹脂がコーティングしてある固着スペーサも好適に用いられる。

【0071】

次に、液晶組成物について説明する。液晶層を構成する液晶組成物は、ネマティック液晶混合物にカイラル材を10~40wt%添加したコレステリック液晶である。ここで、カイラル材の添加量はネマティック液晶成分とカイラル材の合計量を100wt%としたときの値である。

【0072】

ネマティック液晶としては従来公知の各種のものを用いることができるが、誘電率異方性が20以上あることが、駆動電圧の都合上好ましい。誘電率異方性が20以上であれば、駆動電圧が比較的低くできる。コレステリック液晶組成物としての誘電率異方性($\Delta\epsilon$)は、20~50あることが好ましい。

【0073】

また、屈折率異方性(Δn)は、0.18~0.24が好ましい。この範囲より小さいと、プレーナ状態の反射率が低くなり、この範囲より大きいと、フォーカルコニック状態での散乱反射が大きくなる他、粘度もつられて高くなり、応答速度が低下する。

【0074】

また、この液晶の厚みは、3~6 μm くらいが好ましい。これより小さいとプレーナ状態の反射率が低くなり、これより大きいと駆動電圧が高くなりすぎる。

次に、上記に示した内容のモノクロ8階調、解像度Q-VGAの表示素子を作製し、それを用いた本発明の実験例1を説明する。

【0075】

液晶はプレーナ状態で緑色、フォーカルコニック状態で黒色を呈す。

ドライバICは、汎用のSTNドライバであるEPSON社製S1D17A03(160本出力)を2つとS1D17A04(240本出力)を1つ用いた。そして、320出力側をデータ側、240出力側をスキャン側として駆動回路を設定した。この時、必要に応じて、ドライバに入力する電圧を安定化させるために、オペアンプのボルテージフォロアにより安定化させてもよい。なお、ドライバICはこれに限らず、同様な機能を有するものであれば異なるものを用いてもよいことは明らかである。

【0076】

このドライバICへの入力電圧は、(図8に示した)ステップ1では32、28、24、8、4、0Vとし、ステップ2では24、20、12、12、4、0Vとした。このステップ1とステップ2の電圧のスイッチングにはアナログスイッチを用い、オペアンプの前段に配置した。このアナログスイッチには、例えばMaxim社製Max4535(耐圧36V)などを用いることができる。

【0077】

これにより、ステップ1ではON画素には $\pm 32\text{V}$ 、OFF画素には $\pm 24\text{V}$ のパルス電圧が安定して印加され、非選択の画素には $\pm 4\text{V}$ のパルス電圧が印加される。

一方、ステップ2ではON画素には $\pm 24\text{V}$ 、OFF画素には $\pm 12\text{V}$ のパルス電圧が印加され、非選択の画素には $\pm 4\text{V}$ 、あるいは $\pm 8\text{V}$ のパルス電圧が印加される。

【0078】

ステップ1は約2ms/lineのスキャン速度で行った。ステップ2ではサブステップ1の印加時間は約2ms、サブステップ2は約1.5ms、サブステップ3は約1ms/lineとし、計4.5ms/lineのスキャン速度で行った。

【0079】

この時、図7Bで示した電圧0レベル(DSPOF)の挿入時間は、サブステップ1では計0.8

10

20

30

40

50

ms、サブステップ2では0.6ms、サブステップ3では0.4msとした。

つまり、電圧パルスの実効時間はサブステップ1では1.2ms、サブステップ2では0.9ms、サブステップ3では0.6msとなる。

【0080】

ドライバICへ入力する画像データは、256値の元画像を誤差拡散法により8値に階調変換した。その後、図12の方法によりサブステップ1、サブステップ2での画像データに更に変換した。以上の主な条件で駆動を行ったところ、図17のような粒状性の少ない高い品質の表示を実現できた。

【0081】

この表示品位のレベルを実証するために、テスト画像を表示させ、既存のコレステリック液晶の表示装置と粒状性の比較を行った。本発明の表示素子と既存の表示装置に白レベルから黒レベルへのステップウェッジを表示させ、その後それを撮像した。それぞれ撮像した後、各濃度パターンの画素値の反射率のバラツキ（標準偏差）を算出したところ、本発明による表示は既存の表示装置に比べて約半分の粒状性であり、本発明の表示品位の高さを確認できた。また、この実験例では8階調表示での比較であるが、それより多い階調数、例えば16階調以上であっても同様の表示品位は実現できる。

【0082】

さらに、実験例2として、カラー素子の512色表示の実験例を紹介する。

上記実験例1に示した内容のQ-VGAの表示素子を3種類（Red、Green、Blue）作製し、観察面よりBlue、Green、Redの順に積層した。各色の制御は別々に行うように、駆動回路を設定した。この積層した表示素子に対し、実験例1とほぼ同様の駆動条件で3層を同時に駆動したところ、良好な512色表示が実現できた。また、この時はスパイク電流を軽減させるために図14に示したようにDSPOFのタイミングをずらした。

【0083】

以上説明したように、本発明の駆動方法により、コレステリック液晶を用いた表示素子を駆動する場合、安価で2値出力の汎用ドライバによっても、既存の駆動法を大きく上回る高品位な多階調表示を実現でき、液晶の最大のコントラストを引き出すことができる。

【0084】

また、本発明によると、階調数が増えても重ね書き回数を最小限に抑えることができる。

更に、ステップ1とステップ2に分けて駆動を行うため、プログレッシブ表示同様、基本的な表示内容を早く知ることができるようになる。

【図面の簡単な説明】

【0085】

【図1A】コレステリック液晶の電圧応答特性を示す図である。

【図1B】コレステリック液晶の累積応答特性を示す図である。

【図1C】フォーカルニック状態の応答特性を示す図である。

【図1D】マトリックス型表示素子の駆動電極の構成を説明する図である。

【図2】第1の実施例の表示素子駆動方法を説明する図である。

【図3】第2の実施例の表示素子駆動方法を説明する図である。

【図4A】表示画面を書き換える場合の表示素子の駆動方法を説明する図である。

【図4B】表示画面を書き換える場合に一つのライン上の画素に印加される電圧を示す図である。

【図4C】表示画面を書き換える動作を説明する図である。

【図5A】ステップ1において駆動電極に印加される電圧を示す図である。

【図5B】ステップ1において各画素に印加される電圧を示す図である。

【図6】ステップ2における表示素子の駆動をステップ1の場合と対比して示す図である。

【図7A】表示素子を駆動する通常のONパルスの波形を示す図である。

【図7B】本発明の実施例におけるONパルスの波形を示す図である。

【図 8】ステップ 1 とステップ 2 の間での電圧スイッチングの例を示す図である。

【図 9】ステップ 1 及びステップ 2 において各画素に印加される電圧を示す図である。

【図 10】ステップ 2 の各サブステップにおける表示素子の駆動を示す図である。

【図 11】1 ラインのスキンの間に複数のサブステップを実行することを説明する図である。

【図 12】多階調の画像データから表示素子駆動用のサブ画像データを生成する処理を説明する図である。

【図 13】フルカラー表示のための表示素子の積層構造を示す図である。

【図 14】フルカラー表示のための、ONパルスの駆動方法を説明する図である。

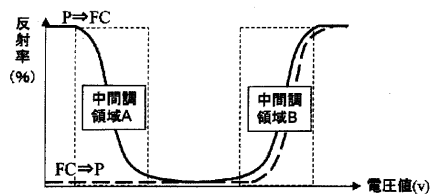
【図 15】本発明に係る駆動回路のブロック構成例を示す図である。

【図 16】表示素子の一例の断面を示す図である。

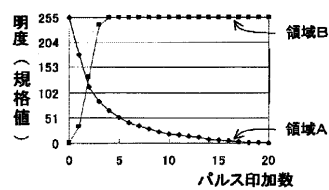
【図 17】本発明の実施例による多階調表示を示す図である。

10

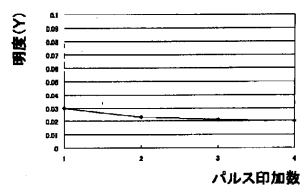
【図 1 A】



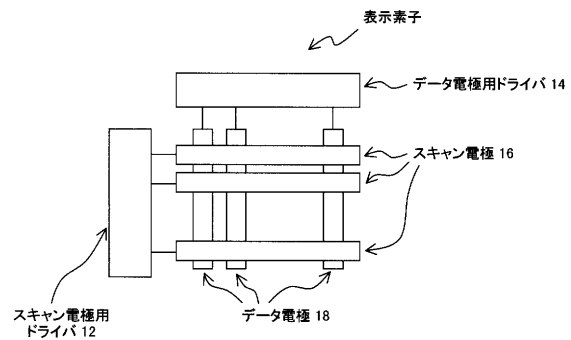
【図 1 B】



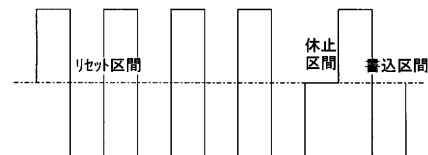
【図 1 C】



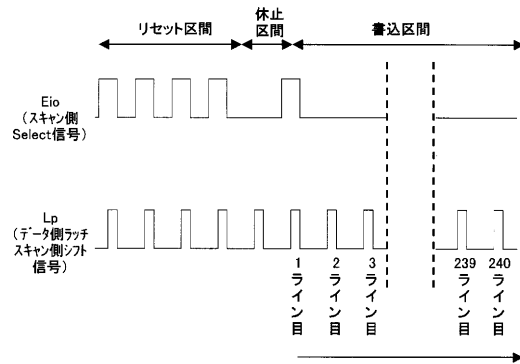
【図 1 D】



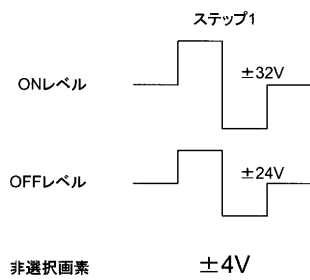
【図 4 B】



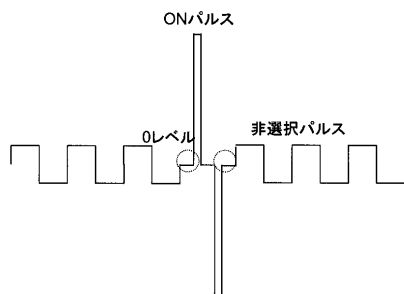
【図 4 C】



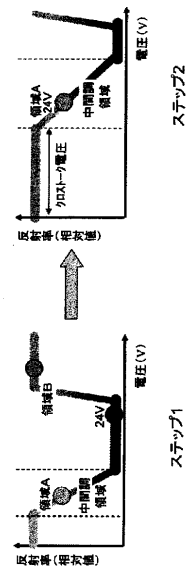
【図 5 B】



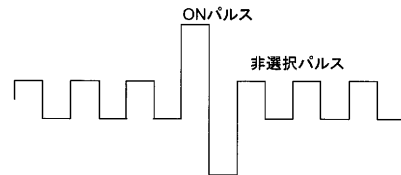
【図 7 B】



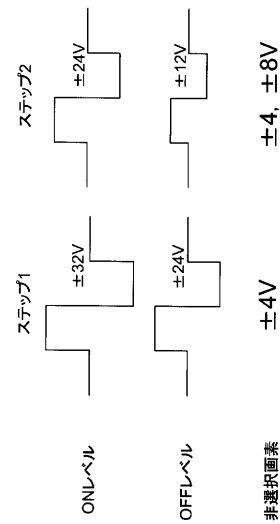
【図 6】



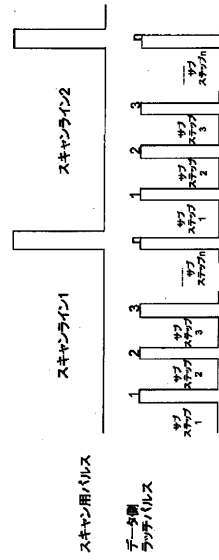
【図 7 A】



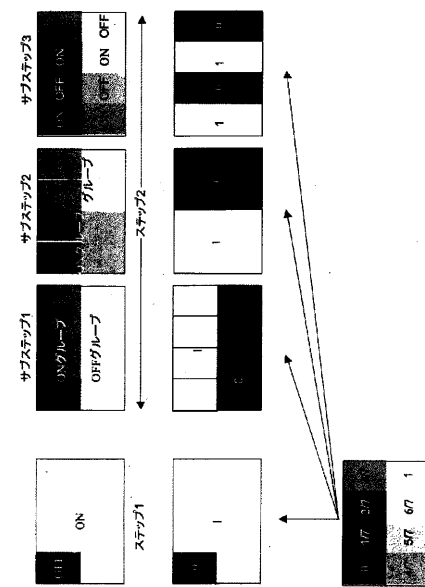
【図 9】



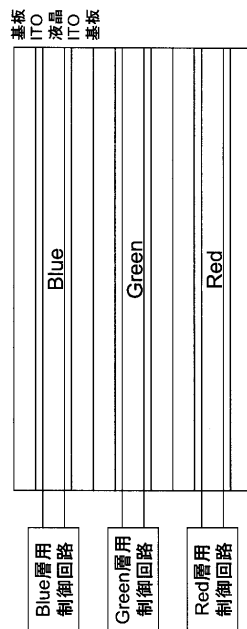
【図 1 1】



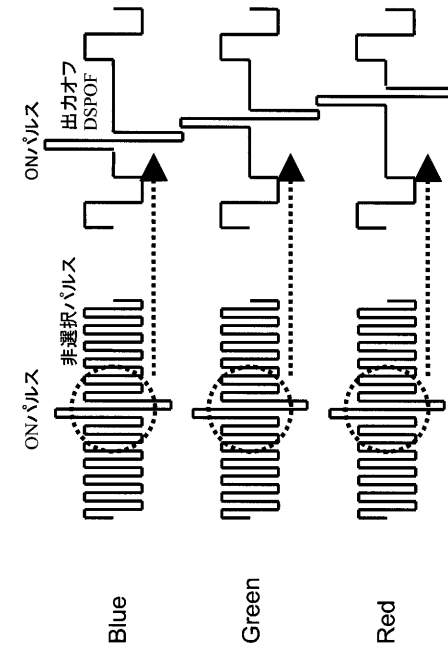
【図 1 2】



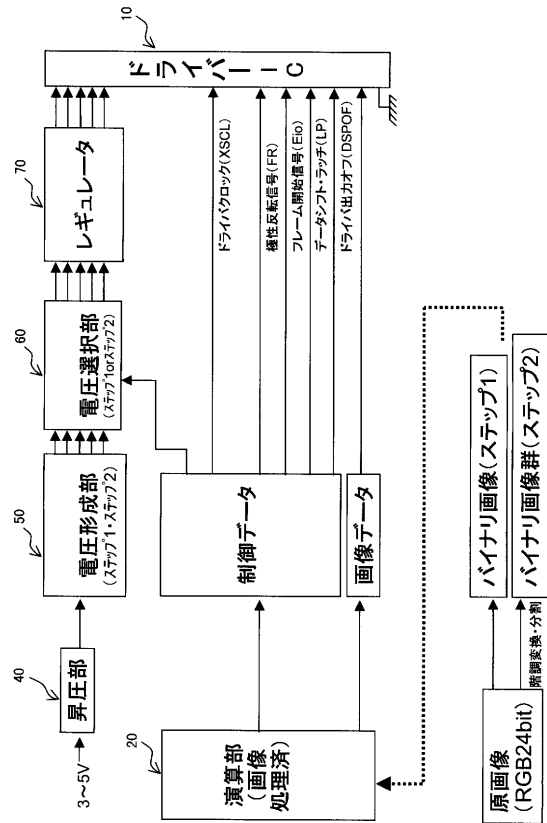
【図 1 3】



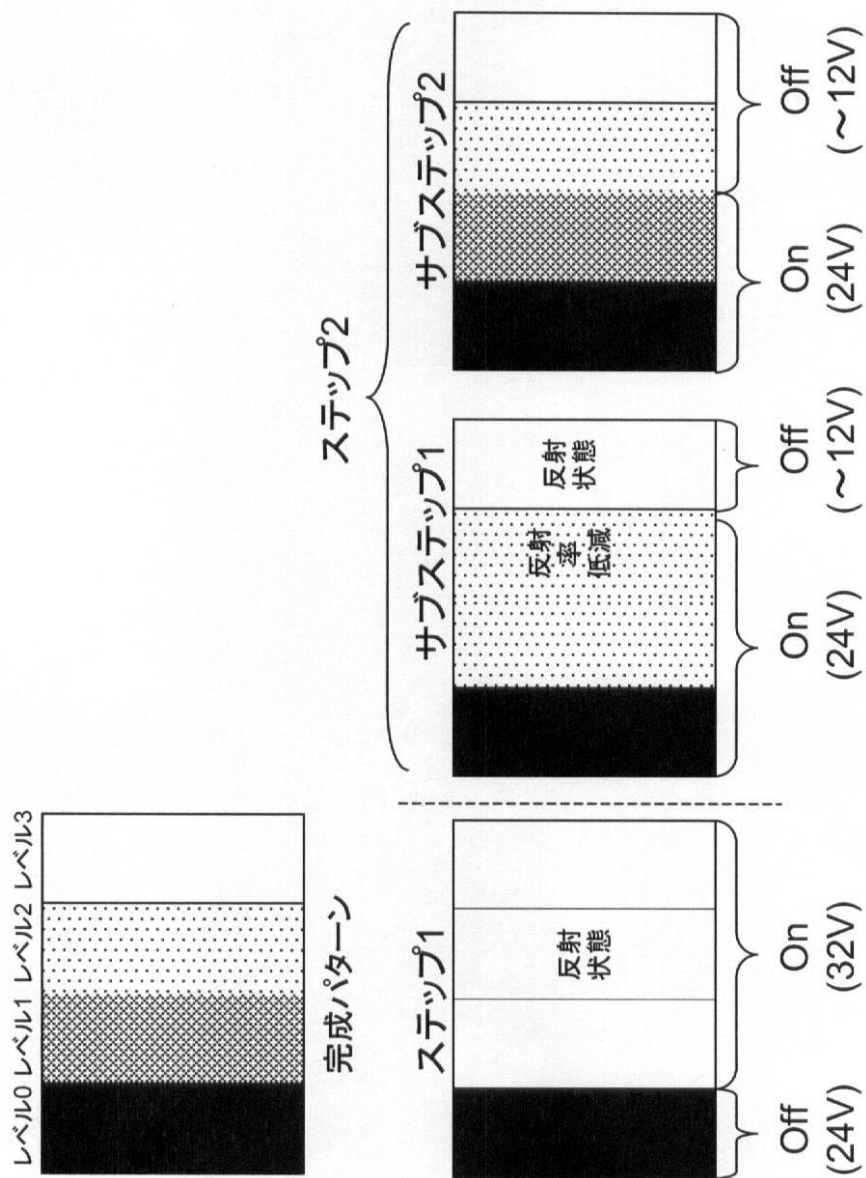
【図 1 4】



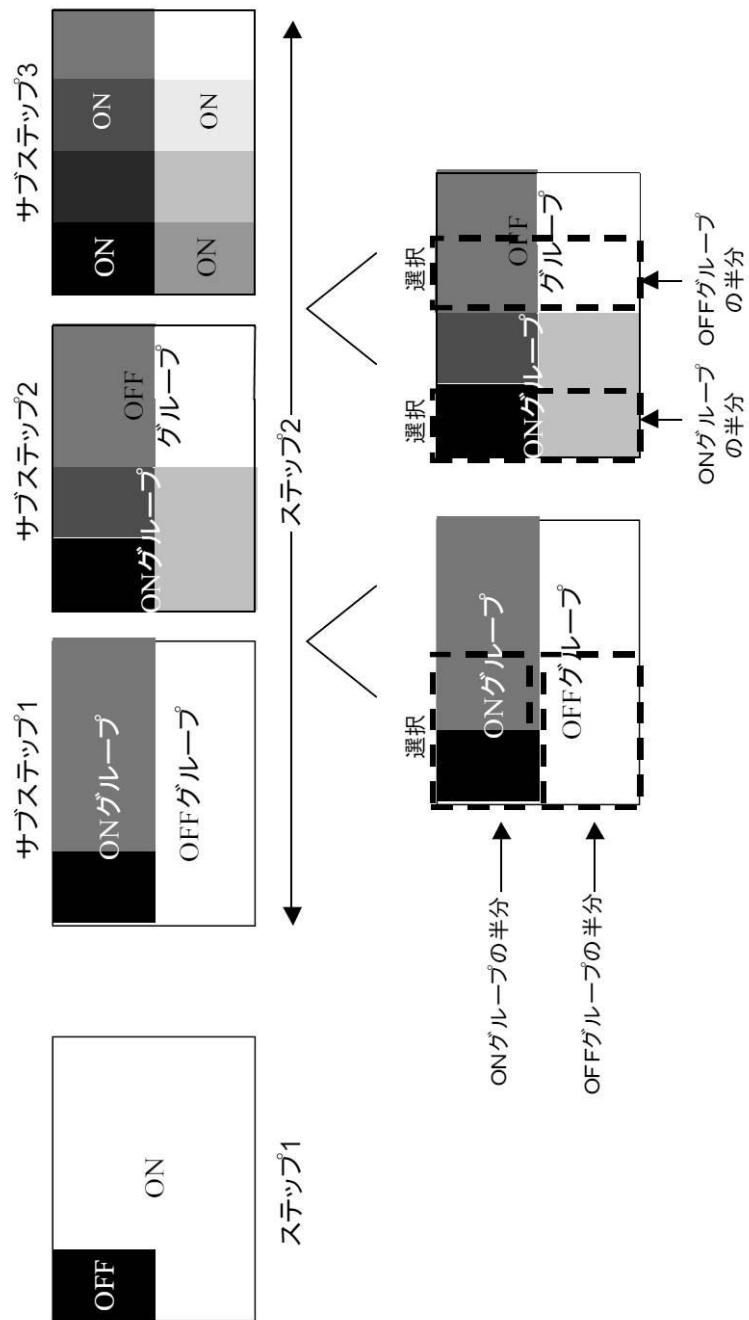
【図15】



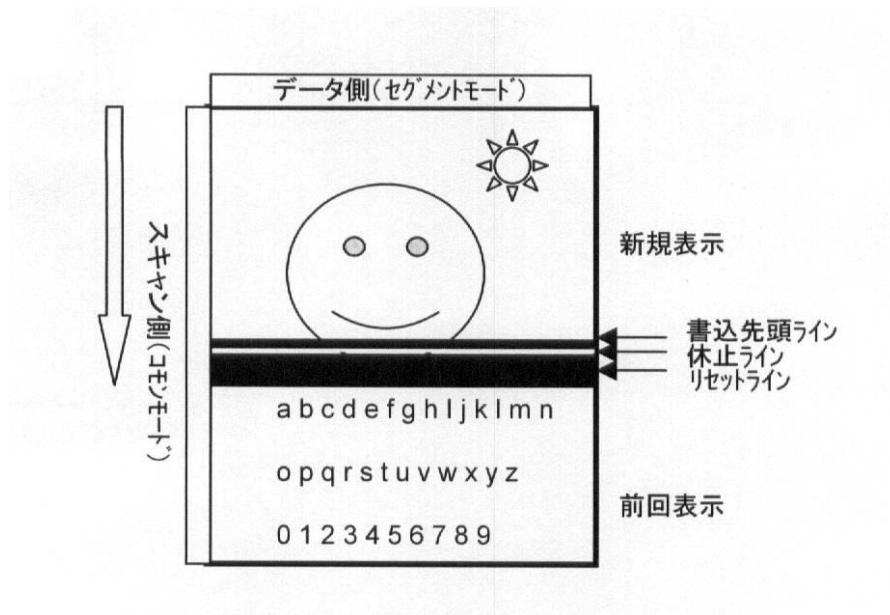
【図 2】



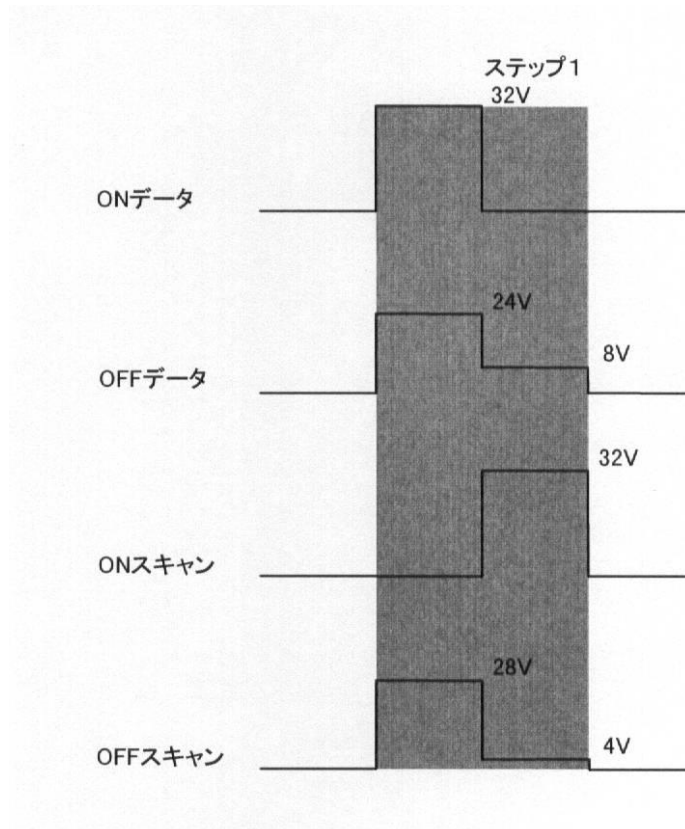
【図 3】



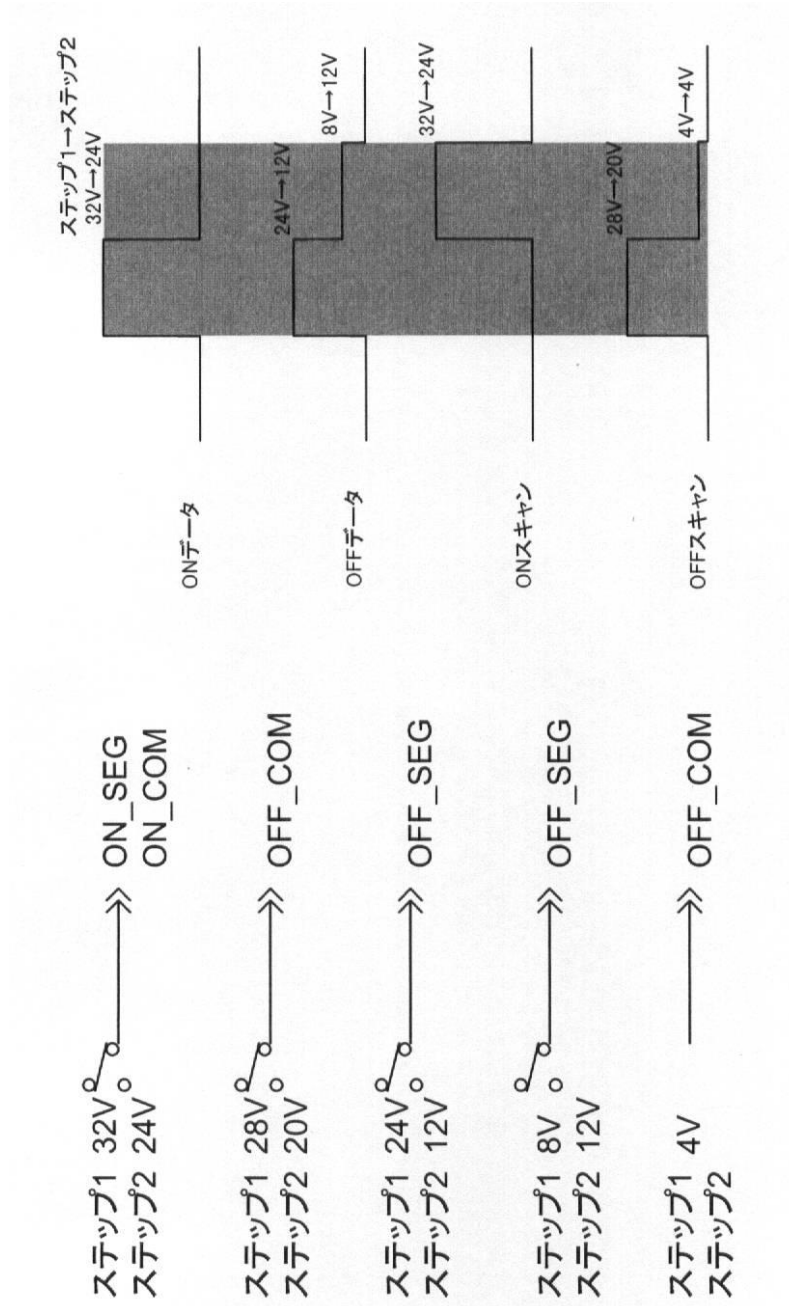
【図 4 A】



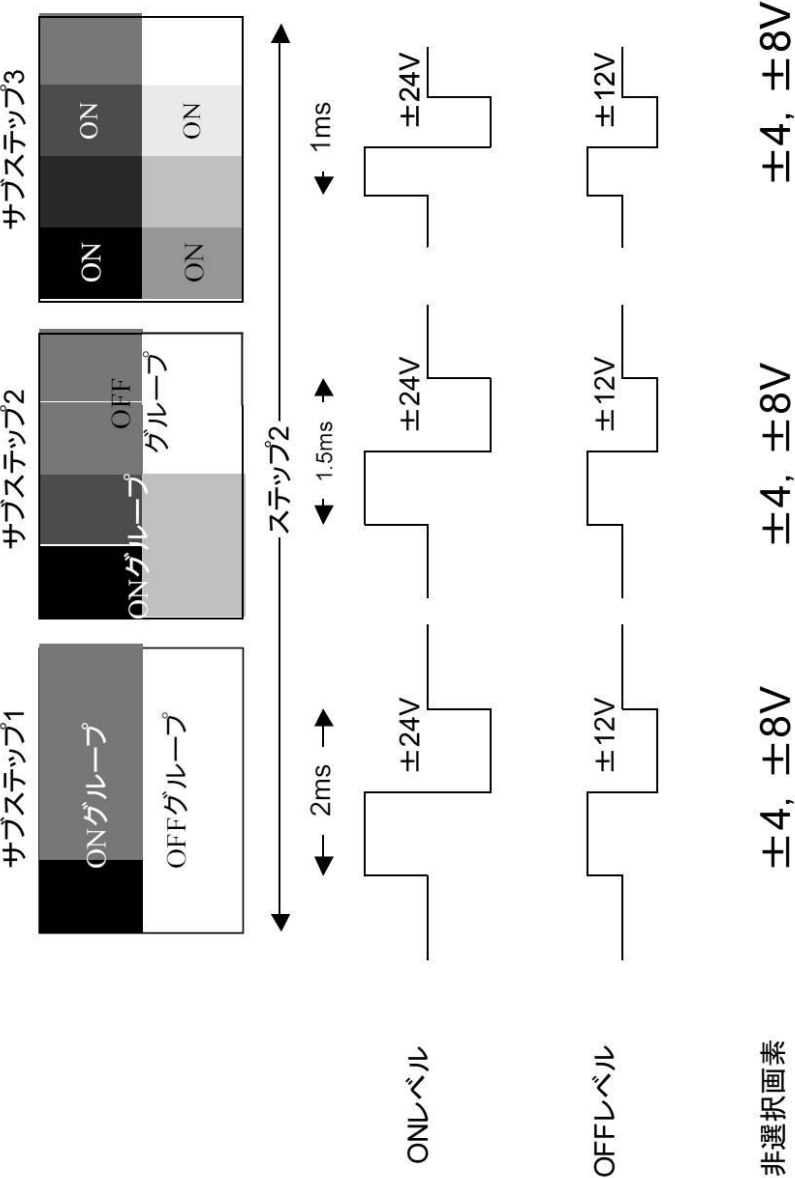
【図 5 A】



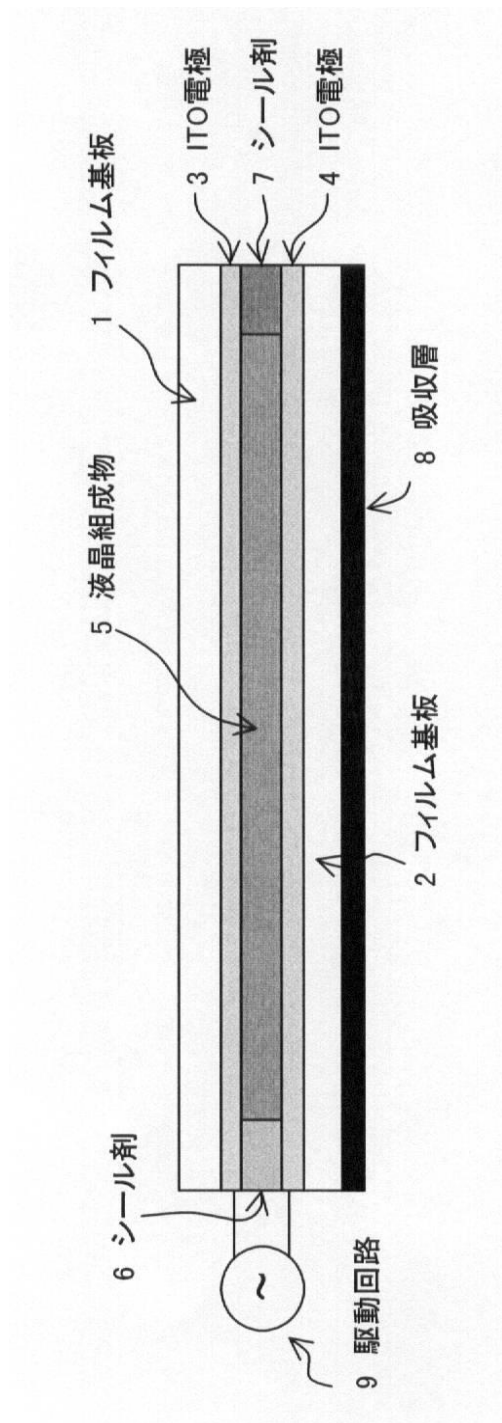
【図 8】



【図 10】



【図16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/36	
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 4 1 H
G 0 9 G	3/20	6 4 2 A

(56)参考文献 韓国公開特許第2003-0068638 (KR, A)

特開2001-281632 (JP, A)

特開2004-309622 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133

G02F 1/137

G09G 3/20

G09G 3/36

专利名称(译)	用于驱动液晶显示元件的方法		
公开(公告)号	JP4633789B2	公开(公告)日	2011-02-16
申请号	JP2007510267	申请日	2005-03-28
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	富士通株式会社		
[标]发明人	能勢将樹		
发明人	能勢 将樹		
IPC分类号	G02F1/133 G02F1/137 G02F1/1347 G09G3/36 G09G3/20		
CPC分类号	G09G3/2081 G09G3/2018 G09G3/3607 G09G3/3629 G09G2300/023 G09G2300/0473 G09G2300/0486 G09G2310/06 G09G2310/062 G09G2310/065 G09G2320/0209 G09G2320/0238 G09G2330/025		
FI分类号	G02F1/133.560 G02F1/133.575 G02F1/133.545 G02F1/137 G02F1/1347 G09G3/36 G09G3/20.623.D G09G3/20.623.C G09G3/20.623.B G09G3/20.641.H G09G3/20.642.A		
其他公开文献	JPWO2006103738A1		
外部链接	Espacenet		

摘要(译)

为了通过使用廉价的低耐压通用驱动器的液晶显示元件实现具有优异均匀性的多灰度显示，应用液晶的累积响应（重写）多次执行脉冲施加。使电压和脉冲宽度逐步变化，并且使用从反射状态的初始状态开始边缘大的区域将液晶控制到预定的半色调状态。结果，由于可以避免驱动电压的上升，因此可以使用具有低耐压的廉价二进制输出通用驱动器。另外，由于使用具有大余量的区域执行灰度级转换，因此可以实现具有优异均匀性的多色调显示。

【図 1 D】

