

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4502025号
(P4502025)

(45) 発行日 平成22年7月14日 (2010. 7. 14)

(24) 登録日 平成22年4月30日 (2010. 4. 30)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G09G 3/20 611A

G09G 3/20 621B

G09G 3/20 621D

G09G 3/20 660Q

請求項の数 6 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-42508 (P2008-42508)
 (22) 出願日 平成20年2月25日 (2008. 2. 25)
 (65) 公開番号 特開2009-198937 (P2009-198937A)
 (43) 公開日 平成21年9月3日 (2009. 9. 3)
 審査請求日 平成21年3月26日 (2009. 3. 26)

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 田尻 憲一
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のゲート線と、複数のソース線と、前記複数のゲート線に対応して設けられた複数の保持容量線と、前記複数のゲート線と前記複数のソース線との交差に対応して設けられた複数の画素と、を備え、表示パネルの全画面を表示領域とする全画面表示モードと、前記全画面における一部の領域を表示領域とし、他の領域を非表示領域とする部分表示モードとを選択可能な液晶表示装置において、

前記表示領域では、1フレーム毎に第1のレベルと当該第1のレベルとは異なる第2のレベルとの間で交互に反転を繰り返すフレーム反転信号に対応した極性信号を生成し、前記非表示領域では、前記第1のレベル及び前記第2のレベルの何れかに固定された固定信号に対応した極性信号を生成する極性信号生成回路と、

前記極性信号生成回路で生成した前記極性信号に応じて、前記保持容量線の電位を切り換える保持容量線駆動回路と、

前記フレーム反転信号に応じたタイミングで前記表示領域の変更を実行する制御回路と、を備え、

前記制御回路は、前記フレーム反転信号のレベルが、前記固定信号とは異なるレベルとなるフレームで、前記表示領域の変更を実行することを特徴とする液晶表示装置。

【請求項 2】

前記表示領域の変更は、前記全画面表示モードから前記部分表示モードへの移行、前記部分表示モードから前記全画面表示モードへの移行、及び前記部分表示モードにおける前

10

20

記表示領域の変更の何れかであることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記極性信号生成回路は、前記フレーム反転信号を生成するフレーム反転信号生成回路と、

前記表示領域と前記非表示領域との区別を表すデータを格納するメモリと、

前記メモリから出力される前記データが表示領域を表す場合には前記フレーム反転信号に対応した前記極性信号を出力し、前記メモリから出力される前記データが非表示領域を表す場合には前記固定信号に対応した前記極性信号を出力する論理回路と、を有し、

前記制御回路は、前記メモリに格納された前記データを更新することで、前記表示領域の変更を実行することを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

10

【請求項 4】

前記論理回路は、前記メモリから出力される前記データと前記フレーム反転信号生成回路で生成される前記フレーム反転信号とが印加される A N D 回路により構成されていることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記画素は、前記ソース線、前記ゲート線、及び画素電極に接続されると共に、接続された当該ゲート線が選択されたときに前記画素電極が前記ソース線と導通状態となる画素スイッチング素子と、前記画素電極と共通電位が印加された共通電極との間に介挿された画素容量と、前記画素電極と前記保持容量線との間に介挿された保持容量と、を有し、

前記部分表示モードにおいて、前記非表示領域に対応する前記画素の前記画素電極に、前記共通電位を印加するように構成されていることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の液晶表示装置。

20

【請求項 6】

前記共通電位を給電する給電線と前記ソース線とに接続されると共に、所定のタイミングで前記給電線と前記ソース線とを導通状態とするスイッチング素子を備え、前記部分表示モードの前記非表示領域において、1 水平走査期間、前記スイッチング素子を制御して前記給電線と前記ソース線とを導通状態とすることを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、保持容量線駆動方式を採用した液晶表示装置及び液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

従来、液晶表示装置の駆動方式として保持容量線駆動方式が知られている。この方式は、保持容量線と画素電極の間に保持容量を設け、画素電極に表示信号を書き込んだ後に、保持容量線の電位を変動させることにより、画素電極の電位を正又は負の方向に変化させるというものである。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費電力での駆動が可能となる。この保持容量線駆動方式を用いた液晶表示装置については、特許文献 1 に記載されている。

40

【0003】

また、液晶表示装置の表示方式として、部分表示方式（パーシャル表示方式）が知られている。この方式は、画素領域の中、一部の領域を画像が表示される表示領域とし、残りの領域を画像が表示されない非表示領域（白、又は黒の表示領域）とするものである。

保持容量線駆動方式の液晶表示装置において、パーシャル表示を行う場合、非表示領域においては保持容量線の駆動を停止することで、低消費電力化を図ることができる。この種の液晶表示装置については、特許文献 2 に記載されている。

【特許文献 1】特開 2002 - 196358 号公報

【特許文献 2】特開 2007 - 140192 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、保持容量線の駆動を停止するに際して、保持容量線の電位のレベルを決定するための極性信号を1フレーム前のレベルを引き継いで停止した場合、表示領域を変更すると複雑な動作となり、回路構成が複雑になる。

そこで、回路構成を簡単にするために、非表示領域においては、極性信号をLレベル又はHレベルに固定する方法が考えられるが、この場合、上記1フレーム前のレベルによっては、全画面表示モードから部分表示モードへの移行や部分表示モードから全画面表示モードへの移行、部分表示モードでの表示領域の変更等の移行シーケンス時に、最初の1フ

10

【0005】

そこで、本発明は、表示品質を損なうことなく低消費電力化を実現することができる液晶表示装置及び液晶表示装置の駆動方法を提供することを課題としている。

【課題を解決するための手段】

【0006】

上記課題を解決するために、第1の発明に係る液晶表示装置は、複数のゲート線と、複数のソース線と、前記複数のゲート線に対応して設けられた複数の保持容量線と、前記複数のゲート線と前記複数のソース線との交差に対応して設けられた複数の画素と、を備え、表示パネルの全画面を表示領域とする全画面表示モードと、前記全画面における一部の領域を表示領域とし、他の領域を非表示領域とする部分表示モードとを選択可能な液晶表示装置において、前記表示領域では、1フレーム毎に第1のレベルと当該第1のレベルとは異なる第2のレベルとの間で交互に反転を繰り返すフレーム反転信号に対応した極性信号を生成し、前記非表示領域では、前記第1のレベル及び前記第2のレベルの何れかに固定された固定信号に対応した極性信号を生成する極性信号生成回路と、前記極性信号生成回路で生成した前記極性信号に応じて、前記保持容量線の電位を切り換える保持容量線駆動回路と、前記フレーム反転信号に応じたタイミングで前記表示領域の変更を実行する制御回路と、を備え、前記制御回路は、前記フレーム反転信号のレベルが、前記固定信号とは異なるレベルとなるフレームで、前記表示領域の変更を実行することを特徴としている。

20

30

【0007】

これにより、表示領域では保持容量線駆動を作動し、非表示領域では保持容量線駆動を停止することができ、低消費電力での駆動を実現することができる。また、フレーム反転信号（フレーム極性）に応じて前記表示領域の変更（移行シーケンスの実行）を行うので、移行シーケンス時に最初の1フレームで表示不良が発生することを防止することができる。さらに、移行シーケンスを実行するフレームを限定することができるので、移行シーケンス時の最初のフレームにおいて、表示領域で保持容量線駆動が停止すると共に非表示領域で保持容量線駆動が作動するような不具合が発生することを防止することができ、確実に表示不良の発生を防止することができる。このように、表示品質を損なうことなく、低消費電力化を図ることができる。

40

【0009】

さらに、前記表示領域の変更は、前記全画面表示モードから前記部分表示モードへの移行、前記部分表示モードから前記全画面表示モードへの移行、及び前記部分表示モードにおける前記表示領域の変更の何れかであることを特徴としている。

これにより、表示領域を変更する移行シーケンス時の表示不良の発生を防止することができる。

【0010】

また、前記極性信号生成回路は、前記フレーム反転信号を生成するフレーム反転信号生成回路と、前記表示領域と前記非表示領域との区別を表すデータを格納するメモリと、前記メモリから出力される前記データが表示領域を表す場合には前記フレーム反転信号に対

50

応した前記極性信号を出力し、前記メモリから出力される前記データが非表示領域を表す場合には前記固定信号に対応した前記極性信号を出力する論理回路と、を有し、前記制御回路は、前記メモリに格納された前記データを更新することで、前記表示領域の変更を実行することを特徴としている。

【0011】

これにより、比較的簡易な回路構成で、表示領域において1フレーム毎に反転する極性信号を生成し、非表示領域においてLレベル(又はHレベル)に固定された極性信号を生成することができる。

さらにまた、前記論理回路は、前記メモリから出力される前記データと前記フレーム反転信号生成回路で生成される前記フレーム反転信号とが印加されるAND回路により構成されていることを特徴としている。

10

【0012】

これにより、簡易な回路構成で極性信号の生成を実現することができる。

また、前記画素は、前記ソース線、前記ゲート線、及び画素電極に接続されると共に、接続された当該ゲート線が選択されたときに前記画素電極が前記ソース線と導通状態となる画素スイッチング素子と、前記画素電極と共通電位が印加された共通電極との間に介挿された画素容量と、前記画素電極と前記保持容量線との間に介挿された保持容量と、を有し、前記部分表示モードにおいて、前記非表示領域に対応する前記画素の前記画素電極に、前記共通電位を印加するように構成されていることを特徴としている。

20

【0013】

これにより、部分表示モードにおける非表示領域では、共通電位を供給することで画像表示(非表示)を行うことができ、ソース線駆動回路からの表示信号を画素に書き込む、所謂ソース書き込みを停止することができるので、特に超低消費電力が要求される部分表示モードでの低消費電力化を実現することができる。

【0014】

さらに、前記共通電位を給電する給電線と前記ソース線とに接続されると共に、所定のタイミングで前記給電線と前記ソース線とを導通状態とするスイッチング素子を備え、前記部分表示モードの前記非表示領域において、1水平走査期間、前記スイッチング素子を制御して前記給電線と前記ソース線とを導通状態とすることを特徴としている。

30

【0015】

これにより、比較的簡易な回路構成で、非表示領域の画素へ共通電位(非表示信号)を供給することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を図面に基づいて説明する。

図1は、本実施形態における液晶表示装置の構成を示すブロック図である。

この図に示されるように、この液晶表示装置は、画素領域100を有し、この画素領域100の周辺にソース線駆動回路20、DSG制御回路21、ゲート線駆動回路22、保持容量線駆動回路23、極性信号生成回路24が配置した構成となっている。本実施形態の液晶表示装置では、保持容量線駆動方式を採用するものとする。

40

【0018】

画素領域100は、複数の画素110が配列する領域であり、例えば、320行のゲート線GLが行(X)方向に延在する一方、240列のソース線SLが列(Y)方向に延在するように、それぞれ設けられ、1~320行目のゲート線GLと1~240列目のソース線SLとの交差に対応して、画素110がそれぞれ配列している。また、1~320行目のゲート線GLに対応して、それぞれ保持容量線SCがX方向に延在して設けられている。

【0019】

なお、本実施形態では、画素110が画素領域100において縦320行×横240列でマトリクス状に配列することになるが、本発明をこの配列に限定する趣旨ではない。

50

本実施形態の液晶表示装置は、画素領域 1 0 0 の全画面を表示領域とする全画面表示モードと、前記全画面における一部の領域を表示領域とし、他の領域を非表示領域とする部分表示モードとを選択可能となっている。

【 0 0 2 0 】

図 2 は、部分表示モードにおける表示領域を示す図である。

部分表示モードでは、例えば、図 2 に示すように、縦方向（y 方向）の上端から 8 0 行目から 1 6 0 行目の画素の領域のみを表示領域として画像（時刻や電池残量など）を表示し、その他の領域である非表示領域には、画像を表示しない。すなわち、非表示領域は、ノーマリーホワイトの場合は白が表示され、ノーマリーブラックの場合は黒が表示される。

10

【 0 0 2 1 】

次に、画素 1 1 0 の詳細な構成について説明する。

図 1 においては、簡単のため、3 行 × 3 列の 9 個の画素 1 1 0 を示している。各画素 1 1 0 は、画素スイッチング素子として機能する n チャネル型の薄膜トランジスタ（以下、T F T と称す）1 0 と、画素容量（液晶容量）1 2 と、保持容量 1 3 とを有する。各画素 1 1 0 については互いに同一構成なので、1 行 1 列に位置するもので代表して説明すると、当該 1 行 1 列の画素 1 1 0 において、T F T 1 0 のゲート電極は 1 行目のゲート線 G L 1 に接続される一方、そのソース電極は 1 列目のソース線 S L 1 に接続され、そのドレイン電極は画素容量 1 2 の一端である画素電極 1 1 に接続されている。

【 0 0 2 2 】

また、画素容量 1 2 の他端は共通電極 C E に接続されている。この共通電極 C E は、図 1 に示されるように全ての画素 1 1 0 にわたって共通であり、コモン信号 V C O M が供給される。なお、本実施形態においてコモン信号 V C O M は、時間的に電圧 L C C O M で一定である。

20

【 0 0 2 3 】

画素領域 1 0 0 は、画素電極 1 1 が形成された素子基板と共通電極 C E が形成された対向基板との一対の基板同士を、電極形成面が互に対向するように一定の間隙を保って貼り合わせるとともに、この間隙に液晶を封止した構成となっている。このため、画素容量 1 2 は、画素電極 1 1 と共通電極 C E とで誘電体の一種である液晶を挟持したものとなり、画素電極 1 1 と共通電極 C E との差電圧を保持する構成となっている。この構成において、画素容量 1 2 では、その透過光量が当該保持電圧の実効値に応じて変化する。

30

【 0 0 2 4 】

なお、本実施形態では、画素容量 1 2 において保持される電圧実効値がゼロに近ければ、光の透過率が最大となって白色表示になる一方、電圧実効値が大きくなるにつれて透過する光量が減少して、ついには透過率が最小の黒色表示になるノーマリーホワイトモードに設定されているものとする。

また、1 行 1 列の画素 1 1 0 において、保持容量 1 3 は、その一端が画素電極 1 1（T F T 1 0 のドレイン電極）に接続されるとともに、他端が 1 行目の保持容量線 S C 1 に接続されている。

【 0 0 2 5 】

ゲート線駆動回路 2 2 は、1 垂直走査期間（1 フレーム期間）にわたってゲート信号 G 1、G 2、G 3、...、G 3 2 0 を、それぞれ 1、2、3、...、3 2 0 行目のゲート線 G L に供給するものである。すなわち、ゲート線駆動回路 2 2 は、ゲート線 G L を 1、2、3、...、3 2 0 行目という順番で選択するとともに、選択したゲート線 G L へのゲート信号を選択電圧に相当する H レベルとし、それ以外のゲート線 G L への走査信号を非選択電圧（接地電位 G n d）に相当する L レベルとする。

40

【 0 0 2 6 】

また、ソース線駆動回路 2 0 は、ゲート線駆動回路 2 2 により選択されるゲート線 G L に位置する画素 1 1 0 の表示階調に応じた電圧のソース信号（表示信号）S i g 1、S i g 2、S i g 3、...、S i g 2 4 0 を、1、2、3、...、2 4 0 列目のソース線 S L にそ

50

れぞれ供給する。

ここで、ソース線駆動回路20は、縦320行×横240列のマトリクス配列に対応した記憶領域(図示省略)を有し、各記憶領域には、それぞれ対応する画素110の階調値(明るさ)を指定する表示データが記憶される。各記憶領域に記憶される表示データは、表示内容に変更が生じた場合に書き換えられる。

【0027】

そして、ソース線駆動回路20は、選択されるゲート線GLに位置する画素110の表示データを記憶領域から読み出すとともに、当該階調値に応じた電圧であって指定された極性の電圧の表示信号Sigに変換しソース線SLに供給する動作を、選択されるゲート線GLに位置する1~240列のそれぞれについて実行する。

10

図3は、画素領域100の周辺回路の具体的構成を示すブロック図である。

【0028】

ソース線SLの一端には、ソース線駆動回路20内の水平スイッチSWHを介してソースドライバ201の出力端子が接続されている。この水平スイッチSWHは、水平走査信号に応じてスイッチングするようになっており、水平スイッチSWHがONすると、ソースドライバ201から表示信号Sigがソース線SLに供給される。このようにして、ソース線駆動回路20から表示信号Sigを画素電極11に書き込む、所謂ソース書き込みが行われる。

【0029】

DSG制御回路21には、制御信号DSG及びコモン信号VCOMが供給される。このDSG制御回路21は、図3に示すように、スイッチSWSを介して共通電位LCCOMをソース線SLに出力するようになっており、制御信号DSGに応じて、スイッチSWSがON/OFFされることで、共通電極ドライバ211から共通電位LCCOMがソース線SLへ供給される。

20

【0030】

ここで、制御信号DSGは、部分表示モードの非表示領域においてHレベルとなるように設定されている。したがって、非表示領域においては、スイッチSWSがONすることでソース線SLと共通電極CEとが短絡され、ソース線SLに共通電位LCCOMが供給される。そして、ゲート線駆動回路22からのゲート信号Gに応じてTFT10がオンすると、画素電極11に共通電位LCCOMが印加される。これにより、画素容量12に印加される電圧は0V程度となって非表示状態が得られる。

30

【0031】

このように、非表示領域に対応する画素電極11に共通電極ドライバ211からの共通電位LCCOMを書き込む駆動を、以下、COM書き込みという。

極性信号生成回路24は、フレーム反転信号生成回路241と、メモリ242と、AND回路243と、シーケンス実行判定回路244とで構成されている。なお、シーケンス実行判定回路244が制御回路に対応している。

【0032】

フレーム反転信号生成回路241は、1フレーム毎にHレベルとLレベルとの間で反転を繰り返すフレーム極性を示すフレーム反転信号POL_Fを生成する回路である。

40

メモリ242には、画素領域100において、画像が表示される表示領域と、画像が表示されない非表示領域との区別を表すデータが、各ライン(各行)に対応して格納される。前記データは、表示領域では「1」であり、非表示領域では「0」である。メモリ242は、例えば、シフトレジスタで形成することができ、1水平走査期間(1H期間)の周期を有するパルス信号であるクロックHCLKに同期して、データを保持し、且つシフトする動作をする。

【0033】

フレーム反転信号生成回路241により生成されたフレーム反転信号POL_Fと、クロックHCLKに同期してメモリ242から読み出されたデータとは、2入力のAND回路243に入力される。

50

AND回路243はメモリ242から読み出されたデータが表示領域を表す場合、つまりデータが「1」の場合は、フレーム反転信号 POL_F をそのまま極性信号 POL として出力する。また、AND回路243の出力は、メモリ242から読み出されたデータが非表示領域を表す場合、つまり、データが「0」の場合は、「0」に固定される。即ち、この場合、AND回路243は「0」(=Lレベル)に固定された極性信号 POL を出力する。

【0034】

このように、表示領域においては、1フレーム毎に反転するフレーム反転信号 POL_F に対応した極性信号 POL を出力し、非表示領域においては、固定信号(Lレベル)に対応した極性信号 POL を出力する。

10

シーケンス実行判定回路244は、表示領域変更信号(移行シーケンスコマンド)とフレーム反転信号 POL_F とが入力され、全画面表示モードから部分表示モードへの移行や部分表示モードから全画面表示モードへの移行、部分表示モードにおける表示領域の変更等の移行シーケンスを要求する移行シーケンスコマンドが入力されたとき、フレーム反転信号 POL_F に応じて、上記移行シーケンスを実行するタイミングを判定する。

【0035】

図4は、シーケンス実行判定回路244で実行されるシーケンス実行判定処理を示すフローチャートである。

このシーケンス実行判定処理では、先ずステップS1で、全画面表示モードから部分表示モードへの移行、部分表示モードから全画面表示モードへの移行、又は部分表示モードにおける表示領域の変更を要求する移行シーケンスコマンドを受信したか否かを判定する。そして、移行シーケンスコマンドを受信していないときには、移行シーケンスコマンドを受信するまで待機し、当該移行シーケンスコマンドを受信したときステップS2に移行する。

20

【0036】

ステップS2では、フレーム反転信号 POL_F がLレベルであるか否かを判定し、 $POL_F = H$ であるときには $POL_F = L$ となるまで待機し、 $POL_F = L$ であるときにはステップS3に移行する。

そして、ステップS3では、移行シーケンスを実行するものと判定して、メモリ242に格納されたデータを書き換える。

30

【0037】

このように、全画面表示モードから部分表示モードへの移行、部分表示モードから全画面表示モードへの移行、部分表示モードにおける表示領域の変更を行う場合には、フレーム反転信号 POL_F を検出し、 $POL_F = L$ のフレームの次フレーム、即ちフレーム反転信号 POL_F のレベルが、非表示領域における極性信号 POL (固定信号のLレベル)とは異なるレベルとなるフレームで当該移行シーケンスを実行するようにする。

【0038】

また、Vreset信号は、垂直同期信号Vsyncと同期した信号で、メモリ242の読み出しカウンタをリセットするものである。

次に、保持容量線駆動回路23の構成を説明する。図3では、説明を簡略化するため、第1及び第2の保持容量線SC1及びSC2について示している。

40

極性信号生成回路24から出力された極性信号 POL は、第1及び第2の保持容量線SC1及びSC2にそれぞれ対応して設けられた、第1、第2のラッチ回路LCH1、LCH2で、第1、第2のタイミングクロックTCLK1、TCLK2に基づいてラッチされる。第1、第2のラッチ回路LCH1、LCH2は、ラッチした極性信号 POL を第1、第2のラッチ信号 $POL1$ 、 $POL2$ として出力し、且つ保持する。

【0039】

第1、第2のタイミングクロックTCLK1、TCLK2は、タイミング制御回路231によって、ゲート信号G1、G2及びタイミング制御信号TCLKに基づいて作成される。

50

第 1, 第 2 のラッチ信号 $POL1$, $POL2$ は、後段の第 1, 第 2 のスイッチ $SW1$, $SW2$ のスイッチングを制御する信号として用いられる。例えば、第 1 のラッチ信号 $POL1$ が H レベルの場合は、第 1 の保持容量線 $SC1$ に低電位 $VCOML$ が印加され、第 1 のラッチ信号 $POL1$ が L レベルの場合は、第 1 の保持容量線 $SC1$ に高電位 $VCOMH$ が印加される。

【0040】

即ち、第 1, 第 2 の保持容量線 $SC1$, $SC2$ の電位は、第 1, 第 2 のタイミングクロック $TCLK1$, $TCLK2$ の立ち上がるタイミングによって決定される。このような保持容量線駆動方式においては、一般にそのようなタイミングはゲート信号 $G1$, $G2$ が立ち下がった後である。

10

【0041】

ところで、シーケンス実行判定回路 244 でシーケンス実行判定処理を行わず、フレーム反転信号 POL_F にかかわらずに移行シーケンスコマンドを受信した直後のフレームで移行シーケンスを実行することも考えられるが、この場合、フレーム反転信号 POL_F によっては、移行シーケンス時に最初の 1 フレームにおいて表示に影響を与えてしまう。以下、これについて説明する。

【0042】

図 5 は、シーケンス実行判定処理を行わずに、全画面表示モードから部分表示モードへ移行する場合の動作を説明するタイミングチャートである。

この図 5 において、(a) $Vsync$ は 1 垂直走査期間の開始タイミングを指示するための垂直同期信号、(b), (c) POL は極性信号、(d) 各 SEL は各ソース線 SL に対してソース線駆動回路 20 から供給される表示信号、(e) DSG は制御信号、(f) $VENB$ はゲート選択イネーブル信号である。

20

【0043】

全画面表示モードでは、1 フレーム期間中において、ソース線駆動回路 20 からソース線 SL への表示信号 Sig の供給が連続的に行われ、これにより、表示領域の全ての画素電極 11 に表示信号が供給されて、全画面表示が行われる。

このとき、メモリ 242 には、全ラインについてデータ「1」が格納されている。したがって、 n フレームにおいて、フレーム反転信号生成回路 241 により生成されたフレーム反転信号 POL_F が L レベルであるときには、図 5 (b) に示すように、全ラインに亘って極性信号 $POL = L$ となり、フレーム反転信号 POL_F が H レベルであるときには、図 5 (c) に示すように、全ラインに亘って極性信号 $POL = H$ となる。

30

【0044】

この n フレームにおいて、全画面表示モードから部分表示モードへの移行を要求するコマンド（パシャル ON コマンド）を受信し、非表示領域のラインに対応したメモリ 242 のデータが「1」から「0」に書き換えられると、($n+1$) フレームから部分表示モードに移行する。

【0045】

前述したように、本実施形態ではフレーム反転駆動が行われるため、図 5 (b) に示すように、 n フレームで $POL_F = L$ ($POL = L$) であるときには、($n+1$) フレーム以降では、表示領域に対応するラインについてはフレーム毎に極性信号 POL が $H \rightarrow L \rightarrow H \rightarrow \dots$ を繰り返し、非表示領域に対応するラインについては極性信号 POL が L レベルで固定される。

40

【0046】

一方、図 5 (c) に示すように、 n フレームで $POL_F = H$ ($POL = H$) であるときには、($n+1$) フレーム以降では、表示領域に対応するラインについてはフレーム毎に極性信号 POL が $L \rightarrow H \rightarrow L \rightarrow \dots$ を繰り返し、非表示領域に対応するラインについては極性信号 POL が L レベルで固定される。

このとき、表示領域に対応する画素電極 11 にはソース線駆動回路 20 からの表示信号 Sig を書き込む、ソース書き込みが行われる。また、非表示領域では制御信号 DSG が

50

Hレベルに維持され、非表示領域に対応する画素電極11には共通電極ドライバ211からの共通電位LCCOMを書き込む、COM書き込みが行われる。

【0047】

図6は、シーケンス実行判定処理を行わずに、部分表示モードにおいて表示領域の変更を行う場合の動作を説明するタイミングチャートである。

nフレームでは、領域Aを表示領域、領域Bを非表示領域に設定している。この場合、メモリ242には、領域Aに対応するラインについてはデータ「1」が格納され、領域Bに対応するラインについてはデータ「0」が格納される。

【0048】

したがって、このnフレームにおいて、フレーム反転信号POL_FがLレベルであるときには、図6(b)に示すように、全ラインに亘って極性信号POL=Lとなり、フレーム反転信号POL_FがHレベルであるときには、図6(c)に示すように、表示領域(領域A)に対応するラインについては極性信号POL=Hとなり、非表示領域(領域B)に対応するラインについては極性信号POL=Lとなる。

【0049】

このnフレームにおいて、部分表示モードにおける表示領域の変更を要求するコマンド(エリア変更コマンド)を受信し、新しい表示領域(領域C)のラインに対応したメモリ242のデータが「1」、新しい非表示領域(領域D)のラインに対応したメモリ242のデータが「0」に書き換えられると、(n+1)フレームから表示領域が領域Aから領域Cへ変更する。

【0050】

したがって、図6(b)に示すように、nフレームでPOL_F=Lであるときには、(n+1)フレーム以降では、表示領域(領域C)に対応するラインについてはフレーム毎に極性信号POLがH→L→H→...を繰り返し、非表示領域(領域D)に対応するラインについては極性信号POLがLレベルで固定される。

一方、図6(c)に示すように、nフレームでPOL_F=Hであるときには、(n+1)フレーム以降では、表示領域(領域C)に対応するラインについてはフレーム毎に極性信号POLがL→H→L→...を繰り返し、非表示領域(領域D)に対応するラインについては極性信号POLがLレベルで固定される。

【0051】

図7は、シーケンス実行判定処理を行わずに、部分表示モードから全画面表示モードへ移行する場合の動作を説明するタイミングチャートである。

nフレームでは、領域Aを表示領域、領域Bを非表示領域に設定している。この場合、メモリ242には、領域Aに対応するラインについてはデータ「1」が格納され、領域Bに対応するラインについてはデータ「0」が格納される。

【0052】

したがって、このnフレームにおいて、フレーム反転信号POL_FがLレベルであるときには、図7(b)に示すように、全ラインに亘って極性信号POL=Lとなり、フレーム反転信号POL_FがHレベルであるときには、図7(c)に示すように、表示領域(領域A)に対応するラインについては極性信号POL=Hとなり、非表示領域(領域B)に対応するラインについては極性信号POL=Lとなる。

【0053】

このnフレームにおいて、部分表示モードから全画面表示モードへの移行を要求するコマンド(ノーマルONコマンド)を受信し、領域Bのラインに対応したメモリ242のデータが「0」から「1」に書き換えられると、(n+1)フレームから全画面表示モードに移行する。

したがって、図7(b)に示すように、nフレームでPOL_F=Lであるときには、(n+1)フレーム以降では、フレーム毎に極性信号POLがH→L→H→...を繰り返す。一方、図7(c)に示すように、nフレームでPOL_F=Hであるときには、(n+1)フレーム以降では、フレーム毎に極性信号POLがL→H→L→...を繰り返す。

10

20

30

40

50

【 0 0 5 4 】

次に、保持容量線駆動による画素電位の遷移について、図 8 をもとに説明する。

図 8 (a) は、表示領域の駆動において $POL = L$ から $POL = H$ へ変化する場合の画素電位の遷移を示している。この図 8 (a) に示すように、表示領域を駆動する際には、ソース線 SL を介して画素電極 11 に表示信号を書き込んだ後、保持容量線駆動回路 23 のスイッチ SW が振られることにより、対応する保持容量線 SC の電位が変動する。その結果、画素電極 11 の電位が正の方向へ変化する。

【 0 0 5 5 】

このように、ソース線 SL を介して画素電極 11 に表示信号を書き込んだ後に保持容量線駆動（容量振り）を行うことにより、表示信号のダイナミックレンジを小さくして、低消費電力での駆動を実現することができる。ところが、ソース線 SL を介して画素電極 11 に表示信号を書き込んだ後に保持容量線駆動が行われないと、十分な書き込みが行えず表示に悪影響を与えるおそれがある。

【 0 0 5 6 】

図 8 (b) は、非表示領域の駆動において $POL = L$ で固定されている場合の画素電位の遷移を示している。この図 8 (b) に示すように、 DSG 制御回路 21 のスイッチ SW_S を介して画素電極 11 に共通電位 $LCCOM$ （非表示信号）を書き込んだ後、保持容量線駆動が行われずに保持容量線 SC の電位が変化しなければ、画素容量 12 に印加される電圧が $0V$ を維持し、非表示状態を維持することができる。

【 0 0 5 7 】

これに対して、図 8 (c) に示すように、非表示領域の駆動において $POL = H$ から $POL = L$ に変化する場合には、 DSG 制御回路 21 のスイッチ SW_S を介して画素電極 11 に共通電位 $LCCOM$ （非表示信号）を書き込んだ後、保持容量線駆動が行われて保持容量線 SC の電位が変化してしまう。その結果、画素容量 12 に印加される電圧が $0V$ から変化し、表示不良が発生してしまう。

【 0 0 5 8 】

このように、表示領域を駆動する際に保持容量線駆動が停止してしまったり、非表示領域を駆動する際に保持容量線駆動が作動してしまったりすると、表示に悪影響を与えてしまう。

【 0 0 5 9 】

全画面表示モードから部分表示モードへ移行する場合、図 5 (b) に示すように、フレーム反転信号 POL_F が L レベルである n フレームの次の $(n+1)$ フレームで移行シーケンスを実行する場合には、表示領域で極性信号 POL が反転し、非表示領域では極性信号 POL が反転しない OK 動作となる。一方、図 5 (c) に示すように、フレーム反転信号 POL_F が H レベルである n フレームの次の $(n+1)$ フレームで移行シーケンスを実行する場合には、非表示領域で極性信号 POL が反転して保持容量線駆動が作動される NG 動作となる。

【 0 0 6 0 】

また、部分表示モードにおける表示領域を変更する場合、図 6 (b) に示すように、フレーム反転信号 POL_F が L レベルである n フレームの次の $(n+1)$ フレームで移行シーケンスを実行する場合には、表示領域で極性信号 POL が反転し、非表示領域では極性信号 POL が反転しない OK 動作となる。一方、図 6 (c) に示すように、フレーム反転信号 POL_F が H レベルである n フレームの次の $(n+1)$ フレームで移行シーケンスを実行する場合には、表示領域から非表示領域へ変更したエリアで極性信号 POL が反転すると共に、非表示領域から表示領域へ変更したエリアで極性信号 POL が反転しない NG 動作となる。

【 0 0 6 1 】

さらに、部分表示モードから全画面表示モードへ移行する場合、図 7 (b) に示すように、フレーム反転信号 POL_F が L レベルである n フレームの次の $(n+1)$ フレームで移行シーケンスを実行する場合には、全表示領域で極性信号 POL が反転する OK 動作と

10

20

30

40

50

なる。一方、図 7 (c) に示すように、フレーム反転信号 POL_F が H レベルである n フレームの次の $(n + 1)$ フレームで移行シーケンスを実行する場合には、非表示領域から表示領域へ変更したエリアで極性信号 POL が反転しない NG 動作となる。

【 0 0 6 2 】

このように、フレーム反転信号 POL_F のレベルが、非表示領域における極性信号 POL (L レベル) に対応したレベルとなるフレームで移行シーケンスを実行すると、NG 動作となり表示不良が発生してしまう。

そこで、本実施形態では、シーケンス実行判定回路 2 4 4 でシーケンス実行判定処理を行い、フレーム反転信号 POL_F に応じて移行シーケンスを実行するフレームを限定する。

10

【 0 0 6 3 】

次に、本実施形態における液晶表示装置の動作について説明する。

図 9 及び図 1 0 は、本実施形態において全画面表示モードから部分表示モードへ移行する場合の動作を説明するタイミングチャートである。まず、フレーム反転信号 POL_F が L レベルであるときにパースシャル ON コマンドを受信した場合について、図 9 をもとに説明する。

【 0 0 6 4 】

n フレームにおいて、メモリ 2 4 2 には、全ラインについてデータ「 1 」が格納されている。このとき、フレーム反転信号 POL_F が L レベルであるものとする、全ラインに亘って極性信号 $POL = L$ となる。

20

この n フレームでパースシャル ON コマンドを受信すると、シーケンス実行判定回路 2 4 4 は、図 4 に示すシーケンス実行判定処理において、ステップ S 1 で Yes と判定してステップ S 2 に移行し、フレーム反転信号 POL_F が L レベルであるか否かを判定する。このとき、 $POL_F = L$ であるため、ステップ S 2 で Yes と判定してステップ S 3 に移行し、メモリ 2 4 2 のデータを書き換える。

【 0 0 6 5 】

これにより、部分表示モードにおける非表示領域のラインに対応したメモリ 2 4 2 のデータが「 1 」から「 0 」に書き換えられ、 $(n + 1)$ フレームから部分表示モードに移行する。

したがって、 $(n + 1)$ フレーム以降では、表示領域に対応するラインについてはフレーム毎に極性信号 POL が $H \rightarrow L \rightarrow H \rightarrow \dots$ を繰り返し、非表示領域に対応するラインについては極性信号 POL が L レベルで固定される。

30

このとき、 $(n + 1)$ フレーム (移行シーケンスを行った後の最初のフレーム) では、表示領域で極性信号 POL が反転し、非表示領域で極性信号 POL が反転しない OK 動作となる。

【 0 0 6 6 】

図 1 0 は、フレーム反転信号 POL_F が H レベルであるときにパースシャル ON コマンドを受信した場合の動作を示すタイミングチャートである。

n フレームにおいて、メモリ 2 4 2 には、全ラインについてデータ「 1 」が格納されているため、この n フレームにおいては、全ラインに亘って極性信号 $POL = H$ となる。

40

【 0 0 6 7 】

この n フレームでパースシャル ON コマンドを受信すると、シーケンス実行判定回路 2 4 4 は、図 4 に示すシーケンス実行判定処理において、ステップ S 1 で Yes と判定してステップ S 2 に移行するが、 $POL_F = H$ であるためステップ S 2 で No と判定して $POL_F = L$ となるまで待機する。したがって、このときメモリ 2 4 2 のデータは更新されず、全ラインについてデータ「 1 」が格納された状態を継続する。

【 0 0 6 8 】

これにより、 $(n + 1)$ フレームでは全画面表示モードが継続される。この $(n + 1)$ フレームでは、フレーム反転信号 POL_F が L レベルに反転するため、全ラインに亘って極性信号 $POL = L$ となる。

50

そしてこのとき、シーケンス実行判定回路244は、前記ステップS2でYesと判定してステップS3に移行し、メモリ242のデータを書き換える。こうして、部分表示モードにおける非表示領域のラインに対応したメモリ242のデータが「1」から「0」に書き換えられ、(n+2)フレームから部分表示モードに移行する。

【0069】

したがって、(n+2)フレーム以降では、表示領域に対応するラインについてはフレーム毎に極性信号POLがH→L→H→...を繰り返し、非表示領域に対応するラインについては極性信号POLがLレベルで固定される。

このとき、(n+2)フレーム(移行シーケンスを行った後の最初のフレーム)では、表示領域で極性信号POLが反転し、非表示領域で極性信号POLが反転しないOK動作となる。

10

【0070】

このように、フレーム反転信号POL_Fを検出し、このフレーム反転信号POL_FがLレベルであるフレームの次フレームで移行シーケンスを実行するので、上述したようなNG動作の発生を防止することができ、表示不良の発生を防止することができる。

同様に、部分表示モードにおける表示領域の変更、及び部分表示モードから全画面表示モードへの移行を行う場合にも、フレーム反転信号POL_Fを検出し、このフレーム反転信号POL_FがLレベルであるフレームの次フレームで移行シーケンスを実行することで、表示不良の発生を防止することができる。

【0071】

20

このように、上記実施形態では、表示領域では、1フレーム毎にHレベルとLレベルとの間で反転を繰り返すフレーム反転信号に対応したレベルの極性信号を生成し、非表示領域では、Lレベルに固定された固定信号に対応したレベルの極性信号を生成し、この極性信号に応じて保持容量線の電位を切り換えるので、表示領域では保持容量線駆動を作動し、非表示領域では保持容量線駆動を停止することができ、低消費電力での駆動を実現することができる。

【0072】

また、移行シーケンスコマンドを受信したとき、フレーム反転信号に応じたタイミングで移行シーケンスを実行するので、移行シーケンス時に最初の1フレームで表示不良が発生することを防止することができる。

30

このように、表示品質を損なうことなく、低消費電力化を図ることができる。

【0073】

また、移行シーケンスコマンドを受信したとき、フレーム反転信号がLレベルとなるフレームの次フレームで上記移行シーケンスを実行するので、移行シーケンスを実行するフレームを限定して、移行シーケンス時の最初のフレームにおいて、表示領域で保持容量線駆動が停止すると共に非表示領域で保持容量線駆動が作動するような不具合が発生することを防止することができ、確実に表示不良の発生を防止することができる。

【0074】

さらに、移行シーケンスコマンドは、全画面表示モードから部分表示モードへの変更を要求するパーシャルONコマンド、部分表示モードから全画面表示モードへの変更を要求するノーマルONコマンド、及び部分表示モードにおける表示領域の変更を要求するエリア変更コマンドの何れかとするので、これらの移行シーケンスを行う際の表示不良の発生を防止することができる。

40

【0075】

また、フレーム反転信号生成回路とメモリとAND回路とで極性信号生成回路を構成するので、比較的簡易な回路構成で、表示領域において1フレーム毎に反転する極性信号を生成し、非表示領域においてLレベルに固定された極性信号を生成することができる。

さらにまた、部分表示モードにおける非表示領域では、共通電位を供給することで画像表示(非表示)を行うので、ソース線駆動回路からの表示信号を画素電極11に書き込む、ソース書き込みを停止することができ、特に超低消費電力が要求される部分表示モード

50

での低消費電力化を実現することができる。

【 0 0 7 6 】

さらに、共通電位を給電する給電線とソース線とに接続されると共に、所定のタイミングで給電線とソース線とを導通状態とするスイッチング素子を備え、部分表示モードの非表示領域において、1水平走査期間、当該スイッチング素子を制御して給電線とソース線とを導通状態とするので、比較的簡易な回路構成で、非表示領域の画素電極11へ共通電位を供給する、COM書き込みを行うことができる。

【 0 0 7 7 】

なお、上記実施形態においては、極性信号生成回路24で非表示領域の極性信号POLをLレベルに固定する場合について説明したが、Hレベルに固定することもできる。この場合、シーケンス実行判定回路244では、図4のステップS2でフレーム反転信号POL_FがHレベルであるか否かを判定し、POL_F=HであるときにステップS3に移行してシーケンスを実行するようにすればよい。

【 0 0 7 8 】

また、上記実施形態においては、極性信号生成回路24を、フレーム反転信号生成回路241、メモリ242及びAND回路243を含む構成とする場合について説明したが、表示領域において極性信号POLを1フレーム毎に反転させ、非表示領域において極性信号POLの極性をLレベル（又はHレベル）に固定させるような構成であればよい。

【図面の簡単な説明】

【 0 0 7 9 】

【図1】本発明の実施形態に係る液晶表示装置の構成を示すブロック図ある。

【図2】部分表示モードにおける表示領域を示す図である。

【図3】画素領域の周辺回路の具体的構成を示すブロック図である。

【図4】シーケンス実行判定回路で実行されるシーケンス実行判定処理を示すフローチャートである。

【図5】シーケンス実行判定処理を行わずに、全画面表示モードから部分表示モードへ移行する場合の動作を説明するタイミングチャートである。

【図6】シーケンス実行判定処理を行わずに、部分表示モードにおいて表示領域の変更を行う場合の動作を説明するタイミングチャートである。

【図7】シーケンス実行判定処理を行わずに、部分表示モードから全画面表示モードへ移行する場合の動作を説明するタイミングチャートである。

【図8】保持容量線駆動による画素電位の遷移を説明する図である。

【図9】本実施形態の動作を説明するタイミングチャートである。

【図10】本実施形態の動作を説明するタイミングチャートである。

【符号の説明】

【 0 0 8 0 】

10...TFT、11...画素電極、12...画素容量、13...保持容量、20...ソース線駆動回路、21...DSG制御回路、22...ゲート線駆動回路、23...保持容量線駆動回路、24...極性信号生成回路、231...タイミング制御回路、241...フレーム反転信号生成回路、242...メモリ、243...AND回路、244...シーケンス実行判定回路、GL...ゲート線、LCH1、LCH2...第1、第2のラッチ回路、SC...保持容量線、SL...ソース線、SW1、SW2...第1、第2のスイッチ

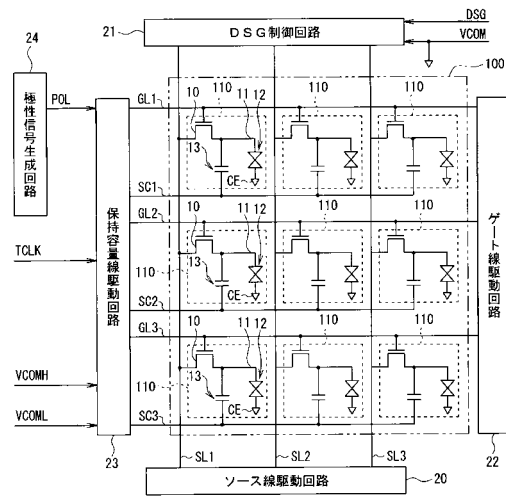
10

20

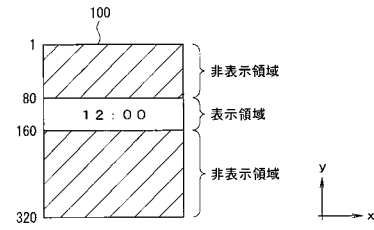
30

40

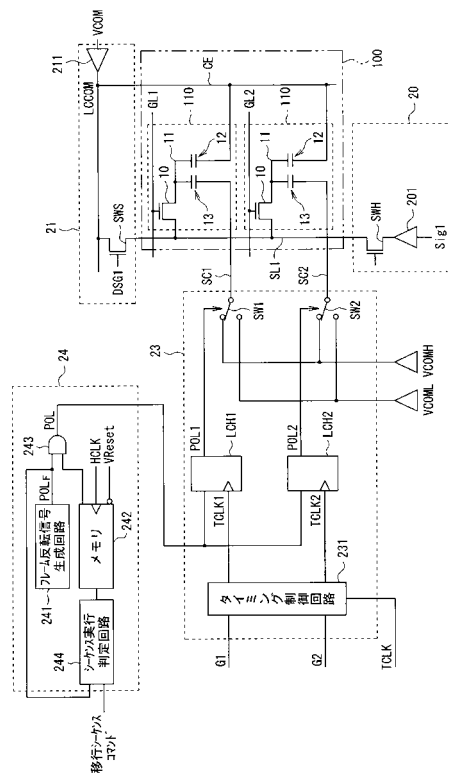
【図 1】



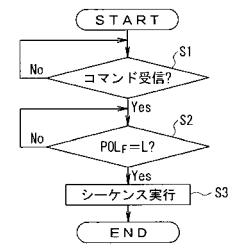
【図 2】



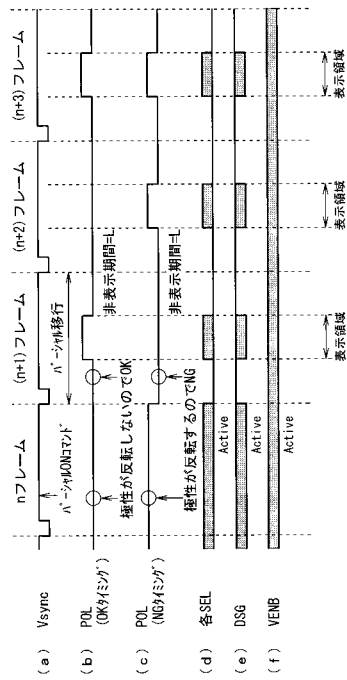
【図 3】



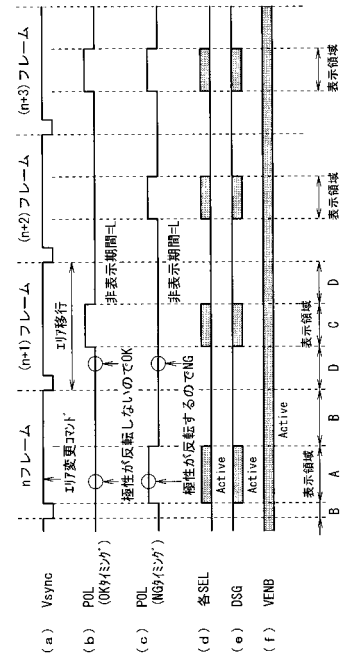
【図 4】



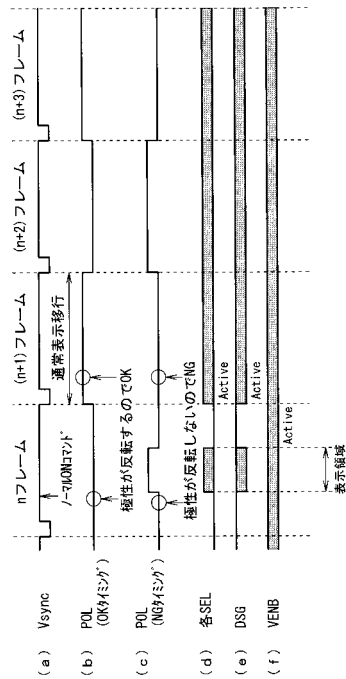
【図 5】



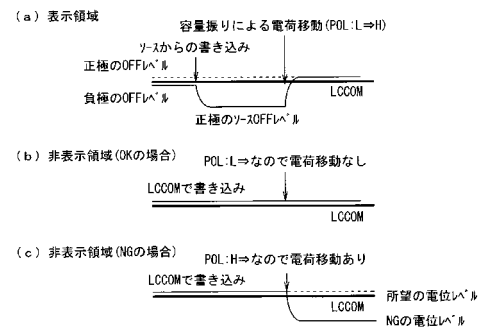
【図 6】



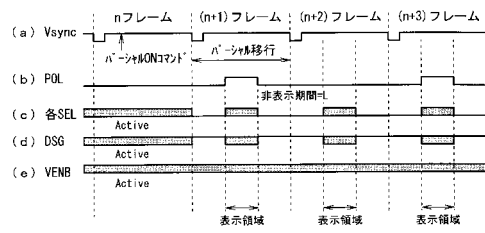
【図 7】



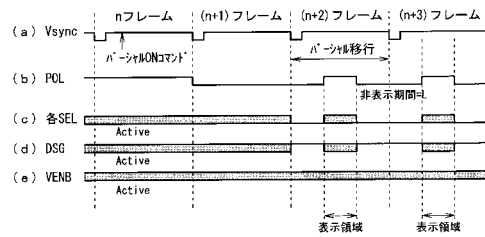
【図 8】



【図 9】



【図 10】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 T
	G 0 9 G	3/20	6 2 4 D
	G 0 9 G	3/20	6 2 1 A
	G 0 9 G	3/20	6 3 1 U
	G 0 9 G	3/20	6 2 1 K
	G 0 9 G	3/20	6 2 4 A
	G 0 2 F	1/133	5 0 5
	G 0 2 F	1/133	5 5 0
	H 0 4 N	5/66	1 0 2 B

(56)参考文献 特開 2 0 0 7 - 1 4 0 1 9 2 (J P , A)
 特開 2 0 0 4 - 0 1 2 8 9 1 (J P , A)
 特開 2 0 0 7 - 0 0 3 7 8 3 (J P , A)
 特開 2 0 0 7 - 3 1 0 0 4 7 (J P , A)
 特開 2 0 0 7 - 1 1 4 4 9 6 (J P , A)
 特開 2 0 0 7 - 1 8 8 0 9 8 (J P , A)
 特開 2 0 0 8 - 0 3 2 7 7 9 (J P , A)
 特開 2 0 0 3 - 0 5 8 1 3 0 (J P , A)
 特開 2 0 0 2 - 1 9 6 3 5 8 (J P , A)
 特開 2 0 0 9 - 0 6 9 5 6 3 (J P , A)
 特開 2 0 0 3 - 2 4 8 4 6 8 (J P , A)
 特開 2 0 0 7 - 0 4 7 2 2 0 (J P , A)
 特開 2 0 0 7 - 0 4 7 7 0 3 (J P , A)
 特開 2 0 0 9 - 0 6 9 5 6 2 (J P , A)
 特開平 1 1 - 1 8 4 4 3 4 (J P , A)
 特開 2 0 0 7 - 1 7 1 3 2 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶表示装置		
公开(公告)号	JP4502025B2	公开(公告)日	2010-07-14
申请号	JP2008042508	申请日	2008-02-25
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3648 G09G3/3614 G09G3/3655 G09G3/3666 G09G2310/06		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.D G09G3/20.660.Q G09G3/20.612.T G09G3/20.624.D G09G3/20.621.A G09G3/20.631.U G09G3/20.621.K G09G3/20.624.A G02F1/133.505 G02F1/133.550 H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC18 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND39 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZC15 2H193/ZC16 2H193/ZC32 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZF02 2H193/ZF16 2H193/ZF21 2H193/ZF22 2H193/ZF31 2H193/ZF36 2H193/ZF59 2H193/ZF60 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC28 5C006/AF03 5C006/AF13 5C006/AF31 5C006/AF34 5C006/AF36 5C006/AF42 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF59 5C006/AF68 5C006/AF69 5C006/AF72 5C006/AF73 5C006/BB16 5C006/BC12 5C006/BF02 5C006/BF04 5C006/BF24 5C006/BF26 5C006/FA05 5C006/FA16 5C006/FA23 5C006/FA47 5C058/AA06 5C058/BA02 5C058/BA26 5C080/AA10 5C080/BB06 5C080/DD06 5C080/DD09 5C080/DD26 5C080/EE17 5C080/EE25 5C080/EE26 5C080/FF11 5C080/FF13 5C080/JJ01 5C080/JJ02 5C080/JJ07		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP2009198937A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示器和驱动液晶显示器的方法，实现低功耗而不降低显示质量。解决方案：液晶显示器包括：极性信号产生电路24，其产生对应于帧反转信号POL F 的电平的极性信号POL，其在每个帧的H电平和L电平之间重复反转。在显示区域中，在非显示区域中生成L电平（或H电平）的极性信号POL;保持电容线驱动电路23根据极性信号POL切换保持电容线SC的电位。当接收到转换序列命令（部分ON命令，区域改变命令，正常ON命令等）时，在帧的旁边的帧中执行转换序列，其中帧反转信号POL F 是L级（或H级）。Ž

