

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4446370号
(P4446370)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月29日(2010.1.29)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G02F 1/133 575
G09G 3/20 611A
G09G 3/20 612F
G09G 3/20 621L

請求項の数 8 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2002-78766 (P2002-78766)
(22) 出願日 平成14年3月20日(2002.3.20)
(65) 公開番号 特開2003-29725 (P2003-29725A)
(43) 公開日 平成15年1月31日(2003.1.31)
審査請求日 平成17年3月4日(2005.3.4)
(31) 優先権主張番号 2001-038691
(32) 優先日 平成13年6月30日(2001.6.30)
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 505087780
マグナチップセミコンダクター有限会社
MAGNACHIP SEMICONDUCTOR LTD
大韓民国忠清北道清州市興徳区香亭洞1
1 Hyangjeong-dong, Heungduk-gu, Cheongju City, Chung Cheong Bok-do, Korea

(74) 代理人 110000051
特許業務法人共生国際特許事務所
(74) 代理人 100090066
弁理士 中川 博司

最終頁に続く

(54) 【発明の名称】 液晶表示素子のソースドライバ及び液晶表示素子の駆動方法

(57) 【特許請求の範囲】

【請求項1】

外部から順次印加されるRGBデータを格納するレジスタ部と、前記レジスタ部から提供されたRGBデータをレベル変換するレベルシフト部と、前記外部から順次印加されるRGBデータの階調に対応したバッファ制御信号を発生する出力バッファ制御回路部と、アナログ信号である複数の階調電圧を発生する抵抗ストリングと、前記出力バッファ制御回路部から発生した前記複数のバッファ制御信号の各々により動作するという決定がなされた場合に前記複数の階調電圧の中、対応する一つの階調電圧のみをバッファリングして伝達するための出力バッファと、前記レベルシフト部からの出力信号により前記出力バッファから提供された階調電圧を液晶パネルに提供するためのデジタル/アナログ変換器とを備え、

前記出力バッファ制御回路部は、前記出力バッファの複数のバッファのアドレスとして全ての階調データを格納し出力するためのバッファアドレス格納部と、前記バッファアドレス格納部の出力である前記全ての階調データと前記外部から順次印加されるRGBデータとを比較し、前記RGBデータが一致する前記階調データに対して、活性化状態の出力信号を発生するための比較部と、前記比較部の活性化状態の出力信号を入力として、前記出力バッファの、対応するバッファアドレスを有する前記バッファを各々駆動するための前記複数のバッファ制御信号を発生するための制御信号発生部とを備える、ことを特徴とする液晶表示素子のソースドライバ。

【請求項2】

前記バッファアドレス格納部は、前記出力バッファの複数のバッファ中、対応する一つのバッファのアドレスを各々格納し出力するための複数のバッファアドレス器を備えることを特徴とする請求項 1に記載の液晶表示素子のソースドライバ。

【請求項 3】

前記比較部は、前記バッファアドレス格納手段の各バッファアドレス器の出力信号と前記 R G B データとを順次比較して二つの信号が同じである場合、活性化状態の制御信号を各々発生する複数の比較器からなることを特徴とする請求項 2に記載の液晶表示素子のソースドライバ。

【請求項 4】

複数のイネーブル信号を順次、発生するシフトレジスタと、外部から印加される複数の R G B データを入力として、前記シフトレジスタからの複数のイネーブル信号により各画素別に順次、前記 R G B データを格納するサンプリングレジスタと、外部から印加されるロード信号により前記サンプリングレジスタに印加される R G B データを格納するためのホールドレジスタと、前記ホールドレジスタに格納された R G B データのレベルをシフトさせるレベルシフタと、前記 R G B データの階調に対応したバッファ制御信号を発生する出力バッファ制御回路部と、アナログ信号である複数の階調電圧を発生する抵抗ストリングと、前記出力バッファ制御回路部から発生する複数のバッファ制御信号の各々により動作するという決定がなされた場合に前記複数の階調電圧の中、対応する一つの階調電圧のみをバッファリングして伝達するための出力バッファと、前記レベルシフタからの出力信号により前記出力バッファから提供された階調電圧を液晶パネルに提供するためのデジタル/アナログ変換器とを備え、

前記出力バッファ制御回路部は、前記出力バッファの複数のバッファのアドレスとして全ての階調データを格納し出力するためのバッファアドレス格納部と、前記バッファアドレス格納部の出力である前記全ての階調データと前記外部から順次印加される R G B データとを比較し、前記 R G B データが一致する前記階調データに対して、活性化状態の出力信号を発生するための比較部と、前記比較部の活性化状態の出力信号を入力として、前記出力バッファの、対応するバッファアドレスを有する前記バッファを各々駆動するための前記複数のバッファ制御信号を発生するための制御信号発生部とからなることを特徴とする液晶表示素子のソースドライバ。

【請求項 5】

前記バッファアドレス格納部は、前記出力バッファの複数のバッファ中、対応する一つのバッファのアドレスを各々格納し出力するための複数のバッファアドレス器を含むことを特徴とする請求項 4に記載の液晶表示素子のソースドライバ。

【請求項 6】

前記比較部は、前記バッファアドレス格納手段の各バッファアドレス器の出力信号と前記 R G B データとを比較して二つの信号が同じである場合、活性化状態の制御信号を各々発生する複数の比較器からなることを特徴とする請求項 5に記載の液晶表示素子のソースドライバ。

【請求項 7】

複数のバッファを備えた出力バッファと液晶パネルとを備えた液晶表示素子を駆動する方法において、R G B データをレジスタ部に格納するステップと、前記 R G B データをレベルシフトさせるステップと、前記出力バッファの複数のバッファのアドレスと前記 R G B データとを比較するステップと、前記出力バッファの複数のバッファのアドレスと前記 R G B データとの比較結果に応じて複数の階調電圧中、出力が要求される階調電圧を各階調電圧の出力を担当している各バッファを介して出力するステップと、前記各バッファから出力される階調電圧を前記レベルシフトされた信号により液晶パネルに提供するステップとを含むことを特徴とする液晶表示素子の駆動方法。

【請求項 8】

複数のバッファを備えた出力バッファと液晶パネルを備えた液晶表示素子を駆動する方法において、複数のイネーブル信号を順次、発生するステップと、前記複数のバッファに

10

20

30

40

50

対するアドレスを格納するためのステップと、複数の階調電圧を発生するステップと、外部から印加されるRGBデータを入力し、前記複数のイネーブル信号により各画素別に順次、サンプリングレジスタに格納するステップと、外部から印加されるロード信号により前記画素別に格納されたRGBデータをホールドレジスタに同時に格納するステップと、前記全ての画素に格納されたRGBデータのレベルをシフトさせるステップと、前記出力バッファの複数のバッファのアドレスと前記RGBデータとを比較して比較信号を発生するステップと、前記比較信号により前記出力バッファの複数のバッファを駆動するための複数のバッファ制御信号を生成するステップと、前記複数のバッファ制御信号によりイネーブルされた各バッファを介して前記複数の階調電圧中、イネーブルされたバッファが担当する階調電圧を出力するステップと、前記各バッファから出力される階調電圧を前記レベルシフトされた信号により液晶パネルに提供するステップとを含むことを特徴とする液晶表示素子の駆動方法。

10

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、液晶表示素子のソースドライバに関し、より詳細には、消費電力を低減することのできるソースドライバ及び液晶表示素子の駆動方法に関する。

【0002】

【従来の技術】

セルラフォンや携帯用ゲーム機のような携帯用電子機器は、表示素子として液晶表示素子(LCD)を使用しているが、液晶表示素子の消費電力が携帯機器の充電電池の使用時間を制限することになる。したがって、液晶表示素子の消費電力が携帯用ゲーム機が小型化するほど大きな問題点となっており、充電電池の使用時間を拡張させることの制限となっている。

20

【0003】

図1は、液晶表示素子のソースドライバの構成図を示すものであって、240個のチャンネル構成を示すものである。

図1を参照すれば、従来の液晶表示素子のソースドライバは、デジタルデータ信号を格納するレジスタ部100と、レジスタ部100から提供されるデジタルデータ信号の電圧レベルをシフトさせるレベルシフト200と、レベルシフト200の出力信号を選択信号として複数の階調電圧(V1~V64)中、各チャンネルに相応する一つの階調電圧を選択出力するデジタル/アナログ変換器300と、デジタル/アナログ変換器300の出力をLCDパネルのソースラインに出力する出力バッファ400とから構成される。

30

【0004】

具体的に、図1のレジスタ部100は、多様な実施例が存在するが、図1に示すレジスタ部100は、順次、m個のイネーブル信号($E_1 \sim E_m$)を発生するシフトレジスタ110と、デジタルデータ信号であるR、G、Bデータ(R0~R5)、(G0~G5)、(B0~B5)をシフトレジスタ110からのイネーブル信号($E_1 \sim E_m$)により3個のチャンネルから構成された各画素に順次、入力して格納するサンプリングレジスタ120と、サンプリングレジスタ120に順次、格納されたRGBデータをロード(LD)信号により各画素に一度に伝達されて格納すると同時にレベルシフト200に出力するホールドレジスタ130から構成されている。

40

【0005】

以下、上記に示したようなようなソースドライバの動作を説明する。

サンプリングレジスタ120は、シフトレジスタ110から出力される複数個のイネーブル信号($E_1 \sim E_m$)に応じて所定ビット、例えば、6ビットのRGBデータ(R0~R5)、(G0~G5)、(B0~B5)を順次、格納する。

すなわち、第1イネーブル信号E1がシフトレジスタ110から印加されれば、サンプリングレジスタ120は、第1RGBデジタル信号を入力して複数個のチャンネルの中から第1から第3チャンネルに同時に格納する。次いで、第2イネーブル信号E2がシフトレジス

50

タ 1 1 0 から印加されれば、サンプリングレジスタ 1 2 0 は、第 2 R G B デジタル信号を入力して複数個のチャンネルの中から第 4 から第 6 チャンネルに同時に格納する。このようにしてシフトレジスタ 1 1 0 から印加される第 m 個のイネーブル信号により m 個の R G B データをサンプリングレジスタ 1 2 0 の画素別各チャンネルに格納する。

【 0 0 0 6 】

サンプリングレジスタ 1 2 0 の各チャンネルに格納された R G B デジタルデータは、外部から印加されるロード信号 (L D) によりホールドレジスタ 1 3 0 の画素別各チャンネルに格納される。

ホールドレジスタ 1 3 0 に格納された各チャンネル別の R G B データは、レベルシフト 2 0 0 に入力されてレベル変換されるが、レベルシフト 2 0 0 は、低電圧で駆動するレジスタ部 1 0 0 のデジタルデータ信号を高電圧で駆動するデジタル / アナログ変換器 3 0 0 に出力することに先立ち、信号の電圧レベルを変換させるものである。

レベルシフト 2 0 0 を介してレベル変換された R G B データは、デジタル / アナログ変換器 3 0 0 に入力され、デジタル / アナログ変換器 3 0 0 は、アナログ信号である複数の階調電圧 (V 1 ~ V 6 4) 中、該当する一つの階調電圧をレベルシフト 2 0 0 からの出力信号により選択して出力バッファ 4 0 0 に出力する。出力バッファ 4 0 0 は、デジタル / アナログ変換器 3 0 0 から出力されたアナログ信号を L C D パネル (図示せず) のソースラインに印加することになる。

【 0 0 0 7 】

上記のような構成を有するソースドライバは、大きくレジスタ部 1 0 0 及びレベルシフト 2 0 0 から構成されたデジタル回路部分と、デジタル / アナログ変換器 3 0 0 と出力バッファ 4 0 0 とから構成されたアナログ回路部分とに分けられる。

ソースドライバが消費する全体消費電流の中 9 0 % 以上がアナログ回路部分で消費する。特に、アナログ回路部分で消費される電流の大部分は、ソースドライバの出力と直接的に関連するバッファ 4 0 0 で消費される。バッファ 4 0 0 が消費する電流は、動作待機状態時、消費する定電流と、実際動作時、消費する動的電流とに分けられるが、動的電流は時間的に非常に短い時間に消費されるので、バッファが消費する電流量というものは、動作待機時に消費する定電流をいう。

【 0 0 0 8 】

一方、このような従来のソース駆動方法は、ユーザの要求に応じて、益々 L C D ウィンドウの大きさと解像度が大きくなることによって、バッファの数も増加するしかないので、消費される電流もそれに比例して増加する傾向にある。また益々小型化及び携帯化している電子機器 (例えば、セルラフォンや携帯用ゲーム機等) に L C D を使用する場合、前記のような傾向は消費電流を減らすことの限界にぶつかることにより、充電池を利用する携帯機器の低電力化の障害となり、したがって、使用時間の拡張の妨げとなる。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

そこで、本発明は、上記従来の技術の問題点に鑑みてなされたものであって、本発明の目的とするところは、画素数に関係なしに階調電圧に応じて出力バッファを構成して出力バッファの数を減少させて、消費電力を低減させることができる液晶表示素子のソースドライバ及び液晶表示素子の駆動方法を提供することにある。

また、本発明の他の目的は、L C D パネルの動作に関与しないバッファを電流遮断状態に維持させることによって、動作待機状態で発生する消費電力を減少させることができる液晶表示素子のソースドライバ及び液晶表示素子の駆動方法を提供することにある。

【 0 0 1 0 】

【 課題を解決するための手段 】

上記のような目的を達成するためになされた本発明による液晶表示素子のソースドライバは、外部から順次印加される R G B データを格納するレジスタ部と、前記レジスタ部から提供された R G B データをレベル変換するレベルシフトと、前記外部から順次印加される R G B データの階調に対応したバッファ制御信号を発生する出力バッファ制御回路部と、

10

20

30

40

50

アナログ信号である複数の階調電圧を発生する抵抗ストリングと、前記出力バッファ制御回路部から発生した前記複数のバッファ制御信号の各々により動作するという決定がなされた場合に前記複数の階調電圧の中、対応する一つの階調電圧のみをバッファリングして伝達するための出力バッファと、前記レベルシフトからの出力信号により前記出力バッファから提供された階調電圧を液晶パネルに提供するためのデジタル/アナログ変換器とを備え、

前記出力バッファ制御回路部は、前記出力バッファの複数のバッファのアドレスとして全ての階調データを格納し出力するためのバッファアドレス格納部と、前記バッファアドレス格納部の出力である前記全ての階調データと前記外部から順次印加されるRGBデータとを比較し、前記RGBデータが一致する前記階調データに対して、活性化状態の出力信号を発生するための比較部と、前記比較部の活性化状態の出力信号を入力として、前記出力バッファの、対応するバッファアドレスを有する前記バッファを各々駆動するための前記複数のバッファ制御信号を発生するための制御信号発生部とを備える、ことを特徴とする。

10

【0011】

また、上記のような目的を達成するためになされた本発明による液晶表示素子のソースドライバは、複数のイネーブル信号を順次、発生するシフトレジスタと、外部から印加される複数のRGBデータを入力として、前記シフトレジスタからの複数のイネーブル信号により各画素別に順次、前記RGBデータを格納するサンプリングレジスタと、外部から印加されるロード信号により前記サンプリングレジスタに印加されるRGBデータを格納するためのホールドレジスタと、前記ホールドレジスタに格納されたRGBデータのレベルをシフトさせるレベルシフトと、前記RGBデータの階調に対応したバッファ制御信号を発生する出力バッファ制御回路部と、アナログ信号である複数の階調電圧を発生する抵抗ストリングと、前記出力バッファ制御回路部から発生する複数のバッファ制御信号の各々により動作するという決定がなされた場合に前記複数の階調電圧の中、対応する一つの階調電圧のみをバッファリングして伝達するための出力バッファと、前記レベルシフトからの出力信号により前記出力バッファから提供された階調電圧を液晶パネルに提供するためのデジタル/アナログ変換器とを備え、

20

前記出力バッファ制御回路部は、前記出力バッファの複数のバッファのアドレスとして全ての階調データを格納し出力するためのバッファアドレス格納部と、前記バッファアドレス格納部の出力である前記全ての階調データと前記外部から順次印加されるRGBデータとを比較し、前記RGBデータが一致する前記階調データに対して、活性化状態の出力信号を発生するための比較部と、前記比較部の活性化状態の出力信号を入力として、前記出力バッファの、対応するバッファアドレスを有する前記バッファを各々駆動するための前記複数のバッファ制御信号を発生するための制御信号発生部とからなることを特徴とする。

30

【0012】

また、上記のような目的を達成するためになされた本発明による液晶表示素子の駆動方法は、複数のバッファを備えた出力バッファと液晶パネルとを備えた液晶表示素子を駆動する方法において、RGBデータをレジスタ部に格納するステップと、前記RGBデータをレベルシフトさせるステップと、前記出力バッファの複数のバッファのアドレスと前記RGBデータとを比較するステップと、前記出力バッファの複数のバッファのアドレスと前記RGBデータとの比較結果に応じて複数の階調電圧中、出力が要求される階調電圧を各階調電圧の出力を担当している各バッファを介して出力するステップと、前記各バッファから出力される階調電圧を前記レベルシフトされた信号により液晶パネルに提供するステップとを含むことを特徴とする。

40

【0013】

また、上記のような目的を達成するためになされた本発明による液晶表示素子の駆動方法は、複数のバッファを備えた出力バッファと液晶パネルを備えた液晶表示素子を駆動する方法において、複数のイネーブル信号を順次、発生するステップと、前記複数のバッ

50

アに対するアドレスを格納するためのステップと、複数の階調電圧を発生するステップと、外部から印加されるRGBデータを入力し、前記複数のイネーブル信号により各画素別に順次、サンプリングレジスタに格納するステップと、外部から印加されるロード信号により前記画素別に格納されたRGBデータをホールドレジスタに同時に格納するステップと、前記全ての画素に格納されたRGBデータのレベルをシフトさせるステップと、前記出力バッファの複数のバッファのアドレスと前記RGBデータとを比較して比較信号を発生するステップと、前記比較信号により前記出力バッファの複数のバッファを駆動するための複数のバッファ制御信号を生成するステップと、前記複数のバッファ制御信号によりイネーブルされた各バッファを介して前記複数の階調電圧中、イネーブルされたバッファが担当する階調電圧を出力するステップと、前記各バッファから出力される階調電圧を前記レベルシフトされた信号により液晶パネルに提供するステップとを含むことを特徴とする。

10

【0014】

【発明の実施の形態】

次に、本発明にかかる液晶表示素子のソースドライバ及び液晶表示素子の駆動方法の実施の形態の具体例を図面を参照しながら説明する。

図2は、本発明の実施例に係るソースドライバのブロック構成図を示すものである。

図2を参照すれば、本発明の実施例に係るソースドライバは、デジタルデータ信号(RGBデータ)を格納するレジスタ部100と、レジスタ部100から提供されるデジタルデータ信号の電圧レベルをシフトさせるレベルシフタ200と、デジタルデータ信号を入力してバッファ制御信号($CS_1 \sim CS_n$)を発生する出力バッファ制御回路部700と、複数の階調電圧($V_1 \sim V_n$)を発生する抵抗ストリング800と、出力バッファ制御回路部700から発生したバッファ制御信号($CS_1 \sim CS_n$)により階調電圧($V_1 \sim V_n$)をバッファリングして伝達するための出力バッファ600と、レベルシフタ200からの出力信号($LS_1 \sim LS_k$)に応じて出力バッファ600の出力信号($GV_1 \sim GV_n$)をLCDパネル900に提供するためのデジタル/アナログ変換器500を含む。

20

【0015】

従来と同様に、レジスタ部100は、イネーブル信号($E_1 \sim E_m$)を順次、発生するシフトレジスタ110と、外部から印加される所定ビット、例えば、6ビットのRGBデータ($R_0 \sim R_5$)、($G_0 \sim G_5$)、($B_0 \sim B_5$)、すなわち18ビットのビデオ信号をシフトレジスタ110からのイネーブル信号($E_1 \sim E_m$)により各画素別にRGBデータを順次、格納するサンプリングレジスタ120と、外部から印加されるロード信号(LD)によりサンプリングレジスタ120に順次、格納されたRGBデータを一度に格納するホールドレジスタ130により構成されている。

30

【0016】

以下、上記のような構成を有する本発明の液晶表示素子のソースドライバの動作を説明する。

サンプリングレジスタ110は、RGBデータを入力してシフトレジスタ110から発生したイネーブル信号($E_1 \sim E_m$)により各画素別に格納する。各々の画素は、3個のチャンネルから構成される。すなわち、サンプリングレジスタ120は、最初に入力されるビデオ信号、すなわち6ビットのRGB信号($R_0 \sim R_6$)、($G_0 \sim G_6$)、($B_0 \sim B_6$)を第1イネーブル信号E1により第1乃至第3チャンネルに各々格納し、第2番目に入力されるRGB信号($R_0 \sim R_6$)、($G_0 \sim G_6$)、($B_0 \sim B_6$)を第2イネーブル信号E2により第4乃至第6チャンネルに各々格納する。このように第mイネーブル信号Emにより最後のRGBデータ($R_0 \sim R_6$)、($G_0 \sim G_6$)、($B_0 \sim B_6$)を最後の3個のチャンネルに格納する。

40

【0017】

本発明の実施例において、液晶表示素子の一つの走査ラインが80個の画素から構成されるならば、シフトレジスタ110は、第1乃至第80イネーブル信号($E_1 \sim E_{80}$)を発生し、サンプリングレジスタ120は、各画素に対するRGBデータを各チャンネルごと

50

に格納するので、240個のチャンネルに順次、入力されるRGBデータを格納する。
 このようにサンプリングレジスタ120に一つの走査ラインに対するRGBデータが全部格納されれば、ホールドレジスタ130は、ロード信号(LD)によりサンプリングレジスタ120からの一つの走査ラインに対するRGBデータを同時に格納する。
 レベルシフト200は、ホールドレジスタ130から印加されるRGBデータのレベルをシフトしてデジタル/アナログ変換器500に出力する。

【0018】

一方、デジタルデータ信号であるRGBデータ信号は、出力バッファ制御回路部700にも印加されるが、出力バッファ制御回路部700は、RGBデータ信号を入力してバッファ制御信号(CS₁~CS_n)を発生する。

10

出力バッファ600は、各バッファ制御信号(CS₁~CS_n)により動作及び非動作が決定される複数のバッファを備えているが、従来では、パネルのチャンネル数のバッファを備えたが、本発明の実施例では、ディスプレイしようとする階調電圧数に該当する数のバッファを備えれば良い。例えば、64階調を表現しようとする場合には、64個のバッファのみを備えることになる。したがって、パネルのチャンネル数に応じてバッファを備える従来の技術(図1)よりバッファの個数が少ないのみでなく、パネルが大きくなることにより増加するチャンネル数に関係なしに階調電圧数に応じた固定的な数のバッファのみ必要とすることになるので、それだけ消費電力を低減することができる。

【0019】

複数の各バッファは、各バッファ制御信号(CS₁~CS_n)により動作如何が決定され、動作が必要なものと決定されれば、抵抗ストリング800から提供される複数の階調電圧(V₁~V_n)中、自分が出力を担当している一つの階調電圧を出力することになり、これはデジタル/アナログ変換器500の入力信号(GV₁~GV_n)の中の一つになる。一例として見た発明の実施例で64階調(V₁~V₆₄)中、最初階調V₁のみパネルに表現する場合、出力バッファ制御回路の出力(CS₁~CS₆₄)により64個のバッファを備えた出力バッファ600の中のV₁の出力を担当するバッファのみ動作状態になってV₁値をデジタル/アナログ変換器500の入力GV₁に出力することになる。そして、残りの63個のバッファは、非動作状態となって動作待機時消費する定電流がなくなる。

20

デジタル/アナログ変換器500は、レベルシフト200からの出力信号(LS₁~LS_k)により出力バッファ600の最初階調V₁に対する出力信号GV₁をLCDパネル900に出力してディスプレイすることになる。

30

【0020】

上述したように、本発明の実施例に係る液晶表示素子のソースドライバは、例えば、64階調レベルに対して64個のバッファのみで構成し、複数のバッファ中、出力が必要な階調に該当するバッファのみを駆動させる。したがって、従来の構造がサンプリングレジスタのチャンネル数、すなわちLCDパネルのチャンネル数だけバッファを備えたので電力消費が多かったが、本発明では、出力バッファの個数を減少させたのみでなく、出力する階調によって動作が必要なバッファを除き、残りのバッファはオフさせることによって、全体出力バッファの消費電力を大きく減少させることができる。

40

【0021】

図3は、本発明の実施例に係るソースドライバにおける出力バッファ制御回路部700のブロック構成図を示すものであって、図4は、出力バッファ制御回路部700の詳細ブロック構成図を示すものである。

図3及び図4を参照すれば、本発明の出力バッファ制御回路部700は、出力バッファ600の複数のバッファのアドレスを格納するためのバッファアドレス格納部710と、バッファアドレス格納部710の出力信号とRGBデータ信号とを比較するための比較部720と、比較部720の出力信号(PS_{ctrl1}~PS_{ctrln})により出力バッファ600の複数のバッファを駆動するためのバッファ制御信号(CS₁~CS_n)を発生するための制御信号発生部730とからなる。

50

【0022】

バッファアドレス格納部710は、複数のバッファアドレス器711～71nから構成され、各バッファアドレス器711～71nは、出力バッファ600の複数のバッファ611～61n中、該当する一つのバッファに対するアドレスを格納する。

バッファアドレス器711～71nに格納されたアドレスは、複数のバッファ中、所定の色相情報に対する該当する階調電圧を提供するためのバッファのアドレスを格納するものである。

【0023】

例えば、第1バッファ611は、複数の階調電圧の中の第1階調電圧 V_1 が提供され、第2バッファ612は、第2階調電圧 V_2 が提供され、第nバッファ61nは、第n階調電圧 V_n が提供される場合、第1バッファアドレス器711は、第1階調の色相情報を提供するための第1バッファ611のアドレスを格納し、第2バッファアドレス器712は、第2階調の色相情報を提供するための第2バッファ612のアドレスを格納し、第nバッファアドレス器71nは、第n階調の色相情報を提供するための第nバッファ61nのアドレスを格納するものである。

10

【0024】

比較部720は、バッファアドレス格納部710のバッファアドレス器711～71nの出力信号とRGBデータ信号とを順次、比較して二つの信号が同じである場合、制御信号($PS_ctrl_1 \sim PS_ctrl_n$)を発生する複数の比較器721～72nからなる。

20

制御信号発生部730は、比較部720の複数の比較器721～72nからの出力信号($PS_ctrl_1 \sim PS_ctrl_n$)を入力して出力バッファ600の複数のバッファ611～61nを駆動するためのバッファ制御信号($CS_1 \sim CS_n$)を各々発生する複数の信号発生器731～73nからなる。

【0025】

一方、RGBデータ信号は、デジタル電源電圧に基づいて信号が設定されている。したがって、比較部720は、デジタル電源電圧を基準として動作する。しかし出力バッファがアナログ電源電圧値を使用するので、バッファ制御信号($CS_1 \sim CS_n$)を発生する制御信号発生部730は、その内部にレベルシフタを別途に備えれば良い。すなわち、各信号発生部731～73nは、各々レベルシフタ(図示せず)を備える。

30

【0026】

以下、上記のような構成を有する本発明の出力バッファ制御回路部700の動作を図3、図4に基づいて説明する。

バッファアドレス格納部710は、出力バッファ600を構成する複数のバッファ611～61nのアドレスをバッファアドレス器711～71nを介して格納する。すなわち、第1バッファアドレス器711には、出力バッファ600の複数のバッファ611～61n中の第1バッファ711のアドレスを格納し、第nバッファアドレス器71nは、複数のバッファ611～61nの中の第nバッファ61nのアドレスを格納する。

【0027】

バッファアドレス格納部710の各バッファアドレス器711～71nの出力信号は、比較部720の複数の比較器721～72n中、該当する一つの比較器の一入力に提供する。一方、比較部720の複数の比較器721～72nの他の入力には、RGBデータ信号が順次、印加される。

40

比較部720の各比較器721～72nは、二つの入力信号を比較して出力信号($PS_ctrl_1 \sim PS_ctrl_n$)を発生する。すなわち、RGBデータ信号が比較部720の各比較器721～72nに提供されれば、各比較器721～72nは、RGBデータとバッファアドレス格納部710の複数のバッファアドレス器711～71n中、該当する一つのバッファアドレス器から提供された出力信号と比較して同じである場合、各出力信号($PS_ctrl_1 \sim PS_ctrl_n$)を発生する。

【0028】

50

例えば、任意の6ビットRGBデータ信号が印加された場合、RGBデータが第n階調に対する色相情報を有する信号であると仮定すれば、RGBデータと第nバッファアドレス器71nの出力信号とが同一になって複数の比較器721~72n中、第n比較器72nが活性化状態の出力信号PS__ctrl_nを発生する。

制御信号発生部730は、比較部720の各比較器721~72nからの出力信号(PS__ctrl₁~PS__ctrl_n)により複数の信号発生器731~73n中、該当する一つの信号発生器がバッファ制御信号(CS₁~CS_n)を発生する。

【0029】

すなわち、比較部720の第1比較器721から活性化状態の出力信号PS__ctrl₁が発生すれば、第1信号発生器731は、出力バッファ600の複数のバッファ611~61n中、該当する一つのバッファ611を制御するためのバッファ制御信号CS₁を発生する。第2比較器722から活性化状態の出力信号PS__ctrl₂が発生すれば、第2信号発生器732は、出力バッファ600の複数のバッファ611~61n中、該当する一つのバッファ612を制御するためのバッファ制御信号CS₂を発生する。そして、第n比較器72nから活性化状態の出力信号PS__ctrl_nが発生すれば、第n信号発生器732は、出力バッファ600の複数のバッファ611~61n中、該当するバッファ61nを制御するためのバッファ制御信号CS_nを発生する。

【0030】

出力バッファ600は、抵抗ストリング800(図2)から発生する複数の階調電圧(V₁~V₆₄)中、該当する一つの階調電圧を入力とし、出力バッファ制御回路部700から発生したバッファ制御信号(CS₁~CS_n)により制御されて入力信号をデジタル/アナログ変換器500(図2)に提供する複数のバッファ611~61nを備える。

出力バッファ制御回路部700からバッファ制御信号CS₁が提供されれば、複数のバッファ611~61n中、第1バッファ611がイネーブルされて抵抗ストリング800から発生する第1階調電圧V₁を出力信号GV₁としてデジタル/アナログ変換器500に提供する。そして、バッファ制御信号CS₂またはCS_nが提供される場合には、第2バッファ612または第nバッファ61nがイネーブルされて第2階調電圧V₂または第n階調電圧V_nを出力信号GV₂またはGV_nとしてデジタル/アナログ変換器500に提供する。

【0031】

したがって、デジタル/アナログ変換器500は、レベルシフト400からの出力信号(LS₁~LS_k)により出力バッファ600から提供される階調電圧(GV₁~GV_n)を選択して液晶パネル900に提供することになる。

上記のような動作を一つのフレームに対する色相情報(階調レベル電圧)の出力が完了する時点まで出力バッファ制御回路部700を介して繰り返し行なう。

この場合、一つのフレームに対する色相情報の出力が完了する時点まで比較部720の複数の比較器721~72n中、一つの比較器、例えば、比較器72nにバッファアドレス器71nから入力される色相情報とRGBデータ信号が一度も同一ではない場合、比較器72nは、活性化状態の出力信号PS__ctrl_nを一度も発生しない。

【0032】

これにより制御信号発生部730の信号発生器73nからバッファ61nをイネーブルさせるための信号CS_nが発生しないので、バッファ61nは、一つのフレームの間オフ状態を維持して電力消費をしないことになる。

結果的に、ある色相情報を有した一つのフレームのデータを出力する時、出力を要しない色相情報を入力とするバッファは、常にオフ状態となって不要な定電流の消費を防止できる。

【0033】

以上、説明したように、従来のソースドライバ回路は、各チャンネル当たり到一个の出力バッファが配列されてLCDパネルの大きさが増加、すなわちチャンネル数が増加することによって出力バッファの数が増加することになるが、本発明の実施例では、画素数に関係な

10

20

30

40

50

く階調レベル数に該当する数のバッファのみ必要となるので、液晶パネルを駆動することに必要なバッファの数を減少させることができるのみでなく、階調電圧を出力するバッファのみを駆動し、残りのバッファはオフさせることによって、電力消費を減少させることができる。

【0034】

尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【0035】

【発明の効果】

上述したように、本発明による液晶表示素子のソースドライバ及び液晶表示素子の駆動方法によれば、画素数に関係なく、階調レベル数だけのバッファにより出力バッファを構成し、複数のバッファ中、該当するバッファのみを駆動させることによって、消費電力を減少させることのできる効果がある。

10

【図面の簡単な説明】

【図1】従来の液晶表示素子のソースドライバのブロック構成図である。

【図2】本発明の実施例に係る液晶表示素子のソースドライバのブロック構成図である。

【図3】本発明の実施例に係る液晶表示素子のソースドライバにおける出力バッファ制御回路部のブロック構成図である。

【図4】本発明の実施例に係る液晶表示素子のソースドライバにおける出力バッファ制御回路部の詳細ブロック構成図である。

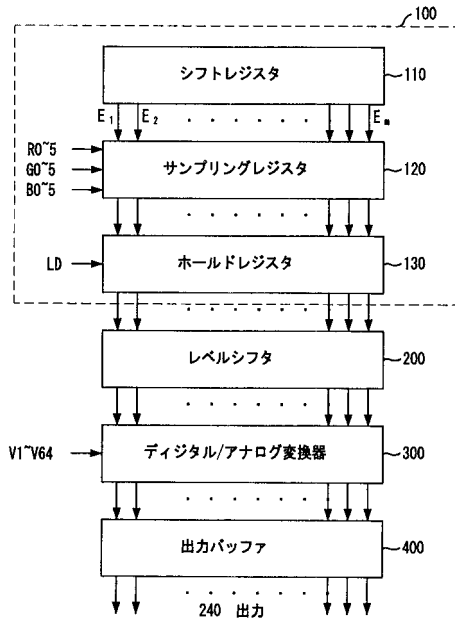
20

【符号の説明】

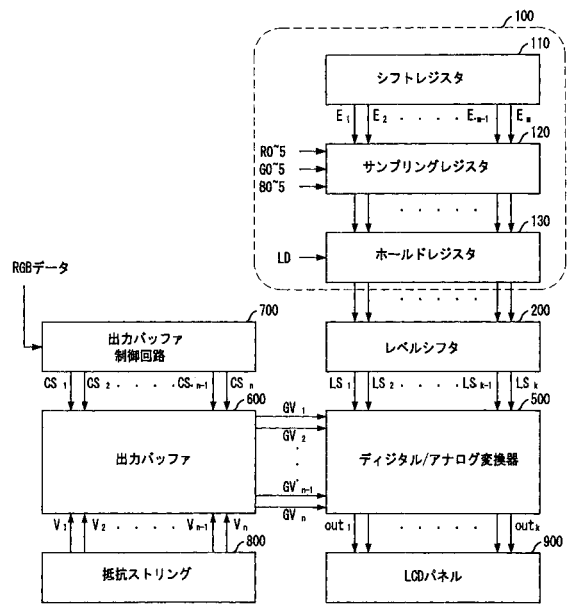
100	レジスタ部
110	シフトレジスタ
120	サンプリングレジスタ
130	ホールドレジスタ
200	レベルシフト
500	デジタル/アナログ変換器
600	出力バッファ
611 ~ 61n	バッファ
700	出力バッファ制御回路部
710	バッファアドレス格納手段
711 ~ 71n	バッファアドレス器
720	比較手段
721 ~ 72n	比較器
730	制御信号発生手段
731 ~ 73n	信号発生器
800	抵抗ストリング
900	液晶パネル

30

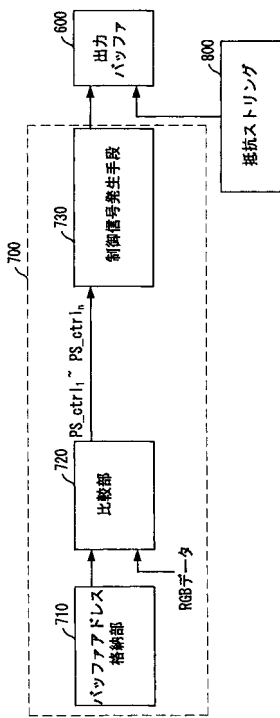
【図1】



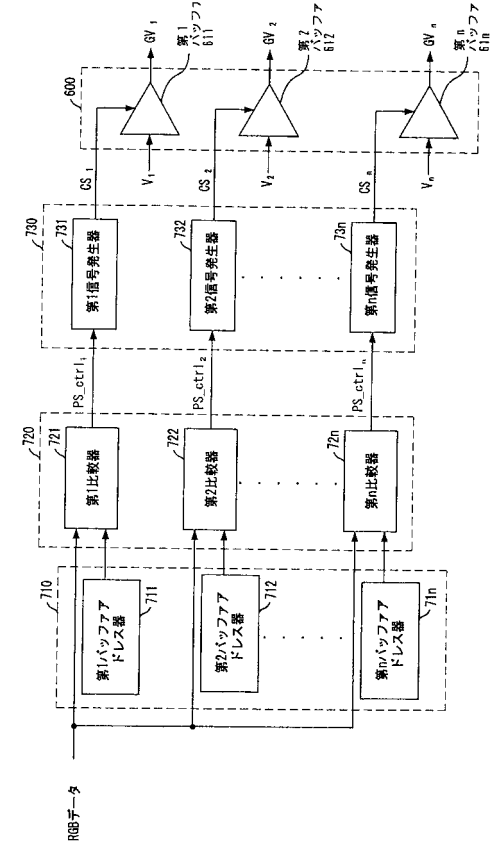
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 3 1 M
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 1 2 U

(72)発明者 李 徳 ミン
大韓民国 京畿道 利川市 夫鉢邑 牙美里 山 1 3 6 - 1

審査官 堀部 修平

(56)参考文献 特開2002-108301(JP,A)
特開平10-326084(JP,A)
特開2002-314421(JP,A)
特開2003-084722(JP,A)

(58)調査した分野(Int.Cl., DB名)
IPC G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	液晶显示元件的源极驱动器和液晶显示元件的驱动方法		
公开(公告)号	JP4446370B2	公开(公告)日	2010-04-07
申请号	JP2002078766	申请日	2002-03-20
[标]申请(专利权)人(译)	海力士半导体有限公司		
申请(专利权)人(译)	有限公司海力士半导体		
当前申请(专利权)人(译)	麦格纳芯片半导体有限公司		
[标]发明人	李德ミン		
发明人	李 德 ミン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/0289 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.A G09G3/20.612.F G09G3/20.621.L G09G3/20.623.B G09G3/20.623.F G09G3/20.623.R G09G3/20.631.M G09G3/20.641.C G09G3/20.612.U		
F-TERM分类号	2H093/NC03 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC27 2H093/NC49 2H093/ND05 2H093/ND06 2H093/ND39 2H093/NE07 2H193/ZD34 2H193/ZF03 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AF06 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF69 5C006/AF83 5C006/AF84 5C006/BB11 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF03 5C006/BF05 5C006/BF11 5C006/BF14 5C006/BF25 5C006/BF43 5C006/BF46 5C006/FA44 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/JJ02 5C080/KK07 5C080/KK47		
代理人(译)	中川浩		
优先权	1020010038691 2001-06-30 KR		
其他公开文献	JP2003029725A		
外部链接	Espacenet		

摘要(译)

甲构成根据灰度电压而不管像素的数量的输出缓冲器，减少输出缓冲器的数量，驱动源极驱动器和液晶显示装置的能够降低功耗的液晶显示装置的提供一种方法。电平移位器，被配置为转换从寄存器单元提供的数字数据信号的电平；响应于数字数据信号产生多个缓冲器控制信号一种输出缓冲器控制电路700，电阻器串800，其生成多个灰度电压作为模拟信号，通过从所述输出缓冲器控制电路单元传输产生的多个缓冲器控制信号缓冲器的多个灰阶电压数字/模拟转换器500用于根据来自电平移位器的输出信号提供从输出缓冲器提供给液晶面板的灰度电压。

【 図 2 】

