

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4319517号
(P4319517)

(45) 発行日 平成21年8月26日 (2009. 8. 26)

(24) 登録日 平成21年6月5日 (2009. 6. 5)

(51) Int. Cl. F 1
GO 2 F 1/1368 (2006. 01) GO 2 F 1/1368
GO 2 F 1/1343 (2006. 01) GO 2 F 1/1343

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2003-367276 (P2003-367276)	(73) 特許権者	302020207
(22) 出願日	平成15年10月28日 (2003. 10. 28)		東芝モバイルディスプレイ株式会社
(65) 公開番号	特開2005-134446 (P2005-134446A)		東京都港区港南4-1-8
(43) 公開日	平成17年5月26日 (2005. 5. 26)	(74) 代理人	100062764
審査請求日	平成18年9月27日 (2006. 9. 27)		弁理士 樺澤 襄
		(74) 代理人	100092565
			弁理士 樺澤 聡
		(74) 代理人	100112449
			弁理士 山田 哲也
		(72) 発明者	田島 弘志
			東京都港区港南四丁目1番地8号 東芝松
			下ディスプレイテクノロジー株式会社内
		(72) 発明者	川村 哲也
			東京都港区港南四丁目1番地8号 東芝松
			下ディスプレイテクノロジー株式会社内
			最終頁に続く

(54) 【発明の名称】 アレイ基板および平面表示装置

(57) 【特許請求の範囲】

【請求項 1】

透光性基板と、
 この透光性基板上に設けられたスイッチング素子と、
 分断された分断部を有し前記スイッチング素子に接続された電極配線と、
 この電極配線とは異なる層に設けられこの電極配線における前記分断部間を電氣的に接
 続させる導電部と、
前記分断部が形成されていない画素のそれぞれに設けられ前記導電部に等しい構造のダ
 ミーパターンと
 を具備したことを特徴としたアレイ基板。

10

【請求項 2】

透光性基板と、
 この透光性基板上にマトリクス状に設けられスイッチング素子をそれぞれ有する複数色
 の画素と、
所定色の前記画素にのみそれぞれ設けられ分断された分断部を有し、前記スイッチング
 素子に接続された電極配線と、
この電極配線とは異なる層に設けられこの電極配線における前記分断部間を電氣的に接
 続させる導電部と、
前記分断部が形成されていない画素と同色の画素のそれぞれに設けられ前記導電部に等
 しい構造のダミーパターンと

20

を具備したことを特徴としたアレイ基板。

【請求項 3】

電極配線は、スイッチング素子に対向して設けられたゲート電極配線であることを特徴とした請求項 1 または 2 記載のアレイ基板。

【請求項 4】

スイッチング素子に接続された画素電極を具備し、
電極配線は、前記画素電極に対向して設けられた共通容量配線であることを特徴とした請求項 1 または 2 記載のアレイ基板。

【請求項 5】

透光性基板上に設けられた信号電極配線を具備し、
導電部は、前記信号電極配線と同じ材料で形成されている
ことを特徴とした請求項 1 ないし 4 いずれか記載のアレイ基板。

10

【請求項 6】

請求項 1 ないし 5 いずれか記載のアレイ基板と、
このアレイ基板上に対向して設けられた光変調層と
を具備したことを特徴とした平面表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子を備えたアレイ基板および平面表示装置に関する。

20

【背景技術】

【0002】

従来、この種の平面表示装置としてのアクティブマトリクス型の液晶表示装置は、大きな表面積を有する透光性基板上に半導体活性層を比較的低温で均一性良く形成できる点から、表示画素のスイッチング素子として非晶質シリコンの薄膜トランジスタが用いられている。また、最近では、表示画素のスイッチング素子のみならず、周辺の駆動用回路素子としても同一のガラス基板上に形成した薄膜トランジスタを用いるようになってきている。そして、この薄膜トランジスタとしては、非晶質シリコンの薄膜トランジスタよりも電界効果移動度の大きい多結晶シリコンを半導体活性層に用いた多結晶シリコン薄膜トランジスタが用いられた構成が知られている（例えば、特許文献 1 参照。）。

30

【特許文献 1】特開 2000 - 187248 号公報（第 4 - 6 頁、図 1 - 図 3）

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上述した液晶表示装置では、透光性基板として絶縁物であるガラスを用いているため、この透光性基板の帯電による素子の静電破壊によって歩留まりが大きく低下してしまい生産上の問題となっている。さらに、近年使用する透光性基板が大型化していることにより、この透光性基板の帯電量が大きくなり、この透光性基板の静電破壊が益々大きな問題となりつつある。

【0004】

40

例えば、帯電した透光性基板を、接地されたステージ上からピンなどで持ち上げたり、あるいは突き出たパッドの上に置いたりすると、ピンやパッド上の部分と、これらピンやパッド上以外との部分で、接地の状況が異なるため電荷の再配分が起こり、ピンやパッド上にある部分の透光性基板には、ステージに接地させた場合に比べ数十倍以上の電圧が掛かる場合がある。

【0005】

特に、透光性基板上の孤立した小さな多結晶シリコンのパターン上にゲート絶縁膜が形成され、このゲート絶縁膜上に長いゲート電極配線が形成され、これら多結晶シリコンのパターンとゲート電極配線との間で容量を形成している場合には、上述のように透光性基板をピンなどで持ち上げて、電荷の再配分が起こった場合に影響が特に大きい。このため

50

、これらゲート電極配線と多結晶シリコンと間で静電気破壊、すなわち薄膜トランジスタの静電気破壊が発生するおそれが高いという問題を有している。

【0006】

本発明は、このような点に鑑みなされたもので、薄膜トランジスタの静電気破壊の発生を防止できるアレイ基板および平面表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、透光性基板と、この透光性基板上に設けられたスイッチング素子と、分断された分断部を有し前記スイッチング素子に接続された電極配線と、この電極配線とは異なる層に設けられこの電極配線における前記分断部間を電氣的に接続させる導電部と、前記分断部が形成されていない画素のそれぞれに設けられ前記導電部に等しい構造のダミーパターンとを具備したものである。

10

【0008】

そして、透光性基板上のスイッチング素子に接続された電極配線とは異なる層に導電部を設け、この導電部にて電極配線の分断された分断部間を電氣的に接続させる。この結果、帯電した透光性基板を動かすことによって、電極配線下の電圧の上昇を抑制できるから、スイッチング素子の静電気破壊を防止できる。また、分断部を形成していない画素のそれぞれに、導電部に等しい構造のダミーパターンを形成する。この結果、ダミーパターンを形成した画素と分断部を形成した画素とでの表示むらを抑制できる。

【0009】

20

また、本発明は、透光性基板と、この透光性基板上にマトリクス状に設けられスイッチング素子をそれぞれ有する複数色の画素と、所定色の前記画素にのみそれぞれ設けられ分断された分断部を有し、前記スイッチング素子に接続された電極配線と、この電極配線とは異なる層に設けられこの電極配線における前記分断部間を電氣的に接続させる導電部と、前記分断部が形成されていない画素と同色の画素のそれぞれに設けられ前記導電部に等しい構造のダミーパターンとを具備したものである。

【0010】

そして、透光性基板上のスイッチング素子に接続された電極配線とは異なる層に導電部を設け、この導電部にて電極配線の分断された分断部間を電氣的に接続させる。この結果、帯電した透光性基板を動かすことによって、電極配線下の電圧の上昇を抑制できるから、スイッチング素子の静電気破壊を防止できる。また、所定色の画素にのみ分断部を形成し、分断部を形成していない画素と同色の画素のそれぞれに、導電部に等しい構造のダミーパターンを形成する。この結果、ダミーパターンを形成した色に対応する画素と分断部を形成した所定色の画素とでの表示むらを抑制できる。

30

【発明の効果】

【0011】

本発明によれば、透光性基板上のスイッチング素子に接続された電極配線とは異なる層に導電部を設け、この導電部にて電極配線の分断部を電氣的に接続させたため、帯電した透光性基板を動かすことにより、電極配線下の電圧の上昇を抑制できるから、スイッチング素子の静電気破壊を防止できるとともに、分断部を形成していない画素のそれぞれに、導電部に等しい構造のダミーパターンを形成することにより、ダミーパターンを形成した画素と分断部を形成した画素とでの表示むらを抑制できる。

40

【0012】

また、本発明によれば、透光性基板上のスイッチング素子に接続された電極配線とは異なる層に導電部を設け、この導電部にて電極配線の分断部を電氣的に接続させたため、帯電した透光性基板を動かすことにより、電極配線下の電圧の上昇を抑制できるから、スイッチング素子の静電気破壊を防止できるとともに、所定色の画素にのみ分断部を形成し、分断部を形成していない画素と同色の画素のそれぞれに、導電部に等しい構造のダミーパターンを形成することにより、ダミーパターンを形成した色に対応する画素と分断部を形成した所定色の画素とでの表示むらを抑制できる。

50

【発明を実施するための最良の形態】

【0013】

以下、本発明の液晶表示装置の一関連技術の構成を図1ないし図3を参照して説明する。

【0014】

図1ないし図3において、1は平面表示装置としての液晶表示装置1で、この液晶表示装置1は、トップゲート型多結晶シリコン薄膜トランジスタ(Thin Film Transistor: TFT)方式の逆スタガ式である。また、この液晶表示装置1は、アクティブマトリクス型であり、薄膜トランジスタ基板としての略矩形平板状のアレイ基板2を備えている。このアレイ基板2は、略透明な矩形平板状の透明絶縁基板としての透光性基板であるガラス基板3を有している。このガラス基板3の一主面である表面上の中央部には、画像を表示する矩形状の表示領域4が形成されている。この表示領域4には、表示ドットとしての複数の画素5がマトリクス状に設けられて配置されている。

10

【0015】

さらに、ガラス基板3の表示領域4には、走査線としての電極配線である複数のゲート電極配線11が、このガラス基板3の幅方向に沿って配設されている。これら複数のゲート電極配線11は、ガラス基板3の横方向に向けて等間隔に平行に離間されている。また、これら複数のゲート電極配線11間のそれぞれには、補助容量配線としての電極配線である複数の共通容量配線12が、ガラス基板3の横方向に沿って配設されている。これら複数の共通容量配線12は、ガラス基板3の横方向に向けて等間隔に平行に離間されている。

20

【0016】

また、ガラス基板3の表面には、信号線としての信号電極配線13が、このガラス基板3の縦方向に沿って配設されている。これら複数の信号電極配線13は、ガラス基板3の縦方向に向けて等間隔に離間されている。そして、これら複数の信号電極配線13のそれぞれは、ゲート電極配線11および共通容量配線12のそれぞれと同一の材料にて形成されている。なお、これら複数のゲート電極配線11、共通容量配線12および信号電極配線13のそれぞれは、各画素5毎に繰り返されて格子状に配線されている。

【0017】

一方、ガラス基板3の表面には、シリコン窒化膜や酸化シリコン膜などにて構成された図示しないアンダーコート層が積層されて成膜されている。このアンダーコート層上には、表示画素のスイッチング素子である画素トランジスタとしての薄膜トランジスタ21が1画素構成要素として各画素5のそれぞれに配設されている。これら薄膜トランジスタ21は、アンダーコート層上に形成された多結晶半導体層としての多結晶シリコン薄膜であるポリシリコン半導体層22を備えている。

30

【0018】

このポリシリコン半導体層22は、非晶質半導体としてのアモルファスシリコン(a-Si)をエキシマレーザ溶解結晶化であるアニールにて作成されたポリシリコン(p-Si)薄膜である。また、このポリシリコン半導体層22は、薄膜トランジスタ21用の半導体層パターンであり、このポリシリコン半導体層22の中央部に設けられたチャネル領域としての半導体活性層23を有している。この半導体活性層23の両側には、ソース領域およびドレイン領域として機能するオーミックコンタクト領域24がそれぞれ設けられている。

40

【0019】

そして、各薄膜トランジスタ21の半導体活性層23およびオーミックコンタクト領域24のそれぞれを含むアンダーコート層上には、絶縁性を有するシリコン酸化膜であるゲート絶縁膜としてのゲート絶縁層31が積層されて成膜されている。このゲート絶縁層31は、プラズマ化学蒸着(Cheical Vapor Deposition: CVD)法によって成膜された酸化ケイ素膜にて構成されている。

【0020】

さらに、各薄膜トランジスタ21の半導体活性層23に対向したゲート絶縁層31上には、ゲート電極配線11が積層されて成膜されている。これらゲート電極配線11は、半導体活性層

50

23の長手方向に向けて離間されて配設されている。また、これらゲート電極配線11のそれぞれは、ゲート絶縁層31を介して各薄膜トランジスタ21の半導体活性層23上に対向して配置されている。

【0021】

ここで、これらゲート電極配線11には、これら各ゲート電極配線11を部分的に分断して電氣的に切断する分割部としての複数の分断部32がそれぞれ形成されている。これら複数の分断部32は、各画素5それぞれに対応して、これら各画素5における薄膜トランジスタ21間に設けられている。また、これら複数の分断部32のそれぞれは、各ゲート電極配線11の幅方向に沿って設けられている。よって、これら各ゲート電極配線11は、複数の各画素5毎に分断部32にて分断され、各画素5毎のゲート電極配線11の長さが短くされている。

10

【0022】

一方、ゲート電極配線11から離間されたゲート絶縁層31上には、補助容量を蓄積させる画素補助容量としての蓄積容量34が設けられている。この蓄積容量34は、ゲート絶縁層31上に積層されて成膜された共通容量配線12を備えている。この共通容量配線12は、ゲート電極配線11に対して電氣的に絶縁されており、これら各ゲート電極配線11に対して平行に配設されている。ここで、これら共通容量配線12は、ゲート電極配線11と同一工程で同一材料にて形成されている。

【0023】

そして、これら共通容量配線12およびゲート電極配線11を含むゲート絶縁層31上には、層間絶縁膜35が積層されて成膜されている。この層間絶縁膜35は、プラズマCVD法による窒化ケイ素と酸化ケイ素との積層膜にて構成されている。さらに、これら層間絶縁膜35およびゲート絶縁層31には、これら層間絶縁膜35およびゲート絶縁層31のそれぞれを貫通した導通部としての複数のコンタクトホール36,37が開口されて設けられている。

20

【0024】

ここで、これらコンタクトホール36,37は、薄膜トランジスタ21のゲート電極配線11の両側に位置する、この薄膜トランジスタ21の各オーミックコンタクト領域24上に設けられている。そして、これらコンタクトホール36,37は、薄膜トランジスタ21のオーミックコンタクト領域24にそれぞれに連通して開口している。

【0025】

そして、各薄膜トランジスタ21の一方のオーミックコンタクト領域24に連通したコンタクトホール36を含む層間絶縁膜35上には、この薄膜トランジスタ21のソース電極として機能する信号電極配線13が積層されて設けられている。この信号電極配線13は、コンタクトホール36を介して薄膜トランジスタ21の一方のオーミックコンタクト領域24に電氣的に接続されて導通されている。

30

【0026】

また、この薄膜トランジスタ21の他方のオーミックコンタクト領域24に連通したコンタクトホール37を含む層間絶縁膜35上には、導電性を有する信号電極としてのドレイン電極41が積層されて設けられている。このドレイン電極41は、蓄積容量34の共通容量配線12に対向しており、層間絶縁膜35を介した共通容量配線12との間で補助容量を蓄積させる。また、このドレイン電極41は、信号電極配線13と同一の層に同一の工程で同一の材料にて形成されている。ここで、これら信号電極配線13、ドレイン電極41、ポリシリコン半導体層22、ゲート電極配線11、ゲート絶縁層31および層間絶縁膜35によって各薄膜トランジスタ21が構成されている。

40

【0027】

一方、各ゲート電極配線11における各分断部32の両側に位置する層間絶縁膜35には、これら分断部32にて分断された各ゲート電極配線11の端部に連通した図示しない一対のコンタクトホールがそれぞれ開口されて形成されている。そして、これら一対のコンタクトホールを含む層間絶縁膜35上には、導電性を有する島状の導電部としての導電膜42が積層されて成膜されている。これら導電膜42は、分断部32にて分断されたゲート電極配線11の端部間を、各コンタクトホールを介して電氣的に接続させる。よって、これら導電膜42は、

50

各コンタクトホール内および層間絶縁膜35上に一体的に成膜された断面図略コ字状に形成されている。

【0028】

すなわち、これら各ゲート電極配線11は、これら各ゲート電極配線11の一部が導電膜42にて延長されて繋がれている。なお、これら導電膜42は、信号電極配線13と同一の層に同一の材料で同一の工程にて積層されて形成されている。すなわち、これら導電膜42は、信号電極配線13を形成する材料にて形成されている。

【0029】

一方、これら信号電極配線13およびドレイン電極41を含む層間絶縁膜35上には、保護膜としての保護層43が積層されて成膜されている。この保護層43には、この保護層43を貫通した導通部としてのコンタクトホール44が開口されて設けられている。このコンタクトホール44は、薄膜トランジスタ21のドレイン電極41に連通して開口している。

【0030】

そして、このコンタクトホール44を含む保護層43上には、ITO薄膜としての透明画素電極45が積層されて成膜されている。この透明画素電極45は、コンタクトホール44を介してドレイン電極41に電氣的に接続されて導通されている。また、この透明画素電極45は、保護層43および層間絶縁膜35のそれぞれを介して共通容量配線12に対向する位置に設けられている。ここで、この透明画素電極45は、この透明画素電極45が設けられた画素5内の薄膜トランジスタ21にて制御される。さらに、この透明画素電極45を含んだ保護層43上には、配向膜46が積層されて成膜されている。

【0031】

一方、アレイ基板2の表面には、矩形平板状の対向基板51が対向して配設されている。この対向基板51は、矩形平板状の透明絶縁基板としての透光性基板であるガラス基板52を備えている。このガラス基板52におけるアレイ基板2に対向した側の一主面である表面には、1組の色単位、例えば赤(Red: R)、緑(Green: G)および青(Blue: B)の3つのドットが繰り返し配置されて構成された色層である複数のカラーフィルタ53が積層されている。これらカラーフィルタ53は、アレイ基板2に対向基板51を対向させた際に、このアレイ基板2の各画素5のそれぞれに対向するように設けられている。

【0032】

また、これらカラーフィルタ53の表面には、矩形平板状の対向電極54が積層されて設けられている。この対向電極54は、対向基板51の表面とアレイ基板2の表面とを対向させた際に、このアレイ基板2のガラス基板3の表示領域4全体に対向する矩形状の電極である。さらに、この対向電極54の表面には、配向膜55が積層されて成膜されている。

【0033】

そして、この対向基板51には、この対向基板51の配向膜55をアレイ基板2の配向膜46に対向させた状態で、アレイ基板2が取り付けられている。すなわち、このアレイ基板2の透明画素電極45は、対向基板51の対向電極54に対向して配設される。さらに、これら対向基板51の配向膜55とアレイ基板2の配向膜46との間には、光変調層としての液晶層として液晶56が挟み込まれて介挿されて封止されている。

【0034】

次に、上記一関連技術のアレイ基板の製造方法を説明する。

【0035】

まず、ガラス基板3上にアンダーコート層を積層させた後、このアンダーコート層上にプラズマCVD法にて図示しないアモルファスシリコン膜を成膜する。

【0036】

この後、このアモルファスシリコン膜にエキシマレーザビームを照射してレーザアニールして、このアモルファスシリコン膜をエキシマレーザ溶解結晶化させてポリシリコン薄膜にする。

【0037】

次いで、このポリシリコン薄膜をフォトリソグラフィ工程およびエッチング工程による

10

20

30

40

50

パターン形成にて各薄膜トランジスタ21のポリシリコン半導体層22となる多結晶シリコンの島パターンを形成する。

【0038】

さらに、この多結晶シリコンの島パターンを含むアンダーコート層にプラズマCVD法にてゲート絶縁層31を形成する。

【0039】

この後、このゲート絶縁層31上に図示しないゲート電極配線メタル膜を積層して成膜した後、このゲート電極配線メタル層をフォトリソグラフィ工程およびエッチング工程にてパターンニングしてゲート電極配線11および共通容量配線12のそれぞれを形成する。このとき、このゲート電極配線11のそれぞれには複数の分断部32が形成されている。

10

【0040】

次いで、このゲート電極配線11をマスクとして、各薄膜トランジスタ21のポリシリコン半導体層22における各オーミックコンタクト領域24となる部分にイオン注入などでドーパントを注入した後、このドーパントを熱処理などで活性化させて低抵抗化させて各薄膜トランジスタ21のオーミックコンタクト領域24を形成する。

【0041】

この後、ゲート電極配線11および共通容量配線12を含むゲート絶縁層31上にプラズマCVD法にて層間絶縁膜35を形成する。

【0042】

続いて、フォトリソグラフィ工程およびエッチング工程にて各薄膜トランジスタ21のオーミックコンタクト領域24のそれぞれに連通するコンタクトホール36,37と、各分断部32にて分断された各ゲート電極配線11の端部のそれぞれに連通するコンタクトホールとのそれぞれを形成する。

20

【0043】

この後、これら各コンタクトホール36,37それぞれを含む層間絶縁膜35上に図示しない信号電極配線メタル膜を形成してから、この信号電極配線メタル膜をフォトリソグラフィ工程およびエッチング工程にてパターンニングして信号電極配線13、ドレイン電極41および導電膜42のそれぞれを形成する。

【0044】

このとき、分断部32にて分断された各ゲート電極配線11の端部のそれぞれが導電膜42によってコンタクトホールを介して延長されて電氣的に接続される。

30

【0045】

次いで、これら信号電極配線11、ドレイン電極41および導電膜42のそれぞれを含む層間絶縁膜35上に保護層43を形成した後、この保護層43にフォトリソグラフィ工程およびエッチング工程にてドレイン電極41に連通するコンタクトホール44を形成する。

【0046】

さらに、このコンタクトホール44を含む保護層43上に図示しない透明画素電極層を形成した後、この透明画素電極層をフォトリソグラフィ工程およびエッチング工程にて画素形状にパターンニングして透明画素電極45を形成してから、これら透明画素電極45を含む保護層43上に配向膜46を形成してアレイ基板2を製造する。

40

【0047】

この後、このアレイ基板2の配向膜46側に対向基板51の配向膜55側を対向させて、このアレイ基板2を対向基板51に取り付けた後、これらアレイ基板2と対向基板51との間に液晶56を介挿させて封止する。

【0048】

さらに、これらアレイ基板2および対向基板51に図示しないシステム回路や偏光板、バックライトなどの様々な部材を組み合わせることで液晶表示装置1とする。

【0049】

上述したように、上記一関連技術によれば、図8に示す従来の液晶表示装置1のように、ガラス基板3上のゲート電極配線11が分断部32にて部分的に分断されておらず連続した

50

直線状の場合には、これらゲート電極配線11と各薄膜トランジスタ21のポリシリコン半導体層22との間で補助容量を形成している。

【0050】

この場合、帯電したガラス基板3を図示しない可動式ピンなどで持ち上げて、このガラス基板3の接地状態を変えた際に電荷の再配分が起こった場合には特に影響が大きく、これらゲート電極配線11とポリシリコン半導体層22との間、すなわちゲート絶縁層31への印加電圧が上昇して、このゲート絶縁層31の静電気破壊が発生するおそれが特に高い。

【0051】

ここで、図9に示すように、これらポリシリコン半導体層22およびゲート電極配線11が表面に形成されたガラス基板3をステージ61上に接地させた場合におけるガラス基板3の表示領域4の等価回路について説明する。なお、このステージ61の一部は、接地された導電性の可動式ピン62によって形成されている。

10

【0052】

このとき、ゲート電極配線11での帯電量を Q_0 とし、このゲート電極配線11での電位を V_0 とするとともに、このゲート電極配線11のうち可動式ピン62上にはない部分の長さを A とし、このゲート電極配線11のうち可動式ピン62上にある部分の長さを B とする。さらに、このゲート電極配線11のうち可動式ピン62上にはない部分がステージ61との間で形成する容量を C_a とし、このゲート電極配線11のうち可動式ピン62上にある部分がステージ61との間で形成する容量を C_b とする。

【0053】

20

そして、ガラス基板3の表示領域4には、同じパターンが繰り返されているので、容量比が $C_b = B \div A \times C_a$ となる。さらに、電荷、電位および容量の関係は、 $Q_0 = (C_a + C_b) \times V_0$ となる。

【0054】

次いで、このガラス基板3を可動式ピン62で支えて持ち上げた状態における、このガラス基板3の表示領域4の等価回路について説明する。このとき、図10に示すように、ゲート電極配線11の電位を V とし、ガラス基板3のうち可動式ピン62上にはない部分がステージ61との間で形成する容量を C_s とすると、この可動式ピン62でガラス基板3を持ち上げた場合でも、電荷保存則から、 $Q_0 = \{ C_a \times C_s \div (C_a + C_s) + C_b \} \times V$ の関係が成立する。この結果、これら3式により、 $V / V_0 = (A + B) \div \{ A \times C_s \div (C_a + C_s) + B \}$ の関係を得ることができる。

30

【0055】

さらに、この式を基に、例えば比誘電率4、厚さ1mmのガラス基板3上にポリシリコン半導体層22のパターンを形成し、このポリシリコン半導体層22のパターン上に比誘電率4、厚さ100nmのゲート絶縁層31を形成し、さらにこのゲート絶縁層31上にゲート電極配線11を形成した場合に、このガラス基板3を導電性の可動式ピン62で50mm持ち上げた場合の V / V_0 について説明する。

【0056】

このとき、可動式ピン62上のゲート電極配線11の長さを5mmに固定し、これらゲート電極配線11全体の長さを変化させる。この結果、図11に示すように、ガラス基板3を可動式ピン62で持ち上げた際に、このガラス基板3上のゲート電極配線11と可動式ピン62との間にかかる電圧を抑制するためには、これらゲート電極配線11の長さを短くすることが効果的であることが判る。

40

【0057】

そこで、上述のように、各ゲート電極配線11を各画素5毎に分断部32にて分断するとともに、これら分断部32にて分断されたゲート電極配線11の端部間を層間絶縁膜35上の信号電極配線13と同一材料にて形成した導電膜42で電氣的に接続させて、これら各ゲート電極配線11の長さを各画素5毎に短くした。

【0058】

この結果、帯電したガラス基板3を動かすことにより、このガラス基板3上のゲート電

50

極配線11下、すなわちゲート電極配線11とポリシリコン半導体層22との間に位置するゲート絶縁層31での電圧の上昇を抑制できるから、このゲート絶縁層31の静電気破壊を防止できる。よって、各薄膜トランジスタ21の静電気破壊を防止できるので、アレイ基板2および液晶表示装置1の生産性を向上できる。

【0059】

次に、本発明の第1の実施の形態を図4および図5を参照して説明する。

【0060】

この図4および図5に示す液晶表示装置1は、基本的には図1ないし図3に示す液晶表示装置1と同様であるが、ゲート電極配線11の分断部32が各画素5毎に形成されておらず、これら各画素5における複数画素5毎にのみ分断部32を形成したものである。これら分断部32は、同色の画素5にのみ設けられている。

10

【0061】

ここで、この分断部32が形成されていない各画素5のそれぞれには、導電膜42と同様に構成された複数のダミーパターン71がそれぞれ形成されている。すなわち、これらダミーパターン71のそれぞれは、導電膜42に等しい構造である。これらダミーパターン71および導電膜42のそれぞれは、ゲート電極配線11とは異なる層である層間絶縁膜35上に設けられている。また、これらダミーパターン71の両端部は、層間絶縁膜35に形成されゲート電極配線11に連通したコンタクトホール72を介して、このゲート電極配線11に電氣的に接続されている。

【0062】

20

この結果、ガラス基板3の表示領域4における複数画素5毎のみに分断部32を形成しても、帯電したガラス基板3を動かすことにより、このガラス基板3上のゲート電極配線11とポリシリコン半導体層22との間のゲート絶縁層31での電圧の上昇を抑制できるから、上記一関連技術と同様の作用効果を奏することができる。

【0063】

さらに、分断部32を複数画素5毎に形成したことにより、表示領域4の各画素5のすべてに分断部32を形成する場合に比べ、ゲート電極配線11を分断する箇所、すなわち分断部32の個数を少なくできるから、コンタクトホール72や導電膜42の不良の発生による歩留まりの低下を防止できる。

【0064】

30

また、分断部32が形成されていない各画素5のそれぞれにダミーパターン71を形成して、これらダミーパターン71の両端部をゲート電極配線11に電氣的に接続させた。この結果、これらダミーパターン71を形成した画素5内の透明画素電極45とゲート電極配線11との間に発生する容量が、分断部32を形成し導電膜42にて電氣的に連結した他の画素5内の透明画素電極45とゲート電極配線11との間に発生する容量と同じになる。よって、これらダミーパターン71を形成した画素5と分断部32を形成した画素5とでの表示むらが抑制されるので、ガラス基板3の表示領域4のむらを防止できる。

【0065】

なお、上記第1の実施の形態では、分断部32が形成されていない各画素5のそれぞれにダミーパターン71を形成したが、図6および図7に示す第2の実施の形態のように、分断部32を形成した画素5と同色の画素5のすべてにのみダミーパターン71を形成しても、これらダミーパターン71を形成した同色の画素5内の透明画素電極45とゲート電極配線11との間の容量が、分断部32を形成した他の同色の画素5内の透明画素電極45とゲート電極配線11との間の容量と同じになるから、上記第1の実施の形態と同様の作用効果を奏することができる。

40

【0066】

また、上記各実施の形態では、ゲート電極配線11に分断部32を設け、これら分断部32にて分断されたゲート電極配線11の端部間を導電膜42にて電氣的に連結させたが、これら分断部32を共通容量配線12に設け、これら分断部32にて分断された共通容量配線11の端部間を導電膜42にて電氣的に連結させて適用させても、上記各実施の形態と同様の作用効果を

50

奏することができる。

【 0 0 6 7 】

さらに、逆スタガ型の液晶表示装置 1 ではなく、スタガ型の液晶表示装置における薄膜トランジスタに接続された信号線や走査線などの電極配線についても対応させて用いることができる。また、薄膜トランジスタ 21 以外、例えばダイオードなどのスイッチング素子を用いた液晶表示装置についても対応させて用いることができる。

【 0 0 6 8 】

そして、ポリシリコンにて構成された薄膜トランジスタ 21 を用いた液晶表示装置 1 だけではなく、非晶質シリコンとしてのアモルファスシリコンにて構成された薄膜トランジスタを用いた液晶表示装置であっても対応させて用いることができる。

10

【 0 0 6 9 】

また、アレイ基板 2 と対向基板 51 との間に光変調層として液晶 56 を封止させた液晶表示装置 1 について説明したが、液晶以外の光変調層を備えた平面表示装置であっても対応させて用いることができる。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】本発明の平面表示装置の一関連技術の一部を示す説明平面図である。

【図 2】同上平面表示装置の一部を示す説明平面図である。

【図 3】同上平面表示装置を示す説明断面図である。

【図 4】本発明の第 1 の実施の形態の平面表示装置を示す説明平面図である。

20

【図 5】同上平面表示装置を示す説明断面図である。

【図 6】本発明の第 2 の実施の形態の平面表示装置を示す説明平面図である。

【図 7】同上平面表示装置を示す説明断面図である。

【図 8】従来の平面表示装置の一部を示す説明平面図である。

【図 9】同上平面表示装置をステージ上に接地させた状態での等価回路を示す説明図である。

【図 10】同上平面表示装置を可動式ピンでステージ上から持ち上げた状態での等価回路を示す説明図である。

【図 11】同上平面表示装置のゲート電極配線の長さとの関係を示すグラフである。

30

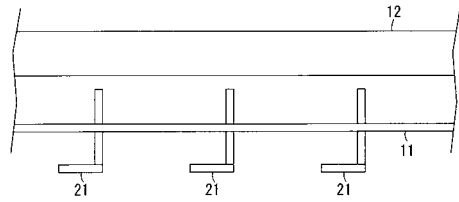
【符号の説明】

【 0 0 7 1 】

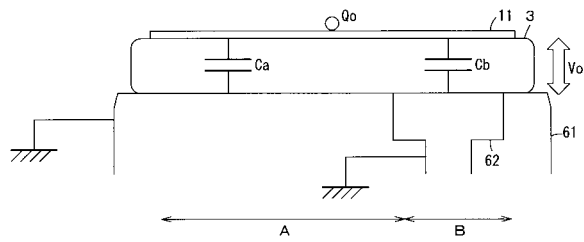
- 1 平面表示装置としての液晶表示装置
- 2 アレイ基板
- 3 透光性基板としてのガラス基板
- 5 画素
- 11 電極配線としてのゲート電極配線
- 12 電極配線としての共通容量配線
- 13 信号電極配線
- 21 スwitching素子としての薄膜トランジスタ
- 32 分断部
- 42 導電部としての導電膜
- 45 画素電極としての透明画素電極
- 56 光変調層としての液晶
- 71 ダミーパターン

40

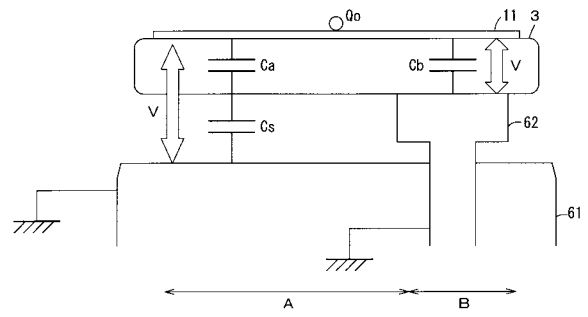
【図 8】



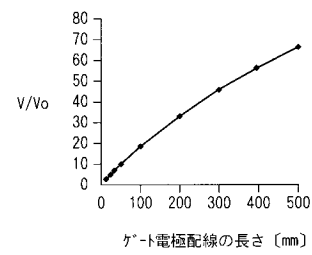
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 河村 真一
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 稲田 克彦
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 武田 篤
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 今井 信雄
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 高見 明宏
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 小濱 健太

- (56)参考文献 特開平10-325963(JP,A)
特開平11-111993(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343

专利名称(译)	阵列基板和平板显示装置		
公开(公告)号	JP4319517B2	公开(公告)日	2009-08-26
申请号	JP2003367276	申请日	2003-10-28
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	田畠弘志 川村哲也 河村真一 稻田克彦 武田篤 今井信雄 高見明宏		
发明人	田畠 弘志 川村 哲也 河村 真一 稻田 克彦 武田 篤 今井 信雄 高見 明宏		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/13 G02F1/133 G02F1/136 G02F1/1362 G09G3/36 G09G5/00 H01L21/77 H01L27/12		
CPC分类号	G02F1/136204 H01L27/12 H01L27/124		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/JA25 2H092/JA26 2H092/JA38 2H092/JA46 2H092/JA47 2H092/JB64 2H092/JB68 2H092/JB69 2H092/MA07 2H092/MA30 2H092/NA14 2H192/AA24 2H192/AA42 2H192/BC31 2H192/CB02 2H192/CC04 2H192/CC33 2H192/DA12 2H192/EA43 2H192/GA31 2H192/GD81		
代理人(译)	山田哲也		
其他公开文献	JP2005134446A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止薄膜晶体管的介电击穿的液晶显示装置。解决方案：在每个像素5的分段部分处分割栅电极线11。由分段部分段分割的栅电极线11的端子通过与信号电极线13相同的材料制成的导电膜42电连接。在层间绝缘膜上。在每个像素5中栅电极线11的长度减小。通过移动带电玻璃基板3可以抑制栅电极线11和多晶硅半导体层22之间的栅极绝缘层中的电压的增加，这防止了栅极绝缘层的介电击穿。 Z

【圖 7】

