

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4301772号
(P4301772)

(45) 発行日 平成21年7月22日 (2009. 7. 22)

(24) 登録日 平成21年5月1日 (2009. 5. 1)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G09G 3/20 621F

G09G 3/20 631V

G09G 3/20 641P

G09G 3/20 641R

請求項の数 8 (全 15 頁)

(21) 出願番号 特願2002-172381 (P2002-172381)
 (22) 出願日 平成14年6月13日 (2002. 6. 13)
 (65) 公開番号 特開2003-84741 (P2003-84741A)
 (43) 公開日 平成15年3月19日 (2003. 3. 19)
 審査請求日 平成16年6月3日 (2004. 6. 3)
 (31) 優先権主張番号 2001-54123
 (32) 優先日 平成13年9月4日 (2001. 9. 4)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100109726
 弁理士 園田 吉隆
 (74) 代理人 100101199
 弁理士 小林 義教
 (72) 発明者 ハム, ヨン スン
 大韓民国 キョンギードー, アンヤン
 シ, ドンガンーク, ホギエー1ードン
 957-5, 201号

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

入力データを上位ビット・データと下位ビット・データに分割する段階と、
 直前のフレームの上位ビット・データと現在のフレームの上位ビット・データの組み合
 わせから、

現在のフレームの上位ビット・データと直前のフレームの上位ビット・データの間に変
 化があるかどうかにより現在のフレームの上位ビット・データを修正するための修正デー
 タが設定されたルックアップ・テーブルを用いて、第1修正データを導き出す段階と、

直前のフレームの前記上位ビット・データと現在のフレームの前記上位ビット・データ
 より上位ビット・データのみを比較して1大きい上位ビット・データとの組み合わせから
 、前記ルックアップ・テーブルを用いて、第2修正データを導き出す段階と、

前記第1修正データと第2修正データとが同一であるかどうかを判断する段階と、

前記第1修正データと第2修正データとが同一である場合に、前記下位ビット・データ
 を特定の値に置換する段階と、

第1修正データを現在の上位ビット・データとする段階と、を含むことを特徴とする液
 晶表示装置の駆動方法。

【請求項 2】

前記第1修正データと第2修正データとが異なる場合に、前記下位ビット・データをそ
 のまま維持する段階を更に含むことを特徴とする請求項1に記載の液晶表示装置の駆動方
 法。

【請求項 3】

上位ビット・データとされた前記第 1 修正データに前記下位ビット・データを加算して液晶表示パネルに入力する段階を更に含むことを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 4】

入力ラインから入力された現在のフレームの入力データの上位ビット・データを遅延させることにより、直前フレームの入力データの上位ビット・データを出力するメモリと、

現在のフレームの上位ビット・データと直前のフレームの上位ビット・データの間に変化があるかどうかにより現在のフレームの上位ビット・データを修正するための修正データが設定されたルックアップ・テーブルと、

10

前記メモリから出力された直前のフレームの上位ビット・データと前記入力ラインから入力された現在のフレームの上位ビット・データとの組み合わせから、前記ルックアップ・テーブルを用いて導き出された第 1 修正データと、前記直前のフレームの上位ビット・データと前記現在のフレームの前記上位ビット・データより上位ビット・データのみを比較して 1 大きい上位ビット・データとの組み合わせから、前記ルックアップ・テーブルを用いて導き出された第 2 修正データとの同一性を判断する比較器と、

前記比較器により前記第 1 修正データと第 2 修正データとが同一と判断されると前記下位ビット・データを特定の値に置換する下位ビット変換器と、を具備し、さらに第 1 修正データを現在の上位ビット・データとすることを特徴とする液晶表示装置の駆動装置。

20

【請求項 5】

前記下位ビット変換器は前記第 1 修正データと第 2 修正データとが異なる場合前記下位ビット・データをそのまま維持することを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【請求項 6】

データラインとスキヤニング信号が供給されるゲートラインとを有する液晶表示パネルを備える液晶表示装置を駆動する、液晶表示装置の駆動装置であって、

前記第 1 修正データと前記下位ビット変換器の出力データを前記液晶表示パネルのデータラインに供給するためのデータ駆動部と、

前記液晶表示パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部と、

30

前記入力データを前記入力ラインに供給すると共に前記データ駆動部とゲート駆動部を制御するためのタイミング制御器と、

を更に具備することを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【請求項 7】

前記データ駆動部には上位ビット・データと下位ビット・データが加算されて供給されることを特徴とする請求項 6 に記載の液晶表示装置の駆動装置。

【請求項 8】

前記下位ビット変換器は、

前記比較器の出力信号を反転させるための第 1 インバータと、

前記第 1 インバータの出力信号と前記入力ラインからの下位ビット・データを N A N D 演算する N A N D ゲートと、

40

前記 N A N D ゲートの出力信号を反転させるための第 2 インバータと、

を具備することを特徴とする請求項 4 に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関し、特に画質を向上させた液晶表示装置の駆動方法及び装置に関するものである。

【0002】

【従来の技術】

50

通常、液晶表示装置は、ビデオ信号により液晶セルの光透過率を調節して画像を表示する。液晶セル毎にスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置は動画の表示に適している。アクティブマトリックスタイプの液晶表示装置に使用されるスイッチング素子としては、主に薄膜トランジスタ（以下、" T F T " という）が利用されている。

【0003】

このような液晶表示装置は、液晶に固有の粘性及び弾性の特性により応答速度が遅いという短所がある。

【0004】

図1に示すように、従来の高速駆動方法は動画を表示する際のデータ（V D）レベルの変化に対して応答速度が遅いために、対応する表示輝度（B L）が所望の輝度に到達でなくなることが原因で、色と輝度の表現が不正確になる。その結果、動画像のモーション・ブラーリング（Motion Burring）現象が表れ、明暗比の低下により表示品質が劣化する。

10

【0005】

このような液晶表示装置の遅い速度を改善するために、アメリカ特許第5、495、265号とP C T国際公開番号W O 9 9 / 0 5 5 6 7にはルックアップ・テーブルを利用してデータに変化があるかどうかを判断することに基づいてデータを修正する方法（以下、' 高速駆動 ' という）が提案されている。この高速駆動方法は図2のような原理でデータを修正するものである。

20

【0006】

図2に示すように、従来の高速駆動方法は、入力データ（V D）を修正した修正データ（M V D）を液晶セルに印加して所望の輝度（M B L）を得るものである。この高速駆動方法は、1フレーム期間中に入力データの輝度に対応して所望の輝度が得られるように、データに変化があるか否かに基づき、以下のように入力データを修正する。従って、高速駆動方法を利用する液晶表示装置は、データ値を修正して補償することにより液晶応答速度が遅いことに起因する動画像のモーション・ブラーリング現象を緩和し、所望の色と輝度を有する画像を表示することができる。

【0007】

高速駆動方法は、直前のフレーム（F n - 1）と現在のフレーム（F n）それぞれの最上位ビット・データ（M S B）を比較して、最上位ビット・データ（M S B）に変化があると、ルックアップ・テーブルを参照して該当する修正データ（Mデータ）を選択し、図3のように修正する。

30

【0008】

最上位のビット・データ（M S B）を4ビットに限定した場合に、高速駆動方法のルックアップ・テーブルは下の表1及び表2のようになる。

【0009】

【表1】

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	<u>0</u>	2	3	4	5	6	7	9	10	12	13	14	15	15	15	15
1	0	<u>1</u>	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	<u>2</u>	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	<u>3</u>	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	<u>4</u>	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	<u>5</u>	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	<u>6</u>	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	<u>7</u>	9	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	<u>8</u>	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	<u>9</u>	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	<u>10</u>	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	<u>11</u>	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	<u>12</u>	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	<u>13</u>	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	<u>14</u>	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	<u>15</u>

10

20

【表 2】

区分	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240
0	<u>0</u>	32	48	64	80	96	112	144	160	192	208	224	240	240	240	240
16	0	<u>16</u>	48	64	80	96	112	128	160	192	208	224	240	240	240	240
32	0	0	<u>32</u>	64	80	96	112	128	160	192	208	224	240	240	240	240
48	0	0	16	<u>48</u>	80	96	112	128	160	176	208	224	240	240	240	240
64	0	0	16	48	<u>64</u>	96	112	128	144	176	192	208	224	240	240	240
80	0	0	16	32	48	<u>80</u>	112	128	144	176	192	208	224	240	240	240
96	0	0	16	32	48	64	<u>96</u>	128	144	160	192	208	224	240	240	240
112	0	0	16	32	48	64	80	<u>112</u>	144	160	176	208	224	240	240	240
128	0	0	16	32	48	64	80	96	<u>128</u>	160	176	192	224	240	240	240
144	0	0	16	32	48	64	80	96	112	<u>144</u>	176	192	208	224	240	240
160	0	0	16	32	48	64	80	96	112	128	<u>160</u>	192	208	224	240	240
176	0	0	16	32	48	64	80	96	112	128	144	<u>176</u>	208	224	240	240
192	0	0	16	32	48	64	80	96	112	128	144	160	<u>192</u>	224	240	240
208	0	0	16	32	48	48	64	80	96	112	128	160	176	<u>208</u>	240	240
224	0	0	16	32	48	48	64	80	96	112	128	144	176	192	<u>224</u>	240
240	0	0	0	16	32	48	48	64	80	96	112	128	144	176	208	<u>240</u>

表1及び表2において、左側の列は以前のフレーム（ F_{n-1} ）のデータ電圧（ VD_{n-1} ）であり、最上行は現在のフレーム（ F_n ）のデータ電圧（ VD_n ）である。表1は最上位4ビット（ 2^0 、 2^1 、 2^2 、 2^3 ）を10進数で表現したルックアップ・テーブル情報である。表2は8ビットのデータの中に最上位4ビットの加重値（ 2^4 、 2^5 、 2^6 、 2^7 ）を適用したルックアップ・テーブルである。

【0010】

最上位ビット・データ（MSB）だけを修正することはハードウェアとして具体化する際にメモリとルックアップ・テーブルの容量を減らすために必要である。このように実現された駆動装置を図4に示す。

【0011】

図4に示すように、従来の高速駆動装置は上位ビット・バスライン（42）に接続されたフレーム・メモリ（43）と、上位ビット・バスライン（42）とフレーム・メモリ（43）の出力端子両方に接続されたルックアップ・テーブル（44）とを具備する。

【0012】

フレーム・メモリ（43）は上位ビット・データ（MSB）を1フレームの間に保存し、保存されたデータをルックアップ・テーブル（44）に供給する。ここで、上位ビット・データ（MSB）は8ビットのデータのうち上位4ビットに設定される。

【0013】

ルックアップ・テーブル（44）は、上位ビット・バスライン（42）から入力される現在のフレーム（ F_n ）の上位ビット・データ（MSB）と、フレーム・メモリ（43）から入力される直前のフレーム（ F_{n-1} ）の上位ビット・データ（MSB）を表1及び表2で比較し、該当する修正データ（Mデータ）を選択して出力する。修正された上位ビット・データ（Mデータ）は下位ビット・バスライン（41）を経由してバイパスされる下位ビット・データ（LSB）と加算されて液晶表示装置に入力される。

【0014】

10

20

30

40

50

このような4ビットの上位ビット・データ(MSB)だけを修正する高速駆動方法及び装置には、図5のように下位ビット・データ(LSB)値によるグレイスケール間の差が殆どないにもかかわらず、実際に修正された8ビットデータ値の差が大きくなる問題点がある。この場合、肉眼では殆ど差を感じられない実際のグレイスケール値が、肉眼に感じられるほどの輝度の差になって表れるので、その分画質が劣化する。

【0015】

図5において、バンド(X、Y)は、修正された4ビットの最上位ビット・データ(MSB)に修正されない4ビットの最下位ビットを加えた値を、各最上位ビット・データ(MSB)別に分割した修正データ・バンドと定義される。ここで、Xは直前のフレーム(F_{n-1})の最上位ビット・データ(MSB)値を8ビット・データで表した値であり、Yは現在のフレーム(F_n)の最上位ビット・データ(MSB)値を8ビット・データで表した値である。斜体で表記したデータは、各バンド(X、Y)の最上位ビット値を表1及び表2のルックアップ・テーブルに当てはめて修正したデータを意味する。

10

【0016】

表2及び図5に示すように、各バンドのルックアップ・テーブルにより修正した最上位ビット・データ(MSB)に4ビットの最下位ビット・データ(LSB)値を加えることにより、各バンドに含まれる値は、該最上位ビット・データ(MSB)の値からそれに15を加えた値までの範囲となる。

【0017】

しかし、ルックアップ・テーブルにより設定された各バンドの最上位のビット値が同じ場合に、修正された最上位ビット・データ(MSB)に4ビットの最下位ビット・データ(LSB)が単純に加えられるので、最上位ビット値が同一の隣接バンドでは、修正されたデータ値が大きい差で表れる。例えば、バンド(32、0)とバンド(32、16)は、表2で最上位ビット値が同じ「0」であり、図5に示すように、これに0から15までの範囲の4ビットの最下位ビット・データ(LSB)が加算される。その結果、ルックアップ・テーブルにおいて修正されたデータが「32」から「15」に変化する時と、「32」から「16」に変化する時とでは肉眼では輝度の変化を殆ど感じないにもかかわらず、それぞれ「32」から「15」と「32」から「0」に変化するため、データ間肉眼で輝度の変化を感じられるようになる。このような場合は、バンド(32、0)とバンド(32、16)のほか、バンド(64、0)とバンド(64、16)のように、修正された最上位ビットの値が同一の、「直前のフレームの最上位ビット・データXと現在のフレームの最上位ビット・データYとの組み合わせに対するバンドと、同一のXと最上位ビット・データのみを比較して1だけ大きいYとの組み合わせに対するバンド」(図で右側に隣接したバンドであるので、以下「右側に隣接したバンド」と称する)との間で発生する。

20

30

【0018】

【発明が解決しようとする課題】

従って、本発明の目的は、画質を向上させた液晶表示装置の駆動方法及び装置を提供することである。

【0019】

【課題を解決するための手段】

40

前記目的を達成するために、本願発明の液晶表示装置の駆動方法は、
 入力データを上位ビット・データと下位ビット・データに分割する段階と、
 直前のフレームの上位ビット・データと現在のフレームの上位ビット・データの組み合わせから、

現在のフレームの上位ビット・データと直前のフレームの上位ビット・データの間に
変化があるかどうかにより現在のフレームの上位ビット・データを修正するための修正データが設定されたルックアップ・テーブルを用いて、第1修正データを導き出す段階と、

直前のフレームの前記上位ビット・データと現在のフレームの前記上位ビット・データより上位ビット・データのみを比較して1大きい上位ビット・データとの組み合わせから、前記ルックアップ・テーブルを用いて、第2修正データを導き出す段階と、

50

前記第1修正データと第2修正データとが同一であるかどうかを判断する段階と、
前記第1修正データと第2修正データとが同一である場合に、前記下位ビット・データを特定の値に置換する段階と、
第1修正データを現在の上位ビット・データとする段階と、を含む。

【0020】

また、前記第1修正データと第2修正データとが異なる場合に、前記下位ビット・データをそのまま維持する段階を更に含む。

【0021】

また、上位ビット・データとされた前記第1修正データに前記下位ビット・データを加算して液晶表示パネルに入力する段階を更に含む。

10

【0022】

一方、本願発明の液晶表示装置の駆動装置は、
入力ラインから入力された現在のフレームの入力データの上位ビット・データを遅延させることにより、直前フレームの入力データの上位ビット・データを出力するメモリと、
現在のフレームの上位ビット・データと直前のフレームの上位ビット・データの間に
変化があるかどうかにより現在のフレームの上位ビット・データを修正するための修正データが設定されたルックアップ・テーブルと、

前記メモリから出力された直前のフレームの上位ビット・データと前記入力ラインから入力された現在のフレームの上位ビット・データとの組み合わせから、前記ルックアップ・テーブルを用いて導き出された第1修正データと、前記直前のフレームの上位ビット・データと前記現在のフレームの前記上位ビット・データより上位ビット・データのみを比較して1大きい上位ビット・データとの組み合わせから、前記ルックアップ・テーブルを用いて導き出された第2修正データとの同一性を判断する比較器と、
前記比較器により前記第1修正データと第2修正データとが同一と判断されると前記下位ビット・データを特定の値に置換する下位ビット変換器と、を具備し、さらに第1修正データを現在の上位ビット・データとする。

20

【0023】

また、前記下位ビット変換器は前記第1修正データと第2修正データとが異なる場合前記下位ビット・データをそのまま維持することを特徴とする。

【0024】

また、データラインとスキャニング信号が供給されるゲートラインとを有する液晶表示パネルを備える液晶表示装置を駆動し、

前記第1修正データと前記下位ビット変換器の出力データを前記液晶表示パネルのデータラインに供給するためのデータ駆動部と、

前記液晶表示パネルのゲートラインにスキャニング信号を供給するためのゲート駆動部と、

前記入力データを前記入力ラインに供給すると共に前記データ駆動部とゲート駆動部を制御するためのタイミング制御器と、を更に具備する。

30

【0025】

また、前記データ駆動部には上位ビット・データと下位ビット・データが加算されて供給されることを特徴とする。

40

【0026】

また、前記下位ビット変換器は、
前記比較器の出力信号を反転させるための第1インバータと、
前記第1インバータの出力信号と前記入力ラインからの下位ビット・データをNAND演算するNANDゲートと、

前記NANDゲートの出力信号を反転させるための第2インバータと、を具備する。

【0027】

【作用】

本発明による液晶表示装置の駆動方法及び装置は、ルックアップ・テーブルで右側に隣

50

接するバンドの最上位ビット値が同一であるかどうかにより、下位ビット・データをバイパスさせるか、又は特定の値に置換することにより、実際のグレイスケールの差が殆どないデータを高速駆動方式により修正することが出来、よって過度の輝度の差が表れるという問題点を解決することができる。

【0028】

【発明の実施の形態】

以下、図6乃至図9を参照して本発明の好ましい実施例を説明する。

【0029】

図6に示すように、本発明の実施例による液晶表示装置の駆動装置は、データライン(65)とゲートライン(66)が交差しており、その交差部に液晶セル(C1c)を駆動するためのTFTが形成された液晶パネル(67)と、液晶パネル(67)のデータライン(65)にデータを供給するためのデータ・ドライバ(63)と、液晶パネル(67)のゲートライン(66)にスキニングパルスを提供するためのゲート・ドライバ(64)と、デジタル・ビデオ・データと同期信号(HV)が供給されるタイミング・コントローラ(61)と、タイミング・コントローラ(61)とデータ・ドライバ(63)の間に接続されて入力データ(RGB データ)を修正するためのデータ修正部(62)とを具備する。

【0030】

液晶パネル(67)は、下部ガラス基板の上に複数のデータライン(65)と複数のゲートライン(66)が相互に直交するように配置され、間に液晶が注入された二枚のガラス基板により形成される。データライン(65)とゲートライン(66)上のデータは液晶セル(C1c)に供給される。このために、TFTのゲート電極は該複数のゲートライン(66)に接続され、ソース電極は該複数のデータライン(65)に接続される。そしてTFTのドレイン電極は液晶セル(C1c)の画素電極に接続される。

【0031】

タイミング・コントローラ(61)は図示しないデジタル・ビデオ・カードから供給されるデジタル・ビデオ・データを再生する。タイミング・コントローラ(61)により再生されたデータ(RGBデータ)は、データ修正部(62)に供給される。また、タイミング・コントローラ(61)は入力された水平/垂直同期信号(HV)を利用してドットクロック(Dclk)、ゲート・スタート・パルス(GSP)、図示しないゲート・シフト・クロック(GSC)、出力イネーブル/ディスエーブル信号のタイミング制御信号と極性の制御信号を生成し、データ・ドライバ(63)とゲート・ドライバ(64)を制御する。ドットクロック(Dclk)と極性制御信号はデータ・ドライバ(63)に供給され、ゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)はゲート・ドライバ(64)に供給される。

【0032】

ゲート・ドライバ(64)はタイミング・コントローラ(61)から供給されるゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)に応答し、スキニングパルス、即ちゲート・ハイパルスを順次発生するシフト・レジスタと、スキニングパルスの電圧を液晶セル(C1c)の駆動に適合するレベルにシフトさせるためのレベル・シフトを含む。このスキニングパルスに応答してTFTはターン・オンされる。TFTがターン・オンされる際に、データライン(65)上のビデオ・データは液晶セル(C1c)の画素電極に供給される。

【0033】

データ・ドライバ(63)にはデータ修正部(62)により修正された赤(R)、緑(G)及び青(B)色の修正されたデータ(RGBデータ)が供給されると共に、タイミング・コントローラ(61)からドットクロック(Dclk)が入力される。このデータ・ドライバ(63)はドットクロック(Dclk)により赤(R)、緑(G)及び青(B)色の修正されたデータ(RGBデータ)をサンプリングした後に、1ライン分ずつラッチする。このデータ・ドライバ(63)によりラッチされたデータはアナログ・データに変

換されてスキャン期間毎にデータライン（６５）に同時に供給される。データ・ドライバ（６３）は修正データに対応するガンマ電圧をデータライン（６５）に供給することもできる。

【００３４】

データ修正部（６２）は、直前のフレーム（ F_{n-1} ）と現在のフレーム（ F_n ）に変化があるかどうかにより、ルックアップ・テーブルを利用して現在のフレームに入力されるデータ（RGBデータ）を修正する。そして、データ修正部（６２）は、修正された最上位ビット・データ（MSB）の値が同一の右側隣接バンドでデータが修正されると判断されると、修正された最上位ビット・データに加えられる最下位ビット・データを特定の値に置換する。ここで、特定の値は「０」に設定されることが好ましいが、修正された最上位ビット値が同一の右側の隣接バンド間との境界部で修正されたデータの値が急激に変じないようにする値に設定されていれば、「０」以外の値に設定することもできる。データ修正部（６２）により修正される最上位ビット・データ（MSB）は４ビットまたは３ビットの上位ビットに設定することもできる。以下、最上位ビット・データ（MSB）は４ビットと仮定する。

10

【００３５】

このデータ修正部（６２）の修正のアルゴリズムを図７に示す。

【００３６】

図７に示すように、データ修正部（６２）はルックアップ・テーブルで現在修正されるバンドと、それに右側に隣接したバンドそれぞれの最上位ビット値（ a 、 b ）を読む（S71及びS72段階）。続いて、データ修正部（６２）は、修正される該バンドとそれに右側に隣接したバンド間の最上位ビット値（ a 、 b ）の差を算出する。（S73段階）

20

【００３７】

S73段階で、右側隣接バンドとの間に最上位ビット値（ a 、 b ）の差がないと、即ち、現在修正されるバンドとそれに右側に隣接したバンドの最上位ビット・データ（ a 、 b ）が同一であると（ $a - b = 0$ ）、現在入力される最下位ビット・データを「０」に置換する。（S74段階）

【００３８】

S73段階で、右側隣接バンドとの間に最上位ビット・データ（ a 、 b ）の差があると（ $a - b \neq 0$ ）即ち、現在修正されるバンドとそれに右側に隣接したバンドの最上位ビット・データ（ a 、 b ）が同一でないと、現在入力される最下位ビット・データ（LSB）の値を変更せずそのまま修正された上位ビット・データ（ a ）に加算する。（S75段階）

30

【００３９】

このようなデータ修正のアルゴリズムに従ってデータ（RGBデータ）を修正するデータ修正部は図８のように実現される。

【００４０】

図８に示すように、本発明によるデータ修正部（６２）はタイミング・コントローラ（６１）から最上位ビット・データ（MSB）が入力されるフレーム・メモリ（８１）と、上位ビット・データ（MSB）を修正するためのルックアップ・テーブル（８２）と、ルックアップ・テーブル（８２）内に設定された修正データを含むバンドとそれと右側に隣接したバンド間の最上位ビット値（ a 、 b ）を比較する比較器（８３）と、比較器（８３）の出力信号を反転させるための第１インバータ（８４）と、修正されない最下位ビット・データ（LSB）と第１インバータ（８４）の出力信号をNAND演算をするためのNANDゲート（８５）と、NANDゲート（８５）の出力信号を反転させるための第２インバータ（８６）とを具備する。

40

【００４１】

フレーム・メモリ（８１）はタイミング・コントローラ（６１）の上位ビット・バスライン（８８）に接続されてタイミング・コントローラ（６１）から入力される上位ビット・データ（MSB）を１フレーム期間の間に保存する。そしてフレーム・メモリ（８１）

50

は各フレームに保存された上位ビット・データ (MSB) をルックアップ・テーブル (82) に供給する。

【0042】

ルックアップ・テーブル (82) は、タイミング・コントローラ (61) の上位ビット・バスライン (88) から入力される現在のフレーム (Fn) の上位ビット・データ (MSB) と、フレーム・メモリ (81) から入力される直前のフレーム (Fn-1) の上位ビット・データ (MSB) の間に変化があるかどうかにより、下の関係式 (1) 乃至 (3) に従い現在のフレーム (Fn) の上位ビット・データ (MSB) を修正する。

$$VDn < VDn-1 \rightarrow MVDn < VDn \quad (1)$$

$$VDn = VDn-1 \rightarrow MVDn = VDn \quad (2)$$

$$VDn > VDn-1 \rightarrow MVDn > VDn \quad (3)$$

(1) 乃至 (3) において、VDn-1 は直前のフレームのデータ電圧、VDn は現在のフレームのデータ電圧、そして MVDn は修正データ電圧をそれぞれ表す。これらの関係式を満足するルックアップ・テーブル (82) を表1及び表2に示す。

【0043】

このルックアップ・テーブル (82) は、直前のフレーム (Fn-1) と現在のフレーム (Fn) の間に変化があるかどうかにより、修正されるバンドに設定された修正データ (a) を上位ビット出力ライン (89) に供給すると共に、該バンドとそれに右側に隣接したバンド (右側バンド) それぞれの最上位ビット値 (a、b) を導き出して比較器 (83) に供給する。

【0044】

比較器 (83) は修正されたバンドとそれに右側に隣接したバンドのそれぞれに導き出された最上位ビット値 (a、b) の差を算出し、その差の値が「0」である場合、即ち右側に隣接したバンドのそれぞれに設定された最上位ビット値 (a、b) が同一である場合、ハイ論理「1」を出力する。これとは逆に、右側に隣接したバンドにそれぞれ設定された最上位ビット値 (a、b) の差が「0」でない場合、即ち右側に隣接したバンドのそれぞれに設定された最上位ビット値 (a、b) が異なる場合、ロー論理「0」を出力する。

【0045】

NANDゲート (85) は、タイミング・コントローラ (61) の下位ビット・バスライン (87) から入力される下位ビット・データ (LSB) と、第1インバータ (83) により反転された比較器 (83) の出力をNAND演算し、その結果の値を第2インバータ (86) に供給する。NAND演算により、第1インバータ (84) の出力値がロー論理「0」、即ち右側に隣接したバンドのそれぞれに設定された最上位ビット値 (a、b) が同一である場合に、最下位ビット・データ (LSB) に関係なくNANDゲート (85) はハイ論理「1」を出力する。これとは逆に、第1インバータ (84) の出力値がハイ論理「1」、即ち右側に隣接したバンドのそれぞれに設定された最上位ビット値 (a、b) が異なると、NANDゲート (85) から出力されたデータは最下位ビット・データ (LSB) が反転したものと同一になる。

【0046】

NANDゲート (85) の出力信号が第2インバータ (86) により反転されると、右側に隣接バンドのそれぞれに設定された最上位ビット値 (a、b) が同一かどうかにより、最下位ビット・データ (LSB) は「0」に置換されるか、その論理値がそのままに維持される。右側隣接バンドのそれぞれに設定された最上位ビット値 (a、b) が同一であると、第2インバータ (86) から出力された最下位ビット・データは「0000」になる。これに反し、右側隣接バンドのそれぞれに設定された最上位ビット値 (a、b) が異なると、第2インバータ (86) から出力された最下位ビット・データ (LSB) は下位ビット・バスライン (87) 上のデータと同一になる。

【0047】

このように、同一の最上位ビット値を有するバンドが右側に隣接すると、現在入力されたデータとして修正データに設定された該バンドは、下位ビット・データ (LSB) に関

10

20

30

40

50

係なく、「0」に置換される。例えば、図9のバンド（32、0）とバンド（32、16）はすべて「0」に置換される。その結果、修正されたデータが「32」から「15」に変化するときと「32」から「16」に変化する場合、それぞれ「32」から「0」と、「32」から「0」に変化するために、実際のグレイスケール差に対応し、肉眼ではそのグレイスケール差を殆ど感じられなくなる。

【0048】

このように下位ビット・データが「0」に置換されるバンドを表すルックアップ・テーブルを下の表3に示す。

【表3】

区分	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240
0	<u>0</u>	32	48	64	80	96	112	144	160	192	208	224	<u>240</u>	<u>240</u>	<u>240</u>	240
16	0	<u>16</u>	48	64	80	96	112	128	160	192	208	224	<u>240</u>	<u>240</u>	<u>240</u>	240
32	0	0	<u>32</u>	64	80	96	112	128	160	192	208	224	<u>240</u>	<u>240</u>	<u>240</u>	240
48	0	0	16	<u>48</u>	80	96	112	128	160	176	208	224	<u>240</u>	<u>240</u>	<u>240</u>	240
64	0	0	16	48	<u>64</u>	96	112	128	144	176	192	208	224	<u>240</u>	<u>240</u>	240
80	0	0	16	32	48	<u>80</u>	112	128	144	176	192	208	224	<u>240</u>	<u>240</u>	240
96	0	0	16	32	48	64	<u>96</u>	128	144	160	192	208	224	<u>240</u>	<u>240</u>	240
112	0	0	16	32	48	64	80	<u>112</u>	144	160	176	208	224	<u>240</u>	<u>240</u>	240
128	0	0	16	32	48	64	80	96	<u>128</u>	160	176	192	224	<u>240</u>	<u>240</u>	240
144	0	0	16	32	48	64	80	96	112	<u>144</u>	176	192	208	224	<u>240</u>	240
160	0	0	16	32	48	64	80	96	112	128	<u>160</u>	192	208	224	<u>240</u>	240
176	0	0	16	32	48	64	80	96	112	128	144	<u>176</u>	208	224	<u>240</u>	240
192	0	0	16	32	48	64	80	96	112	128	144	160	<u>192</u>	224	<u>240</u>	240
208	0	0	16	32	48	48	64	80	96	112	128	160	176	<u>208</u>	<u>240</u>	240
224	0	0	16	32	48	48	64	80	96	112	128	144	176	192	<u>224</u>	240
240	0	0	0	16	32	48	48	64	80	96	112	128	144	176	208	<u>240</u>

図9及び表3から分かるように、右隣にルックアップ・テーブルで斜体表記された最上位ビット値が同一であるバンドを有するバンドは、最下位ビット・データ（LSB）が「0」に置換される。

【0049】

【発明の効果】

上述のように、本発明による液晶表示装置の駆動方法及び装置は、ルックアップ・テーブルにおいて右側に隣接するバンド間の最上位ビット値が同一かどうかを判断することにより、下位ビット・データをバイパスさせるか特定の値に置換することで、実際にはグレイスケール間の差が殆どないデータを高速駆動方式により修正したときに現れる過度な輝度の差を解消することができる。従って、実際のグレイスケール値に対応して画面が表示されるため画質が向上する。

【0050】

以上説明した内容を通し、当業者であれば本発明の技術思想を逸脱しない範囲で、多様な変更及び修正が可能であることが分かる。例えば、データ修正部は、ルックアップ・テーブル以外にも、プログラムとこれを実行するためのマイクロプロセッサの形態としても

10

20

30

40

50

よい。従って、本発明の技術的な範囲は、明細書の詳細な説明に記載された内容に限定されず、特許請求の範囲によって定められる。

【図面の簡単な説明】

【図 1】 図 1 は通常の液晶表示装置においてデータによる輝度変化を表す波形図である。

【図 2】 図 2 は従来の高速駆動方法においてデータ修正による輝度変化の一例を表す波形図である。

【図 3】 図 3 は 8 ビットのデータに適用された従来の高速駆動方法の一例を表す図面である。

【図 4】 図 4 は従来の高速駆動装置を表すブロック図である。

10

【図 5】 図 5 は従来の高速駆動方法において修正された最上位ビットデータ (MSB) に最下位ビットデータ (LSB) が加えられた修正データ・テーブルを表す図面である。

【図 6】 図 6 は本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図 7】 図 7 は本発明の実施例によるデータ修正部の制御手順を段階的に表すフロー図である。

【図 8】 図 8 は図 6 に図示されたデータ修正部を詳細に表すブロック図である。

【図 9】 図 9 は下位ビットデータが特定の値に置換されるルックアップ・テーブルのバンドを表す図面である。

【符号の説明】

20

4 2、8 8：上位ビット・バスライン

4 3、8 1：フレームメモリ

4 4、8 2：ルックアップ・テーブル

6 1：タイミング・コントローラ

6 2：データ修正部

6 3：データ・ドライバ

6 4：ゲート・ドライバ

6 5：データライン

6 6：ゲートライン

6 7：液晶パネル

30

8 3：比較器

8 4：第 1 インバータ

8 5：NANDゲート

8 6：第 2 インバータ

8 7：下位ビットバスライン

8 9：上位ビット出力ライン

MSB：上位ビットデータ

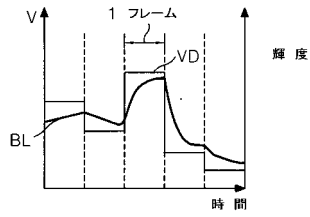
LSB：下位ビットデータ

GSP：ゲート・スタート・パルス

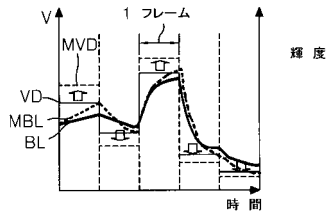
GSC：ゲート・シフト・クロック

40

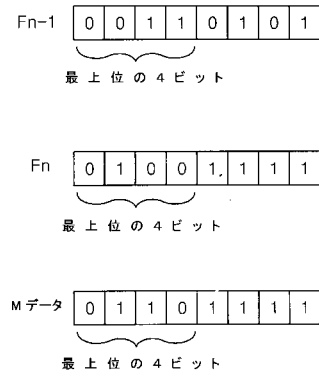
【図 1】



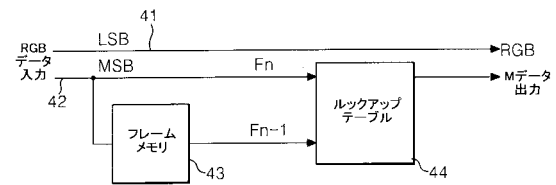
【図 2】



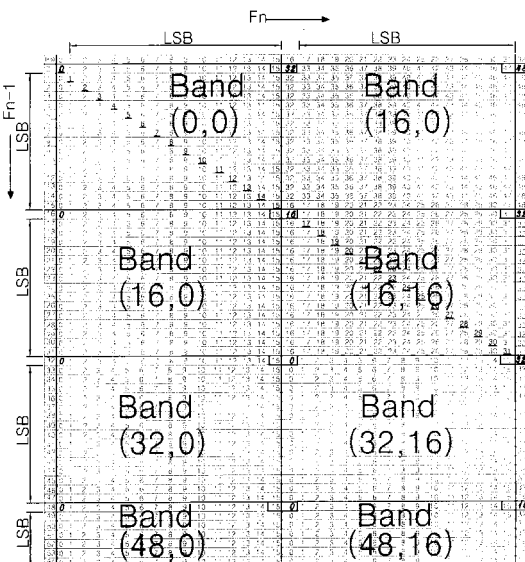
【図 3】



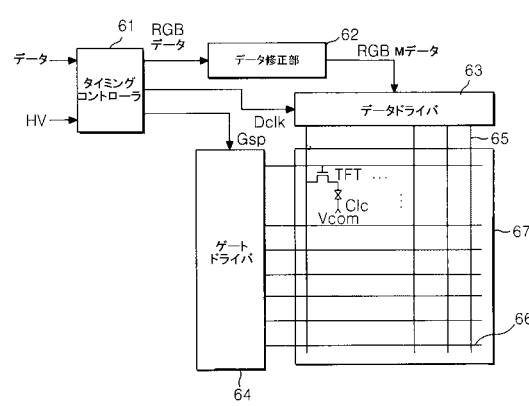
【図 4】



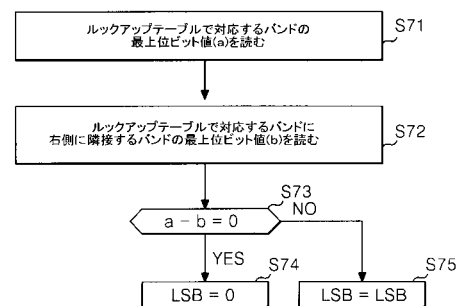
【図 5】



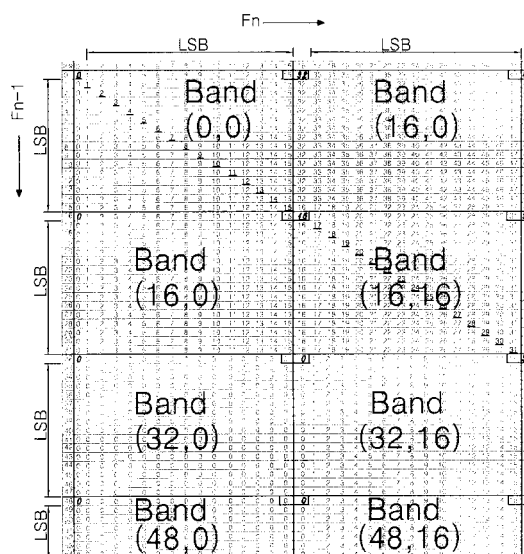
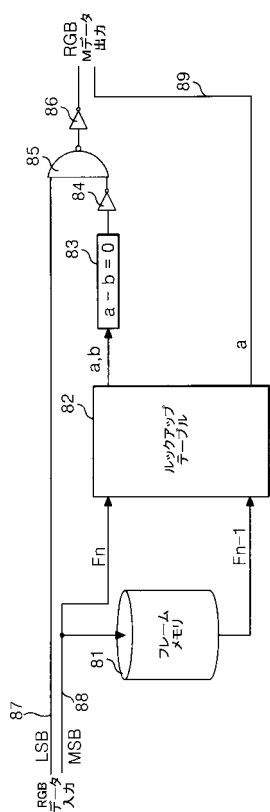
【図 6】



【図 7】



【図 9】



フロントページの続き

- (56)参考文献 特開2003-36055 (JP, A)
特開2002-297104 (JP, A)
特開2002-189458 (JP, A)
特開2001-265298 (JP, A)
欧州特許出願公開第1122711 (EP, A1)
特開平11-126050 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/20-3/38

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	JP4301772B2	公开(公告)日	2009-07-22
申请号	JP2002172381	申请日	2002-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ハムヨンスン		
发明人	ハム, ヨン スン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G5/393 G09G5/399		
CPC分类号	G09G5/393 G09G3/3648 G09G3/3674 G09G3/3685 G09G2300/08 G09G2320/02 G09G2320/0252 G09G2320/0257 G09G2320/0261 G09G2320/0285 G09G2320/103 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.631.V G09G3/20.641.P G09G3/20.641.R G02F1/133.575		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC28 2H093/NC29 2H093/NC34 2H093/ND06 2H093/ND07 2H193/ZA04 2H193/ZD23 5C006/AA16 5C006/AA22 5C006/AF03 5C006/AF06 5C006/AF13 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF84 5C006/AF85 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF09 5C006/BF14 5C006/BF26 5C006/BF27 5C006/BF28 5C006/FA14 5C006/FA25 5C006/FA29 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD05 5C080/DD08 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ04 5C080/JJ07		
审查员(译)	小川博		
优先权	1020010054123 2001-09-04 KR		
其他公开文献	JP2003084741A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置，更具体地涉及用于驱动具有改善的图像质量的液晶显示装置的方法和装置。根据本发明的用于驱动液晶显示装置的方法和装置确定相邻校正数据是否相同，并且如果相邻校正数据相同，则用特定值替换低位数据。到。更具体地，根据本发明的液晶显示装置的驱动方法包括将输入数据分成高位数据和低位数据，从预置校正数据导出数据值的步骤，修改数据的步骤，判断相邻校正数据是否相同的步骤，当相邻校正数据相互相同时用特定值替换低位数据的步骤其特征在于，它包括和。

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	9	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	9	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15