

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3920649号
(P3920649)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年2月23日(2007.2.23)

(51) Int. Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO9F 9/00 (2006.01)	GO9F 9/00 309A
GO9F 9/30 (2006.01)	GO9F 9/00 348C
GO9F 9/35 (2006.01)	GO9F 9/30 338

請求項の数 10 (全 36 頁) 最終頁に続く

(21) 出願番号	特願2002-22655 (P2002-22655)	(73) 特許権者	000005108
(22) 出願日	平成14年1月31日(2002.1.31)		株式会社日立製作所
(65) 公開番号	特開2003-222891 (P2003-222891A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成15年8月8日(2003.8.8)	(74) 代理人	100083552
審査請求日	平成16年9月14日(2004.9.14)		弁理士 秋田 収喜
		(72) 発明者	佐藤 友彦
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
		(72) 発明者	落合 孝洋
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 画像表示装置および液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶を介して対向配置される各基板の一方の基板の液晶側の面に液晶表示部を構成する各画素と、一方向に並設された各画素からなる画素群に共通のゲート信号線と容量線とが少なくとも形成され、

前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、

この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記容量線は前記走査信号駆動回路を交差して液晶表示部と反対側の前記配線層に接続されていることを特徴とする液晶表示装置。 10

【請求項2】

液晶を介して対向配置される各基板の一方の基板の液晶側の面に液晶表示部を構成する各画素と、一方向に並設された各画素からなる画素群に共通のゲート信号線と容量線とが少なくとも形成され、

前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、

この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記容量線は非透光性の材料から構成され、前記走査信号駆動回路の下層を交差して液晶 20

表示部と反対側の前記配線層に接続されていることを特徴とする液晶表示装置。

【請求項3】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え

10

、前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、

前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、

この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記対向電圧信号線は、前記走査信号駆動回路の上層を交差して液晶表示部と反対側の前記配線層に接続されていることを特徴とする液晶表示装置。

【請求項4】

20

前記対向電圧信号線は、前記走査信号駆動回路の形成領域の全域を被って形成されていることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え

30

、前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、

前記各ドレイン信号線の一端が接続された映像信号駆動回路と、この映像信号駆動回路に対して液晶表示部と反対側に該映像信号駆動回路に沿って形成された配線層とを備え、

前記対向電圧信号線は、前記映像信号駆動回路の上層を交差して前記配線層に接続されていることを特徴とする液晶表示装置。

【請求項6】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

40

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え

、前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、

50

前記各ドレイン信号線の一端が接続されたドレイン分配回路を含む映像信号駆動回路と、前記ドレイン分配回路を囲むようにして形成された配線層とを備え、この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、
前記対向電圧信号線は、前記映像信号駆動回路の上層を交差して前記配線層に接続されていることを特徴とする液晶表示装置。

【請求項 7】

前記対向電圧信号線は、前記映像信号駆動回路の形成領域の全域を被って形成されていることを特徴とする請求項 5、6 のうちいずれかに記載の液晶表示装置。

【請求項 8】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを備え、

前記ドレイン信号線の一端に映像信号駆動回路を備えるとともに、他端にイコライズ回路とこのイコライズ回路を囲むようにして形成された配線層とを備え、この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されていることを特徴とする液晶表示装置。

【請求項 9】

対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極を備えるとともに、前記対向電圧信号線は前記イコライズ回路に対して液晶表示部と反対側の前記配線層に該イコライズ回路を交差して接続されていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とが備えられ、

前記ドレイン信号線の一端に映像信号駆動回路を備えるとともに、他端にイコライズ回路とこのイコライズ回路に対して液晶表示部と反対側に配線層とを備え、

前記対向電圧信号線は該イコライズ回路を交差して前記配線層に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置に係り、特に、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に走査信号駆動回路および映像信号駆動回路が形成されている液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、

10

20

30

40

50

並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線とが形成され、これら各信号線によって囲まれた各領域を画素領域とし、この画素領域にはゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とが備えられている。

【0003】

そして、該一方の基板の液晶側の面であって、前記各ゲート信号線の少なくとも一端側にはそれぞれのゲート信号線に走査信号を順次供給するための走査信号駆動回路、前記各ドレイン信号線の少なくとも一端側には該走査信号の供給のタイミングに合わせて映像信号を供給するための映像信号駆動回路が形成されているものがある。

10

【0004】

【発明が解決しようとする課題】

しかし、このような構成の液晶表示装置は、その走査信号駆動回路あるいは映像信号駆動回路が基板の周辺部に位置づけられて配置されていることから、静電気の飛び込みによる不都合が生じやすいということが指摘されていた。

【0005】

また、背部にバックライトを配置させるようなものにあって、該バックライトからの光りが走査信号駆動回路あるいは映像信号駆動回路の形成部分を通して観察者側へ漏洩してしまうということも指摘されていた。

【0006】

さらに、走査信号駆動回路あるいは映像信号駆動回路はガラス等の基板面に形成していることから放熱効果が充分でなく、回路の誤動作の生じる恐れも指摘されていた。

20

【0007】

本発明は、このような事情に基づいてなされたもので、その目的は、走査信号駆動回路あるいは映像信号駆動回路への静電気の飛び込みを抑制できる液晶表示装置を提供することにある。

【0008】

また、本発明の他の目的は、走査信号駆動回路あるいは映像信号駆動回路の形成部分を通しての光漏れを抑制できる液晶表示装置を提供することにある。

【0009】

さらに、本発明の他の目的は、走査信号駆動回路あるいは映像信号駆動回路の誤動作を防止できる液晶表示装置を提供することにある。

30

【0010】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

手段1 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板の一方の基板の液晶側の面に液晶表示部を構成する各画素と、一方向に並設された各画素からなる画素群に共通のゲート信号線と容量線とが少なくとも形成され、

40

前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、

この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記容量線は前記走査信号駆動回路を交差して液晶表示部と反対側の前記配線層に接続されていることを特徴とするものである。

【0011】

手段2 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板の一方の基板の液晶側の面に液晶表示部を構成する各画素と、一方向に並設された各画素からなる画

50

素群に共通のゲート信号線と容量線とが少なくとも形成され、
前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、
この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、
前記容量線は非透光性の材料から構成され、前記走査信号駆動回路の下層を交差して液晶表示部と反対側の前記配線層に接続されていることを特徴とするものである。

【 0 0 1 2 】

手段 3 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、
前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、

前記各ゲート信号線の少なくとも一端が接続された走査信号駆動回路と、この走査信号駆動回路を囲むようにして形成された配線層とを備え、

この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記対向電圧信号線は、前記走査信号駆動回路の上層を交差して液晶表示部と反対側の前記配線層に接続されていることを特徴とするものである。

【 0 0 1 3 】

手段 4 .

本発明による液晶表示装置は、たとえば、手段 3 の構成を前提として、前記対向電圧信号線は、前記走査信号駆動回路の形成領域の全域を被って形成されていることを特徴とするものである。

【 0 0 1 4 】

手段 5 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、

前記各ドレイン信号線の一端が接続された映像信号駆動回路と、この映像信号駆動回路に対して液晶表示部と反対側に該映像信号駆動回路に沿って形成された配線層とを備え、

前記対向電圧信号線は、前記映像信号駆動回路の上層を交差して前記配線層に接続されていることを特徴とするものである。

【 0 0 1 5 】

手段 6 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は絶縁層を介して前記ドレイン信号線およびゲート信号線を被うようにして形成された部分を有して対向電圧信号線とともに形成され、 10

前記各ドレイン信号線の一端が接続されたドレイン分配回路を含む映像信号駆動回路と、前記ドレイン分配回路を囲むようにして形成された配線層とを備え、この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されているとともに、

前記対向電圧信号線は、前記映像信号駆動回路の上層を交差して前記配線層に接続されていることを特徴とするものである。

【0016】

手段7 .

本発明による液晶表示装置は、たとえば、手段5、6のうちいずれかの構成を前提として、前記対向電圧信号線は、前記映像信号駆動回路の形成領域の全域を被って形成されていることを特徴とするものである。 20

【0017】

手段8 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを備え、 30

前記ドレイン信号線の一端に映像信号駆動回路を備えるとともに、他端にイコライズ回路とこのイコライズ回路を囲むようにして形成された配線層とを備え、この配線層は液晶表示部と反対側のそれに対して液晶表示部側のそれは線幅が小さく形成されていることを特徴とするものである。

【0018】

手段9 .

本発明による液晶表示装置は、たとえば、手段8の構成を前提として、前記対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極を備えるとともに、前記対向電圧信号線は前記イコライズ回路に対して液晶表示部と反対側の前記配線層に該イコライズ回路を交差して接続されていることを特徴とするものである。 40

【0019】

手段10 .

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

前記各信号線によって囲まれた領域を画素領域およびこれら画素領域の集合体を液晶表示部とし、

前記画素領域には、ゲート信号線からの走査信号によって駆動されるスイッチング素子と 50

、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、対向電圧信号線に接続され前記画素電極との間に電界を生じせしめる対向電極とが備えられ、

前記ドレイン信号線の一端に映像信号駆動回路を備えるとともに、他端にイコライズ回路とこのイコライズ回路に対して液晶表示部と反対側に配線層とを備え、

前記対向電圧信号線は該イコライズ回路を交差して前記配線層に接続されていることを特徴とするものである。

【0020】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0021】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

実施例1。

《全体の構成》

図2は、本発明による液晶表示装置の一実施例を示す全体構成図であり、液晶を介して対向される各透明基板のうち一方の透明基板の液晶側の面の構成を示している。

【0022】

同図において、一方の透明基板SUB1の周辺を除く中央部には、そのx方向に延在しy方向に並設されるゲート信号GL1、GL2、... (以下、単にゲート信号線GLと称する場合があります)と、y方向に延在しx方向に並設されるドレイン信号線DL1、DL2、... (以下、単にドレイン信号線DLと称する場合があります)とが形成されている。

【0023】

これら各ゲート信号線GLとドレイン信号線DLとで囲まれた各領域を画素領域とし、これら各画素領域の集合体を液晶表示部ARとして構成されている。各画素領域の詳細な構成は後に説明する。

【0024】

各ゲート信号線GLの両端側のそれぞれは走査信号駆動回路GSC L、GSC Rに接続され、この走査信号駆動回路GSC L、GSC Rによって各ゲート信号線GLに順次走査信号が供給されるようになっている。これら各走査信号駆動回路GSC L、GSC Rは例えばポリシリコンを半導体層とする多数のMIS (metal insulator semiconductor) 型トランジスタとこれらMIS型トランジスタを接続するための配線層で形成され、透明基板SUB1の表面に形成されたものとなっている。

【0025】

また、各ドレイン信号線DLの一端側(図中上側)のそれぞれは映像信号駆動回路に接続されている。この映像信号駆動回路はドレイン信号線DL側に形成されるドレイン分配回路DDCとそれ以外の回路IDCとで構成されている。

【0026】

ここで、ドレイン分配回路DDCは例えばポリシリコンを半導体層とする多数のMIS型トランジスタとこれらMIS型トランジスタを接続するための配線層で形成され、透明基板SUB1の表面形成されてものとなっている。また、それ以外の回路IDCは透明基板SUB1に搭載される半導体チップからなる半導体層から構成されている。

【0027】

また、各ドレイン信号線DLの他端側(図中下側)のそれぞれはイコライズ回路EQCに接続されている。このイコライズ回路EQCも例えばポリシリコンを半導体層とする多数のMIS型トランジスタとこれらMIS型トランジスタを接続するための配線層で形成されている。

【0028】

なお、前記走査信号駆動回路GSC L、GSC R、ドレイン分配回路DDCとそれ以外の回路IDCには電源・コントロール回路SCCから電源あるいは信号が供給されるように

10

20

30

40

50

なっている。

【0029】

図3は、前記画素領域の等価回路を示すものである。ゲート信号線GLからの走査信号によってオンする薄膜トランジスタTFTと、この薄膜トランジスタTFTを介してドレイン信号線DLからの映像信号が供給される画素電極PXと、この画素電極PXに対向して配置され該画素電極PXとの間で電界を生じせしめる対向電極CTとが備えられている。

【0030】

該対向電極CTは、対向電圧信号線CLを介して映像信号に対して基準となる信号が供給されるようになっている。

【0031】

画素電極PXと対向電極CTの間に生じる電界のうち透明基板SUB1と平行な成分によって液晶の光透過率を制御するようになっている。

【0032】

また、画素電極PXと対向電圧信号線CLとの間には容量素子Cstgが形成されており、この容量素子Cstgによって該画素電極PXに供給される映像信号を比較的長い時間蓄積させるようになっている。

なお、前記薄膜トランジスタTFTはその半導体層がポリシリコンで形成されている。

【0033】

そして、この薄膜トランジスタTFTはその構成が前記走査信号駆動回路GSC L、GSC R、ドレイン分配回路DDCの構成部品であるMIS型トランジスタとほぼ同様であるから、画素領域の構成の製造に並行して該前記走査信号駆動回路GSC L、GSC R、ドレイン分配回路DDCが製造されるようになっている。

【0034】

《画素の構成》

図4(a)は前記画素領域における構成の一実施例を示す平面図、図4(b)は図4(a)のb-b線における断面図を示している。

【0035】

各図において、まず、透明基板SUB1の表面に下地絶縁膜ULSが形成され、この下地絶縁膜ULSの表面の一部にはポリシリコンからなる半導体層PSが形成されている。この半導体層PSは薄膜トランジスタTFTのそれとなるものである。

【0036】

そして、この半導体層PSをも被って透明基板SUB1の表面の全域には絶縁膜GIが形成されている。この絶縁膜GIは該薄膜トランジスタTFTのゲート絶縁膜として機能するようになる。

【0037】

また、この絶縁膜GIの表面には、x方向に延在しy方向に並設されるゲート信号線GL1、GL2(以下、ゲート信号線GLと称する場合がある)が形成されている。

【0038】

これらゲート信号線GLは後述のドレイン信号線DLとともに矩形状の領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【0039】

この場合、ゲート信号線GLは前記半導体層PSを横切るようにして形成され、該半導体層PSとの重畳部は薄膜トランジスタTFTのゲート電極として機能するようになっている。

【0040】

さらに、各ゲート信号線GLの間のほぼ中央、換言すれば画素領域のほぼ中央には該ゲート信号線GLと並行に容量信号線CST1が形成されている。この容量信号線CST1はたとえば該ゲート信号線GLの形成の際に同時に形成されるようになっている。

【0041】

このようにゲート信号線GL、容量信号線CST1が形成された透明基板SUB1の表面

10

20

30

40

50

には該各信号線をも被って層間絶縁膜 I L 1 が全域に形成されている。

【 0 0 4 2 】

そして、この層間絶縁膜 I L 1 の表面には y 方向に延在し x 方向に並設されるドレイン信号線 D L が形成されている。

【 0 0 4 3 】

このドレイン信号線 D L は、層間絶縁膜 I L 1、絶縁膜 G I を貫通して予め形成されたスルーホール C N T 1 を通して前記半導体層 P S の一端部（ドレイン領域）と接続され、この部分において薄膜トランジスタ T F T のドレイン電極を兼ねるようになっている。

【 0 0 4 4 】

また、ドレイン信号線 D L の形成の際に同時に、層間絶縁膜 I L 1 のスルーホール C N T 3 によって露呈された前記容量信号線 C S T 1 の一部と接続されるパッド層 P A D が形成されるようになっている。このパッド層 P A D は後に説明する対向電極 C T と接続されるための介在層となるものである。

10

【 0 0 4 5 】

さらに、ドレイン信号線 D L の形成の際に同時に画素電極 P X が形成されるようになっている。この画素電極 P X は y 方向に延在され x 方向に並設される複数（図では 2 本）の帯状の電極からなり、それらは容量信号線 C S T 1 の上方において、さらに各端部において一体的に互いに電氣的接続がされたパターン（図ではほぼ日の字形）として形成されたものとなっている。

【 0 0 4 6 】

20

そして、この画素電極 P X の一部は、前記層間絶縁膜 I L 1、絶縁膜 G I を貫通して予め形成されたスルーホール C N T 2 を通して前記半導体層 P S の他端部（ソース領域）と接続され、この部分において薄膜トランジスタ T F T のソース電極を兼ねるようになっている。

【 0 0 4 7 】

そして、ドレイン信号線 D L、画素電極 P X 等が形成された透明基板 S U B 1 の表面には無機材料からなる保護膜 P A S、有機材料からなる保護膜 F P A S が順次積層されて形成されている。

【 0 0 4 8 】

これら各保護膜の積層体は、前記薄膜トランジスタ T F T の液晶との直接の接触を回避するために形成され、またそれ自体の誘電率を低減させるようにしている。

30

【 0 0 4 9 】

さらに、保護膜 F P A S の上面には対向電極 C T が形成されている。この対向電極 C T は、たとえば I T O (Indium Tin Oxide)、I T Z O (Indium Tin Zinc Oxide)、I Z O (Indium Zinc Oxide)、S n O₂ (酸化スズ)、I n₂ O₃ (酸化インジウム) 等の透光性の材料から構成されている。

【 0 0 5 0 】

この対向電極 C T は前述の画素電極 P X と同様に y 方向に延在され x 方向に並設された複数（図では 3 本）の電極群から構成され、かつ、それら各電極は、平面的に観た場合、前記画素電極 P X を間にして位置付けられるようになっている。

40

【 0 0 5 1 】

すなわち、対向電極 C T と画素電極 P X は、一方の側のドレイン信号線から他方の側のドレイン信号線にかけて、対向電極、画素電極、対向電極、画素電極、.....、対向電極の順にそれぞれ等間隔に配置されている。

【 0 0 5 2 】

ここで、画素領域の両側に位置づけられる対向電極 C T は、その一部がドレイン信号線 D L に重畳されて形成されるとともに、隣接する画素領域の対応する対向電極 C T と共通に形成されている。

【 0 0 5 3 】

換言すれば、ドレイン信号線 D L 上には対向電極 C T がその中心軸をほぼ一致づけて重畳

50

され、該対向電極 C T の幅はドレイン信号線 D L のそれよりも大きく形成されている。ドレイン信号線 D L に対して左側の対向電極 C T は左側の画素領域の各対向電極 C T の一つを構成し、右側の対向電極 C T は右側の画素領域の各対向電極 C T の一つを構成するようになっている。

【 0 0 5 4 】

このようにドレイン信号線 D L の上方にて該ドレイン信号線 D L よりも幅の広い対向電極 C T を形成することにより、該ドレイン信号線 D L からの電気力線が該対向電極 C T に終端し画素電極 P X に終端することを回避できるという効果を奏する。ドレイン信号線 D L からの電気力線が画素電極 P X に終端した場合、それがノイズとなってしまうからである。

10

【 0 0 5 5 】

電極群からなる各対向電極 C T は、ゲート信号線 G L を十分に被って形成される同一の材料からなる対向電圧信号線 C L と一体的に形成され、この対向電圧信号線 C L を介して基準電圧が供給されるようになっている。

【 0 0 5 6 】

ここで、液晶表示部 A R 外の領域において、該対向電圧信号線 C L および対向電極 C T に基準電圧信号を供給するための引出線 C L 1 が、画素領域を画する各ゲート信号線 G L のうちの一方のゲート信号線 G L と容量信号線 C S T 1 との間にそれら信号線と平行に形成されている。

【 0 0 5 7 】

なお、対向電極 P T および対向電圧信号線 C T の形成の際に同時に、前記画素電極 P X と重畳するようにして透光性の画素電極 P X T が形成されている。

20

【 0 0 5 8 】

また、前記画素電極 P X と容量信号線 C S T 1 との間には容量素子 C s t g が形成され、この容量素子 C s t g はたとえば画素電極 P X に供給された映像信号を比較的長く蓄積させる等の機能をもたせるようになっている。図 4 では、この容量素子 C s t g の容量を大きくするため、容量信号線 C S T 1 から各画素電極 P X に重畳させるようにした延在部 C P M を有するようになっている。

【 0 0 5 9 】

《 走査信号駆動回路周辺の構成 》

図 1 は、前記走査信号駆動回路 G S C L およびその周辺の構成の一実施例を示す平面図である。

30

【 0 0 6 0 】

同図において、まず、対向電圧信号線 C L の引出線 C L 1 および容量信号線 C S T 1 に接続される配線層 C O M が走査信号駆動回路 G S C L を囲むようにして形成されている。

【 0 0 6 1 】

この配線層 C O M は、前記走査信号駆動回路 G S C L が配置されている側において 2 つの端子 C P を備え、一方の端子 C P から該走査信号駆動回路 G S C L と液晶表示部 A R の間を走行し、該走査信号駆動回路 G S C L の該液晶表示部 A R と反対側に及んで他方の端子 C P に至って形成されている。

40

【 0 0 6 2 】

これにより、該走査信号駆動回路 G S C L は該配線層 C O M によって外部からの静電気から保護されるようになる。

【 0 0 6 3 】

この場合、走査信号駆動回路 G S C L に対して液晶表示部 A R 側の配線層 C O M 2 の線幅は液晶表示部 A R と反対側の配線層 C O M 1 の線幅よりも細く形成されている。

【 0 0 6 4 】

走査信号駆動回路 G S C L からは液晶表示部 A R 側に多数のゲート信号線 G L が走行され、これら各ゲート信号線 G L と交差して形成しなければならない前記配線層 C O M 2 はその線幅を細くすることにより、それらの間に生じる寄生容量を大幅に低減させることがで

50

き、ゲート信号線 G L の走査信号の遅延を低減させることができる。

【 0 0 6 5 】

このことから、液晶表示部 A R 側の配線層 C O M 2 の線幅を細くした分に対応させて液晶表示部 A R と反対側の配線層 C O M 1 の線幅を十分に太くすることによって、該配線層 C O M 自体の電氣的抵抗を高くさせないようにすることができる。

【 0 0 6 6 】

また、液晶表示部 A R の領域に形成される対向電圧信号 C L は引出線 C L 1 を介して液晶表示部 A R 側の前記配線層 C P M 2 に接続され、容量信号線 C S T 1 は走査信号駆動回路 G S C L を跨って（交差して）液晶表示部 A R と反対側の前記配線層 C O M 1 に接続されるようになっている。

10

【 0 0 6 7 】

この場合、容量信号線 C S T 1 は金属等のような非透光性の材料で構成されていることから、その部分において遮光機能を有するようになり、パネルの後方から前方にかけての光の漏れを低減させることができるようになる。また、放熱線の役割りをも有するようになり、該放熱線により走査信号駆動回路の G S C L の熱をパネル全面に拡散、放熱できるため、走査信号駆動回路 G S C L の正常な動作を達成することができる。

【 0 0 6 8 】

前記配線層 C O M は、たとえば図 5 に示すように走査信号駆動回路 G S C L を完全に囲むように一つの端子 C P から基準信号を供給するようにして形成するようによく、さらに図 6、図 7 に示すように互いに最も離れた個所に二つの端子 C P を設けそれらの各端子 P C に基準信号を供給するようにして形成するようによいことはいうまでもない。

20

【 0 0 6 9 】

走査信号駆動回路 G S C L を囲む C O M は、少なくとも走査信号駆動回路 G S C L の液晶表示部 A R 側と該液晶表示部 A R と反対側に形成され、それらが互いに電氣的に接続されていれよい。

【 0 0 7 0 】

図 8 (a) は前記走査信号駆動回路 G S C L の一部を示す平面図で、その b - b 線、 c - c 線、 d - d 線における各断面図を図 8 (b)、図 8 (c)、図 8 (d) に示している。

【 0 0 7 1 】

図 8 (b)、(c)、(d) に示すように配線層 C O M は層間絶縁膜 I L 1 の上面に形成され、たとえばドレイン信号線 D L の形成の際に同時に形成されるようになっている。

30

【 0 0 7 2 】

図 8 (b) に示すように、容量信号線 C S T 1 は走査信号駆動回路 G S C L に対して層間絶縁膜 I L 1 を介した下層に位置づけられて該走査信号駆動回路 G S C L と交差するようになり形成されている。前記配線層 C O M 1 との接続は該層間絶縁膜 I L 1 に形成されたスルーホールを通してなされている。

【 0 0 7 3 】

この場合の容量信号線 C S T 1 は金属で形成することにより、該走査信号駆動回路 G S C L の部分において一部遮光機能を有するようになり、パネルの後方から前方にかけての光の漏れを低減させることができるようになる。また、放熱線の役割りをも有するようになり、走査信号駆動回路 G S C L の正常な動作を達成することができる。

40

【 0 0 7 4 】

図 8 (d) に示すように、対向電圧信号線 C L の引出線 C L 1 は保護膜 F P A S および保護膜 P A S を貫通するスルーホールを通して配線層に接続されるようになっている。

【 0 0 7 5 】

実施例 2 .

図 9 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 1 に対応した図となっている。

【 0 0 7 6 】

50

図 1 と比較して異なる構成は、走査信号駆動回路 G S C L に対して液晶表示部 A R と反対側に形成される配線層 C O M 1 と接続される対向電圧信号線 C L の引出線 C L 1 は走査信号駆動回路 G S C L の上層において該走査信号駆動回路 G S C L と交差するようにして形成されていることにある。

【 0 0 7 7 】

このようにすることによって、外部から走査信号駆動回路 G S C L への電磁波の飛び込みを該引出線 C L 1 によって一部防止でき、外部ノイズによる走査信号駆動回路 G S C L の誤動作を低減させることができる。

【 0 0 7 8 】

この場合、容量信号線 C S T 1 は走査信号駆動回路 G S C L に対して液晶表示部 A R 側の配線層 C O M 2 に接続されるようになっている。 10

【 0 0 7 9 】

なお、この場合においても、前記配線層 C O M は、たとえば図 1 0 に示すように走査信号駆動回路 G S C L を完全に囲むように一つの端子 C P から基準信号を供給するようにして形成するようにしてもよく、さらに図 1 1、図 1 2 に示すように互いに最も離れた個所に二つの端子 C P を設けそれらの各端子 C P に基準信号を供給するようにして形成するようにしてもよいことはいうまでもない。

【 0 0 8 0 】

図 1 3 (a) は前記走査信号駆動回路の一部を示す平面図で、その b - b 線、c - c 線、d - d 線における各断面図を図 1 3 (b)、図 1 3 (c)、図 1 3 (d) に示している。 20

【 0 0 8 1 】

図 1 3 (b) に示すように、対向電圧信号線 C L の引出線 C L 1 は走査信号駆動回路 G S C L に対して上層に位置づけられて該走査信号駆動回路 G S C L と交差するようにして形成され、保護膜 F P A S、保護膜 P A S に貫通して形成されたスルーホールを通して配線層 C O M 1 に接続されている。

【 0 0 8 2 】

図 1 3 (d) に示すように、容量信号線 C S T 1 はその上層の絶縁膜 I L 1 を貫通するスルーホールを通して配線層 C O M 2 に接続されるようになっている。

【 0 0 8 3 】

実施例 3 . 30

図 1 4 (a) は前記走査信号駆動回路の一部を示す平面図で、図 1 3 (a) と対応した図となっている。また、図 1 4 (a) の b - b 線における断面図を図 1 4 (b) に示している。

【 0 0 8 4 】

図 1 3 (a) の場合と比較して異なる構成は、対向電圧信号 C L の引出線 C L 1 は走査信号駆動回路 G S C L の全域を被って形成されていることにある。

【 0 0 8 5 】

このようにした場合、外部から走査信号駆動回路 G S C L への電磁波の飛び込みを該引出線 C L 1 によってほぼ完全に防止でき、外部ノイズによる走査信号駆動回路 G S C L の誤動作を防止させることができる。 40

【 0 0 8 6 】

実施例 4 .

図 1 5 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 9 に対応した図となっている。

【 0 0 8 7 】

図 9 の場合と比較して異なる構成は、走査信号駆動回路 G S C L を交差して形成される対向電圧信号 C L の引出線 C L 1 が液晶表示部 A R と反対側の配線層 C O M 1 のみに限らず液晶表示部 A R 側の配線層 C O M 2 とも接続されていることにある。

【 0 0 8 8 】

このように構成した場合、たとえ液晶表示部 A R と反対側の配線層 C O M 1 が断線した場 50

合にも、該対向電圧信号線 C L には信頼性よく基準信号が供給される効果を奏する。

【 0 0 8 9 】

なお、この場合においても、前記配線層 C O M は、たとえば図 1 6 に示すように走査信号駆動回路 G S C L を完全に囲むように一つの端子 C P から基準信号を供給するようにして形成するようにしてもよく、さらに図 1 7、図 1 8 に示すように互いに最も離れた個所に二つの端子 C P を設けそれらの各端子 C P に基準信号を供給するようにして形成するようにしてもよいことはいうまでもない。

【 0 0 9 0 】

図 1 9 (a) は前記走査信号駆動回路の一部を示す平面図で、その b - b 線、 c - c 線、 d - d 線における各断面図を図 1 9 (b)、図 1 9 (c)、図 1 9 (d) に示している。 10

【 0 0 9 1 】

図 1 9 (b) に示すように、対向電圧信号線 C L の引出線 C L 1 は保護膜 F P A S および保護膜 P A S を貫通するスルーホールを通して液晶表示部 A R と反対側の配線層 C O M 1 および液晶表示部 A R 側の配線層 C O M 2 と接続されている。

【 0 0 9 2 】

また、この場合において、図 2 0 に示すように対向電圧信号線 C L の引出線 C L 1 は走査信号駆動回路 G S C L の全域を被い、必要な個所にて液晶表示部 A R と反対側の配線層 C O M 1 および液晶表示部 A R 側の配線層 C O M 2 に接続させるようにしてもよい。

【 0 0 9 3 】

実施例 5 . 20

図 2 1 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 1 5 に対応した図となっている。

【 0 0 9 4 】

図 1 5 の場合と比較して異なる構成は、容量信号線 C S T 1 および対向電圧信号線 C L の引出線 C L 1 いずれも液晶表示部 A R 側の配線層 C O M 2 のみに接続された構成としたものである。

【 0 0 9 5 】

なお、この場合においても、前記配線層 C O M は、たとえば図 2 2 に示すように走査信号駆動回路 G S C L を完全に囲むように一つの端子 C P から基準信号を供給するようにして形成するようにしてもよく、さらに図 2 3、図 2 4 に示すように互いに最も離れた個所に二つの端子 C P を設けそれらの各端子 C P に基準信号を供給するようにして形成するようにしてもよいことはいうまでもない。 30

【 0 0 9 6 】

図 2 5 (a) は前記走査信号駆動回路の一部を示す平面図で、その b - b 線、 c - c 線、 d - d 線における各断面図を図 2 5 (b)、図 2 5 (c)、図 2 5 (d) に示している。

【 0 0 9 7 】

図 2 5 (b) に示すように、対向電圧信号線 C L の引出線 C L 1 は保護膜 F P A S および保護膜 P A S を貫通するスルーホールを通して液晶表示部 A R 側の配線層 C O M 2 と接続されている。

【 0 0 9 8 】 40

また、図 2 5 (d) に示すように、容量信号線 C S T 1 はその上層に形成された層間絶縁膜 I L 1 に形成されたスルーホールを通して液晶表示部 A R 側の配線層 C O M 2 と接続されている。

【 0 0 9 9 】

実施例 6 .

図 2 6 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 2 1 に対応した図となっている。

【 0 1 0 0 】

図 2 1 の場合と比較して異なる構成は、容量信号線 C S T 1 および対向電圧信号線 C L の引出線 C L 1 のいずれもが液晶表示部 A R 側および反対側の配線層 C O M 1、C O M 2 に 50

接続された構成としたものである。

【0101】

なお、この場合においても、前記配線層は、たとえば図27に示すように走査信号駆動回路G S C Lを完全に囲むように一つの端子C Pから基準信号を供給するようにして形成するようにしてもよく、さらに図28、図29に示すように互いに最も離れた個所に二つの端子C Pを設けそれらの各端子C Pに基準信号を供給するようにして形成するようにしてもよいことはいうまでもない。

【0102】

実施例7 .

図30は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図4と対応した図となっている。 10

【0103】

図4の場合と比較して異なる構成は、液晶表示部A Rと走査信号駆動回路G S C Lとの間に形成される対向電圧信号線C Lの引出線C L 1はその間の領域全体に形成されていることにある。換言すれば線状のパターンではなく板状のパターンとして形成されている。

【0104】

上述したように、各画素領域の対向電極C Tはドレイン信号線D Lおよびゲート信号線G Lを被うようにして形成され、その延在部として前記対向電圧信号線C Lを形成している。

【0105】

このように形成した場合、そのまま延在させて走査信号駆動回路G S C Lの全域を被うようにして形成することができるようになる。 20

【0106】

実施例8 .

図31は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図4と対応した図となっている。

【0107】

図4の場合と比較して異なる構成は、各画素領域において容量信号線と対向電極C T（対向電圧信号線C L）との電気的接続を図るスルーホールが設けられていない構成となっている。いずれも配線層C O Mと接続させる構成とすることによってその必要がなくなるからである。 30

このような構成は画素の開口率の向上を図ることができる。

【0108】

実施例9 .

図32は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図31と対応した図となっている。

【0109】

図31の場合と比較して異なる構成は、液晶表示部A Rと走査信号駆動回路G S C Lとの間に形成される対向電圧信号線C Lの引出線C L 1はその間の領域全体に形成されていることにある。換言すれば線状のパターンではなく板状のパターンとして形成されている。 40

【0110】

実施例10 .

図33(a)は、本発明による液晶表示装置の他の実施例を示す平面図で、図1に対応した図となっている。

図33(a)は、ゲート信号線G Lの他端側に設けた走査信号駆動回路G S C Rにも図1と同様な機能をもたせていることにある。

【0111】

このため、図1に示した構成において走査信号駆動回路G S C Rの中心を通るy軸線を中心に左右逆にするによって図1と同様な構成となる。

【0112】

ここで、ゲート信号線 G L の他端側に設けた走査信号駆動回路 G S C R の周辺の構成の変形例として、上述した各実施例のように構成してもよいことはいうまでもない。

【 0 1 1 3 】

なお、この場合においても、前記配線層 C O M は、たとえば図 3 3 (b) に示すように走査信号駆動回路 G S C R を完全に囲むように一つの端子 C P から基準信号を供給するようにして形成するようにしてもよく、さらに図 3 4、図 3 5 に示すように互いに最も離れた個所に二つの端子 C P を設けそれらの各端子 C P に基準信号を供給するようにして形成するようにしてもよいことはいうまでもない。

【 0 1 1 4 】

図 3 6 (a) は前記走査信号駆動回路 G S C R の一部を示す平面図で、その b - b 線、 c - c 線、 d - d 線における各断面図を図 3 6 (b)、図 3 6 (c)、図 3 6 (d) に示している。

10

【 0 1 1 5 】

実施例 1 1 .

図 3 7 は、本発明による液晶表示装置の他の実施例を示す平面図で、映像信号駆動回路およびその周辺の構成を示している。

【 0 1 1 6 】

この映像信号駆動回路は液晶表示部 A R 側にドレイン分配回路 D D C を具備するもので、このドレイン分配回路 D D C は透明基板 S U B 1 の面にポリシリコンからなる半導体装置およびこれら各半導体装置を接続させるための配線層から構成されている。

20

【 0 1 1 7 】

また、映像信号駆動回路のうちドレイン分配回路 D D C 以外の回路はたとえば透明基板 S U B 1 に搭載される複数の半導体チップ T C P から構成されている。

【 0 1 1 8 】

半導体チップ T C P の各端子のうち一つの端子からは一つの配線層を介して連続したたとえば 3 つの映像信号がドレイン分配回路 D D C に入力され、各映像信号は該ドレイン分配回路 D D C によって 3 つのドレイン信号線 D L 1、D L 2、D L 3 …… にそれぞれ並列に各ドレイン信号線 D L に出力されるようになっている。

【 0 1 1 9 】

このようにすることによって、ドレイン信号線 D L の数に対して半導体チップ T C P の数を少なくすることができる。

30

【 0 1 2 0 】

そして、ドレイン分配回路 D D C を囲むようにして配線層 C O M が形成され、この配線層 C O M は液晶表示部 A R の対向電圧信号線 C L の引出線 C L 1 に接続されるようになっている。

【 0 1 2 1 】

この場合、ドレイン分配回路 D D C に対して液晶表示部 A R 側の配線層 C O M 2 の線幅は液晶表示部 A R と反対側の配線層 C O M 1 の線幅よりも細く形成されている。

【 0 1 2 2 】

ドレイン分配回路 D D C からは液晶表示部 A R 側に多数のドレイン信号線 D L が走行され、これら各ドレイン信号線 D L と交差して形成しなければならない前記配線層 C O M 2 はその線幅を細くすることにより、それらの間に生じる寄生容量を大幅に低減させることができ、ドレイン信号線 D L の映像信号の遅延を低減させることができる。

40

【 0 1 2 3 】

図 3 8 (a) は前記ドレイン分配回路 D D C の一実施例を示す回路図で、図 3 7 の領域 B の部分に該当する。

【 0 1 2 4 】

半導体チップ T C P の一つの端子から連続して出力される 3 つの映像信号は、それらの各出力のタイミングに合わせてオンする 3 つの各スイッチング素子 T r 1、T r 2、T r 3 を介して対応する各ドレイン信号線 D L 1、D L 2、D L 3 に並列に出力されるようにな

50

っている。

【0125】

図38(b)は、透明基板SUB1面に形成された該ドレイン分配回路DDCの配線パターンの一実施例を示す平面図で、図38(a)の回路図と幾何学的に対応した設計となっている。

【0126】

また、図38(c)は図38(b)のc-c線における断面図を示し、液晶表示部ARの各画素領域に形成される対向電圧信号線CLの引出線CL1はこのドレイン分配回路DDCの形成領域にまで及んで形成され、該ドレイン分配回路DDCの液晶表示部AR側の配線層COM2および液晶表示部ARと反対側の配線層COM1にそれぞれ電気的接続されるようになっている。

10

【0127】

ここで、前記配線層COMはゲート信号線GLと同層に形成され、その上面は絶縁膜IL1、保護膜PAS、保護膜FPASによって順次被われている。対向電圧信号線CLの引出線CL1は該保護膜FPASの上面に形成され、前記配線層との電気的接続は保護膜FPAS、保護膜PAS、絶縁膜IL1を貫通して形成されるスルーホールを通してなされている。そして、対向電圧信号線CLの引出線CL1と配線層COMとの間にドレイン信号線DLの形成の際に同時に形成される介在層を介してなされている。接触抵抗の低減を図るためである。

【0128】

図39および図40は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図で、図38(b)と対応した図となっている。

20

【0129】

図38(b)の場合、ドレイン分配回路DDCを交差して配置される対向電圧信号線CLは一定長さ当たり4本としているのに対し、図39の場合、たとえば2本としていることにある。また、図40の場合、ドレイン分配回路DDCを交差して配置される対向電圧信号線CLはドレイン分配回路DDCの形成領域の全域に至って形成させていることにある。図40のように構成した場合、対向電圧信号線CLおよび配線層自体の電気抵抗を低減させる効果を奏する。

【0130】

実施例12

図41は本発明による液晶表示装置の他の実施例を示す構成図で、図38と対応した図となっている。

30

【0131】

図38の場合と比較して異なる構成は、ドレイン分配回路DDCの液晶表示部AR側の配線層COM2と液晶表示部ARと反対側の配線層COM1は、それぞれ同層に形成され該ドレイン分配回路DDCを横切る同層の同一の材料からなる配線層によって一体に接続されていることにある。

【0132】

そして、対向電圧信号線CLの引出線CL1は液晶表示部AR側の配線層COM2と保護膜FPAS、保護膜PAS、絶縁膜IL1を貫通するスルーホールを通して電気的接続がなされている。

40

【0133】

また、図42は本発明による液晶表示装置の他の実施例を示す構成図で、図41(b)に対応した図となっている。

【0134】

図41(b)の場合、ドレイン分配回路DDCの液晶表示部AR側の配線層COM2と液晶表示部ARと反対側の配線層COM1との接続を図る前記配線層は、一定長さ当たり3本としたものであるが、図42に示すように1本としてもよい。

【0135】

50

このように構成した場合、ドレイン分配回路 D D C の負荷容量を低減させることができる。

【 0 1 3 6 】

実施例 1 3 .

図 4 3 は本発明による液晶表示装置の他の実施例を示す構成図で、図 4 1 と対応した図となっている。

図 4 1 の場合と比較して異なる構成は、ドレイン分配回路 D D C を囲む配線層はドレイン信号線 D L と同層かつ同材料で構成していることにある。

【 0 1 3 7 】

図 4 4 および図 4 5 は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図で、図 4 3 (b) と対応した図となっている。

10

【 0 1 3 8 】

図 4 3 (b) の場合、ドレイン分配回路 D D C を交差して配置される対向電圧信号線 C L の引出線 C L 1 は一定長さ当たり 4 本としているのに対し、図 4 4 の場合、たとえば 2 本としていることにある。また、図 4 5 の場合、ドレイン分配回路 D D C を交差して配置される対向電圧信号線 C L はドレイン分配回路 D D C の形成領域の全域に至って形成させていることにある。図 4 5 のように構成した場合、対向電圧信号線 C L および配線層自体の電気抵抗を低減させる効果を奏する。

【 0 1 3 9 】

実施例 1 4 .

20

図 4 6 は本発明による液晶表示装置の他の実施例を示す構成図で、図 3 7 と対応した図となっている。

【 0 1 4 0 】

図 3 7 の場合と比較して異なる構成は、ドレイン分配回路 D D C に近接して配置される配線層 C O M は、液晶表示部 A R と反対側の部分に形成されているのみで液晶表示部 A R 側に形成されていないことにある。換言すれば、前記配線層 C O M は配線層 C O M 1 のみが形成された構成となっている。

【 0 1 4 1 】

これにより、各ドレイン信号線 D L と他の配線層 (配線層 C O M 2) との交差部をなくして該他の配線層との間に生じる寄生容量を低減させている。

30

【 0 1 4 2 】

配線層 C O M 1 をドレイン分配回路 D D C と半導体チップ T C P の間に設けるようにしたのは、半導体チップ T C P からドレイン分配回路 D D C への信号の周波数はドレイン分配回路 D D C の分配に応じた数だけの高周波となる。

【 0 1 4 3 】

周波数が高い場合、半導体チップ T C P の信号生成時、その信号が急速に切り替わる場合にいわゆるグリッジが生じてしまうことから、これを前記配線層 C O M 1 によって低減させる必要があるからである。これにより、不要な高電圧やノイズが液晶表示部 A R の薄膜トランジスタ T F T にかかり、該薄膜トランジスタ T F T の信頼性が低下することを回避できるようになる。

40

【 0 1 4 4 】

図 4 7 は、図 4 6 の構成のさらなる具体的な構成を示した図で、図 4 3 と対応した図となっている。

【 0 1 4 5 】

配線層 C O M 1 は絶縁膜 G I の上面に形成され、対向電圧信号線 C L の引出線 C L 1 は保護膜 F P A S の上面に形成されている。該引出線 C L 1 は、ドレイン分配回路 D D C を交差した後に、保護膜 F P A S 、保護膜 P A S 、絶縁膜 I L 1 を貫通するスルーホールを通して該配線層 C O M 1 に接続されている。

【 0 1 4 6 】

図 4 8 および図 4 9 は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図

50

で、図 47 (b) と対応した図となっている。

【 0 1 4 7 】

図 47 (b) の場合、ドレイン分配回路を交差して配置される対向電圧信号線 C L は一定長さ当たり 4 本としているのに対し、図 48 の場合、たとえば 2 本としていることにある。また、図 49 の場合、ドレイン分配回路 D D C を交差して配置される対向電圧信号線 C L はドレイン分配回路の形成領域の全域に至った形成させていることにある。図 49 のように構成した場合、対向電圧信号線 C L および配線層自体の電気抵抗を低減させる効果を奏する。

【 0 1 4 8 】

本実施例では、配線層 C O M 1 をドレイン分配回路 D D C と半導体チップ T C P の間に設け、配線層 C O M 2 に相当する配線層を設けていない。これにより、ドレイン分配回路 D D C への不要な高電圧印加を防止し、さらに液晶表示部 A R の薄膜トランジスタ T F T に印加される信号の波形なまりを防止し、信頼性向上の効果を選択的に充分奏する構成とした。

10

【 0 1 4 9 】

実施例 15 .

図 50 は本発明による液晶表示装置の他の実施例を示す構成図で、図 47 と対応した図となっている。

【 0 1 5 0 】

図 47 の場合と比較して異なる構成は、配線層 C O M 1 は絶縁膜 I L 1 の上面にドレイン信号線 D L と同層に形成され、保護膜 F P A S の上面に形成された対向電圧信号線 C L の引出線 C L 1 とは保護膜 F P A S 、保護膜 P A S に貫通して形成されたスルーホールを通して接続されている。

20

【 0 1 5 1 】

図 51 および図 52 は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図で、図 50 (b) と対応した図となっている。

【 0 1 5 2 】

図 50 (b) の場合、ドレイン分配回路を交差して配置される対向電圧信号線 C L は一定長さ当たり 4 本としているのに対し、図 51 の場合、たとえば 2 本としていることにある。また、図 52 の場合、ドレイン分配回路を交差して配置される対向電圧信号線 C L はドレイン分配回路の形成領域の全域に至った形成させていることにある。図 52 のように構成した場合、対向電圧信号線 C L および配線層自体の電気抵抗を低減させる効果を奏する。

30

【 0 1 5 3 】

実施例 16 .

図 53 は、本発明による液晶表示装置の他の実施例を示す図である。同図はドレイン信号線 D L の一端側に設けた映像信号駆動回路の他に、該ドレイン信号線 D L の他端側にも映像信号駆動回路が設けられたものを対象とするものである。

【 0 1 5 4 】

該映像信号駆動回路は、たとえば各ドレイン信号線に接続されるドレイン分配回路 D D C を含む構成からなり、同図においては、該ドレイン分配回路 D D C 以外の映像信号駆動回路 (半導体チップ) の部分は省略している。

40

【 0 1 5 5 】

そして、該ドレイン分配回路 D D C においてもそれを囲むようにして配線層 C O M が形成されている。

この場合も、ドレイン分配回路 D D C に対して液晶表示部 A R 側の配線層の線幅は液晶表示部 A R と反対側の配線層の線幅よりも細く形成されている。

【 0 1 5 6 】

なお、このように各ドレイン信号線 D L の両端に映像信号駆動回路を設ける場合には、偶数番目の各ドレイン信号線 D L には一方の映像信号駆動回路を、奇数番目の各ドレイン信

50

号線DLには他方の映像信号駆動回路を接続させるのが通常である。

【0157】

実施例17.

図54は、本発明による液晶表示装置の他の実施例を示す構成図である。同図は、一端に映像信号駆動回路が接続されたドレイン信号線DLの他端にイコライズ回路EQCが形成され、このイコライズ回路EQCを囲むようにして配線層COMを形成していることにある。

【0158】

このイコライズ回路EQCは、ドレイン信号がHighからLow信号へ変化する際、およびLowからHigh信号へ変化する際に、いずれも対向電圧信号(COM)になるように構成され、いわゆるドット反転駆動あるいは行毎反転駆動をする場合において極めて有効となるものである。

10

【0159】

図62(a)は、該イコライズ回路EQCの一実施例の回路図を示している。各ドレイン信号線DL1、DL2、DL3、.....にはスイッチング素子Tr11、Tr12、Tr13、.....が形成され、これらスイッチング素子Tr11、Tr12、Tr13、.....の各ゲートはEQG線が接続されている。また、スイッチング素子Tr11を介して前記ドレイン信号線DL1はEQS1線が、スイッチング素子Tr12を介して前記ドレイン信号線DL2はEQS2線が、スイッチング素子Tr13を介して前記ドレイン信号線DL3はEQS1線がというように接続されている。

20

【0160】

この場合においても、液晶表示部AR側の対向電圧信号線CLの引出線CL1は該イコライズ回路EQCを交差するように延在され、配線層COM1に接続されるようになっている。

【0161】

また、図62(b)は通常駆動時のタイミングチャートを示し、これに対して図62(c)はイコライズ駆動時のタイミングチャートを示している。イコライズ駆動時において、1水平走査期間(1H)で画素領域の薄膜トランジスタTFTのゲートがOFFになった後に、ドレイン信号線DLの信号電圧をイコライズ回路EQCの各スイッチング素子Tr11、Tr12、Tr13、.....を介してコモン(基準)電圧(EQS1あるいはEQS2)にする。

30

【0162】

そして、次の1水平走査期間(1H)では、前記ドレイン信号線DL1、DL2、DL3、.....には逆極性の電圧を書き込む。

【0163】

このことから、ドレイン信号線の電圧書込効率の向上と、ドライバ出力負荷軽減による消費電力低減が図れるようになる。

【0164】

図55(a)は前記イコライズ回路を示し、図55(b)は透明基板SUB1上に形成した該イコライズ回路の配線パターンを示している。図55(a)と幾何学的に対応したパターンとなっている。また、図55(c)は図55(b)のc-c線における断面図を示している。

40

【0165】

保護膜FPASの上面に形成された対向電圧信号線CLは該イコライズ回路EQCを交差するようにして延在し、該イコライズ回路EQCに対して液晶表示部ARと反対側に形成されている配線層COM1と電氣的に接続されている。

【0166】

図56および図57は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図で、図55(b)と対応した図となっている。

【0167】

50

図55(b)の場合、イコライズ回路EQCを交差して配置される対向電圧信号線CLは一定長さ当たり4本としているのに対し、図56の場合、たとえば2本としていることにある。また、図57の場合、イコライズ回路EQCを交差して配置される対向電圧信号線CLはイコライズ回路EQCの形成領域の全域に至って形成されていることにある。図57のように構成した場合、対向電圧信号線CLおよび配線層自体の電気抵抗を低減させる効果を奏する。

【0168】

実施例18.

図58は、本発明による液晶表示装置の他の実施例を示す構成図で、図54と対応した図となっている。

10

【0169】

図54の場合と比較して異なる構成は、イコライズ回路EQCに近接して配置される配線層は、液晶表示部ARと反対側の部分に形成されているのみで液晶表示部AR側に形成されていないことにある。

【0170】

これにより、各ドレイン信号線DLと他の配線層(配線層COM2)との交差部をなくして該他の配線層との間に生じる寄生容量を低減させている。

【0171】

図59は、図58の構成のさらなる具体的な構成を示した図で、図55と対応した図となっている。

20

【0172】

図60および図61は、それぞれ、本発明による液晶表示装置の他の実施例を示す平面図で、図59(b)と対応した図となっている。

【0173】

図59(b)の場合、ドレイン分配回路を交差して配置される対向電圧信号線CLは一定長さ当たり4本としているのに対し、図60の場合、たとえば2本としていることにある。また、図61の場合、ドレイン分配回路を交差して配置される対向電圧信号線CLはドレイン分配回路の形成領域の全域に至った形成させていることにある。図61のように構成した場合、対向電圧信号線CLおよび配線層自体の電気抵抗を低減させる効果を奏する。

30

【0174】

実施例20.

図63および図64はそれぞれ本発明による液晶表示装置の他の実施例を示す構成図である。

【0175】

図63は、透明基板SUB1の周辺に沿って形成される環状の配線層COMが形成されており、この配線層COMは走査信号駆動回路GSC Lおよび映像信号駆動回路の外側に形成された構成となっている。

【0176】

この場合において、対向電圧信号線CL(あるいは容量信号線CST)は走査信号駆動回路GSC Lおよび映像信号駆動回路を交差するようにして延在されて該配線層COMに電氣的に接続されている。

40

【0177】

また、図64は、たとえば映像信号駆動回路がドレイン分配回路を具備するものであれば、前記配線層COMは該映像信号駆動回路のうちドレイン分配回路とそれ以外の回路との間を走行するようにして形成してもよい。

【0178】

さらに、上述した配線層COMを一部として、走査信号駆動回路GSC L、映像信号駆動回路、ドレイン分配回路DDC、あるいはイコライズ回路EQC等を囲むように配線層を形成するようにしてもよいことはもちろんである。

50

【 0 1 7 9 】

上述した各実施例では、いずれもスイッチング素子としてポリシリコンを半導体層としたものであるが、たとえばアモルファスシリコン等を半導体層としたものにも適用できることはいうまでもない。

また、上述した各実施例を組み合わせて構成するようにしてもよいことはいうまでもない。

【 0 1 8 0 】

さらに、上述の各実施例では、液晶表示装置を例に説明したが、液晶を用いない有機EL、無機EL等の自発光素子による画素表示装置においても、各実施例開示の回路構成、回路部のパターン配置を用いる限り、各々の効果を奏することができ、本発明に含むものである。

10

【 0 1 8 1 】

【 発明の効果 】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、走査信号駆動回路あるいは映像信号駆動回路への静電気の飛び込みを抑制できるようになる。走査信号駆動回路あるいは映像信号駆動回路の形成部分を通しての光漏れを抑制できるようになる。さらに、走査信号駆動回路あるいは映像信号駆動回路の誤動作を防止できるようになる。

【 図面の簡単な説明 】

【 図 1 】 本発明による液晶表示装置の一実施例を示す要部説明図である。

20

【 図 2 】 本発明による液晶表示装置の一実施例を示す全体構成図である。

【 図 3 】 本発明による液晶表示装置の画素の一実施例を示す等価回路図である。

【 図 4 】 本発明による液晶表示装置の画素の一実施例を示す構成図である。

【 図 5 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 6 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 7 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 8 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の一実施例を示す構成図である。

【 図 9 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 10 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

30

【 図 11 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 12 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 13 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。

【 図 14 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。

【 図 15 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 16 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 17 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 18 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

40

【 図 19 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。

【 図 20 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。

【 図 21 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 22 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 23 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 24 】 本発明による液晶表示装置の他の実施例を示す要部説明図である。

【 図 25 】 本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。

50

- 【図26】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図27】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図28】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図29】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図30】本発明による液晶表示装置の画素の一実施例を示す構成図である。
- 【図31】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図32】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図33】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図34】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図35】本発明による液晶表示装置の画素の他の実施例を示す構成図である。 10
- 【図36】本発明による液晶表示装置の走査信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図37】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図38】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図39】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図40】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図41】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。 20
- 【図42】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図43】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図44】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図45】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図46】本発明による液晶表示装置の他の実施例を示す要部説明図である。 30
- 【図47】本発明による液晶表示装置の映像信号駆動回路とその周辺の一実施例を示す構成図である。
- 【図48】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図49】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図50】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図51】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。 40
- 【図52】本発明による液晶表示装置の映像信号駆動回路とその周辺の他の実施例を示す構成図である。
- 【図53】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図54】本発明による液晶表示装置の他の実施例を示す要部説明図である。
- 【図55】本発明による液晶表示装置のイコライズ回路とその周辺の一実施例を示す構成図である。
- 【図56】本発明による液晶表示装置のイコライズ回路とその周辺の他の実施例を示す構成図である。
- 【図57】本発明による液晶表示装置のイコライズ回路とその周辺の他の実施例を示す構成図である。 50

【図58】本発明による液晶表示装置の他の実施例を示す要部説明図である。

【図59】本発明による液晶表示装置のイコライズ回路とその周辺の他の実施例を示す構成図である。

【図60】本発明による液晶表示装置のイコライズ回路とその周辺の他の実施例を示す構成図である。

【図61】本発明による液晶表示装置のイコライズ回路とその周辺の他の実施例を示す構成図である。

【図62】本発明による液晶表示装置のイコライズ回路の説明図である。

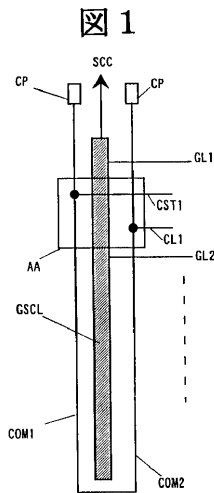
【図63】本発明による液晶表示装置の他の実施例を示す説明図である。

【図64】本発明による液晶表示装置の他の実施例を示す説明図である。

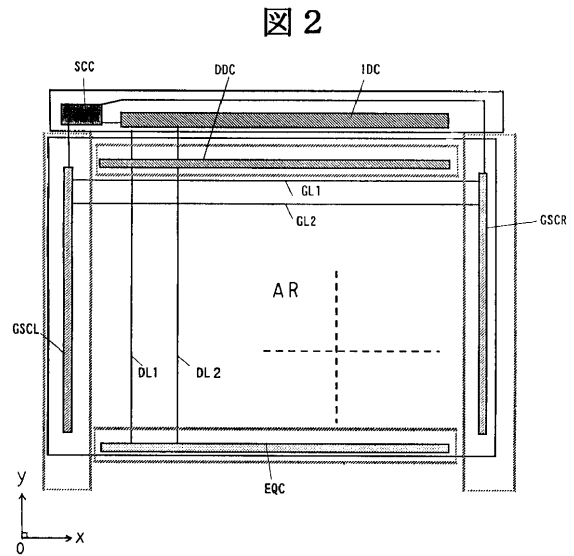
【符号の説明】

SUB1、SUB2...透明基板、GL...ゲート信号線、DL...ドレイン信号線、CL...対向電圧信号線、CST...容量信号線、TFT...薄膜トランジスタ、Cstg...容量素子、PX...画素電極、CT...対向電極、GSC L...走査信号駆動回路、DDC...ドレイン分配回路、EQC...イコライズ回路、COM...配線層。

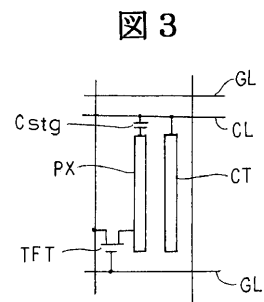
【図1】



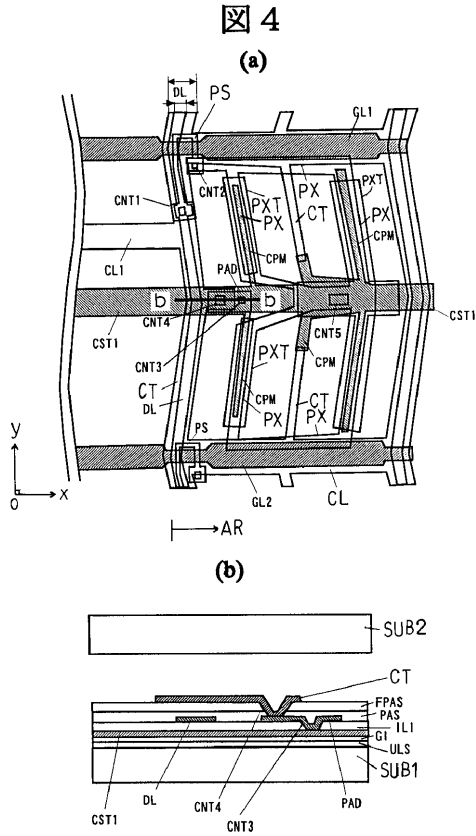
【図2】



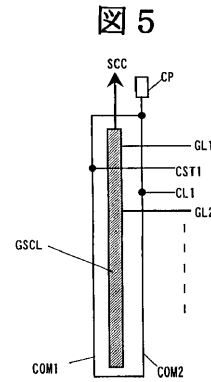
【図3】



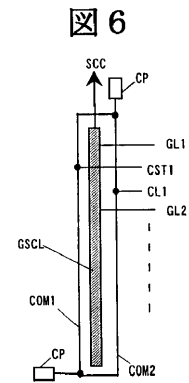
【 図 4 】



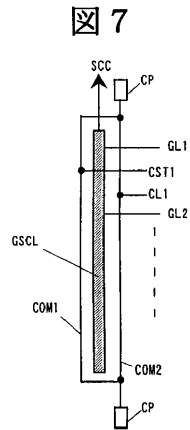
【 図 5 】



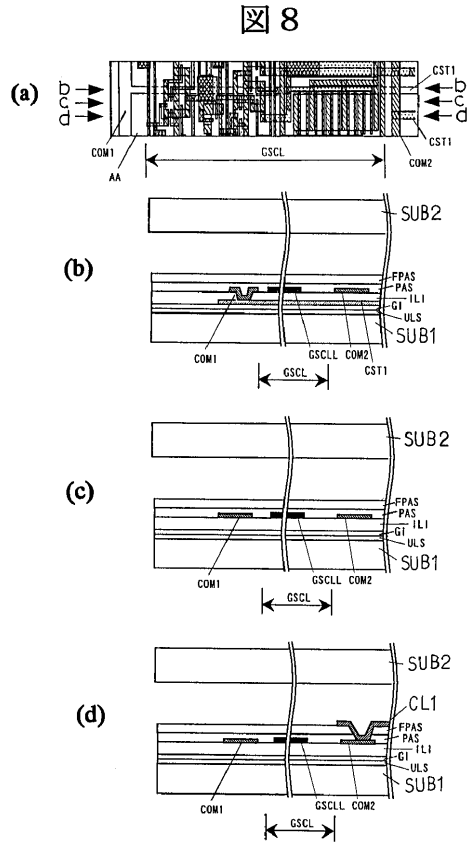
【 図 6 】



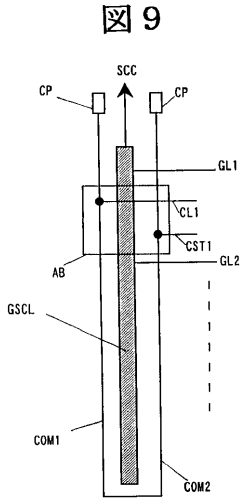
【 図 7 】



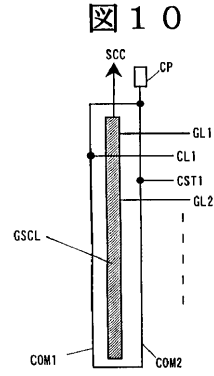
【 図 8 】



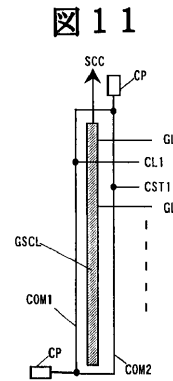
【 図 9 】



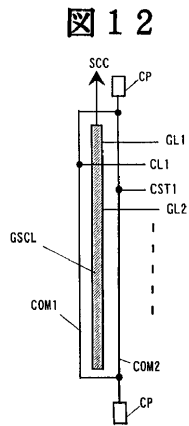
【 図 10 】



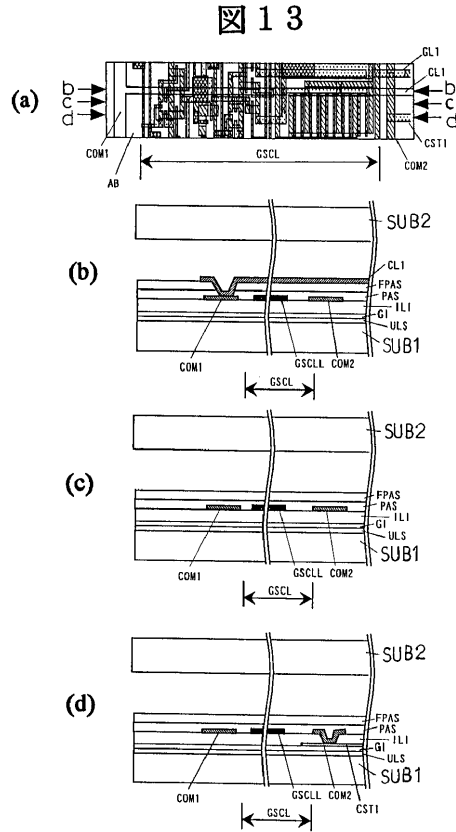
【 図 11 】



【 図 12 】

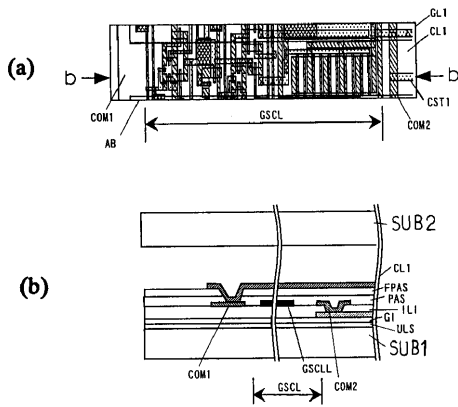


【 図 13 】



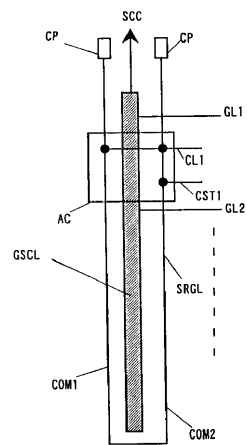
【 図 14 】

図 14



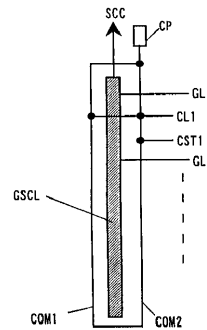
【 図 15 】

図 15



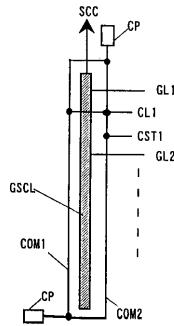
【 図 16 】

図 16



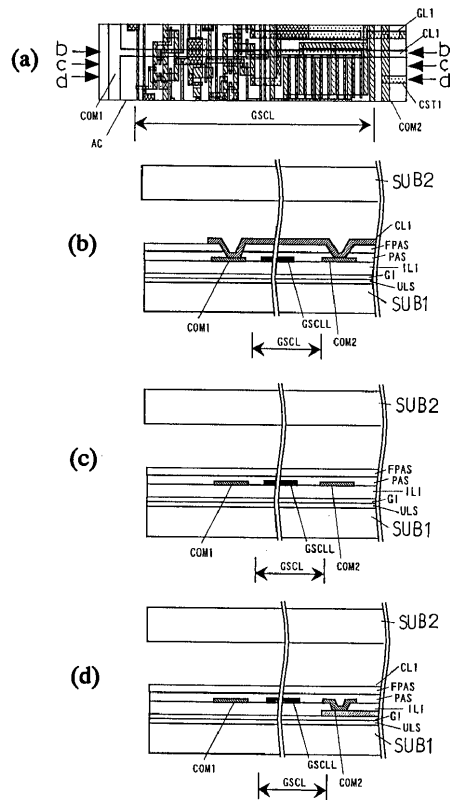
【 図 17 】

図 17



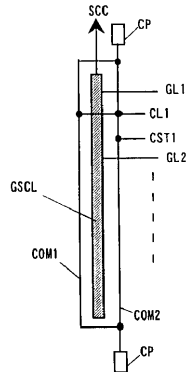
【 図 19 】

図 19

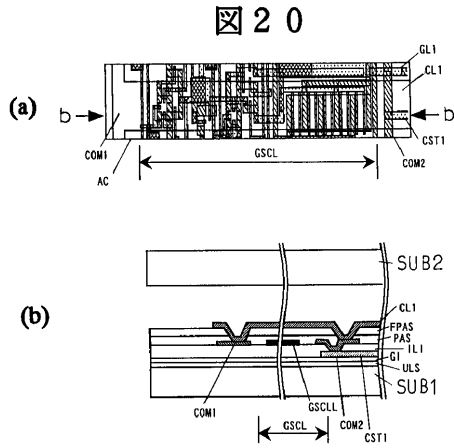


【 図 18 】

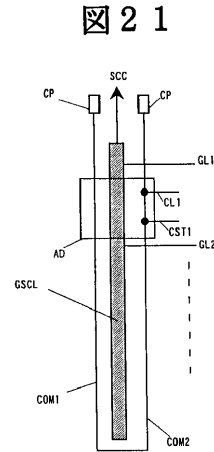
図 18



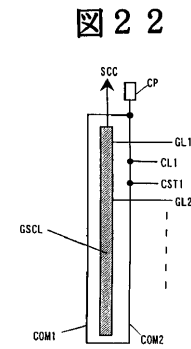
【 図 2 0 】



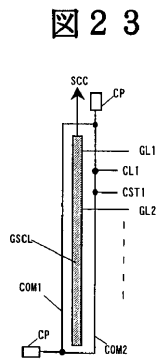
【 図 2 1 】



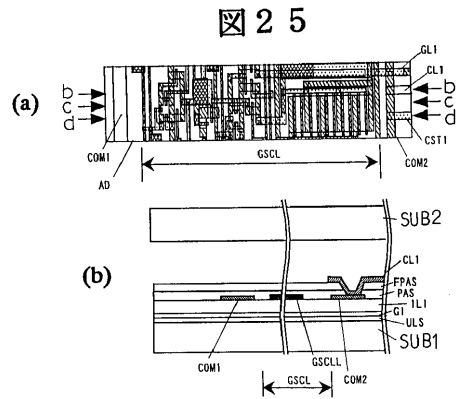
【 図 2 2 】



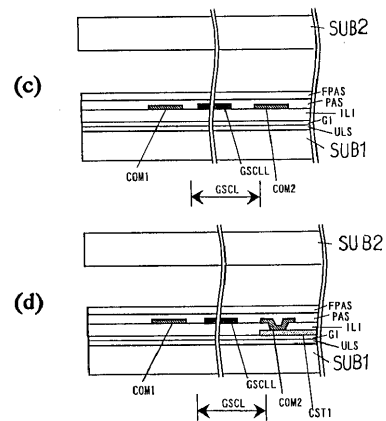
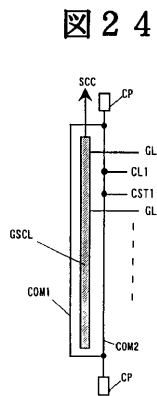
【 図 2 3 】



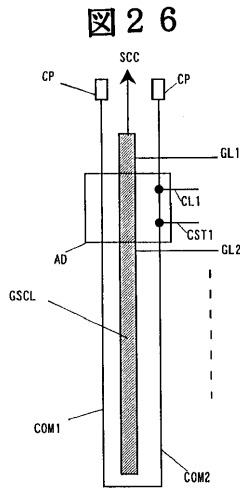
【 図 2 5 】



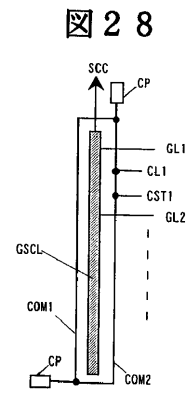
【 図 2 4 】



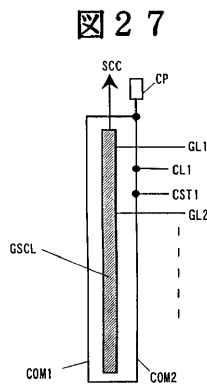
【 図 2 6 】



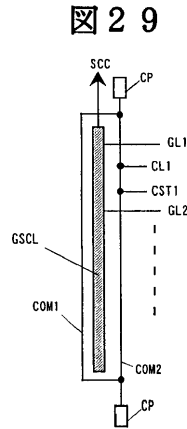
【 図 2 8 】



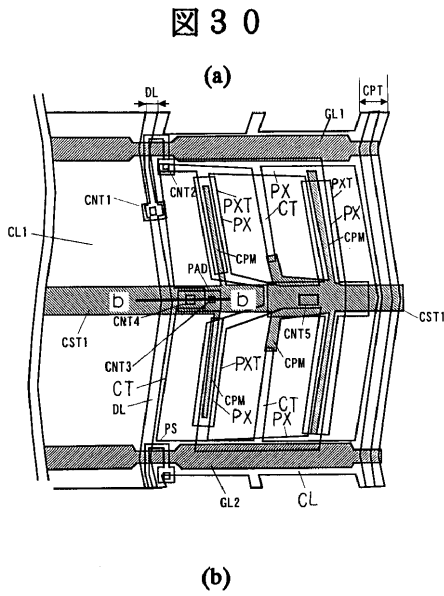
【 図 2 7 】



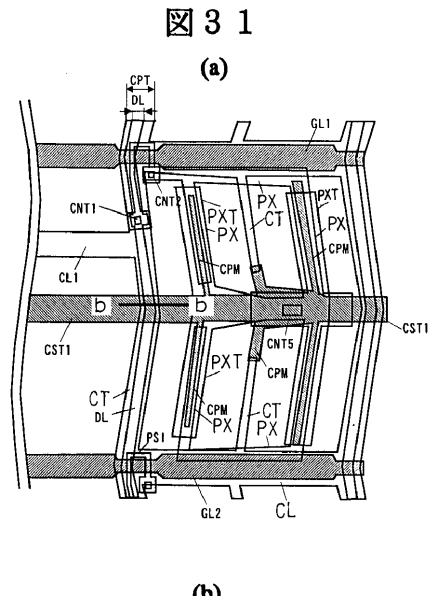
【 図 2 9 】



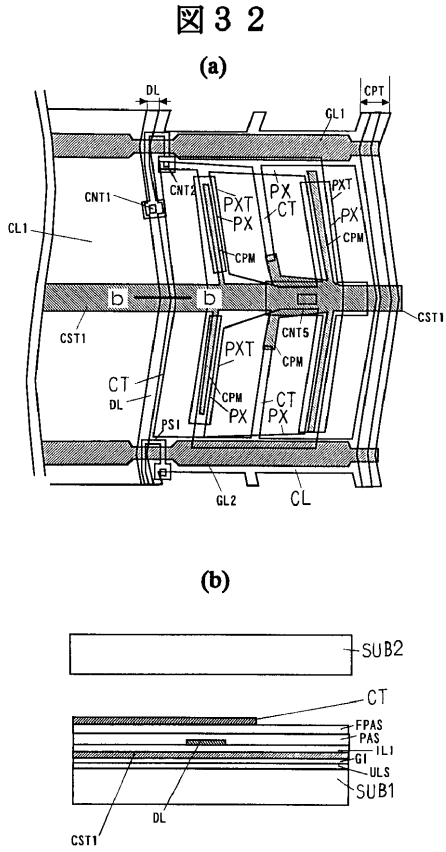
【 図 3 0 】



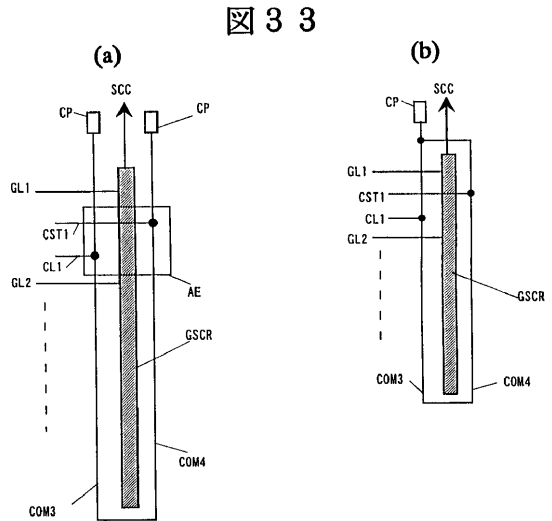
【 図 3 1 】



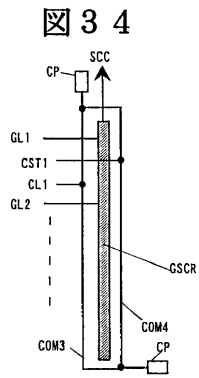
【 図 3 2 】



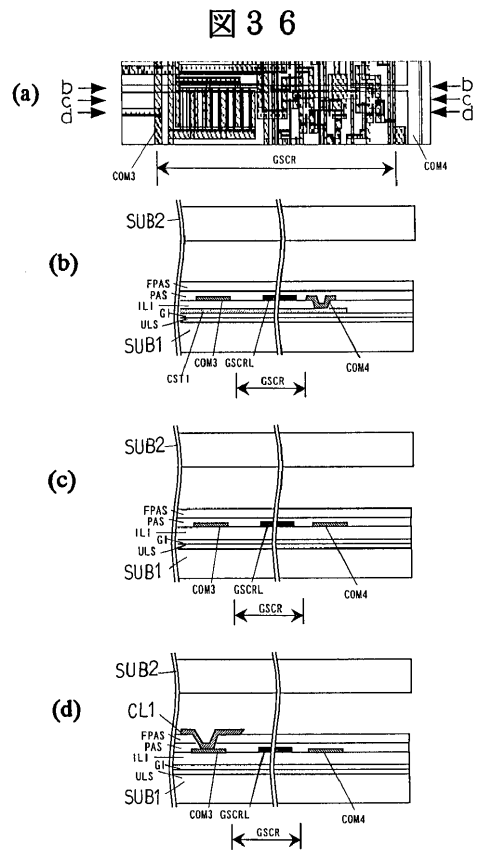
【 図 3 3 】



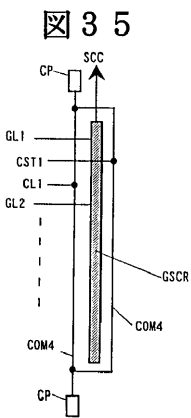
【 図 3 4 】



【 図 3 6 】

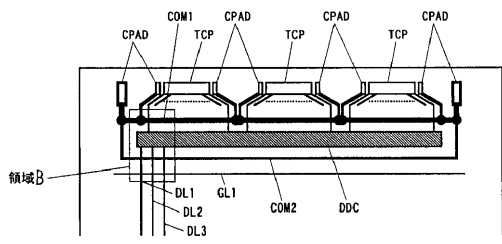


【 図 3 5 】



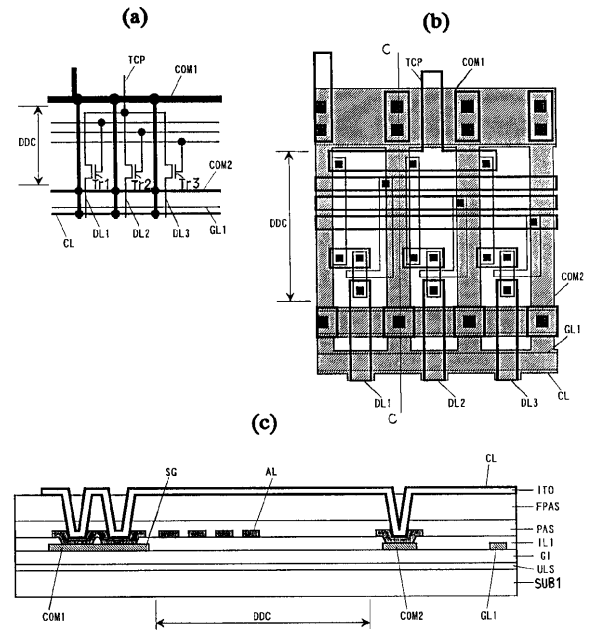
【 図 3 7 】

図 3 7



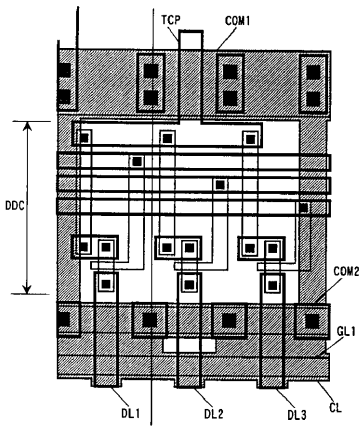
【 図 3 8 】

図 3 8



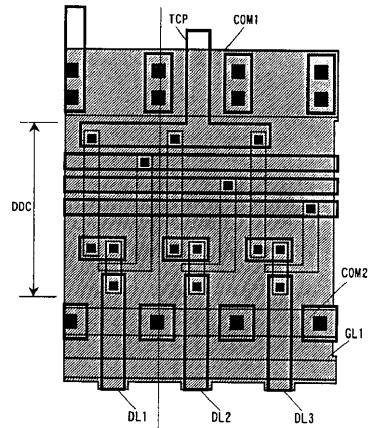
【 図 3 9 】

図 3 9



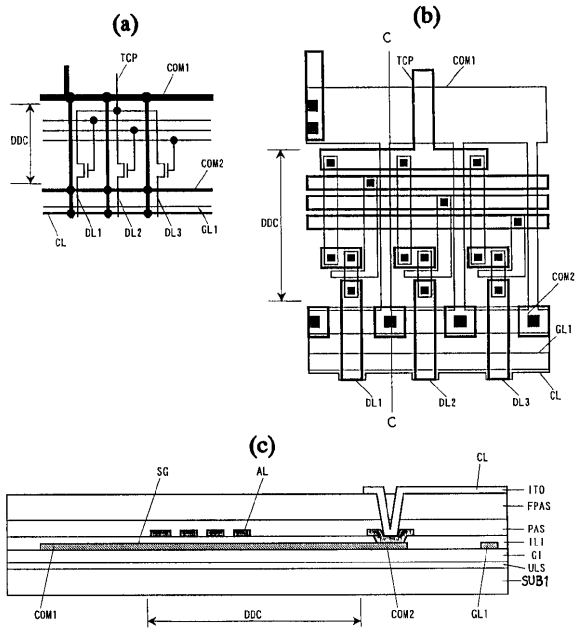
【 図 4 0 】

図 4 0



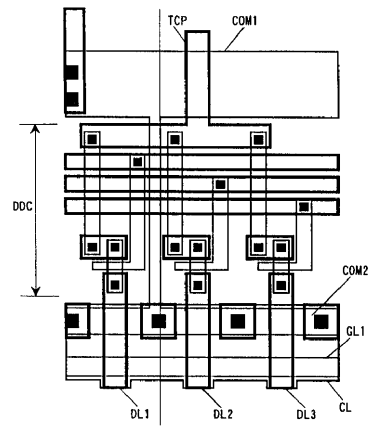
【 図 4 1 】

図 4 1



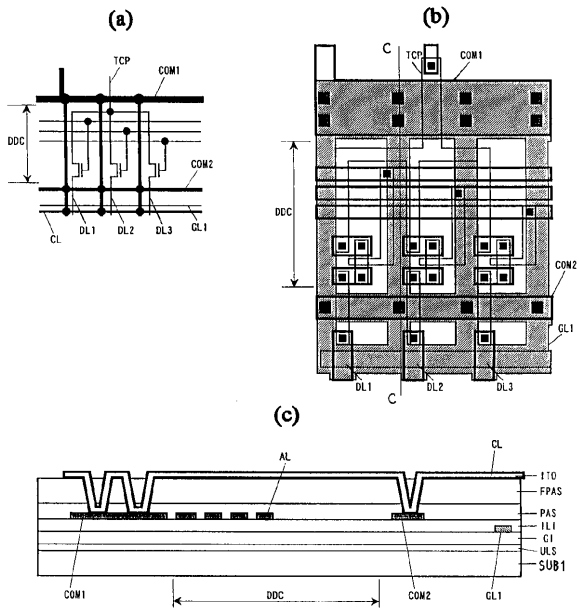
【 図 4 2 】

図 4 2



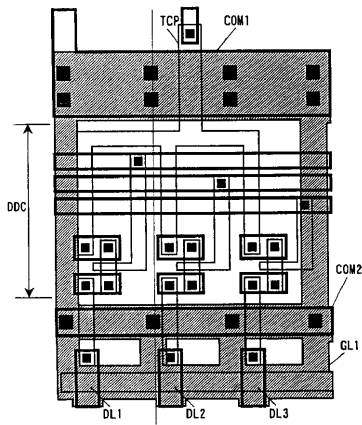
【 図 4 3 】

図 4 3



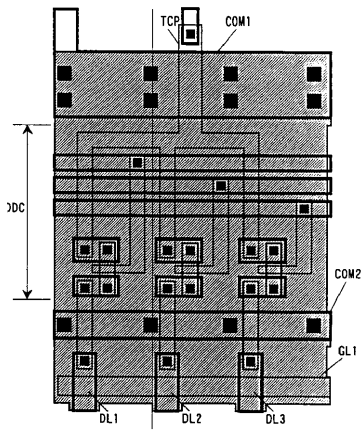
【 図 4 4 】

図 4 4



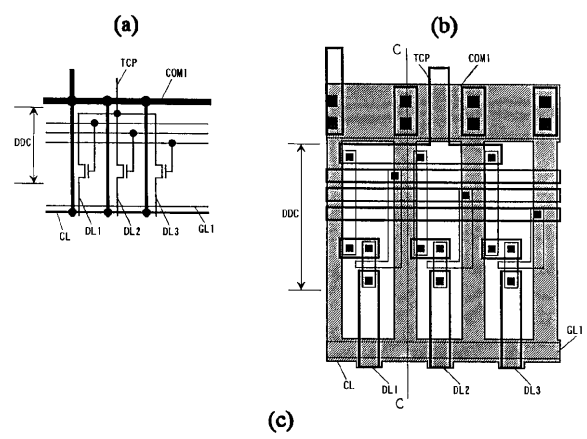
【 図 4 5 】

図 4 5



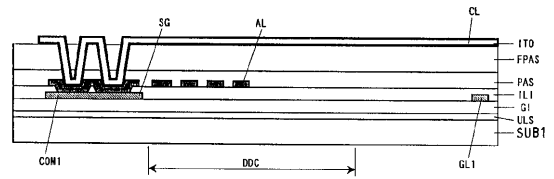
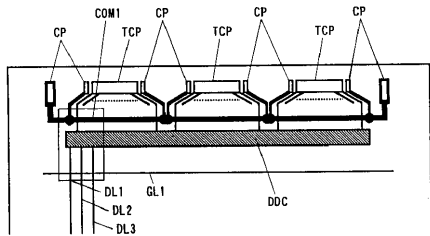
【 図 4 7 】

図 4 7



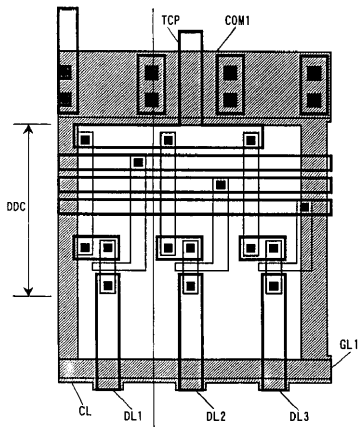
【 図 4 6 】

図 4 6



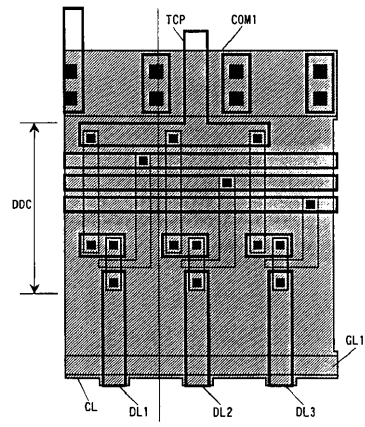
【 図 4 8 】

図 4 8



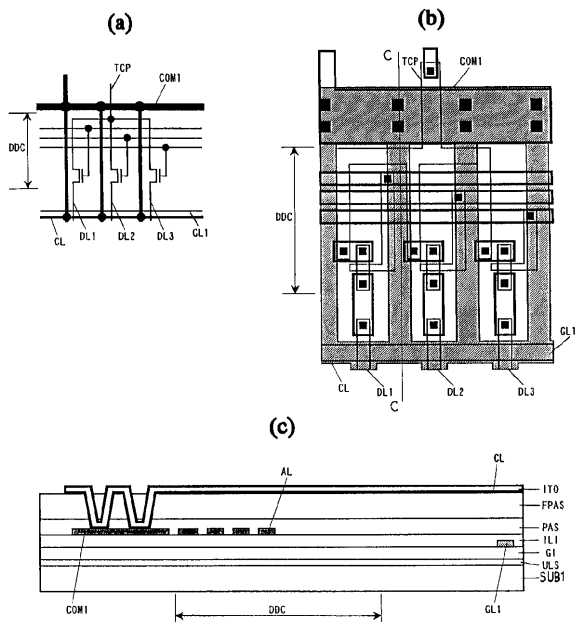
【 図 4 9 】

図 4 9



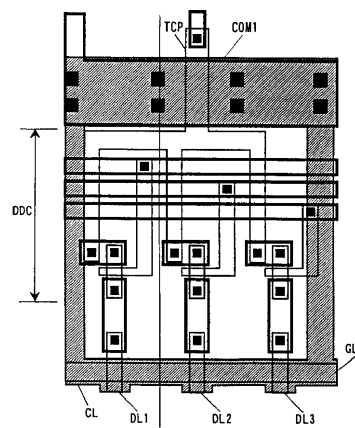
【 図 5 0 】

図 5 0



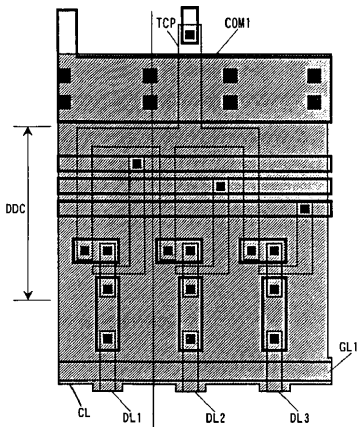
【 図 5 1 】

図 5 1



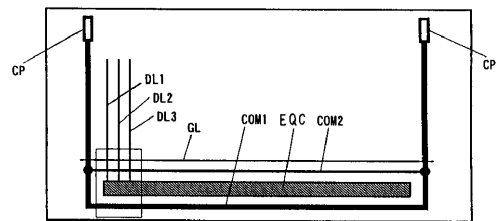
【 図 5 2 】

図 5 2



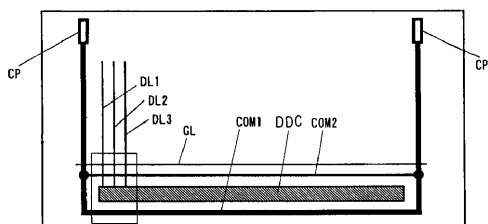
【 図 5 4 】

図 5 4



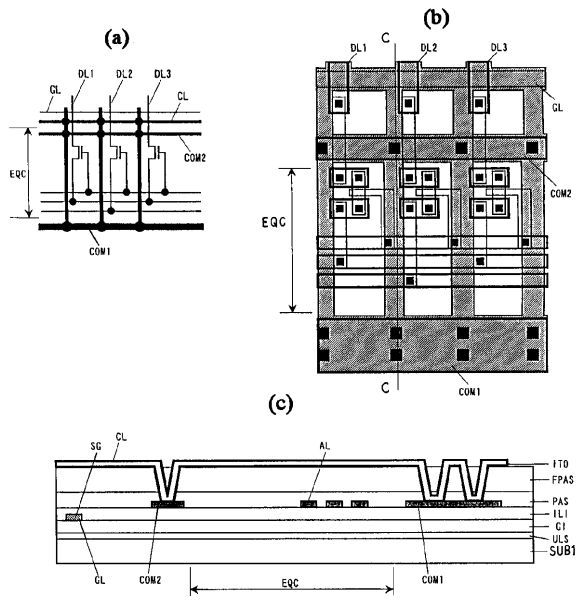
【 図 5 3 】

図 5 3



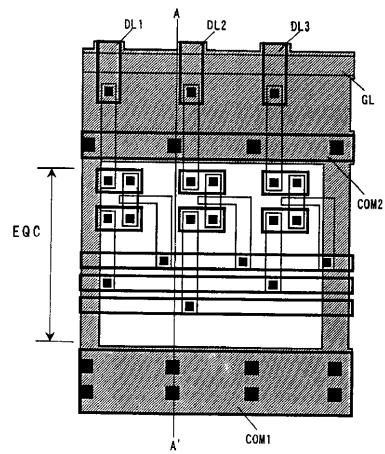
【 図 5 5 】

図 5 5



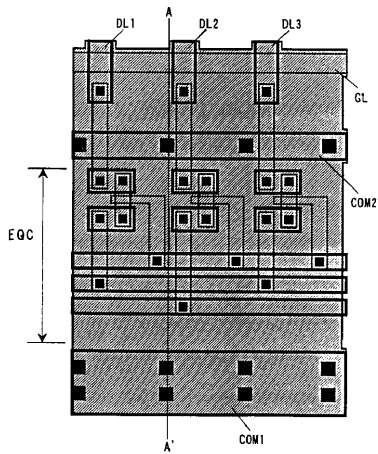
【 図 5 6 】

図 5 6



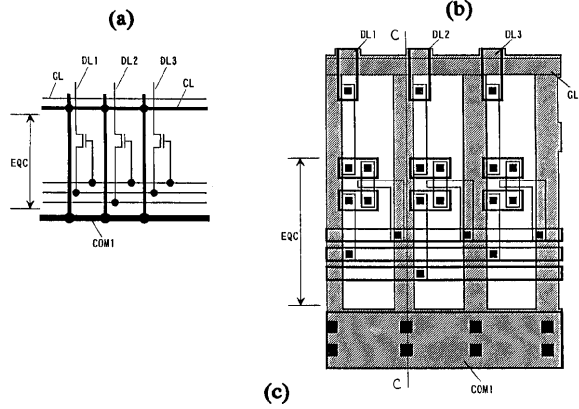
【 図 5 7 】

図 5 7



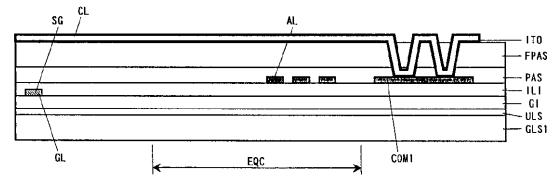
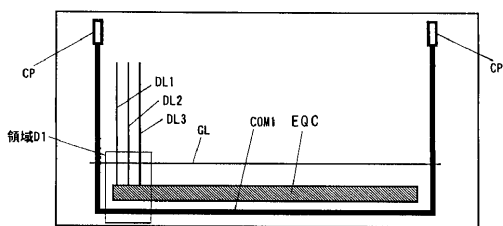
【 図 5 9 】

図 5 9

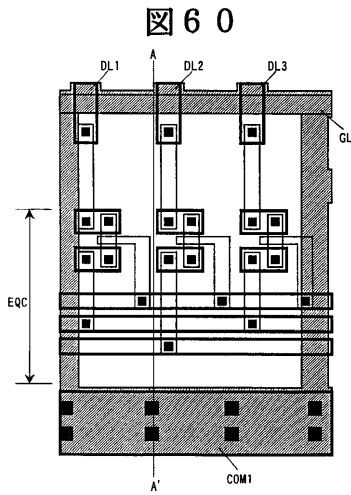


【 図 5 8 】

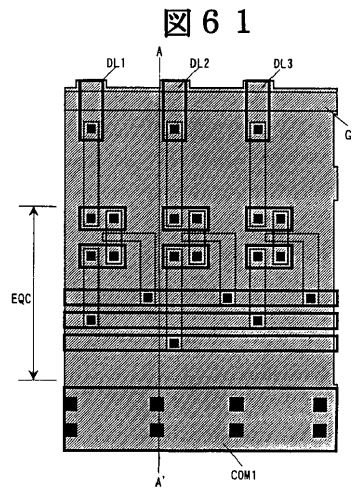
図 5 8



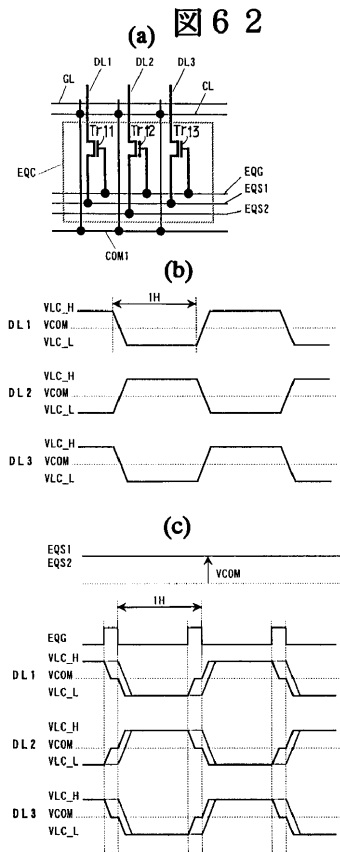
【 60 】



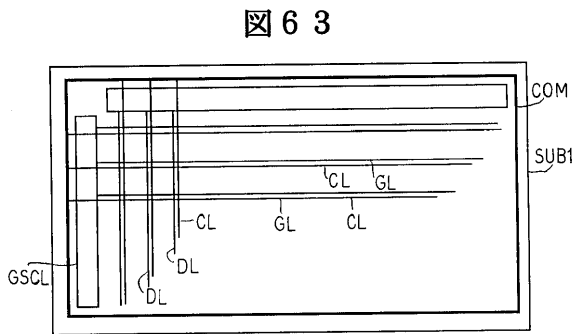
【 61 】



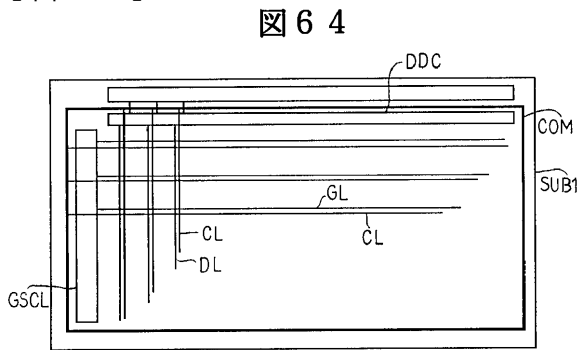
【 62 】



【 63 】



【 64 】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 F 9/35
G 0 9 G 3/36 (2006.01) G 0 9 G 3/20 6 2 1 M
G 0 9 G 3/36

(72)発明者 桶 隆太郎
千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

(72)発明者 萬場 則夫
神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

審査官 白石 光男

(56)参考文献 特開平 1 1 - 2 0 2 3 6 7 (J P , A)
特開平 1 1 - 0 0 2 8 3 8 (J P , A)
特開 2 0 0 1 - 1 6 6 3 3 4 (J P , A)
特開 2 0 0 3 - 1 6 7 2 6 9 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G02F 1/1343
G02F 1/1345
G09F 9/00
G09F 9/30
G09F 9/35
G09G 3/20
G09G 3/36

专利名称(译)	图像显示装置和液晶显示装置		
公开(公告)号	JP3920649B2	公开(公告)日	2007-05-30
申请号	JP2002022655	申请日	2002-01-31
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	佐藤友彦 落合孝洋 小野記久雄 桶隆太郎 萬場則夫		
发明人	佐藤 友彦 落合 孝洋 小野 記久雄 桶 隆太郎 萬場 則夫		
IPC分类号	G02F1/1343 G02F1/1345 G09F9/00 G09F9/30 G09F9/35 G09G3/20 G09G3/36 G02F1/1333 G02F1/1362		
CPC分类号	G02F1/13454 G02F1/134363 G02F1/1345 G02F1/136204 G02F1/136213 G02F2001/133388		
FI分类号	G02F1/1343 G02F1/1345 G09F9/00.309.A G09F9/00.348.C G09F9/30.338 G09F9/35 G09G3/20.621.M G09G3/36 G09F9/00.348.Z		
F-TERM分类号	2H092/GA31 2H092/GA38 2H092/GA40 2H092/GA45 2H092/GA59 2H092/GA60 2H092/JA01 2H092/JA03 2H092/JA05 2H092/JA21 2H092/JA24 2H092/JB22 2H092/JB26 2H092/JB31 2H092/JB35 2H092/JB61 2H092/JB64 2H092/JB67 2H092/JB68 2H092/JB69 2H092/NA14 2H092/PA06 5C006/BB16 5C006/BC02 5C006/BC08 5C006/BC20 5C006/BF34 5C006/BF50 5C006/FA33 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD19 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA16 5C094/AA21 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA01 5C094/EA04 5C094/EA07 5C094/FB19 5G435/AA14 5G435/AA16 5G435/BB12 5G435/CC09 5G435/GG32 5G435/GG34		
审查员(译)	白石光男		
其他公开文献	JP2003222891A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止静电跳入扫描信号驱动电路或视频信号驱动电路。解决方案：图像显示装置具有：每个像素，在通过液晶彼此面对布置的一个基板的液晶侧表面上形成液晶显示部分；扫描信号驱动电路，其中由在一个方向上平行排列的每个像素组成的像素组至少形成有公共栅极信号线和公共电容线，并且每个信号线的至少一端连接到该扫描信号驱动电路；形成为包围该扫描信号驱动电路的布线层，该布线层在液晶显示部侧形成的线宽小于液晶显示部的相反侧的线宽。电容线也与扫描信号驱动电路交叉，并与液晶显示部分相对侧的布线层连接。 Z

図 2

