

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3804910号
(P3804910)

(45) 発行日 平成18年8月2日(2006.8.2)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int.Cl.

F I

GO2F 1/1333 (2006.01)

GO2F 1/1333 500

GO2F 1/13 (2006.01)

GO2F 1/1333 505

GO2F 1/1335 (2006.01)

GO2F 1/13 101

GO2F 1/1343 (2006.01)

GO2F 1/1335 500

GO2F 1/1368 (2006.01)

GO2F 1/1335 515

請求項の数 5 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2000-231580 (P2000-231580)

(22) 出願日 平成12年7月31日(2000.7.31)

(65) 公開番号 特開2002-40400 (P2002-40400A)

(43) 公開日 平成14年2月6日(2002.2.6)

審査請求日 平成15年7月23日(2003.7.23)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 朝倉 利樹

千葉県茂原市早野3300番地 株式会社

日立製作所 ディスプレイグループ内

審査官 福島 浩司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

画素領域に画素電極と対向電極とが形成された第1の基板と、この第1の基板の前記画素電極と対向電極とが形成された面と液晶を介して対向配置された第2の基板とを有し、

この第2の基板の液晶側の面に凹陷部が形成され、この凹陷部は前記画素電極と対向電極のうち少なくとも1つの電極と対向する領域に形成され、該凹陷部の幅は該凹陷部が対向する電極の幅より小さいことを特徴とする液晶表示装置。

【請求項2】

前記第2の基板に形成されたカラーフィルタを備え、前記凹陷部が前記カラーフィルタに形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記第2の基板に形成されたカラーフィルタと、該カラーフィルタより液晶層側に形成された平坦化膜を備え、前記凹陷部が前記平坦化膜に形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】

画素領域の周辺を除く中央部に開口が設けられたブラックマトリクスを備え、前記凹陷部は該ブラックマトリクスの開口内に形成されていることを特徴とする請求項1ないし3のうちいずれかに記載の液晶表示装置。

【請求項5】

前記画素電極は、ゲート信号線を通して供給される信号によって駆動されるスイッチン

10

20

グ素子を介して、ドレイン信号線からの映像信号が供給されるようになっていいることを特徴とする請求項 1 ないし 4 のうちいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、いわゆる横電界方式と称される液晶表示装置に関する。

【0002】

【従来の技術】

いわゆる横電界方式と称される液晶表示装置は、液晶を介して対向配置される透明基板の液晶側の画素領域に画素電極と対向電極とが形成され、これら各電極の間に生じる電界のうち透明基板とほぼ平行な成分によって液晶を駆動させる構成のものをいう。 10

【0003】

このような液晶表示装置は、表示面をその垂線に対して大きな角度を有する方向から観察しても色調の変化が生じない、いわゆる広視野角特性に優れたものとして知られるに到っている。

【0004】

なお、このような技術としては、例えば特開平 9 - 304781 号公報、特開平 9 - 105925 号公報等に詳述されている。

【0005】

20

【発明が解決しようとする課題】

そして、このような液晶表示装置において、その高速応答化をさらに向上させるために、各透明基板のギャップ、すなわち液晶の層厚を小さくすることが有効となる。

【0006】

しかし、このようにした場合、液晶内の電界分布が変動して縦方向（透明基板と垂直方向）の電界が多くなる結果、その電界への液晶分子の追従の傾向が強まり、これにより液晶のしきい値電圧を上昇させざるを得ないという不都合が生じる。

【0007】

このしきい値 V は次式（1）に示すような関係があることから明らかとなる。

【0008】

30

【数 1】

$$V_{max} = 1 / d \sqrt{(K / \Delta \epsilon)} \dots \dots \dots (1)$$

ここで、 l は電極の間隔、 d は各基板のギャップ、 $\Delta \epsilon$ は液晶材料の誘電率異方性である。

【0009】

この式（1）から、液晶のしきい値電圧の上昇を抑制するために、電極の間隔 l を狭くすることが考えられるが、開口率が低減することから好ましくない。

【0010】

また、液晶の材料としてその誘電率異方性 $\Delta \epsilon$ の高いものを選択することが考えられるが、そのような液晶は粘度が高く高速応答化の妨げとなってしまう。 40

【0011】

本発明はこのような事情に基づいてなされたものであり、その目的は、高速応答化を向上させることができる液晶表示装置を提供することにある。

また本発明の他の目的は、液晶の誘電率 $\Delta \epsilon$ が同じでも、低電圧駆動が可能な液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0013】

50

すなわち、本発明による液晶表示装置は、例えば、画素領域に画素電極と対向電極とが形成された第1の基板と、この第1の基板の前記画素電極と対向電極とが形成された面側と液晶を介して対向配置された第2の基板と、この第2の基板の液晶側の面に前記画素電極と対向電極との間の領域に対向する領域に形成されたカラーフィルタと、を備えることを特徴とするものである。

【0014】

このように構成した液晶表示装置は、その画素領域において、カラーフィルタによる段差が形成され、画素電極および対向電極が形成された部分（領域）のギャップは大きく、画素電極と対向電極との間の部分（領域）のギャップは小さくなる。

【0015】

このことは、第1の基板と第2の基板とのギャップを狭ばめても、画素電極と対向電極との間の領域においてその効果が得られ、該画素電極および対向電極が形成された領域においてはギャップを大きく維持することができる。

【0016】

液晶内において、縦方向（基板に対して垂直方向）の電界成分は画素電極および対向電極の上方において発生し、ここの部分においてギャップが大きくなっていると、比較的狭い範囲で集中する。換言すれば、縦方向の電界成分は、光透過領域である画素電極と対向電極との間の領域にまで侵入することがなく、たとえ侵入しても僅かとなる。

【0017】

このことから、表示に直接関係する画素電極と対向電極との間の領域において、縦方向の電界成分の影響をあまり受けないで、そのギャップを狭くすることができるようになる。

【0018】

従って、応答速度の高速化を図る液晶表示装置を得ることができるようになる。

また、液晶の誘電率 $\Delta\epsilon$ が同じでも、低電圧駆動ができるようになる。

【0019】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0020】

実施例1.

《マトリクス部（画素部）の平面構成》

図2は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図である。

【0021】

図2に示すように、各画素は走査信号線（ゲート信号線または水平信号線）GLと、対向電圧信号線（対向電極配線）CLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXは薄膜トランジスタTFTと接続され、対向電極CTは対向電圧信号線CLと一体になっている。

【0022】

画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは櫛歯状に構成され、それぞれ、図の上下方向に細長い電極となっている。

【0023】

《マトリクス部（画素部）の断面構成》

図1は図2の1-1切断線における断面を示す図、図3は図2の3-3切断線にける薄膜トランジスタTFTの断面図、図4は図2の4-4切断線における蓄積容量Cstgの断面を示す図である。

10

20

30

40

50

【0024】

図1、図3、図4に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstg及び電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスBMが形成されている。

【0025】

また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI1、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光板が設けられている。

10

【0026】

《薄膜トランジスタTFT》

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0027】

薄膜トランジスタTFTは、図3に示すように、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

20

【0028】

《ゲート電極》

ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分であり、i型半導体層ASを完全に覆うよう（下方からみて）それより大きめに形成されている。

【0029】

これにより、ゲート電極GTの役割のほかに、i型半導体層ASに外光やバックライト光が当たらないように工夫されている。本例では、ゲート電極GTは、単層の導電膜g1で形成されている。

30

【0030】

導電膜g1としては例えばスパッタで形成されたアルミニウム（Al）膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0031】

《走査信号線GL》

走査信号線GLは導電膜g1で構成されている。この走査信号線GLの導電膜g1はゲート電極GTの導電膜g1と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧Vgをゲート電極GTに供給する。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。なお、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしている。

40

【0032】

《対向電極CT》

対向電極CTはゲート電極GTおよび走査信号線GLと同層の導電膜g1で構成されている。また、対向電極CT上にもAlの陽極酸化膜AOFが設けられている。対向電極CTは、陽極酸化膜AOFで完全に覆われていることから、映像信号線と限りなく近づけても、それらが短絡してしまうことがなくなる。また、それらを交差させて構成させることも

50

できる。対向電極 C T には対向電圧 V c o m が印加されるように構成されている。本実施例では、対向電圧 V c o m は映像信号線 D L に印加される最小レベルの駆動電圧 V d m i n と最大レベル V d m a x との中間直流電位から、薄膜トランジスタ T F T をオフ状態にするときに発生するフィードスルー電圧 ΔV_s 分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すればよい。

【 0 0 3 3 】

《 対向電圧信号線 C L 》

対向電圧信号線 C L は導電膜 g 1 で構成されている。この対向電圧信号線 C L の導電膜 g 1 はゲート電極 G T、走査信号線 G L および対向電極 C T の導電膜 G 1 と同一製造工程で形成され、かつ対向電極 C T と一体に構成されている。この対向電圧信号線 C L により、外部回路から対向電圧 V c o m を対向電極 C T に供給する。また、対向電圧信号線 C L にも A l の陽極酸化膜 A O F が設けられている。なお、映像信号線 D L と交差する部分は、走査信号線 G L と同様に映像信号線 D L との短絡の確率を小さくするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしている。

【 0 0 3 4 】

《 絶縁膜 G I 》

絶縁膜 G I は、薄膜トランジスタ T F T において、ゲート電極 G T と共に半導体層 A S に電界を与えるためのゲート絶縁膜として使用される。絶縁膜 G I はゲート電極 G T および走査信号線 G L の上層に形成されている。絶縁膜 G I としては例えばプラズマ C V D で形成された窒化シリコン膜が選ばれ、1200 ~ 2700 の厚さに（本実施例では、2400 程度）形成される。ゲート絶縁膜 G I は、マトリクス部 A R の全体を囲むように形成され、周辺部は外部接続端子 D T M、G T M を露出するように除去されている。絶縁膜 G I は走査信号線 G L および対向電圧信号線 C L と映像信号線 D L の電氣的絶縁にも寄与している。

【 0 0 3 5 】

《 i 型半導体層 A S 》

i 型半導体層 A S は、非晶質シリコンで、200 ~ 2200 の厚さに（本実施例では、2000 程度の膜厚）で形成される。層 d 0 はオーミックコンタクト用のリン（P）をドーブした N（+）型非晶質シリコン半導体層であり、下側に i 型半導体層 A S が存在し、上側に導電層 d 1（d 2）が存在するところのみに残されている。

【 0 0 3 6 】

i 型半導体層 A S は走査信号線 G L および対向電圧信号線 C L との交差部（クロスオーバー部）の両者間にも設けられている。この交差部の i 型半導体層 A S は交差部における走査信号線 G L および対向電圧信号線 C L と映像信号線 D L との短絡を低減する。

【 0 0 3 7 】

《 ソース電極 S D 1、ドレイン電極 S D 2 》

ソース電極 S D 1、ドレイン電極 S D 2 のそれぞれは、N（+）型半導体層 d 0 に接触する導電膜 d 1 とその上に形成された導電膜 d 2 とから構成されている。

【 0 0 3 8 】

導電膜 d 1 はスパッタで形成したクロム（C r）膜を用い、500 ~ 1000 の厚さに（本実施例では、600 程度）で形成される。C r 膜は膜厚を厚く形成するとストレスが大きくなるので、2000 程度の膜厚を超えない範囲で形成する。C r 膜は N（+）型半導体層 d 0 との接着性を良好にし、導電膜 d 2 の A l が N（+）型半導体層 d 0 に拡散することを防止する（いわゆるバリア層の）目的で使用される。導電膜 d 1 として、C r 膜の他に高融点金属（M o、T i、T a、W）膜、高融点金属シリサイド（M o S i O₂、T i S i O₂、T a S i O₂、W S i O₂）膜を用いてもよい。

【 0 0 3 9 】

導電膜 d 2 は A l のスパッタリングで 3000 ~ 5000 の厚さに（本実施例では、4000 程度）形成される。A l 膜は C r 膜に比べてストレスが小さく、厚い膜厚に形成

10

20

30

40

50

することが可能で、ソース電極 S D 1、ドレイン電極 S D 2 および映像信号線 D L の抵抗値を低減したり、ゲート電極 C T や i 型半導体層 A S に起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【 0 0 4 0 】

導電膜 d 1、導電膜 d 2 を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは導電膜 d 1、導電膜 d 2 をマスクとして、N (+) 型半導体層 d 0 が除去される。つまり、i 型半導体層 A S 上に残っていた N (+) 型半導体層 d 0 は導電膜 d 1、導電膜 d 2 以外の部分がセルフアラインで除去される。このとき、N (+) 型半導体層 d 0 はその厚さは全て除去されるようエッチングされるので、i 型半導体層 A S も若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

10

【 0 0 4 1 】

《映像信号線 D L》

映像信号線 D L はソース電極 S D 1、ドレイン電極 S D 2 と同層の第 2 導電膜 d 2、第 3 導電膜 d 3 で構成されている。また、映像信号線 D L はドレイン電極 S D 2 と一体に形成されている。

【 0 0 4 2 】

《画素電極 P X》

画素電極 P X はソース電極 S D 1、ドレイン電極 S D 2 と同層の第 2 導電膜 d 2、第 3 導電膜 d 3 で構成されている。また、画素電極 P X はソース電極 S D 1 と一体に形成されている。

20

【 0 0 4 3 】

《蓄積容量 C s t g》

画素電極 P X は、薄膜トランジスタ T F T と接続される端部と反対側の端部において、対向電圧信号線 C L と重なるように形成されている。この重ね合わせは、図 1 4 から明らかなように、画素電極 P X を一方の電極 P L 2 とし、対向電圧信号線 C L を他方の電極 P L 1 とする蓄積容量（静電容量素子）C s t g を構成する。この蓄積容量 C s t g の誘電体膜は、薄膜トランジスタ T F T のゲート絶縁膜として使用される絶縁膜 G I および陽極酸化膜 A O F で構成されている。

【 0 0 4 4 】

図 1 1 に示すように平面的には蓄積容量 C s t g は対向電圧信号線 C L の導電膜 g 1 の幅を広げた部分に形成されている。この場合、この蓄積容量 C s t g は、その絶縁膜 G I に対して下側に位置づけられる電極の材料が A 1 で形成され、かつ、その表面が陽極化されたものであることから、A 1 のいわゆるホイスカ等が原因する点欠陥（上側に位置づけられる電極との短絡）による弊害を発生しにくくする蓄積容量を得ることができる。

30

【 0 0 4 5 】

《マトリクス周辺の構成》

図 5 は上下のガラス基板 S U B 1、S U B 2 を含む表示パネル P N L のマトリクス（A R）周辺の要部平面を示す図である。また、図 6 は、左側に走査回路が接続されるべき外部接続端子 G T M 付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

40

【 0 0 4 6 】

このパネルの製造では、小さいサイズであればスルーブット向上のため 1 枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【 0 0 4 7 】

図 5、図 6 は後者の例を示すもので、図 5、図 6 の両図とも上下基板 S U B 1、S U B 2 の切断後を表しており、L N は両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群 T g、T d および端子 C T M が存在する（図で上辺と左辺）部分はそれらを露出するように上側基板 S U B 2 の大きさが下側基板 S U B 1 よりも内側に制限され

50

ている。

【0048】

端子群 T g、T d はそれぞれ後述する走査回路接続用端子 G T M、映像信号回路接続用端子 D T M とそれらの引出配線部を集積回路チップ C H I が搭載されたテープキャリアパッケージ T C P (図示せず) の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に到るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージ T C P の配列ピッチ及び各パッケージ T C P における接続端子ピッチに表示パネル P N L の端子 D T M、G T M を合わせるためである。

【0049】

また、対向電極端子 C T M は対向電極 C T に対向電圧を外部回路から与えるための端子である。マトリクス部の対向電極信号線 C L は、走査回路用端子 G T M の反対側 (図では右側) に引き出し、各対向電圧信号線を共通バスライン C B で一まとめにして、対向電極端子 C T M に接続している。

10

【0050】

透明ガラス基板 S U B 1、S U B 2 の間にはその縁に沿って、液晶封入口 I N J を除き、液晶 L C を封止するようにシールパターン S L が形成される。シール材は例えばエポキシ樹脂からなる。

【0051】

配向膜 O R I 1、O R I 2 の層は、シールパターン S L の内側に形成される。偏光板 P O L 1、P O L 2 はそれぞれ下部透明ガラス基板 S U B 1、上部透明ガラス基板 S U B 2 の外側の表面に構成されている。液晶 L C は液晶分子の向きを設定する下部配向膜 O R I 1 と上部配向膜 O R I 2 との間でシールパターン S L で仕切られた領域に封入されている。下部配向膜 O R I 1 は下部透明ガラス基板 S U B 1 側の保護膜 P S V 1 の上部に形成されている。

20

【0052】

この液晶表示装置は、下部透明ガラス基板 S U B 1 側、上部透明ガラス基板 S U B 2 側で個別に種々の層を積み重ね、シールパターン S L を基板 S U B 2 側に形成し、下部透明ガラス基板 S U B 1 と上部透明ガラス基板 S U B 2 とを重ね合わせ、シール材 S L の開口部 I N J から液晶 L C を注入し、注入口 I N J をエポキシ樹脂などで封入し、上下基板を切断することによって組み立てられる。

30

【0053】

《表示装置全体等価回路》

表示マトリクス部の等価回路とその周辺回路の結線図を図 7 に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。A R は複数の画素を二次元状に配列したマトリクス・アレイである。

【0054】

図中、X は映像信号線 D L を意味し、添字 G、B および R がそれぞれ緑、青および赤画素に対応して付加されている。Y は走査信号線 G L を意味し、添字 1、2、3、...、e n d は走査タイミングの順序に従って付加されている。

【0055】

走査信号線 Y (添字省略) は垂直走査回路 V に接続されており、映像信号線 X (添字省略) は映像信号駆動回路 H に接続されている。

40

【0056】

S U P は 1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト (上位演算処理回路) からの C R T (陰極線管) 用の情報を T F T 液晶表示装置用の情報に交換する回路を含む回路である。

【0057】

《駆動方法》

図 8 に本発明の液晶表示装置の駆動波形を示す。対向電圧を V c h と V c l の 2 値の交流矩形波にし、それに同期させて走査信号 V g (i - 1)、V g (i) の非選択電圧を 1 走

50

査期間ごとに、 V_{g1h} と V_{g1l} の2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の $1/2$ を差し引いた電圧である。

【0058】

対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることが可能になる。

【0059】

《蓄積容量 C_{stg} の働き》

蓄積容量 C_{stg} は、画素に書き込まれた（薄膜トランジスタがオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量 C_{stg} が映像情報を画素に蓄積することができない。従って、電界を基板面と平行に印加する方式では、蓄積容量 C_{stg} は必須の構成要素である。

【0060】

また、蓄積容量 C_{stg} は、薄膜トランジスタ TF_T がスイッチングするとき、画素電極電位 V_s に対するゲート電位変化 ΔV_g の影響を低減するようにも働く。この様子を式で表すと、次式（2）のようになる。

【0061】

【数2】

$$\Delta V_s = \{ C_{gs} / (C_{gs} + C_{stg} + C_{pix}) \} \times \Delta V_g \dots \dots \dots (2)$$

ここで、 C_{gs} は薄膜トランジスタ TF_T のゲート電極 GT とソース電極 $SD1$ との間に形成される寄生容量、 C_{pix} は画素電極 PX と対向電極 CT との間に形成される容量、 ΔV_s は ΔV_g による画素電極電位の変化分いわゆるフィードスルー電圧を表す。この変化分 ΔV_s は液晶 LC に加わる直流成分の原因となるが、保持容量 C_{stg} を大きくすればする程、その値を小さくすることができる。液晶 LC に印加される直流成分の低減は、液晶 LC の寿命を向上し、液晶表示画面の切り替え時に前の画素が残るいわゆる焼き付きを低減することができる。

【0062】

《ブラックマトリクス》

図1に示すように、上部透明ガラス基板 $SUB2$ の液晶側の面にはブラックマトリクス BM が形成されている。

【0063】

このブラックマトリクス BM は、この実施例では、薄膜トランジスタ TF_T の外来からの光の照射を遮光するためと、表示のコントラストを良好にするために設けられている。

【0064】

図2には、下部透明ガラス基板 $SUB1$ の画素領域との関係でブラックマトリクス BM の形成領域を図示し、画素領域の中央部を除く周辺に形成され、これにより前記薄膜トランジスタ TF_T を覆うとともに、隣接する他の画素領域とを画すようにして形成されている。

【0065】

すなわち、ブラックマトリクス BM は、各画素領域において、周辺を除く中央部に開口が形成されるようにして形成されている。

【0066】

このブラックマトリクス BM は、例えば樹脂材に黒色顔料を含有した絶縁性のものであってもよく、また、遮光がなされる金属層であってもよい。

【0067】

《カラーフィルタ》

図1に示すように、上部透明ガラス基板 $SUB2$ の液晶側の面には、前記ブラックマトリ

10

20

30

40

50

クスＢＭの開口を覆うようにしてカラーフィルタＦＩＬが形成されている。

【００６８】

このカラーフィルタＦＩＬは、赤色（Ｒ）、緑色（Ｇ）、および青色（Ｂ）のものから構成され、それぞれの色のカラーフィルタＦＩＬは映像信号線ＤＬと平行に配列される各画素に共通になっており、走査信号線ＧＬの延在方向に、例えば赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）の順に繰り返されて形成されている。

【００６９】

すなわち、走査信号線ＧＬの延在方向に配列される赤色（Ｒ）フィルタの画素、緑色（Ｇ）フィルタの画素、青色（Ｂ）フィルタの画素の３つの画素によって、カラー表示の一画素としての機能を有するようになっている。

10

【００７０】

そして、この実施例では、この各フィルタＦＩＬにおいて、画素電極ＰＸおよび対向電極ＣＴと対向する部分において、凹陷部ＤＮＴが形成されている。

【００７１】

ここで、フィタルにＦＩＬ形成された凹陷部ＤＮＴとは、その底部において、下地基板である上部透明ガラス基板ＳＵＢ２の面が露出されるようにして形成されたものであってもよく、いまだある程度の厚さでフィルタＦＩＬを残存して形成されたものであってもよい。

【００７２】

後述するように、フィルタＦＩＬに凹陷部ＤＮＴを形成するのは、この凹陷部ＤＮＴの形成部分において、他の部分よりも液晶ＬＣの層厚を大きく確保せんとするためであるからである。

20

【００７３】

そして、フィルタＦＩＬに形成される凹陷部の幅は対応する画素電極ＰＸおよび対向電極ＣＴの幅よりも小さくすることが好ましい。

【００７４】

換言すれば、平面的に観て、画素電極ＰＸおよび電極ＣＴによってフィルタＦＩＬの凹陷部ＤＮＴが覆われるようにすることが好ましい。

【００７５】

このようにしない場合、バックライト（例えば下部透明ガラス基板ＳＵＢ１の背面に配置される）側からの光がカラーフィルタＦＩＬを介さないで上部透明ガラス基板ＳＵＢ２（観察側）へ照射される恐れがあるからである。

30

【００７６】

このカラーフィルタＦＩＬは、例えば上部透明ガラス基板ＳＵＢ２の液晶側の面に対応する色の顔料を含ませた樹脂層等を形成した後に、フォトリソグラフィ技術による選択エッチングによって前記凹陷部を形成することになるが、エッチングされないフィルタ部の前記凹陷部ＤＮＴへの末広がり状のテーパが形成されないことが好ましい。

【００７７】

このテーパ部を通してバックライトからの光が観察側へ照射されると色調が変化するためである。

40

【００７８】

図２には、下部透明ガラス基板ＳＵＢ１の画素領域との関係でカラーフィルタＦＩＬに形成される凹陷部ＤＮＴを示している。

【００７９】

該凹陷部ＤＮＴは、画素として認識できる領域、すなわち、ブラックマトリクスＢＭの開口部内の画素電極ＰＸおよび対向電極ＣＴの上部に形成すれば充分であり、その他の部分に形成しなくてもよいことはいうまでもない。観察者が認識する画素はブラックマトリクスＢＭの開口内でも画素電極ＰＸと対向電極ＣＴの間の領域を透過する光にもとづくからである。

【００８０】

50

しかし、図 9 に示すように、該凹陷部を隣接する他の画素領域に及んで形成するようにしてもよいことはもちろんである。このようにした場合、ブラックマトリクス B M の開口部内において、特に、その周辺において中央部と同じように高速応答性を確保できる効果を奏するようになる。

【 0 0 8 1 】

このように構成した液晶表示装置は、その画素領域において、カラーフィルタ F I L による段差が形成され、画素電極 P X および対向電極 C T が形成された部分（領域）のギャップは大きく、画素電極と対向電極との間の部分（領域）のギャップは小さくなることと等価になる。

【 0 0 8 2 】

10

このことは、模式図である図 1 0 に示すように、下部ガラス基板 S U B 1 と上部ガラス基板 S U B 2 とのギャップを狭めた場合、画素電極 P X と対向電極 C T との間の領域においてその効果が得られ、該画素電極 P X および対向電極 C T が形成された領域においてはギャップを大きく維持することができる。

【 0 0 8 3 】

換言すれば、図 1 0 に示すように、画素電極 P X と対向電極 C T との間の領域の液晶の層厚（各基板のギャップ）を d_1 、画素電極 P X の領域の液晶の層厚を d_2 、対向電極 C T の領域の液晶の層厚を d_3 とした場合、 $d_1 < d_2 < d_3$ の関係をもつことになる。

【 0 0 8 4 】

液晶内において、縦方向（基板に対して垂直方向）の電界成分は、図 1 0 に示すように、画素電極 P X および対向電極 C T の上方において発生し、ここの部分においてギャップが大きくなっていると、比較的狭い範囲で集中する。換言すれば、縦方向の電界成分は、光透過領域である画素電極 P X と対向電極 C T との間の領域にまで侵入することがなく、たとえ侵入しても僅かとなる。

20

【 0 0 8 5 】

このことから、表示に直接関係する画素電極 P X と対向電極 C T との間の領域（換言すれば、表示に寄与する領域）において、縦方向の電界成分の影響をあまり受けなくて、そのギャップを狭くすることができるようになる。

【 0 0 8 6 】

従って、応答速度の高速化を図る液晶表示装置を得ることができるようになる。

30

【 0 0 8 7 】

なお、図 1 0 に示した d_1 、 d_2 、 d_3 は、配向膜 O R I 2 が不都合なくラビング処理できるため、次の式（ 3 ）、（ 4 ）の関係を有することが好適となる。

【 0 0 8 8 】

【数 3】

$$0.5 \mu\text{m} < d_2 - d_1 < 1.0 \mu\text{m} \quad \dots\dots\dots (3)$$

【数 4】

$$0.5 \mu\text{m} < d_3 - d_1 < 1.0 \mu\text{m} \quad \dots\dots\dots (4)$$

また、これらについて、液晶の屈折率異方性 Δn （589 nm、29）とセルギャップの積 Δn で表すと、通常、高速応答用に使用すると考えられるセルギャップ 2 ~ 4 nm を想定すると（ Δn ：0.0713 ~ 0.143）、次の式（ 5 ）、（ 6 ）のような関係となる。

40

【 0 0 8 9 】

【数 5】

$$0.035 < \Delta n d_2 - \Delta n d_1 < 0.143 \quad \dots\dots\dots (5)$$

【数 6】

$$0.035 < \Delta n d_3 - \Delta n d_1 < 0.143 \quad \dots\dots\dots (6)$$

上述した各式の d_1 、 d_2 、 d_3 の各関係は、表示領域 A R 内にて平均的になされておれば、すなわち、各画素における d_1 の平均値、 d_2 の平均値、 d_3 の平均値において上述した関係にあれば十分に本発明の効果を達成することができる。

50

【 0 0 9 0 】

実施例 2 .

図 1 1 は、本発明による液晶表示装置の他の実施例を示す断面図で、図 1 に対応した図となっている。

【 0 0 9 1 】

同図は、上部透明ガラス基板 S U B 2 のブラックマトリクス B M およびカラーフィルタ F I L を覆って形成され、本来平坦化膜 O C として機能する例えば塗布による樹脂層に凹陷部 D N T を形成することによって、実施例 1 と同様の効果を図らんとしたものである。

【 0 0 9 2 】

該凹陷部 D N T は画素電極 P X および対向電極 C T の真上に相当する位置に形成され、この部分において、他の部分よりも液晶 L C の層厚を大きく確保せんとしている。 10

【 0 0 9 3 】

この場合の凹陷部 D N T はカラーフィルタ F I L に形成された凹陷部 D N T の場合と異なり、特に、その溝幅を対応する画素電極 P X あるいは対向電極 C T の幅よりも小さくする必要はない。

【 0 0 9 4 】

平坦化膜 O C においては、カラーフィルタ F I L と異なり、その凹陷部の大小によって光学特性にあまり影響を与えないからである。

【 0 0 9 5 】

このことから、例えば図 1 2 に示すように、選択エッチング後の平坦化膜 O C において、上部透明ガラス基板 S U B 2 側に末広がり状となるテーパーが形成されるようになってよい。 20

【 0 0 9 6 】

また、この実施例の場合は平坦化膜 O C に凹陷部 D N T を形成した構成となっているが、その凹陷部 D N T の底部がカラーフィルタ F I L にまで及んでもよいし、さらに、カラーフィルタ F I L の下地層となる上部透明ガラス基板 S U B 2 が露出するまでに及んでもよいことはもちろんである。

【 0 0 9 7 】

このようにした場合、画素電極 P X および対向電極 C T 上の液晶 L C の層厚と、画素電極 P X と対向電極 C T の間の領域上の液晶 L C の層厚の差を大きくできるようになる。 30

【 0 0 9 8 】

このことは、液晶 L C 内の縦電界の影響を受けることなく、下部透明ガラス基板 S U B 1 に対する上部透明ガラス基板 S U B 2 のギャップをより狭くでき（換言すれば、画素電極 P X と対向電極 C T の間の領域上の液晶 L C の層厚を小さくでき）、それだけ応答性の高速化を実現できるようになる。

【 0 0 9 9 】

実施例 3 .

図 1 3 は、本発明による液晶表示装置の他の実施例を示す断面図で、図 1 に対応した図となっている。

【 0 1 0 0 】

同図は、下部透明ガラス基板 S U B 1 側において、凹陷部 D N T を形成した構成となっており、例えばこの実施例では保護膜 P S V に該凹陷部を形成している。 40

【 0 1 0 1 】

保護膜 P S V は薄膜トランジスタ T F T への液晶 L C の直接の接触を回避し、これにより該薄膜トランジスタ T F T の特性の劣化を防止することを主目的とする。このことから、少なくともブラックマトリクス B M の開口内の画素領域において凹陷部 D N T を形成することによる不都合はなく、しかも、画素電極 P X あるいは対向電極 C T に対して大きな位置ずれなく該凹陷部 D N T を形成できる効果を有する。

【 0 1 0 2 】

この場合における凹陷部 D N T も、画素電極 P X および対向電極 C T の上方となる。そし 50

て、この実施例の場合、図 13 に示すように、画素電極 P X および対向電極 C T は依然として絶縁膜 G I あるいは保護膜 P S V によって覆われたままであるが、液晶 L C との直接の接触において特に不都合が生じなければ、それらが露出されるような凹陷部 D N T を形成するようにしてもよいことはいうまでもない（この場合、絶縁膜 G I にまで及んで凹陷部が形成されることもある）。

【 0 1 0 3 】

また、同様の趣旨で、例えば図 16 に示すように、透明ガラス基板 S U B 1 側の保護膜 P S V 上の画素電極 P X と対向電極 C T との間に、凸部 P R J を積極的に形成するようにしてもよい。

【 0 1 0 4 】

この場合の凸部 P R J は保護膜 P S V と同一の材料、あるいは樹脂層等の他の材料であってもよいことはいうまでもない。

【 0 1 0 5 】

実施例 4 .

上述した各実施例では、透明ガラス基板 S U B 1 あるいは透明ガラス基板 S U B 2 のうちいずれか一方の基板の液晶側の面に凹部あるいは凸部を設けたものである。

【 0 1 0 6 】

しかし、そのいずれの基板側にも凹部あるいは凸部を設けるようにしてもよいことはいうまでもない。

【 0 1 0 7 】

図 17 は、このようにした構成の一実施例を示した断面図である。このようにした場合、各基板側の凹部の深さあるいは凸部の高さを比較的大きくする必要がないことから、それらの上層として形成される配向膜 O R I 1、O R I 2 の段差の程度が小さくなりラビング処理に不都合をもたらさないという効果を奏するようになる。

【 0 1 0 8 】

実施例 5 .

図 14 は、本発明による液晶表示装置の他の実施例を示す平面図であり、図 2 に対応した図となっている。

【 0 1 0 9 】

同図において、例えばカラーフィルタ F I L に形成された凹陷部 D N T は画素電極 P X 上に形成され対向電極 C T 上には形成されていない構成となっている。

【 0 1 1 0 】

凹陷部 D N T の形成は、画素電極 P X 上および対向電極 C T 上に形成される縦電界成分の画素電極 P X 上と対向電極 C T の間の領域側に及ぼす影響を低減させるために設けることは上述した通りである。

【 0 1 1 1 】

このため、前記凹陷部 D N T は全ての画素電極 P X および対向電極 C T 上に形成する必要はなく、その数は任意のものであってもよいことはいうまでもない。

【 0 1 1 2 】

このことから、1つの画素領域内に画素電極 P X と対向電極 C T の数が多く形成されている場合、一方の側から 2 つおき、3 おき、あるいは 4 おきに形成されていてもよく、この場合、凹陷部 D N T の形成は画素電極 P X 上あるいは対向電極 C T 上であってもよい。

【 0 1 1 3 】

実施例 6 .

上述した各実施例では、画素電極 P X および対向電極 C T をともに不透明の金属材料で形成したものである。

【 0 1 1 4 】

しかし、画素の開口率を向上させるために、これら各電極のうち少なくとも一方を例えば I T O (Indium-Tin-Oxide) 等からなる透明導電材によって形成するものにも適用できることはいうまでもない。

10

20

30

40

50

【 0 1 1 5 】

このような構成の液晶表示装置においても上述したと同様の課題を有するからである。

【 0 1 1 6 】

実施例 7 .

上述した各実施例では、画素電極 P X および対向電極 C T をともに直線状のパターンで形成したものである。しかし、画素領域内において画素電極 P X と対向電極 C T との間に発生する電界の方向を異ならしめる各領域を形成し、表示面の垂線に対して相対向する方向から観察した場合の色調の変化を防止するために、該画素電極 P X および対向電極に屈曲部を有するジグザグ形状にするものが知られている（通常、マルチドメイン方式と称されている）。

10

【 0 1 1 7 】

この場合においても、本発明を適用できることはいうまでもない。図 1 5 は、このような構成の液晶表示装置の画素構成を示した平面図である。

【 0 1 1 8 】

画素電極 P X および対向電極 C T がその延在方向に沿ってジグザグ状に形成され、対向電圧信号線 L C が画素領域の中央を走行して形成されている場合を除いて前述した図 2 の構成とほぼ同様となっている。

【 0 1 1 9 】

この場合、一実施例としてカラーフィルタ F I L に凹陷部 D N T を形成する際のそのパターンを同図に示している。

20

【 0 1 2 0 】

【 発明の効果 】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、高速応答化を図ることができるようになる。

【 図面の簡単な説明 】

【 図 1 】 本発明による液晶表示装置の画素の一実施例を示す構成図で、図 2 の 1 - 1 線における断面を示した図である。

【 図 2 】 本発明による液晶表示装置の画素の一実施例を示す平面図である。

【 図 3 】 図 2 の 3 - 3 線における断面図である。

【 図 4 】 図 2 の 4 - 4 線における断面図である。

30

【 図 5 】 本発明による液晶表示装置の一実施例を示す全体平面図である。

【 図 6 】 本発明による液晶表示装置の一実施例を示す全体断面図である。

【 図 7 】 本発明による液晶表示装置の一実施例を示す等価回路図である。

【 図 8 】 本発明による液晶表示装置の駆動方法の一実施例を示すタイミング図である。

【 図 9 】 本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【 図 1 0 】 本発明による液晶表示装置の効果を示す模式図である。

【 図 1 1 】 本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【 図 1 2 】 本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【 図 1 3 】 本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【 図 1 4 】 本発明による液晶表示装置の画素の他の実施例を示す平面図である。

40

【 図 1 5 】 本発明による液晶表示装置の画素の他の実施例を示す平面図である。

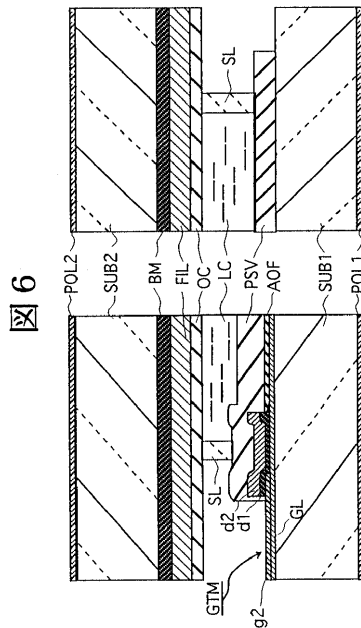
【 図 1 6 】 本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【 図 1 7 】 本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【 符号の説明 】

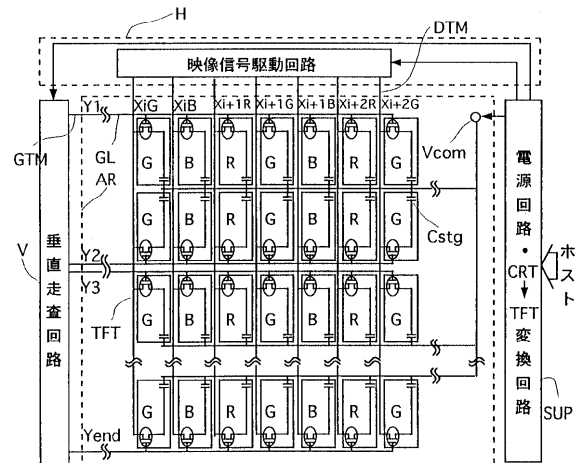
S U B ... 透明ガラス基板、 G L ... ゲート信号線、 D L ... ドレイン信号線、 C L ... 対向電圧信号線、 P X ... 画素電極、 C T ... 対向電極、 T F T ... 薄膜トランジスタ、 C s t g ... 蓄積容量、 P S V ... 保護膜、 B M ... ブラックマトリクス、 F I L ... カラーフィルタ、 O C ... 平坦化膜、 L C ... 液晶。

【図 6】



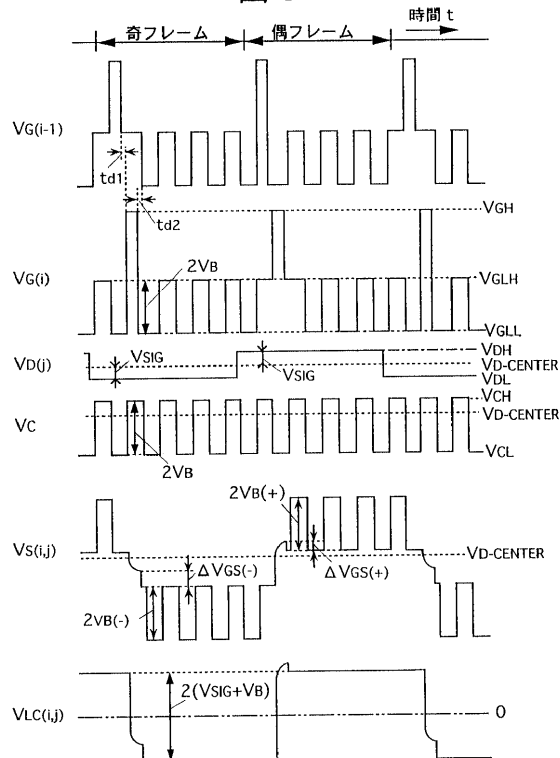
【図 7】

図 7



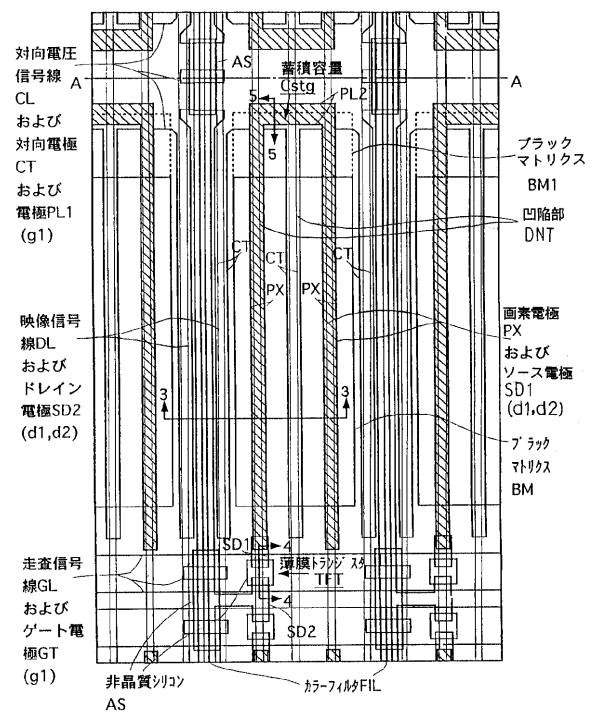
【図 8】

図 8



【図 9】

図 9



【 图 1 2 】

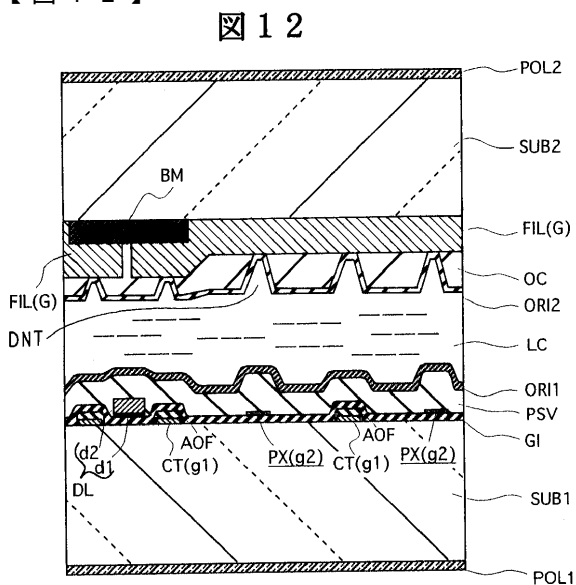


图 11

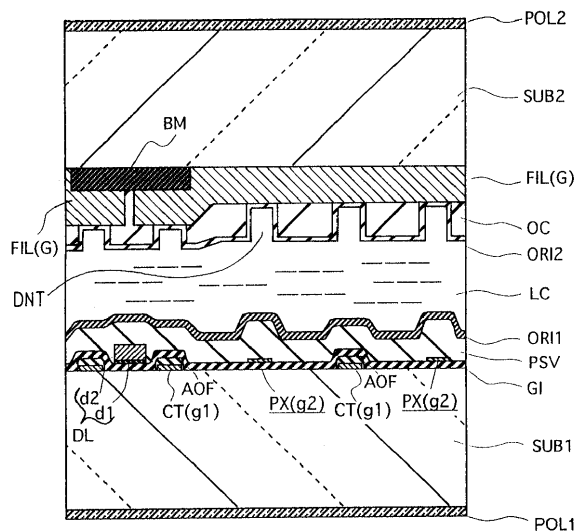
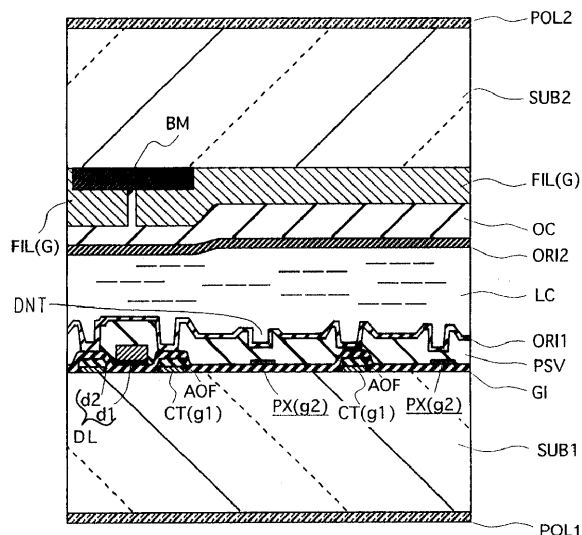
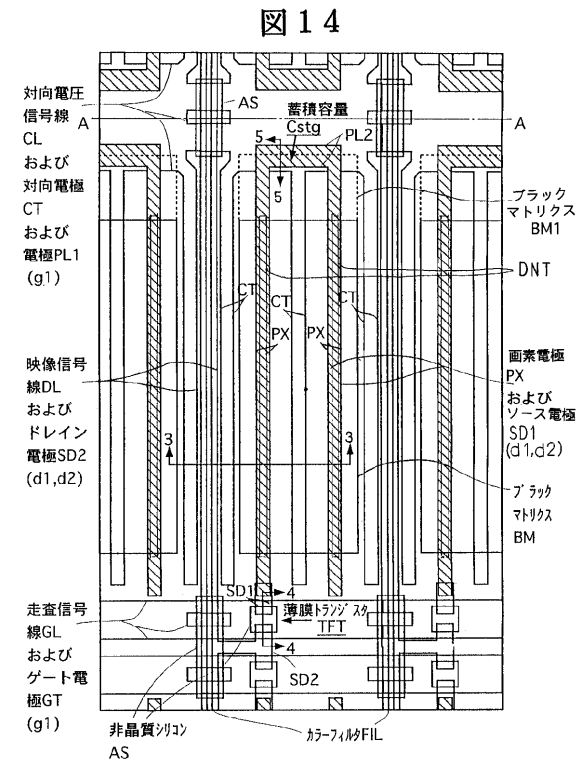


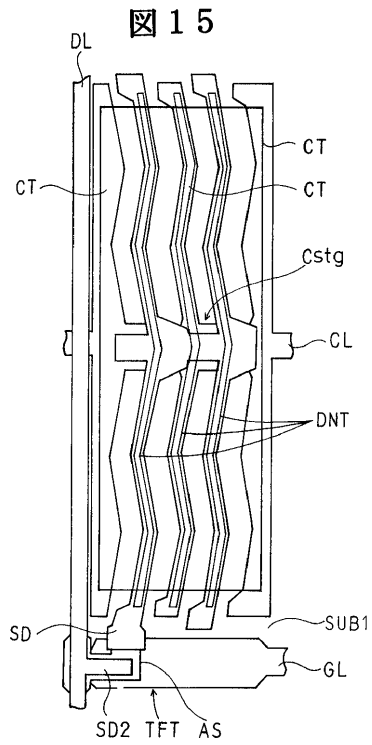
图 13



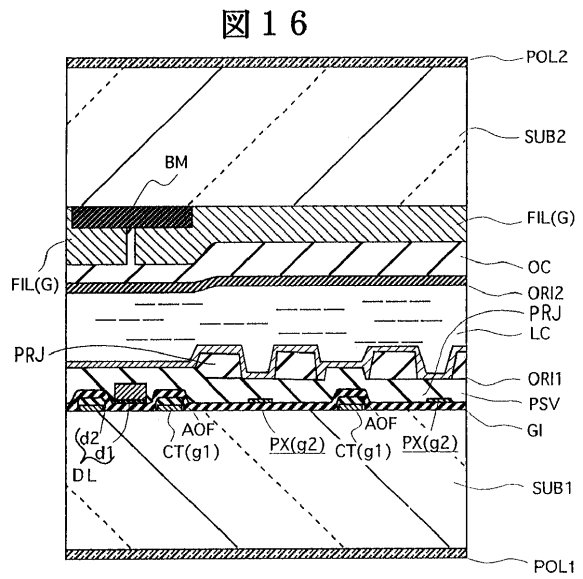
【 図 1 4 】



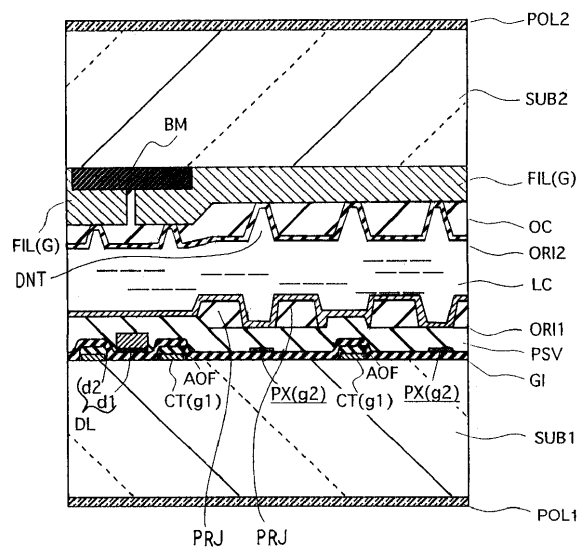
【図 15】



【図 16】



【図 17】

図 17

フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/1343
G 0 2 F 1/1368

(56) 参考文献 特開平 1 1 - 1 6 0 7 3 1 (J P , A)
特開平 1 0 - 0 8 2 9 9 8 (J P , A)
特開平 1 0 - 3 1 9 3 8 2 (J P , A)
特開平 1 1 - 1 1 9 2 5 2 (J P , A)
特開平 0 7 - 2 3 9 4 8 0 (J P , A)
特開 2 0 0 0 - 0 6 6 2 2 2 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G02F 1/1333
G02F 1/13
G02F 1/1335
G02F 1/1343
G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP3804910B2	公开(公告)日	2006-08-02
申请号	JP2000231580	申请日	2000-07-31
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	朝倉利樹		
发明人	朝倉 利樹		
IPC分类号	G02F1/1333 G02F1/13 G02F1/1335 G02F1/1343 G02F1/1368 G02F1/136		
FI分类号	G02F1/1333.500 G02F1/1333.505 G02F1/13.101 G02F1/1335.500 G02F1/1335.515 G02F1/1343 G02F1/1368 G02F1/136.500		
F-TERM分类号	2H088/FA20 2H088/HA01 2H088/HA06 2H088/HA12 2H088/HA28 2H088/MA09 2H090/JC03 2H090/JC07 2H090/LA04 2H090/LA15 2H090/LA16 2H090/MA12 2H090/MB01 2H091/FA02Y 2H091/FA35Y 2H091/GA01 2H091/GA11 2H091/GA13 2H091/LA30 2H092/GA14 2H092/GA45 2H092/GA60 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB58 2H092/KA05 2H092/MA05 2H092/MA12 2H092/MA17 2H092/MA24 2H092/MA30 2H092/MA41 2H092/NA05 2H092/PA01 2H092/PA06 2H092/PA08 2H092/PA09 2H092/PA13 2H190/JC03 2H190/JC07 2H190/LA04 2H190/LA15 2H190/LA16 2H190/LA25 2H191/FA02Y 2H191/FA14Y 2H191/GA01 2H191/GA17 2H191/GA19 2H191/LA40 2H192/AA24 2H192/BB02 2H192/BB53 2H192/BB55 2H192/BB84 2H192/CB05 2H192/CC04 2H192/CC16 2H192/CC24 2H192/CC72 2H192/DA12 2H192/DA42 2H192/DA52 2H192/DA62 2H192/EA22 2H192/EA43 2H192/FA31 2H192/GA42 2H192/GD61 2H192/GD81 2H192/HB38 2H192/JA33 2H291/FA02Y 2H291/FA14Y 2H291/GA01 2H291/GA17 2H291/GA19 2H291/LA40		
审查员(译)	福島浩二		
其他公开文献	JP2002040400A		
外部链接	Espacenet		

摘要(译)

实现高速响应。 解决方案：像素电极和对电极形成在彼此相对的一个基板的液晶侧上的像素区域中，液晶介于其间，以及像素电极和对电极中的至少一个的区域。上部液晶层的厚度大于除上述区域之外的其他区域上的液晶层的厚度。

【图5】

