

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3760743号
(P3760743)

(45) 発行日 平成18年3月29日(2006.3.29)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G02F 1/133 525

G09G 3/20 621B

G09G 3/20 622N

G09G 3/20 670K

請求項の数 9 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-280119 (P2000-280119)

(22) 出願日 平成12年9月11日(2000.9.11)

(65) 公開番号 特開2002-91392 (P2002-91392A)

(43) 公開日 平成14年3月27日(2002.3.27)

審査請求日 平成16年2月18日(2004.2.18)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100075096

弁理士 作田 康夫

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所 システム開発研究

所内

(72) 発明者 前田 武

神奈川県横浜市戸塚区吉田町292番地

株式会社日立画像情報システム内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

映像信号発生装置からの入力映像情報を液晶パネルに表示する液晶表示装置において、

前記液晶パネルと、データドライバと、ゲートドライバと、過去の入力映像情報の1フレームの垂直方向のライン数と現行の入力映像情報の1フレームの垂直方向のライン数を比較し、1フレームの垂直方向のライン数の相違の有無を判断する比較回路と、

前記液晶パネルに対する直流電圧の印加を防止するため第1の周期の交流化信号を出力する第1の駆動回路と、

前記第1の駆動回路とは異なる第2の周期の交流化信号を出力する第2の駆動回路とを有し、

前記比較回路の比較結果に従って、前記第1の駆動回路及び第2の駆動回路からそれぞれ出力される前記第1の周期の交流化信号と前記第2の周期の交流化信号とのいずれかを選択して出力する選択回路を備えたことを特徴とする液晶表示装置。

【請求項2】

請求項1記載の液晶表示装置において、

前記液晶表示装置は、更に前記入力映像情報から前記液晶パネルに表示される際の各フレームの垂直方向のライン数を検出するライン数検出回路とを有し、

前記比較回路は、前記ライン数検出回路にて検出されたライン数を任意間隔フレーム間で比較するものであり、

前記選択回路は、前記比較回路の比較により比較されるフレーム間でライン数が一致の場合には、前記第 1 の駆動回路の出力を、不一致の場合には前記第 2 の駆動回路の出力を選択することを特徴とする液晶表示装置。

【請求項 3】

請求項 2 記載の液晶表示装置において、

前記比較回路は、前記ライン数検出回路によって検出された 1 フレーム前のライン数を保持する保持回路を有し、

前記比較回路は、前記保持回路に保持されたライン数と前記ライン数検出回路によって検出される前記入力映像情報信号の現行ライン数とを比較することを特徴とする液晶表示装置。

10

【請求項 4】

請求項 1 記載の液晶表示装置において、

前記第 1 の駆動回路は、前記第 1 の周期の交流化信号として、前記液晶パネルの各画素の電圧極性を毎フレーム正極性、負極性を繰り返し、更に、水平及び、垂直方向共に隣接画素間で電圧極性を反転させる信号を出力することを特徴とする液晶表示装置。

【請求項 5】

請求項 1 記載の液晶表示装置において、

前記第 2 の駆動回路は、前記第 2 の周期の交流化信号として、前記液晶パネルの各画素の電圧極性を 2 フレーム周期で反転し、4 フレームで完結する動作を繰り返し、更に、水平方向については隣接画素間で電圧極性が反転し、垂直方向については 2 画素毎に電圧極性が反転させる信号を出力することを特徴とする液晶表示装置。

20

【請求項 6】

請求項 2 記載の液晶表示装置において、

前記比較回路は、比較される前記入力映像情報のフレーム間隔を指示する信号を入力する入力端子と、

前記入力端子から入力された信号が指示するフレーム間隔に従い、該フレーム間隔を構成する各フレームにおいて前記ライン数検出回路によって検出されたライン数を保持する第 1 の保持回路と第 2 の保持回路とを有し、

30

前記比較回路は、前記第 1 の保持回路に保持されたライン数と前記第 2 の保持回路に保持されたライン数とを比較することを特徴とする液晶表示装置。

【請求項 7】

請求項 1 記載の液晶表示装置において、

前記映像信号発生装置からの入力映像情報は、ノン・インターレス形式であることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 記載の液晶表示装置において、

前記映像信号発生装置からの入力映像情報は、インターレス形式であることを特徴とする液晶表示装置。

40

【請求項 9】

映像信号発生装置からの入力映像情報を液晶パネルに表示する液晶表示装置において、

前記液晶パネルと、

データドライバと、

ゲートドライバと、

前記入力映像情報から前記液晶パネルに表示される際の各フレームの垂直方向のライン数を検出するライン数検出回路と、

前記ライン数検出回路によって検出された 1 フレーム前のライン数を保持する保持回路を有し、前記保持回路に保持されたライン数と前記ライン数検出回路によって検出される前記入力映像情報映像信号の現行のライン数とを比較する比較回路と、

50

前記液晶パネルに対する直流電圧の印加を防止するため、前記液晶パネルの各画素の電圧極性を毎フレーム正極性、負極性を繰り返し、更に、水平及び、垂直方向共に隣接画素間で電圧極性を反転させる第1の周期の交流化信号を出力する第1の駆動回路と、

前記液晶パネルの各画素の電圧極性を2フレーム周期で反転し、4フレームで完結する動作を繰り返し、更に、水平方向については隣接画素間で電圧極性が反転し、垂直方向については2画素毎に電圧極性が反転させる第2の周期の交流化信号を出力する第2の駆動回路とを有し、

前記比較回路の比較により比較されるフレーム間でライン数が一致の場合には、前記第1の駆動回路の出力を、不一致の場合には前記第2の駆動回路の出力を選択する選択回路を備えたことを特徴とする液晶表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示素子を用いた液晶表示装置に係り、定常的な直流電圧の印加を防ぎ、焼き付き（残像）の無い良好な表示を得るための液晶表示装置に関するものである。

【0002】

【従来の技術】

従来、映像信号発生装置からの入力映像情報を表示する液晶表示装置において、液晶パネルへの直流電圧印加を除去し、液晶パネルの焼き付きすなわち、残像表示を防止する方法としては、例えば、特開平09-27934号公報に開示されているように、入力された映像信号を、ガンマ補正回路により液晶パネルの表示特性に合わせてガンマ補正した後、両極性映像信号発生回路に供給していた。両極性映像信号発生回路では、所定振幅の正極性の第1映像信号と負極性の第2映像信号を発生し、この第1、第2映像信号をゲート回路に供給する。ゲート回路では、反転制御信号により一定周期で第1、第2映像信号を切り換え、この選択された第1、若しくは第2映像信号をリミッタ回路へ供給する。リミッタ回路では、選択された第1、第2映像信号の振幅を制限し、リミッタ回路により振幅制限された第1、若しくは第2映像信号はバッファ回路を介して液晶パネルに供給する。

20

【0003】

図22は、特開平09-27934号公報に開示されている液晶パネルの焼き付き防止を可能とする映像信号処理回路の一構成例である。図中、2201は入力映像信号、2202はクランプ回路部、2203はガンマ補正回路部、2204は両極性映像信号発生部、2205はゲート回路部、2206は極性反転制御信号、2207はリミッタ回路部、2208はバッファ回路部である。通常映像処理回路は、各原色信号にそれぞれ1個ずつ必要であるため、合計3回路が必要となるが、説明上1回路にて説明を行う。

30

【0004】

原色信号は、クランプ回路 2202により所定の電位でペデスタルクランプされる。次に、ペデスタル電位が所定の電位に揃えられた各原色信号は、ガンマ補正回路 2203に入力される。そして、ガンマ補正された映像信号は、両極性映像信号発生回路 2204に出力され、ここで正極性、負極性の映像信号が作成される。尚、両極性映像信号発生回路 2204には、各原色信号の振幅を同時に調整するゲイン調整回路、各原色信号の正負のペデスタルレベルの相対電圧を変化させるブライト調整回路、更に回路間のばらつきや液晶パネルのホワイトバランスを調整するために、例えば原色信号のG信号に対して、R、B信号のゲイン、及びブライトを個々に調整する調整回路等が内蔵されている。正、負極性の映像信号はゲート回路 2205に供給され、ゲート回路 2205では、極性反転制御信号 2206によりフィールド毎、あるいは水平周期の整数倍の周期で正、または負の映像信号として交互に取り出される。ゲート回路 2205からの出力映像信号は、リミッタ回路 2207でリミッタ制御され、このリミッタ制御された出力映像信号は、負荷回路を十分駆動できるようにバッファ回路 2208を介して低インピーダンスで出力される。

40

【0005】

これにより、交流反転した映像信号の平均電圧を基準として最終出力部でリミッタをかけ

50

ることにより、映像信号処理回路部の電源電圧に依存することなく、映像信号中心電圧を電源電圧の $1/2$ 電位の制約を受けることなく、また各種ゲイン、ブライツ調整範囲を制限することなく、映像信号の平均電圧を中心に正負の映像信号を対称にリミッタをかけることで、液晶パネルのコントラストの低下や焼き付き（残像）のない理想的なリミッタ動作が可能となる。

【0006】

【発明が解決しようとする課題】

しかしながら、従来技術では、一定周期間隔（例えばフレーム周期）での映像信号が近い場合にはその平均電圧もほぼ等しくなり、リミット値を越える部分をスライスして正、負の映像信号を対称としても入力映像信号をほぼ忠実に再現できるが、極端に階調の異なるような場合（例えば白データと黒データ）には、入力映像信号を再現できないという問題がある。

10

【0007】

更に、一定周期間隔（例えばフレーム周期）の画素単位で、正、負の映像信号に対する平均電圧を求める必要があり、高速動作可能な回路を必要とするという問題がある。

【0008】

本発明の目的は、液晶表示装置において、特に毎フレーム異なる映像データが入力されるような環境において、液晶パネルに定常的な直流電圧が印加されないようにして残像（焼き付き）のない良好な表示状態を得るための液晶表示装置を提供することにある。

【0009】

20

本発明の他の目的は、液晶表示装置において、高価な部品を用いることなく残像を発生させない液晶表示装置を提供することにある。

【0010】

本発明の他の目的は、液晶表示装置において、特にVTR等の外部装置から供給される動画データの再生中にポーズした場合にも残像を発生することなく、良好な表示を得られる液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】

すなわち、本発明は液晶表示装置において、テレビ放送、ビデオ再生、パソコンなど映像信号源から入力される映像情報の状態を検出し、任意の間隔に対する該映像情報の比較結果を求め、液晶パネルに定常的な直流電圧が印加されると判断される該比較結果を得た場合には、この定常的な直流電圧を分散し、液晶パネルの残像（焼き付き）発生を防止するような交流化駆動信号制御を行うようにしたものである。

30

【0012】

比較する該入力映像情報としては例えば、毎フレームのライン数などが一例として考えられる。すなわち、VTR等から供給される動画データを表示中にポーズ機能を動作させると、映像情報の長さが各フレーム毎に長短を繰り返すことが知られているが、このような毎フレームのフレーム内ライン数が異なる場合、特定ラインの表示データが隣接フレーム間で異なり、2フレーム毎に一致するようになる。これに対し、液晶の交流化をドット反転フレーム交流駆動とした場合、定常的な直流電圧を液晶パネルに印加することになるため、これを防ぐために定常的な直流電圧を分散するような交流化駆動制御を行うものである。

40

【0013】

即ち、映像信号発生装置からの入力映像情報を液晶パネルに表示する液晶表示装置において、過去の入力映像情報の1フレームの垂直方向のライン数と現行の入力映像情報の1フレームの垂直方向のライン数を比較しその相違の有無を判断する比較回路と、前記液晶パネルに対する直流電圧の印加を防止するため第1の周期の交流化信号を出力する第1の駆動回路と、前記第1の駆動回路とは異なる第2の周期の交流化信号を出力する第2の駆動回路とを有し、前記比較回路の比較結果に従って、前記第1の駆動回路及び第2の駆動回路からそれぞれ出力される前記第1の周期の交流化信号と前記第2の周期の交流化信号

50

とのいずれかを選択して出力する選択回路を備えて構成した。

【 0 0 1 4 】

【 発明の実施の形態 】

以下、本発明の一実施例を図面を用いて詳細に説明する。

【 0 0 1 5 】

図 1 において、0101はパソコン（以下、P C と称す）、テレビ放送（以下、T V と称す）、ビデオ・テープ・レコーダー（以下、V T R と称す）などからの入力映像信号、0102は入力映像信号 0101を表示するための液晶表示装置、0103は前記入力映像信号 0101を取り込んで、映像フォーマット変換、コントラスト、輝度などの画質調整、アナログ - デジタル変換、色数変換及び、表示サイズ変換などを行う映像処理回路、0104は映像処理回路 0103により各種処理を施されたデジタル映像信号、0105はデジタル映像信号を入力とした液晶モジュール、0106は液晶モジュール 0105内に設けられ、表示タイミングを生成するドライバー制御回路部、0107はドライバー制御回路 0106内に設けられ、液晶パネル 0112の交流化を行う交流化制御回路部、0108は交流化制御回路部 0107より出力される交流化駆動信号、0109は交流化駆動信号 0108を除く液晶ドライバー制御信号、0110はデータ・ドライバー、0111はゲート・ドライバー、0112は液晶パネルを各々示す。

【 0 0 1 6 】

以下、図 1 を用いて本発明による第 1 の実施例についての全体動作を説明する。

【 0 0 1 7 】

まず、液晶表示装置 0102内部の映像処理回路部 0103は、P C 、T V 、V T R などからの入力映像信号 0101を取り込む。映像処理回路部 0103では取り込んだ入力映像信号 0101に対し各種処理を施す。処理内容の一例としては、まず、アナログ入力映像信号をデジタル映像信号に変換、インターレース形式の映像信号をノン・インターレース形式に変換、液晶パネル 0112の表示サイズに合わせた拡大処理、コントラスト比向上を行うための階調補正、更には、多階調表示を行うための色数変換処理などが考えられる。映像処理されたデジタル映像信号 0104は液晶モジュール 0105内部のドライバー制御回路 0106に入力され、データ・ドライバー 0110及び、ゲート・ドライバー 0111に必要なタイミングに変換及び、制御信号を生成し出力する。ドライバー制御回路部 0106内部は、液晶パネル 0112の交流化に必要な交流化制御回路部 0107と、それ以外の制御部より構成する。データ・ドライバー 0110には表示データ、タイミング信号 0109を出力し、ゲート・ドライバー 0111には交流化制御回路部 0107より出力される交流化駆動信号 0108を含む制御信号が出力される。ここで、交流化駆動信号 0108はデジタル映像信号 0104の状態を検出し、液晶パネル 0112に定常的な直流電圧が印加して、残像（焼き付き）が発生しないような駆動信号を出力する。

【 0 0 1 8 】

図 2 にデジタル映像信号 0104の状態を検出し、交流化駆動信号 0108の動作を制御するための構成を示す。つまり、交流化制御回路部 0107は、入力される 1 フレーム内のライン数を常時検出し、隣接フレーム間での比較結果に従って液晶パネル 0112に定常的な直流電圧が印加されないように、交流化駆動信号 0108を制御するものである。

【 0 0 1 9 】

図 2 において、0201はデジタル映像信号 0101に含まれる垂直同期信号、0202は同じく水平同期信号、0203は隣接フレーム間における垂直同期信号のライン数を検出し、その一致、不一致を判定するフレームライン数比較制御部、0204はフレームライン数検出制御部 0203に内包するフレームライン数検出制御部、0205はフレームライン数検出制御部 0204から出力されるフレームライン数検出結果、0206はフレームライン数検出結果 0205を保持するラッチ回路部、0207はラッチ回路部 0206の出力である 1 フレーム前フレームライン数、0208はフレームライン数検出結果 0205と、1 フレーム前フレームライン数 0207との比較回路部、0209は比較回路部 0208による比較結果である。

【 0 0 2 0 】

0210は交流化駆動信号 0108を生成する交流駆動信号生成部、0211は交流駆動信号生成部

10

20

30

40

50

0210内に設けられ、駆動信号 0108の1つ目のタイミング信号を生成する駆動回路A部、0212はその出力である駆動回路A出力、0213はもう1つのタイミング信号を生成する駆動回路B部、0214はその出力である駆動回路B出力、0215は比較結果 0209に従って、駆動回路A出力 0212もしくは、駆動回路B出力 0214のいずれかを選択するセクタ回路部(選択回路)を各々示す。

【0021】

フレームライン数検出制御部(ライン数検出回路)0204は水平同期信号 0202をクロックとして、隣接する垂直同期信号 0201間のクロック数をカウントする。1フレーム期間の水平同期信号 0202のカウント結果 0205は比較回路部 0208に出力すると共に、1フレーム遅延させてラッチ回路 0206で保持する。従って、フレームライン数比較回路部 0208では、現行フレームに対するフレームライン数検出結果 0205と、現行フレームに対し、1フレーム前のフレームライン数であるラッチ回路部 0206の出力データ 0207を比較する。比較の結果、現行フレームと1フレーム前のフレームライン数が一致と判断された場合には、駆動回路A 0211からの出力交流駆動信号 0211を、不一致と判断された場合には、駆動回路B 0213からの出力交流駆動信号 0214をセクタ回路部 0215は選択し、交流化駆動信号 0108として液晶パネル 0112に出力する。本実施例では、フレームライン数の比較結果において、一致の場合には液晶パネル 0112への定常的な直流電圧の印加はなく、通常の交流化駆動信号である駆動回路A 0211の出力 0212を選択し、不一致の場合には定常的な直流電圧が印加される可能性があるため、これを分散するような交流化駆動信号である駆動回路B 0213の出力 0214を選択するものである。

【0022】

次に、交流駆動回路A 0211及び、交流化駆動回路B 0213の一実施例について、液晶パネルへの直流電圧印加原因と共に説明する。図3は入力映像信号と交流化駆動信号による液晶パネル印加電圧の概略図である。図3では説明を容易にするために、デジタル映像信号 0104はフレーム毎の特定の画素に注目したものと見なす。

【0023】

フレーム毎(ここではフレーム1~フレーム4)のデジタル映像信号 0104が同じ場合(図3では高階調データ(白))、このデジタル映像信号 0104にフレーム毎に正、負極性を反転する交流化駆動信号 0108を重畳すると、絶対値が等しく、フレーム毎に正、負極性が反転する電圧が液晶パネルに印加されるため、お互いが打ち消し合い定常的な直流電圧の印加は発生しない。従って、残像(焼き付き)の無い良好な表示が行われる。

【0024】

図4は同じく、入力映像信号と交流化駆動信号による液晶パネル印加電圧の概略図である。この場合、入力されるデジタル映像信号 0104は1フレーム毎に異なり、2フレーム毎に同じとなるようなものである(フレーム1、3→高階調データ(白)/フレーム2、4→低階調データ(黒))。このようなデジタル映像信号は特にVTR等から供給される映像データが各フレーム毎に長短を繰り返すこと、より具体的にはポーズ動作の際に、このデジタル映像信号 0104にフレーム毎に正、負極性を反転する交流化駆動信号 0108を重畳すると、正極性側の実効値が負極性側の実効値に比べ一定のレベルで大きいため、定常的な直流電圧が印加されることになり、残像(焼き付き)の発生を引き起こす。

【0025】

図5に、図4に示したようなデジタル映像信号の発生により残像(焼き付き)が発生する液晶表示システムの一例を示す。図5において、0501は映像信号源の1つであるVTR、0502はVTR 0501より出力される同期信号を含む映像信号情報、0503はVTR 0501からの映像信号情報 0502を液晶パネルに表示するためにマルチスキャン処理制御などを行う液晶インターフェース制御部、0504は液晶インターフェース制御部より出力される液晶モジュール用映像信号情報を各々示す。

【0026】

図5において、VTR 0501はその機種により出力する映像信号情報が若干異なる。例えば、VTR 0501は一旦停止状態にすると、出力する映像信号情報 0502は垂直方向にぶれ

10

20

30

40

50

を生じることがある。このぶれが1フレーム毎に1ライン間隔で発生すると、隣接ライン間の映像データのコントラスト比が大きい場合（例えば水平方向に対する白色と、黒色の境界部分）、その境界部分での特定画素に注目すると、フレーム毎に高階調（白色）、低階調（黒色）を繰り返す。この情報が液晶インターフェース制御部 0503に入力される。液晶インターフェース制御部 0503では、アナログ/デジタル変換（以下、A/D変換と称す）、マルチスキャンなどの処理を行うが、この処理にフレームメモリを使用しない場合、VTR 0501からの1フレーム毎に1ライン間隔で発生するぶれを有する映像情報は、そのままぶれた状態で液晶モジュール用映像信号情報 0504として出力され、液晶モジュール 0105に与えられる。すなわち、図4に示すようなデジタル映像信号 0104が液晶モジュール 0105に与えられることになる。

10

【0027】

図6に交流駆動信号生成部 0210内部の駆動回路A 0211の一例に対する動作説明図を示す。本駆動方式は、水平、垂直方向共に隣接画素間で電圧極性が反転し、更にそれらが全て隣接フレーム間で反転する“ドット反転+フレーム交流（2フレーム完結）駆動方式”である。この駆動方式において、図5に示すような液晶表示システムによる映像信号情報が入力されると、図4に示すように定常的な直流電圧が印加され、液晶パネル 0112の残像（焼き付き）を引き起こすことになる。

【0028】

図7に交流駆動信号生成部 0210内部の駆動回路B 0213の一例に対する動作説明図を示す。本方式は、垂直方向については2ライン毎に極性反転させ、水平方向については毎ドット極性反転させる。更にフレーム毎に垂直方向に1ラインシフトさせるため、4フレーム毎に同じ極性となる“2ラインドット反転+2フレーム交流（4フレーム完結）駆動方式”である。

20

【0029】

図8に本駆動方式において、図5に示すような液晶表示システムによる映像信号情報が入力された場合に対する液晶パネル 0112への印加電圧の様子を示す。

【0030】

本駆動方式によれば、入力されるデジタル映像信号 0104に対し、2フレーム毎に交流化駆動信号の極性を反転するため、4フレーム周期で見た場合に液晶パネル印加電圧はお互いが打ち消し合い、定常的な直流電圧の印加は発生しない。従って、残像（焼き付き）の無い良好な表示が行われる。ここで、図5に示したような液晶表示システムにおいて、垂直方向にぶれがあり、図4に示したようなデジタル映像信号 0104が入力された場合に、図7に示す駆動方式Bで駆動すれば液晶パネル 0112は残像（焼き付き）のない良好な表示を実現することができる。すなわち、図2に示す交流化制御回路 0107において、図5に示すタイミング図のような垂直同期信号のぶれに伴うフレームライン数の一致、不一致を検出し、一致した場合には入力されている映像情報は図3の状態にあるものと判断し、駆動回路A 0211による図6に示した“ドット反転+フレーム交流（2フレーム完結）駆動方式”で制御する。一方、不一致の場合には入力されている映像情報は図4の状態にあるものと判断し、駆動回路B 0214による図7に示した“2ラインドット反転+2フレーム交流（4フレーム完結）駆動方式”で制御することで常時残像（焼き付き）の無い良好な表示状態を得ることができる。

30

40

【0031】

次に、同じく第1の実施例の図5に示す液晶表示システムの液晶インターフェース制御部 0503の構成として、フレームメモリを搭載した場合の動作について説明する。図9にフレームメモリを用いた液晶インターフェース制御部を搭載した液晶表示システムの一例を示す。

【0032】

図9において、VTR 0501とその出力である映像信号情報 0502及び、液晶モジュール 0105は図5と同一である。0901はVTR 0501からの映像信号情報 0502を液晶パネルに表示するためのマルチスキャン処理制御などをフレームメモリを用いて行う液晶インターフ

50

エース制御部、0902は液晶インターフェース制御部より出力される液晶モジュール用映像信号情報を各々示す。

【0033】

図9において、VTR 0501がポーズ状態などにより、その出力である映像信号情報 0502にぶれを生じているような場合、液晶インターフェース制御部 0901にはぶれた状態での映像信号情報 0502が入力される。しかし、液晶インターフェース制御部 0901はフレームメモリを搭載しており、ぶれた状態の映像信号情報 0502は一旦1画面分全てフレームメモリに格納されるため、この液晶インターフェース制御部 0901の入出力間を完全非同期の状態制御する。この場合出力である液晶モジュール用映像信号情報 0902の垂直同期信号は図9のタイミング図に示すように、ぶれの無い安定した状態となる。すなわち、交流
10
化制御回路 0107でのフレーム周波数検出結果は常に安定した状態となり、交流駆動信号 0108としては、駆動回路 A 0211の出力である“ドット反転+フレーム交流(2フレーム完結)駆動方式”が選択された状態となる。従って、液晶パネルに与えられる映像信号が、VTR 0501からの出力そのままであると、図4に示すように定常的な直流電圧が印加され、残像(焼き付き)を発生することになる。しかし、フレームメモリを用い、一旦1画面分の映像信号を格納し、入出力を非同期制御する液晶表示システムでは、液晶パネルに印加する直流電圧は分散され、残像(焼き付き)は発生しない。

【0034】

図10にフレームメモリを用いた液晶表示システムでの直流電圧分散の原理を示す。図10において、フレームメモリとしては、2フレーム分(フレームメモリA、B)備え、片
20
方のメモリにVTR 0501からの映像信号を書き込んでいる間は、もう片方のメモリから映像信号を読み出して、液晶モジュール 0105へ出力する。一般的にフレームメモリは安定した表示を行うために、液晶モジュール 0105への読出し動作を優先する。従って、図10に示すように、VTR 0501からの入力映像データは読出しのタイミングに合わせて書き込むメモリA、Bを切替えるため、1画面分の映像データが2つのメモリに分割して格納される。また、この分割して格納される1画面分の表示データは、入出力フレーム周波数の差によって毎フレーム格納位置がずれる。

【0035】

図11に図9及び、図10に示すフレームメモリを用いた液晶表示システムによる液晶パネル 0112への印加電圧の様子を示す。図11に示すように、交流駆動信号 0108はフレーム
30
周波数検出結果が常に安定状態であるため、駆動回路 A 0211の出力である“ドット反転+フレーム交流(2フレーム完結)駆動方式”が選択される。しかし、この交流駆動信号 0108が印加されるデジタル映像信号 0104は、図10に示すように、特定位置の画素に注目すると、毎フレーム異なるため(すなわち、残像(焼き付き)が発生する状態である隣接フレーム間で異なり、2フレーム毎に同一データとなる状態が発生しない)、定常的な直流電圧の印加が発生せず分散された状態となるため、残像(焼き付き)は発生しない。

【0036】

上記実施例では、VTR 0501のポーズ状態において、1ラインのぶれが毎フレーム発生した際の残像(焼き付き)回避方法について述べた。しかし、実際のぶれは毎フレーム
40
発生するとは限らず、2フレーム、3フレーム、Nフレーム毎に発生することが考えられる。

【0037】

図12に2フレーム毎にぶれが発生した際の液晶パネル 0112への印加電圧の様子を示す。図12に示すように、2フレーム毎にぶれが発生する場合においても、2フレーム毎に直流電圧はキャンセルされ、定常的な直流電圧の印加は発生しない。本例の場合、図8の1ラインのぶれが発生する例に対し、4フレーム毎の第2フレームと、第3フレームの液晶パネル印加信号が逆転した状態である。

【0038】

図13に図12に示した2フレーム毎にぶれが発生する場合に“ドット反転+フレーム交
50

流（２フレーム完結）駆動方式”を適用した際の液晶パネル 0112への印加電圧の様子を示す。図 1 3 において、液晶パネルに印加される電圧は、２フレーム完結でキャンセルされ定常的な直流電圧の印加は発生しない。すなわち、２フレーム毎にぶれが発生するような場合には、図 1 2 に示したような“２ラインドット反転＋２フレーム交流（４フレーム完結）駆動方式”、または、図 1 3 に示したような“ドット反転＋フレーム交流（２フレーム完結）駆動方式”のいずれの方式においても、定常的な直流電圧の印加を回避でき、残像（焼き付き）の無い良好な表示を実現可能である。通常液晶にとって交流駆動は、毎フレーム極性を反転させるのが望ましく、同極性を連続させることはフリッカーなどの原因となるため、“ドット反転＋フレーム交流（２フレーム完結）駆動方式”を採用する。

【 0 0 3 9 】

10

従って、本例の場合、いずれの交流化駆動方式においても、残像（焼き付き）は回避可能であるが、その他の表示性能への影響を考慮した場合、“ドット反転＋フレーム交流（２フレーム完結）駆動方式”での駆動が望ましい。この制御を実現するためには、図 2 に示したフレーム内ライン数比較制御部 0203において、隣接する２つのフレーム間のライン数を比較するだけでなく、離れたフレームに対する比較判定を行うことで実現可能である。

【 0 0 4 0 】

図 1 4 に本制御を実現する交流化制御回路の概略構成図を示す。図 1 4 において、1401は垂直同期信号 0201任意フレーム間のフレームライン数を検出し、その一致、不一致を判定するフレームライン数比較制御部、1402はフレームライン数検出制御部 1401に内包するフレームライン数検出制御部、1403はフレームライン数検出制御部 1402から出力されるフレームライン数検出結果、1404はフレームライン数の検出周期を決めるフレームライン数検出周期設定値、1405はフレームライン数検出周期設定値 1404に対応したフレームライン数検出周期を求めるライン数検出周期制御部、1406はライン数検出周期制御部 1405より出力される、フレームライン数検出周期毎のフレームライン数取り込み信号、1407はフレームライン数検出結果 1403をフレームライン数検出周期毎に取り込み保持するラッチ回路部 1、1408はラッチ回路部 1 1407により保持されたフレームライン数検出結果、1409は保持されたフレームライン数検出結果 1408をフレームライン数検出周期だけ遅延させて保持するラッチ回路部 2、1410はラッチ回路部 2 1409により保持されたフレームライン数検出結果、1411は２つのフレームライン数検出結果 1408、1410の比較を行う比較回路部、1412は比較回路部 1411による比較結果を各々示す。また、その他の機能については、図 2 に示したものと同一である。

20

30

【 0 0 4 1 】

まず、ライン数検出周期設定値 1404によってラッチ回路部 1 1407及び、ラッチ回路部 2 1409に取り込むフレームライン数検出結果 1403、1408のフレーム周期を設定する。ライン数検出周期制御部 1405では、このライン数検出周期設定値 1404に従ったフレーム周期毎に検出ライン数取り込み信号 1406を出力する。従って、ラッチ回路部 1 1407はライン数検出周期設定値 1404毎の周期でフレームライン数 1403を取り込み、ラッチ回路部 2 1409は同じくライン数検出周期設定値 1404毎の周期でフレームライン数 1408を取り込む。すなわち、２つのフレームライン数検出結果 1408、1410の間は、フレームライン数検出周期設定値 1404に従った間隔となる。この周期間隔でのフレームライン数の比較を比較回路部 1409で行う。

40

【 0 0 4 2 】

【 表 1 】

表1

映像ぶれ発生周期	入力映像データ/ 周波数検出周期 設定値	フレーム							
		1	2	3	4	5	6	7	8
1フレーム毎	入力映像データ	A	B	A	B	A	B	A	B
	設定値 = 1	いずれの隣接フレーム間でも不一致							
	設定値 = 2	設定値 = 1で不一致と判断されたため不要							
2フレーム毎	入力映像データ	A	A	B	B	A	A	B	B
	設定値 = 1	隣接フレーム間で一致となる場合有り							
	設定値 = 2	いずれの1フレーム間隔でも不一致							

【0043】

に図14の交流化制御回路によるアルゴリズムの一例を示す。表1では、入力映像信号のぶれ発生周期が1フレーム毎及び、2フレーム毎について示したものである。まず1フレーム毎のぶれ発生の場合、フレームライン数検出周期設定値が“1”の場合において、い
 20
 ずれの隣接フレーム間においても入力映像データに対するフレームライン数が不一致（A
 to Bもしくは、B to A）となる。従って、この時点で入力映像信号のぶれが1フレ
 ーム毎（毎フレーム）に発生していると判断可能である。次に、2フレーム毎のぶれ発生
 の場合、まずフレームライン数検出周期設定値が“1”の場合において、隣接フレーム間
 で入力映像データに対するフレームライン数が一致の場合（A to Aもしくは、B to B）
 と、不一致の場合（A to Bもしくは、B to A）の両ケースがある。このように、一致
 と不一致が混在の場合にはぶれ周期が更に大きいものと判断し、ライン数検出周期設定
 1404の値を+1加算する。すなわち、ライン数検出周期設定値が“2”となり、1フレ
 ームおきの比較となる。この場合、いずれの比較においても不一致（A to Bもしくは、
 B to A）となり、この時点で入力映像信号のぶれが2フレーム毎に発生していると判断
 30
 可能である。これにより、入力映像信号のぶれ周期に合わせて、最適な交流化駆動を行
 うことが可能である。表1では、映像信号のぶれ発生周期として1及び、2フレームのみに
 ついて記述したが、本方式によれば任意のNフレーム毎のぶれに対し、ライン数検出周
 期設定値を順次加算しながら比較することでその周期を検出し、最適な交流化駆動を行
 うことが可能である。

【0044】

更に、ぶれは1ラインとは限らず、Nラインのぶれが発生する場合、また、常にランダム
 なぶれが発生する場合などが考えられる。Nラインのぶれに対しては、比較する2フレ
 ームの各ライン数の時間的な隔たりだけであり、特定の位置の画素に注目すれば上記実施
 例と同じ状態となるため、同じ処理で対処可能である。
 40

【0045】

一方、常にランダムなぶれに対しても、図9に示したフレームメモリを用いたシステム
 の場合と同様、液晶パネルに印加される直流電圧は分散されることとなるため、定常的
 な直流電圧の印加は無く、残像（焼き付き）は発生しない。

【0046】

図15は本発明技術による液晶駆動制御方法を用いた液晶表示システムの第2の実施例
 を示す構成図である。本実施例では入力映像信号として、第1の実施例に示したVTR、
 TV放送などのインターレース形式の信号を想定したものである。ドライバー制御回路部
 0106を有する液晶モジュール0105は第1の実施例で説明したものと同一である。インター
 レース形式の映像信号を液晶パネル0112に表示するために、映像処理回路部0103内部で
 50

、ノンインターレース化処理が必要となる。

【0047】

図15において、1501は入力されたアナログ映像信号をデジタル映像信号に変換するA/D変換処理回路部、1502はA/D変換処理回路部1501でのサンプリングクロックを生成するPLL回路部、1503はサンプリングクロック、1504はデジタル化されたインターレース形式映像信号、1505はインターレース形式の映像信号をノンインターレース形式に変換する2ライン走査処理回路、1506は1ライン遅延した映像信号を生成するラインメモリ、1507はラインメモリ1506に対するライト/リードデータ、1508は2ライン走査処理回路1505より出力されるノンインターレース形式映像信号、1509は液晶パネル0112の表示エリアに合わせて映像信号の拡大・縮小処理を行うマルチスキャン処理回路部、1510はマルチスキャン処理に必要なフレームメモリ、1511はフレームメモリ1510に対するライト/リードデータを各々示す。

10

【0048】

まず、入力される映像信号0101はインターレース形式であり、一例として1フレームが525ラインである形式(以下、525I形式と称す)について述べる。

【0049】

入力される映像信号0101は偶数フィールドと、奇数フィールドが交互に入力される。各フィールドデータは各々、偶数ライン、奇数ラインのデータに分離されている。これをA/D変換処理回路部1501で、PLL回路部1502からのサンプリングクロック1503を用いて、デジタル映像信号1504に変換し、2ライン走査処理回路1505に入力する。2ライン走査処理回路1505ではラインメモリ1506との間でライト/リードデータ1507により、ノンインターレース形式の映像信号1508を次段のマルチスキャン処理回路1509に出力する。マルチスキャン処理回路1509ではフレームメモリ1510との間でライト/リードデータ1511により、拡大もしくは縮小されたデジタル映像信号0104を出力する。ここで、2ライン走査処理回路1505より出力されるノンインターレース形式の映像信号1508について詳細に述べる。

20

【0050】

図16はインターレース形式映像信号1504と、2ライン走査処理回路1505及び、ラインメモリ1506によって変換されるノンインターレース形式映像信号1508のタイミング図を示す。図16では一例として、奇数フィールドの入力映像信号1504の処理について示した。

30

【0051】

1ライン毎の入力映像信号1504は入力と同時にラインメモリ1506に書き込まれる。入力映像信号1504の休止期間である偶数ラインにおいて、ラインメモリ1506より前ラインで書き込んだ映像信号を読み出す。書き込みと読出しは1ライン交互に行えばよいので、ラインメモリの搭載容量は1ライン分でよい。出力映像信号1508は入力映像信号1504と、ラインメモリからの読出しデータ1507を交互に出力することで、ノンインターレース形式とすることができる。偶数フィールドについても同じ処理が適用可能である。

【0052】

図17は図15及び、図16に示した2ライン走査処理回路によるノンインターレース化の表示一例を示す。図17では説明を簡素化するために、一画面を5ライン構成とし、ライン1からライン3が低階調データ(黒データ)、ライン4、ライン5が高階調データ(白データ)の場合を示す。

40

【0053】

この原映像信号(図17左側の図)がTV映像信号としてインターレース形式で図15に示す映像処理回路0103に入力されると(図17中央の図)、図16のタイミング図に従って、2ライン走査処理回路1505でノンインターレース形式の映像信号に変換される(図17右側の図)。この変換後偶数フレーム及び、奇数フレーム各映像信号の4ライン目に着目すると高階調データ(白データ)と、低階調データ(黒データ)がフレーム毎に繰り返される。これは、図4に示した入力映像信号と同じ状態であり、同図4に示す“ドット

50

反転＋フレーム交流（２フレーム完結）駆動”での制御を行うと定常的な直流電圧が印加され、残像（焼き付き）が発生することになる。図１７の例では、４ライン目に横筋の残像が発生する。

【００５４】

しかし、図１５に示す本発明による交流化制御回路 0107を搭載した場合、図１７に示すような映像信号 0104が入力されると、１フレーム内のライン数は偶数フィールドで２ライン、奇数フィールドで３ラインと計測され、ライン数が異なるとの判断により、交流化駆動方式を“２ラインドット反転＋２フレーム交流（４フレーム完結）駆動”に切替える。すなわち、図８に示した入力映像信号と交流化駆動信号による液晶パネル印加電圧と同じ状態となり、定常的な直流電圧は印加されず、残像（焼き付き）の無い良好な表示が可能である。

10

【００５５】

つまり、ＴＶ、ＶＴＲなどの５２５Ｉ形式の映像信号も同様に、総ライン数が奇数であるため、偶数フィールド、奇数フィールドのいずれかが１ライン多く検出され、“２ラインドット反転＋２フレーム交流（４フレーム完結）駆動”に切り替わり、残像（焼き付き）の無い良好な表示が可能である。

【００５６】

図１８に一般に知られているインターレース形式のＴＶ映像信号を、ノンインターレース形式に変換する際に用いられる３次元Ｉ－Ｐ変換機能を搭載した液晶表示システムの一例を示す。図１８において、1801は偶数、奇数フィールド間及び、同一フィールド内のライン間映像データを用いてインターレース形式の映像信号を、ノンインターレース形式の映像信号に変換する３次元Ｉ－Ｐ変換処理回路部、1802は３次元Ｉ－Ｐ変換処理回路部 1801に対し、映像の動き検出量などの各種パラメータ制御を行うマイコン、1803は３次元Ｉ－Ｐ変換処理回路部 1801及び、マイコン 1802間を接続するマイコンバス、1804は入力される偶数及び、奇数フィールド・インターレース形式の映像信号を格納するフィールドメモリ、1805は３次元Ｉ－Ｐ変換処理回路部 1801及び、フィールドメモリ 1804間で読み書きされる偶数及び、奇数フィールド・インターレース形式の映像信号を各々示す。

20

【００５７】

図１９に３次元Ｉ－Ｐ変換処理回路の基本動作図を示す。図１８、図１９において、奇数フレーム、偶数フレーム共に制御は同じであり、例えば奇数フレームの処理においては、３フィールド分のフィールドメモリ 1804に旧奇数フィールド映像信号、偶数フィールド映像信号、新奇数フィールド映像信号を各々格納する。各々は記述の順番で隣接しているフィールドである。この３フィールド分の映像信号において、表示映像の奇数ラインは、新旧奇数フィールド間で比較を行い、一致と判断した場合には新奇数フィールドの該当奇数ラインの映像信号を表示する映像信号として出力する（ライン１及び、ライン５）。不一致と判断した場合には間の偶数フィールド内の上下ラインの映像信号を演算して該当奇数ラインの映像信号として出力する（偶数フィールドのライン２及び、ライン４より表示映像のライン３を生成）。表示映像の偶数ラインは、偶数フィールドの該当する偶数ラインの映像信号を表示映像として出力する。偶数フレームについても同様の制御を施す。ここで、一致／不一致の判定は、マイコン 1802により設定される動き検出量に依存する。奇数及び、偶数フレームのノンインターレース形式の表示映像信号において、一致と判断されたラインは同じデータとなるため、交流化駆動方式が“ドット反転＋フレーム交流（２フレーム完結）駆動”においても、図３に示す状態となるため、残像（焼き付き）は発生しない（ライン１、ライン２、ライン５）。不一致と判断された場合には、フレーム間で映像信号が異なるが、動画の場合フィールド毎に映像信号が異なるため、表示映像も毎フレーム異なった映像信号となり、図１１に示す直流電圧が分散された状態と同じため、一致の際同様に交流化駆動方式が“ドット反転＋フレーム交流（２フレーム完結）駆動”においても、残像（焼き付き）は発生しない（ライン３、ライン４）。但し、第１の実施例ＶＴＲポーズ時のぶれように、規則的な動きをする映像信号に対しては、図１９に示す奇数フレーム表示映像と、偶数フレーム表示映像が交互に液晶パネルに与えられるため、動

30

40

50

き検出量の設定値によっては、原映像信号と、上下ライン間で演算により生成される映像信号の階調差が大きくなり、図 4 に示す状態となり残像（焼き付き）が発生することになる（ライン 3、ライン 4）。

【 0 0 5 8 】

従って、3 次元 I - P 変換処理回路を搭載した場合、通常の映像信号（インターレース形式、ノンインターレース形式、静止画、動画を問わず）では、図 6 に示す“ドット反転 + フレーム交流（2 フレーム完結）駆動”で残像（焼き付き）は発生しないが、第 1 の実施例 V T R ポーズ時のぶれように、規則的な動きをする映像信号に対しては残像（焼き付き）が発生するため、図 7 に示す“2 ラインドット反転 + 2 フレーム交流（4 フレーム完結）駆動”に切替える必要がある。

【 0 0 5 9 】

【表 2】

表2

制御方式	項 目	コスト
2ライン走査制御	ゲートアレイ(1Kゲート)	¥300
	ラインメモリ(1ライン分)	¥500
3次元I-P変換制御	ゲートアレイ(100Kゲート)	¥1000
	フィールドメモリ(3フィールド分)	¥1500
	マイコン	¥500

【 0 0 6 0 】

に図 1 5 に示した 2 ライン走査処理回路部と、図 1 8 に示した 3 次元 I - P 変換回路部の部材コスト概算値を示す。3 次元 I - P 変換回路方式では、不規則な動きをするインターレース形式の映像信号を、図 6 に示す“ドット反転 + フレーム交流（2 フレーム完結）駆動”を用いて残像（焼き付き）の無い良好な表示が行えるという利点はあるが、部材コストでは、2 ライン走査処理回路方式の約 3 倍を必要とする。

【 0 0 6 1 】

図 2 0 は本発明技術による液晶駆動制御方法を用いた液晶表示システムの第 3 の実施例を示す構成図である。本実施例では図 2 に示す 2 つの駆動方式（駆動回路 A 0211及び、駆動回路 B 0213）の切換え方法について、更に拡張したものである。

【 0 0 6 2 】

図 2 0 において、2001はVSYNCより成る制御信号 B 0202を有効とするか、無効とするかを制御する制御 B 信号イネーブル制御部、2002は制御 B 信号イネーブル制御部 2001より出力される制御 B イネーブル信号、2003はフレームライン数検出制御部 0203より出力される制御信号 A もしくは、制御信号 B を選択するセクタ回路、2004はセクタ回路2003より出力される駆動回路 A 0211もしくは、駆動回路 B 0213の選択信号を各々示す。

【 0 0 6 3 】

制御 B 信号イネーブル制御部 2001は入力垂直同期信号（V S Y N C）0201及び、入力水平同期信号（H S Y N C）0202の状態によって、入力垂直同期信号（V S Y N C）0201からなる制御信号 B の選択を決定する制御 B イネーブル信号 2002の状態を決める。すなわち、正常に入力垂直同期信号（V S Y N C）0201及び、入力水平同期信号（H S Y N C）0202が入力されている場合には、制御信号 A 0209を選択し、そうでない場合には制御信号 B 0201を選択する。

【 0 0 6 4 】

図 2 1 に制御 B イネーブル信号 2002の動作タイミング図を示す。図 2 1 において、入力垂直同期信号（V S Y N C）0201のパルスを起点として、入力水平同期信号（H S Y N

10

20

30

40

50

C) 0202をカウンタでカウントし、入力垂直同期信号(VSYNC) 0201の立下り時のカウンタ値をチェックし、カウンタ値が規定範囲内であれば通常の同期信号が入力されているものと判断し、制御信号A 0209を選択し、第1の実施例で述べたフレームライン数検出制御による交流駆動切換え制御を行う。規定範囲外であれば、通常の同期信号は入力されてなく、入力垂直同期信号(VSYNC) 0201より成る制御信号B 0201は駆動回路A 0211もしくは、駆動回路B 0213いずれかの選択信号として機能する。

【0065】

【表3】

表3

解像度	規定ライン数	制御信号Bイネーブル条件
XGA	約800	500ライン～2000ライン以外
SXGA	約1100	

10

【0066】

に規定範囲の一例を示す。表3では、解像度がXGAもしくはSXGAについて示してあり、各々のライン数が約800ライン及び、約1100ラインである。そこで、制御信号B 0201のイネーブル条件としてはこれらを十分満足する範囲を外れた場合として、500ライン～2000ラインを外れた場合に有効となるようにした。

20

【0067】

従って、図21においてパターン1では、入力垂直同期信号(VSYNC) 0201の立下り時のカウンタ値nがこの規定範囲内となり、通常の同期信号が入力されているものと判断し、制御信号A 0209を選択して第1の実施例に示したフレームライン比較制御による交流化駆動切換え制御を行う。パターン2では入力垂直同期信号(VSYNC) 0201が常時“L”レベルの場合である。この場合カウンタは常時クリア状態となる。更に、カウンタ値をチェックする入力垂直同期信号(VSYNC) 0201の立下りエッジが無いため、チェック結果は常時初期値のゼロである(ここで、カウンタのチェック値の初期値はゼロと規定する)。従って、表3の条件範囲外となり、制御Bイネーブル信号 2002は記入力垂直同期信号(VSYNC) 0201から成る制御信号Bを選択する。この信号が“L”レベルであるため、駆動回路A 0211を選択することになる。

30

【0068】

同様にパターン3ではカウンタはクリアされずフリーラン状態となりまた、カウンタ値をチェックする入力垂直同期信号(VSYNC) 0201の立下りエッジが無いため、チェック結果は常時初期値のゼロである。従って、表3の条件範囲外となり、制御Bイネーブル信号 2002は記入力垂直同期信号(VSYNC) 0201から成る制御信号Bを選択する。この信号が“H”レベルであるため、駆動回路B 0213を選択することになる。

【0069】

以上のように本実施例によれば、入力垂直同期信号(VSYNC) 0201及び、入力水平同期信号(HSYNC) 0202の機能を兼用化することにより、2種類の交流化切換え制御を持たせることが可能である。

40

【0070】

本実施例を適用した液晶表示システムの一例としては、図1、図15及び、図18に示した液晶表示システム 0102の映像処理回路 0103と液晶モジュール 0105間のデジタル映像信号 0104のインターフェース仕様として、汎用性のあるLVDSを採用することが可能である。この場合、入力垂直同期信号(VSYNC) 0201及び、入力水平同期信号(HSYNC) 0202が通常の同期信号として動作する場合には、交流化駆動はフレームライン数比較制御による液晶モジュール側の自動制御となる。

【0071】

50

また、液晶モジュール 0105内のドライバー制御回路 0106を入力垂直同期信号（VSYNC）0201及び、入力水平同期信号（HSYNC）0202を用いず、表示有効期間信号のみで制御可能とすれば、入力垂直同期信号（VSYNC）0201及び、入力水平同期信号（HSYNC）0202は交流化駆動選択信号とすることができ、交流化駆動を表示システム側から任意に制御することが可能である。

【0072】

以上、本発明によれば、あらゆる形態の映像信号に対し、入力される映像データを加工することなくまた、3次元I-P変換などの高価な機能を搭載することなく残像（焼き付き）の無い良好な表示を実現することが可能である。また、残像（焼き付き）の無い良好な表示を実現するための交流化駆動切換え制御手段を、液晶モジュール側単独での制御もしくは、システム全体での制御を併設することができ、その際のシステムが映像処理回路部と、液晶モジュールのインターフェースを汎用性のあるものとすることが可能である。

10

【0073】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0074】

すなわち、入力される映像信号の形態がインターレース形式、ノンインターレース形式また、動画、静止画に係わらず、あらゆる形態の入力映像信号に対し、その映像信号自体を加工するなどして再現性を損ねることなく、残像（焼き付き）の無い良好な表示状態を得ることができるという効果が得られる。

20

【0075】

更に、インターレース形式の映像信号をノンインターレース形式の映像信号に変換する際に、3次元I-P変換機能など高価な部品を必要とする回路を必要とせず、偶数、奇数の各フィールド内でラインの2度読みを行う単純な回路に対し、残像（焼き付き）の無い良好な表示状態を得ることができるため、コストが大幅に低減できるという効果が得られる。

【0076】

更に、本発明による交流化駆動方式の切換え手段として、液晶モジュール単体での制御に加え、映像処理装置側であるシステムによる制御の併用を、LVDなど汎用性のあるインターフェースのみで実現できるため、製品毎の要求仕様に合わせて広い製品範囲に対する適用ができるという効果が得られる。

30

【図面の簡単な説明】

【図1】本発明技術を用いた液晶表示システム第1の実施例を示す構成図である。

【図2】本発明による第1の実施例に示す構成図中の交流化制御回路部の構成図である。

【図3】本発明による第1の実施例に対する映像信号が同じ場合の“ドット反転＋フレーム交流（2フレーム完結）”での液晶パネル印加電圧の概略図である。

【図4】本発明による第1の実施例に対する映像信号が1フレーム毎に異なる場合の“ドット反転＋フレーム交流（2フレーム完結）”での液晶パネル印加電圧の概略図である。

【図5】本発明による第1の実施例に対するVTRを用いたシステム構成の一例を示す概略構成図である。

40

【図6】本発明による第1の実施例に対する“ドット反転＋フレーム交流（2フレーム完結）”の動作説明図である。

【図7】本発明による第1の実施例に対する“2ラインドット反転＋2フレーム交流（4フレーム完結）”の動作説明図である。

【図8】本発明による第1の実施例に対する映像信号が1フレーム毎に異なる場合の“2ラインドット反転＋2フレーム交流（4フレーム完結）”での液晶パネル印加電圧の概略図である。

【図9】本発明による第1の実施例に対するVTRを用いたシステム構成の一例において、インターフェース制御部にフレームメモリを用いて入出力非同期化した際の概略構成図

50

である。

【図 10】本発明による第 1 の実施例に対するフレームメモリを用いた液晶表示システムでの直流電圧分散動作原理図である。

【図 11】本発明による第 1 の実施例に対する映像信号がランダムに異なる場合の“ドット反転 + フレーム交流 (2 フレーム完結)”での液晶パネル印加電圧の概略図である。

【図 12】本発明による第 1 の実施例に対する映像信号が 2 フレーム毎にぶれる場合の“2 ラインドット反転 + 2 フレーム交流 (4 フレーム完結)”での液晶パネル印加電圧の概略図である。

【図 13】本発明による第 1 の実施例に対する映像信号が 2 フレーム毎にぶれる場合の“ドット反転 + フレーム交流 (2 フレーム完結)”での液晶パネル印加電圧の概略図である。

10

【図 14】本発明による第 1 の実施例に示す構成図中の映像信号のぶれ周期を考慮した交流化制御回路部の構成図である。

【図 15】本発明技術を用いた液晶表示システム第 2 の実施例を示す構成図である。

【図 16】本発明による第 2 の実施例に対する 2 ライン走査処理回路により制御されるラインメモリのタイミング図である。

【図 17】本発明による第 2 の実施例に対する 2 ライン走査処理回路によるノンインターレース化表示の一例を示す。

【図 18】本発明による第 2 の実施例に対する一般的な 3 次元 I - P 変換機能を搭載した液晶表示システムの一構成例である。

20

【図 19】本発明による第 2 の実施例に対する一般的な 3 次元 I - P 変換機能の基本動作図である。

【図 20】本発明技術を用いた液晶表示システム第 3 の実施例を示す構成図である。

【図 21】本発明による第 3 の実施例に対する制御 B イネーブル信号の動作タイミング図である。

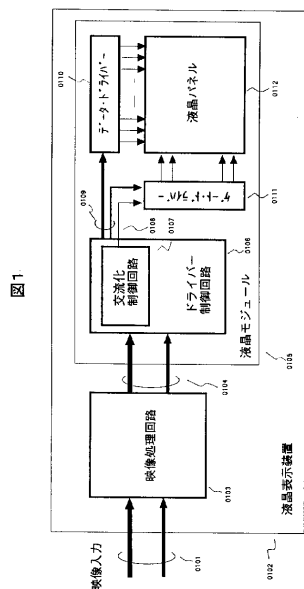
【図 22】従来技術による残像 (焼き付き) 防止を可能とする映像信号処理回路の一構成例である。

【符号の説明】

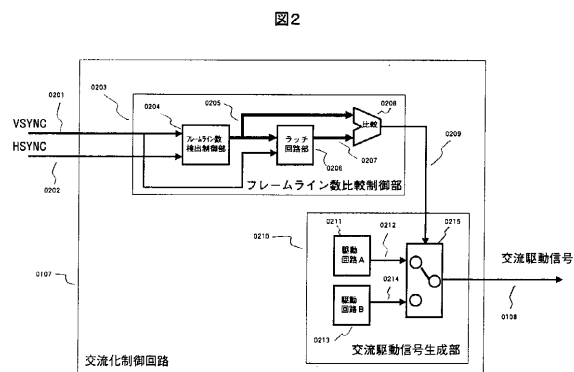
0101... 入力映像信号 0102... 液晶表示装置 0103... 映像処理回路 0104... デジタル映像信号 0105... 液晶モジュール 0106... ドライバー制御回路 0107... 交流化制御回路部 0108 ... 交流化駆動信号 0109... 液晶ドライバー制御信号 0110... データ・ドライバー 0111... ゲート・ドライバー 0112... 液晶パネル 0201... 垂直同期信号 0202... 水平同期信号 0203... フレームライン数比較制御部 0204... フレームライン数検出制御部 0205... フレームライン数検出結果 0206... ラッチ回路部 0207... 1 フレーム前フレームライン数 0208... 比較回路部 0209... 比較結果 0210... 交流駆動信号生成部 0211... 駆動回路 A 部 0212... 駆動回路 A 出力 0213... 駆動回路 B 部 0214... 駆動回路 B 出力 0215... セレクタ回路部

30

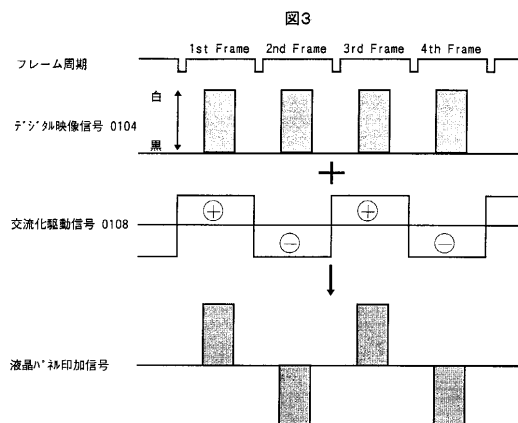
【 図 1 】



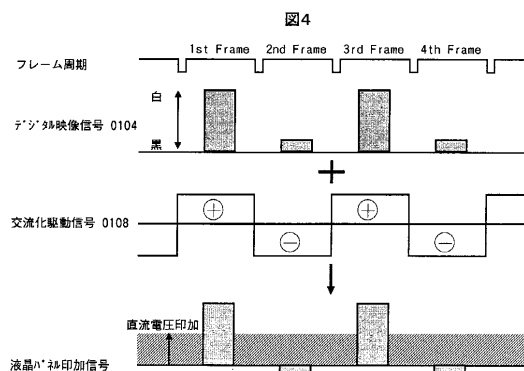
【 図 2 】



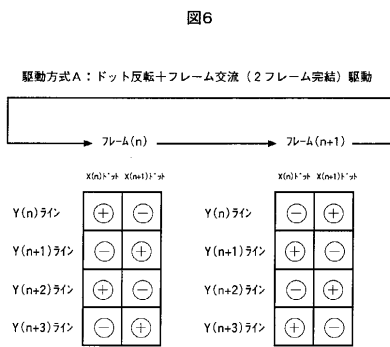
【 图 3 】



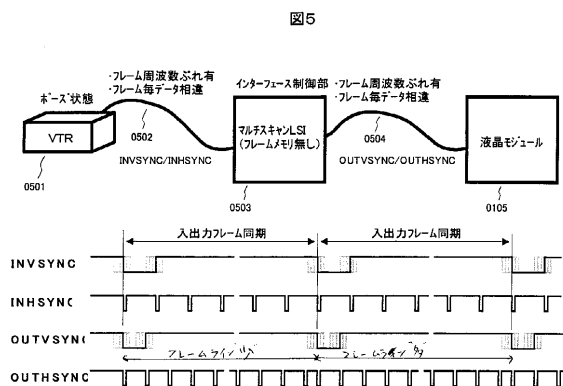
【 図 4 】



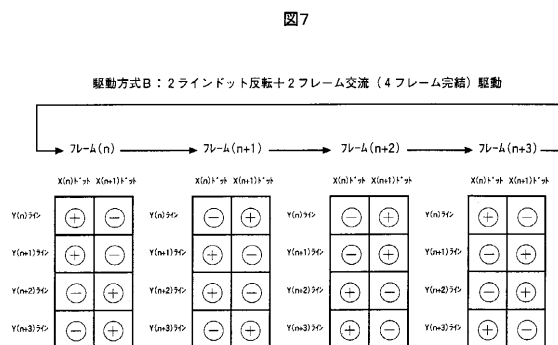
【 図 6 】



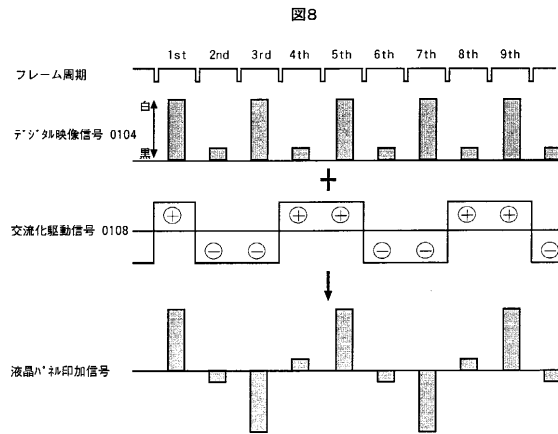
【 図 5 】



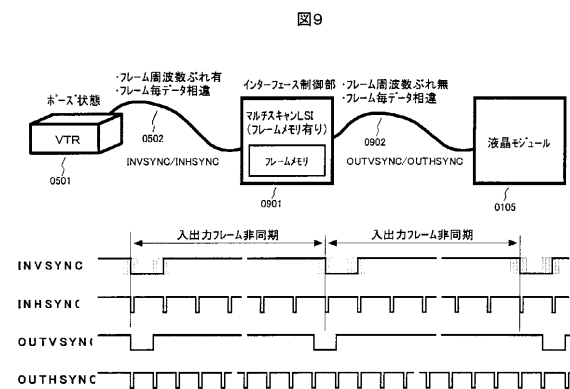
【 図 7 】



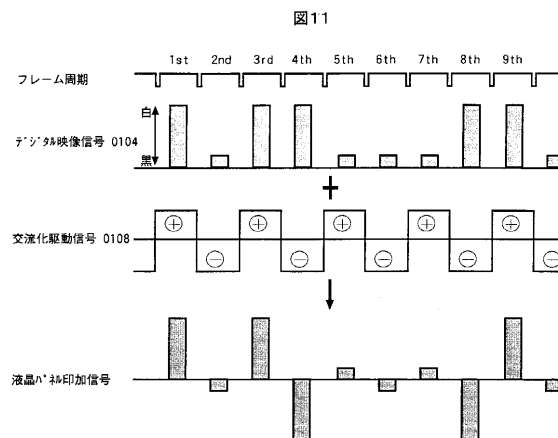
【図 8】



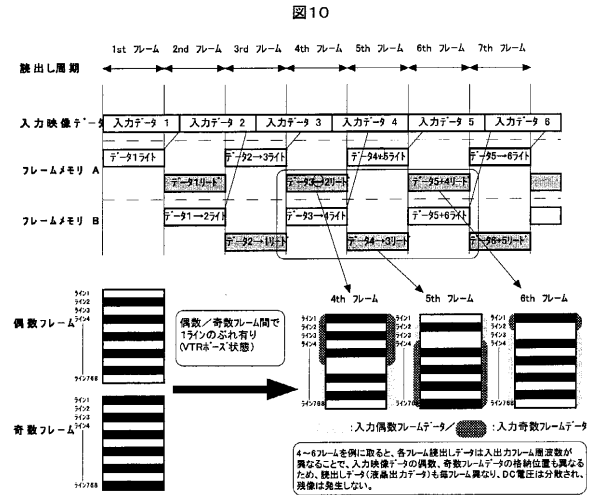
【図 9】



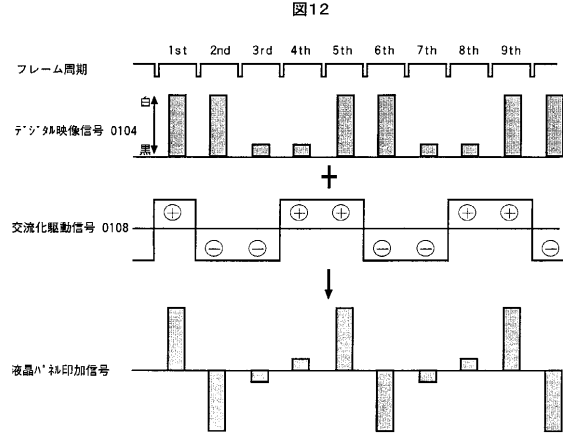
【図 11】



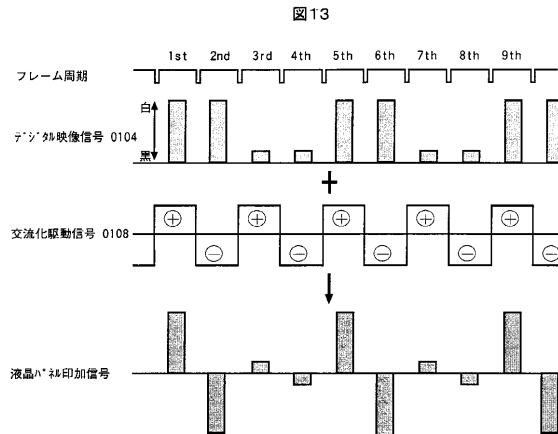
【図 10】



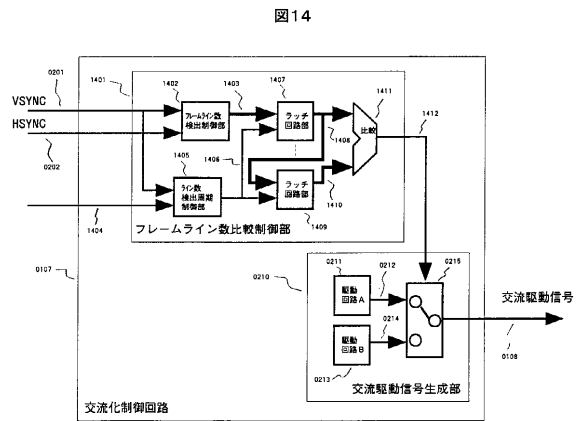
【図 12】



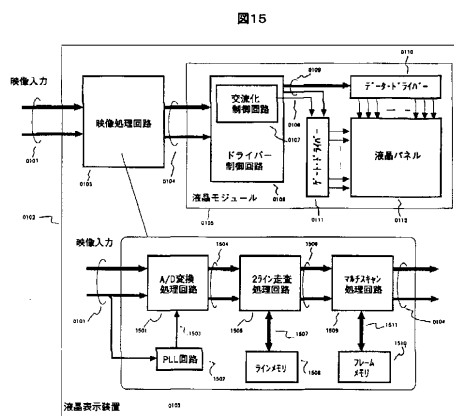
【図 13】



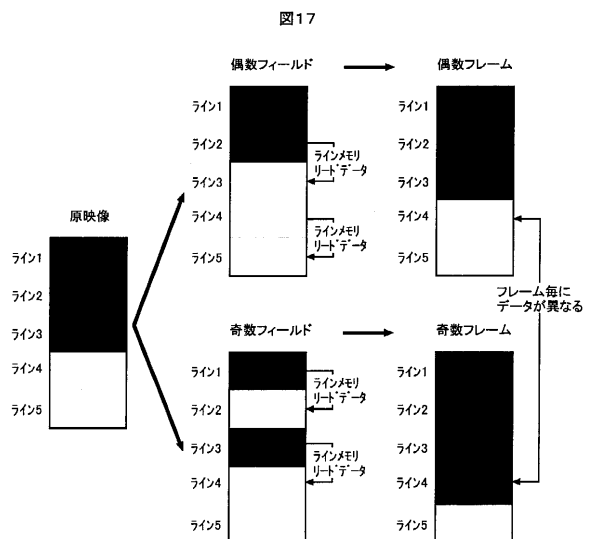
【図 14】



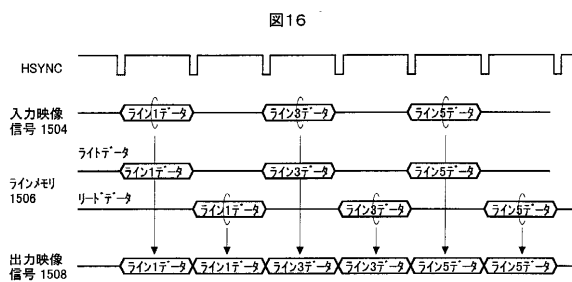
【図 15】



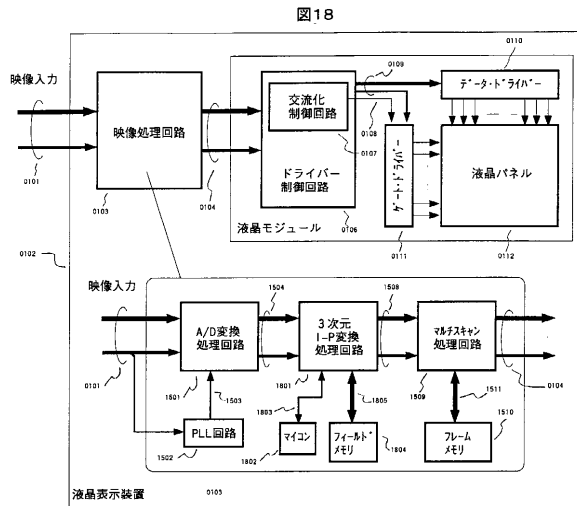
【図 17】



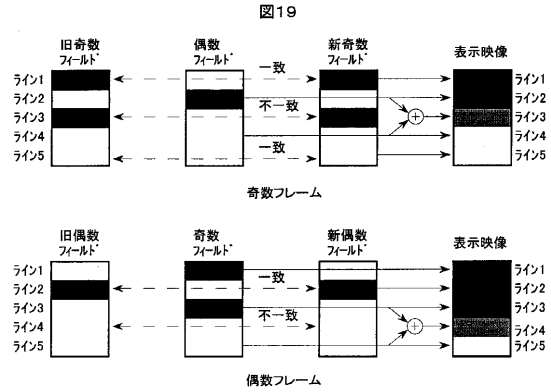
【図 16】



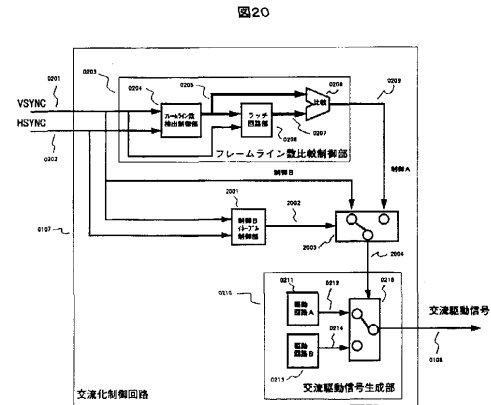
【図18】



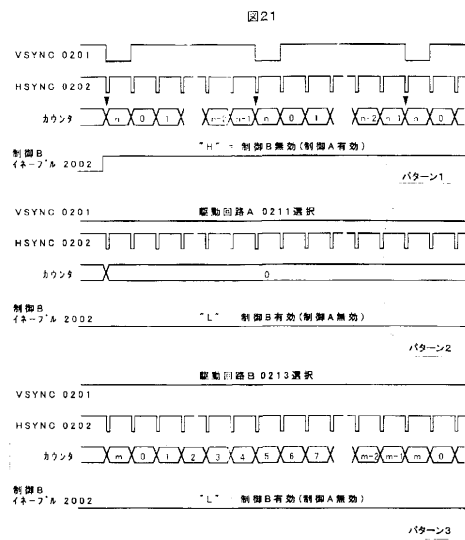
【図19】



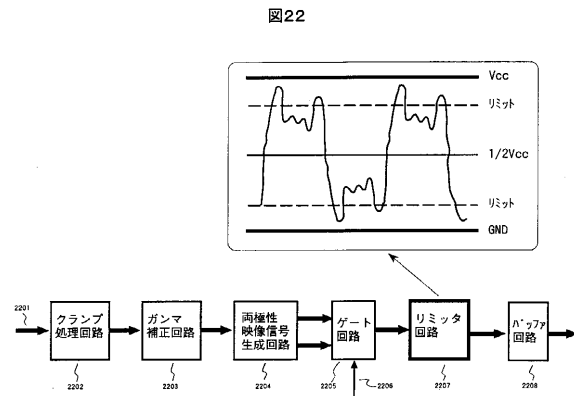
【図20】



【図21】



【図22】



フロントページの続き

(51) Int.Cl. F I
H 0 4 N 5/66 1 0 2 B

(72)発明者 古橋 勉
神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内
(72)発明者 川辺 和佳
神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内
(72)発明者 栗原 博司
千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

審査官 濱本 禎広

(56)参考文献 特開平 1 1 - 1 3 3 3 7 6 (J P , A)
特開 2 0 0 0 - 0 9 8 3 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00-3/38
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP3760743B2	公开(公告)日	2006-03-29
申请号	JP2000280119	申请日	2000-09-11
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	新田博幸 前田武 古橋勉 川辺和佳 栗原博司		
发明人	新田 博幸 前田 武 古橋 勉 川辺 和佳 栗原 博司		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66		
FI分类号	G09G3/36 G02F1/133.525 G09G3/20.621.B G09G3/20.622.N G09G3/20.670.K H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA45 2H093/NA53 2H093/NC21 2H093/NC29 2H093/NC34 2H093/NC49 2H093/NC52 2H093/NC65 2H093/ND12 2H093/ND35 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZC26 2H193/ZD23 2H193/ZH40 5C006/AA01 5C006/AA11 5C006/AC26 5C006/AC29 5C006/AC30 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/BB11 5C006/BF02 5C006/BF04 5C006/BF05 5C006/BF14 5C006/BF15 5C006/BF22 5C006/BF24 5C006/FA34 5C058/AA06 5C058/BA02 5C058/BA04 5C058/BB04 5C058/BB09 5C058/BB13 5C058/BB15 5C058/BB16 5C080/AA10 5C080/BB05 5C080/DD18 5C080/DD29 5C080/EE29 5C080/JJ02 5C080/JJ04 5C080/JJ05		
其他公开文献	JP2002091392A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其在任何格式的视频信号上获得良好的显示状态而没有任何残像（图像残留）。在用于在液晶面板（0112）上显示来自视频信号产生装置的输入图像信息0101的液晶显示装置（0102）中，用于将过去输入视频信息与当前输入视频信息进行比较并判断是否存在差异的比较电路第一驱动电路0210，用于输出第一周期的交变信号以防止向液晶面板施加直流电压；第二驱动电路0210，用于输出与第一驱动电路不同的第二交变信号第二驱动电路，用于根据比较电路的比较结果分别输出从第一驱动电路和第二驱动电路输出的第一周期的交变信号，以及选择电路0215，用于选择和输出周期为2和2的交变信号中的任何一个。

[illegible]