

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3745259号  
(P3745259)

(45) 発行日 平成18年2月15日(2006.2.15)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int.CI.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/36</b>	
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/133</b>	<b>550</b>
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>	<b>621B</b>
			<b>G09G</b>	<b>3/20</b>	<b>641P</b>
			<b>G09G</b>	<b>3/20</b>	<b>642A</b>

請求項の数 24 (全 26 頁)

(21) 出願番号

特願2001-277799 (P2001-277799)

(22) 出願日

平成13年9月13日 (2001.9.13)

(65) 公開番号

特開2003-84725 (P2003-84725A)

(43) 公開日

平成15年3月19日 (2003.3.19)

審査請求日

平成16年4月21日 (2004.4.21)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 福元 桃子

千葉県茂原市早野3300番地 株式会社  
日立製作所 ディスプレイグループ内

(72) 発明者 今城 由博

千葉県茂原市早野3300番地 株式会社  
日立製作所 ディスプレイグループ内

(72) 発明者 武田 伸宏

千葉県茂原市早野3300番地 株式会社  
日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の画素と、前記各画素に、M ( M > 2 ) 個の階調電圧の中の一つの階調電圧を出力する駆動手段とを有する液晶表示装置の駆動方法であって、

前記駆動手段から前記各画素に出力する階調電圧の極性をN ( N > 2 ) ライン毎に反転させ、

前記駆動手段から前記各画素に出力するm ( 1 < m < M ) 番目の階調電圧の電圧値を、極性反転直後の1番目のライン上の画素に出力する時と、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に出力する時とで異ならせるとともに、走査されるラインと前記駆動手段との間の距離が大きくなる程、前記駆動手段から極性反転直後の1番目のライン上の画素に出力するm番目の階調電圧と、前記駆動手段から極性が反転されないライン上の画素に出力するm番目の階調電圧との差の絶対値を大きくしたことを特徴とする液晶表示装置の駆動方法。

## 【請求項 2】

前記駆動手段から各画素に出力するm番目の階調電圧と共通電圧との差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも大きいことを特徴とする請求項1に記載の液晶表示装置の駆動方法。

## 【請求項 3】

前記駆動手段から極性反転直後の1番目のライン上の画素に出力する階調電圧と、前記

駆動手段から極性が反転されないライン上の画素に出力する階調電圧との差の絶対値が、各階調毎に異なることを特徴とする請求項1または請求項2に記載の液晶表示装置の駆動方法。

**【請求項4】**

階調電圧と共通電圧との差の絶対値が大きい階調程、前記駆動手段から極性反転直後の1番目のライン上の画素に出力する階調電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する階調電圧との差の絶対値が大きいことを特徴とする請求項3に記載の液晶表示装置の駆動方法。

**【請求項5】**

複数の画素と、前記各画素に階調電圧を出力する駆動手段と、前記駆動手段にK(K-2)個の階調基準電圧を供給する電源回路とを有する液晶表示装置の駆動方法であって、前記駆動手段から前記各画素に出力する階調電圧の極性をN(N-2)ライン毎に反転させ、

前記電源回路から前記駆動手段に供給するk(1 k K)番目の階調基準電圧の電圧値を、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に階調電圧を出力する時とで異なるとともに、走査されるラインと前記駆動手段との間の距離が大きくなる程、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に前記電源回路から前記駆動手段に供給するk番目の階調基準電圧と、前記駆動手段から極性が反転されないライン上の画素に階調電圧を出力する時に前記電源回路から前記駆動手段に供給するk番目の階調基準電圧との差の絶対値を大きくしたことを特徴とする液晶表示装置の駆動方法。

**【請求項6】**

1から(K-1)番目までの階調基準電圧の電圧値を、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性が反転されないライン上の画素に階調電圧を出力する時とで異ならせたことを特徴とする請求項5に記載の液晶表示装置の駆動方法。

**【請求項7】**

前記電源回路から前記駆動手段に供給するk番目の階調基準電圧と、共通電圧との差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも大きいことを特徴とする請求項5または請求項6に記載の液晶表示装置の駆動方法。

**【請求項8】**

前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧との差の絶対値が、各階調基準電圧毎に異なることを特徴とする請求項5ないし請求項7のいずれか1項に記載の液晶表示装置の駆動方法。

**【請求項9】**

階調基準電圧と共通電圧との差の絶対値が大きい階調基準電圧程、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧との差の絶対値が大きいことを特徴とする請求項8に記載の液晶表示装置の駆動方法。

**【請求項10】**

前記ラインの水平走査期間が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性が反転されないライン上の画素に出力する時とで異なることを特徴とする請求項1ないし請求項9のいずれか1項に記載の液晶表示装置の駆動方法。

**【請求項11】**

10

20

30

40

50

前記駆動手段から前記各画素に出力する階調電圧の極性を2ライン毎に反転させることを特徴とする請求項1ないし請求項10のいずれか1項に記載の液晶表示装置の駆動方法。

#### 【請求項12】

複数の画素と、前記複数の画素にM(M-2)個の階調電圧の中の一つの階調電圧を出力するとともに、前記各画素に出力する階調電圧の極性をN(N-2)ライン毎に反転させる駆動手段とを有する液晶表示装置であって、

前記駆動手段から前記各画素に出力するm(1 m M)番目の階調電圧の電圧値を、  
極性反転直後の1番目のライン上の画素に出力する時と、極性反転直後の1番目のライン  
に続く極性が反転されないライン上の画素に出力する時とで異なる補正手段を有し、  
10

前記補正手段は、走査されるラインと前記駆動手段との間の距離が大きくなる程、前記  
駆動手段から極性反転直後の1番目のライン上の画素に出力するm番目の階調電圧と、前  
記駆動手段から極性が反転されないライン上の画素に出力するm番目の階調電圧との差の  
絶対値が大きくなるように、前記階調電圧の電圧値を補正することを特徴とする液晶表示  
装置。

#### 【請求項13】

前記補正手段は、前記駆動手段から各画素に出力するm番目の階調電圧と共通電圧との  
差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出  
力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも  
大きくなるように、前記階調電圧の電圧値を補正することを特徴とする請求項12に記  
載の液晶表示装置。  
20

#### 【請求項14】

前記補正手段は、前記駆動手段から極性反転直後の1番目のライン上の画素に出力する  
階調電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する階調電圧との  
差の絶対値が、各階調毎に異なるように、前記階調電圧の電圧値を補正することを特徴  
とする請求項12または請求項13に記載の液晶表示装置。

#### 【請求項15】

前記補正手段は、階調電圧と共通電圧との差の絶対値が大きい階調程、前記駆動手段  
から極性反転直後の1番目のライン上の画素に出力する階調電圧と、前記駆動手段から極性  
が反転されないライン上の画素に出力する階調電圧との差の絶対値が大きくなるように、  
前記階調電圧の電圧値を補正することを特徴とする請求項14に記載の液晶表示装置。  
30

#### 【請求項16】

複数の画素と、前記各画素に階調電圧を出力するとともに前記各画素に出力する階調電  
圧の極性をN(N-2)ライン毎に反転させる駆動手段と、前記駆動手段にK(K-2)個の階調基準電  
圧を供給する電源回路とを有する液晶表示装置であって、

前記電源回路から前記駆動手段に供給するk(1 k K)番目の階調基準電圧の電圧  
値を、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時  
と、前記駆動手段から極性反転直後の1番目のラインに続く極性が反転されないライン上  
の画素に階調電圧を出力する時とで異なる補正手段を有し、

前記電源回路は、第1の電源電圧と第2の電源電圧との間の電圧を分圧して、前記K個  
の階調基準電圧を生成する分圧回路を有し、  
40

前記補正手段は、補正電圧を生成する補正電圧生成手段と、

前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に、  
前記分圧回路で生成されるk(1 k K)番目の階調基準電圧に、前記補正電圧生成手  
段で生成された補正電圧を加算する電圧加算手段を有し、

前記補正電圧生成手段は、ラインの走査開始時点を指示する信号により充電される容量  
素子と、前記容量素子の放電時定数を決定する抵抗素子とを有することを特徴とする液晶  
表示装置。

#### 【請求項17】

前記補正電圧生成手段は、前記電源回路から前記駆動手段に供給するk番目の階調基準  
50

電圧と、共通電圧との差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも大きくなるように、前記補正電圧を生成することを特徴とする請求項1\_6に記載の液晶表示装置。

#### 【請求項18】

複数の画素と、前記各画素に階調電圧を出力するとともに前記各画素に出力する階調電圧の極性をN(N-2)ライン毎に反転させる駆動手段と、前記駆動手段にK(K-2)個の階調基準電圧を供給する電源回路とを有する液晶表示装置であって、

前記電源回路から前記駆動手段に供給するk(1 k K)番目の階調基準電圧の電圧値を、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に階調電圧を出力する時とで異なる補正手段を有し、

前記電源回路は、第1の電源電圧と第2の電源電圧との間の電圧を分圧して、前記K個の階調基準電圧を生成する分圧回路を有し、

前記補正手段は、補正電圧を生成する補正電圧生成手段と、

階調基準電圧と共通電圧との差の絶対値が最も大きい階調基準電圧をK番目の階調基準電圧とするとき、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に、前記分圧回路で生成される1番目および(K-1)番目の階調基準電圧に、前記補正電圧生成手段で生成された補正電圧を加算する電圧加算手段を有し、

前記補正電圧生成手段は、ラインの走査開始時点を指示する信号により充電される容量素子と、前記容量素子の放電時定数を決定する抵抗素子とを有することを特徴とする液晶表示装置。

#### 【請求項19】

前記補正電圧生成手段は、前記電源回路から前記駆動手段に供給する1番目および(K-1)番目の階調基準電圧と、共通電圧との差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも大きくなるように、前記補正電圧を生成することを特徴とする請求項1\_8に記載の液晶表示装置。

#### 【請求項20】

前記電圧加算手段は、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時にオンとなるスイッチ回路と、

前記スイッチ回路を介して前記補正電圧が供給され、前記階調基準電圧に前記補正電圧を加算する增幅回路とを有することを特徴とする請求項1\_6ないし請求項1\_9のいずれか1項に記載の液晶表示装置。

#### 【請求項21】

前記容量素子の容量値と、前記抵抗素子の抵抗値とは、各階調基準電圧毎に異なっていることを特徴とする請求項1\_6ないし請求項1\_9のいずれか1項に記載の液晶表示装置。

#### 【請求項22】

前記容量素子の容量値と、前記抵抗素子の抵抗値とは、階調基準電圧と共通電圧との差の絶対値が大きい階調基準電圧程、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する時に前記電源回路から前記駆動手段に供給する階調基準電圧との差の絶対値が大きくなるような値に設定されていることを特徴とする請求項2\_1に記載の液晶表示装置。

#### 【請求項23】

前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性が反転されないライン上の画素に出力する時とで、前記ラインの水平走査期間を異なる回路を有することを特徴とする請求項1\_2ないし請求項2\_2のいずれか1項に記載の液晶表示装置。

#### 【請求項24】

10

20

30

40

50

前記駆動手段は、前記各画素に出力する階調電圧の極性を2ライン毎に反転させることを特徴とする請求項12ないし請求項23のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびその駆動方法に係わり、特に、Nライン反転駆動方法などの、画素に印加する階調電圧を複数ライン毎に極性反転する駆動方法に適用して有効な技術に関する。

【0002】

【従来の技術】

画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型のパーソナルコンピュータ（以下、単に、パソコンという）等の表示装置として広く使用されている。

このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transistor）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの長辺側に配置されるドレインドライバと、液晶表示パネルの短辺側に配置されるゲートドライバおよびインターフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

一般に、前述のドレインドライバは、その内部に、インターフェース部から供給される複数個の階調基準電圧に基づき、液晶表示パネルの画素に印加する階調電圧を生成する階調電圧生成回路を有する。

【0003】

【発明が解決しようとする課題】

一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧を有一定時間毎に交流化、即ち、コモン電極（または共通電極）に印加する共通電圧を基準にして、画素電極に印加する階調電圧を、一定時間毎に正電圧側／負電圧側に変化させるようしている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。

コモン反転法とは、コモン電極に印加される共通電圧と画素電極に印加する階調電圧とを、交互に正、負に反転させる方法である。

また、コモン対称法とは、コモン電極に印加される共通電圧を一定とし、画素電極に印加する階調電圧を、コモン電極に印加される共通電圧を基準にして、交互に正、負に反転させる方法である。

【0004】

図30は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線に出力される階調電圧（即ち、画素電極に印加される階調電圧）の極性を説明するための図である。

ドット反転では、図30に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に、コモン電極に印加される共通電圧（V<sub>c o m</sub>）に対して負極性の階調電圧（図30では「」で示す）が、また、偶数番目のドレイン信号線に、コモン電極に印加される共通電圧（V<sub>c o m</sub>）に対して正極性の階調電圧（図30では「」で示す）が印加される。

さらに、奇数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

【0005】

また、各ライン毎の極性はフレーム毎に反転され、即ち、図30に示すように、偶数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階

10

20

30

40

50

調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

さらに、偶数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に負極性の階調電圧が、また、偶数番目のドレイン信号線に正極性の階調電圧が印加される。

このドット反転法を使用することにより、隣り合うドレイン信号線に印加される電圧が逆極性となるため、コモン電極や薄膜トランジスタ（TFT）のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。

また、コモン電極に流れる電流が少なく電圧降下が大きくならないため、コモン電極の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

#### 【0006】

しかしながら、駆動方法として、前述したドット反転法を採用した液晶表示モジュールを搭載したパソコンでは、交流化のタイミングと、表示される画像パターン（例えば、Windows（登録商標）終了画面など）との間に所定の関係がある場合に、液晶表示パネルの表示画面にフリッカ（または、ちらつき）が生じ、表示品質が損なわれるという欠点があった。

この問題点は、駆動方法として、Nライン（例えば、2ライン）反転法を採用し、ドレインドライバからドレイン信号線に印加する階調電圧の極性を、Nライン（例えば、2ライン）毎に反転させることにより解決することができる。

しかしながら、駆動方法として、Nライン（例えば、2ライン）反転法を採用した場合には、図31に示すように、例えば、同じ階調で、かつ、同じ色を画面全体に表示したときなどに、Nライン毎に、表示画面中に横筋が生じ、液晶表示パネルの表示品質を著しく損なわせるという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置およびその駆動方法において、階調電圧の極性をN（N=2）ライン毎に反転せしる場合に、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる技術を提供することにある。

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【0007】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

即ち、本発明は、駆動手段から各画素に出力する階調電圧の極性をN（N=2）ライン毎に反転させるとともに、前記駆動手段から前記各画素に出力するm（1≤m≤M）番目の階調電圧の電圧値を、極性反転直後の1番目のライン上の画素に出力する時と、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に出力する時とで異ならせたことを特徴とする。

例えば、前記駆動手段から各画素に出力するm番目の階調電圧と共通電圧との差の絶対値が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時の方が、前記駆動手段から極性が反転されないライン上の画素に出力する時よりも大きくする。

また、本発明では、前記駆動手段から極性反転直後の1番目のライン上の画素に出力する階調電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する階調電圧との差の絶対値を、各階調毎に異なるようにする。

#### 【0008】

また、本発明では、階調電圧と共通電圧との差の絶対値が大きい階調程、前記駆動手段から極性反転直後の1番目のライン上の画素に出力する階調電圧と、前記駆動手段から極性が反転されないライン上の画素に出力する階調電圧との差の絶対値を大きくする。

また、本発明では、走査されるラインと前記駆動手段との間の距離が大きくなる程、前記駆動手段から極性反転直後の1番目のライン上の画素に出力するm番目の階調電圧と、前

10

20

30

40

50

記駆動手段から極性が反転されないライン上の画素に出力するm番目の階調電圧との差の絶対値を大きくする。

#### 【0009】

また、本発明では、前記駆動手段から前記各画素に出力するm(1 m M)番目の階調電圧の電圧値を、極性反転直後の1番目のライン上の画素に出力する時と、極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に出力する時とで異なるために、電源回路から前記駆動手段に供給するk(1 k K)番目の階調基準電圧の電圧値を、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性反転直後の1番目のラインに続く極性が反転されないライン上の画素に階調電圧を出力する時とで異なる。 10

また、本発明では、前記ラインの水平走査期間が、前記駆動手段から極性反転直後の1番目のライン上の画素に階調電圧を出力する時と、前記駆動手段から極性が反転されないライン上の画素に出力する時とで異なるようにする。

前記手段によれば、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とを同じにすることができるので、表示画面に横筋が生じるのを防止して、表示画面の表示品質を向上させることができるとなる。

#### 【0010】

##### 【発明の実施の形態】

以下、本発明実施の形態を図面を参照して説明する。 20

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

##### 【実施の形態1】

###### 本発明が適用されるTFT方式の液晶表示モジュールの基本構成

図1は、本発明が適用されるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

図1に示す液晶表示モジュール(LCM)は、液晶表示パネル(TFT-LCD)10の長辺側にドレインドライバ130が配置され、また、液晶表示パネル10の短辺側にゲートドライバ140が配置される。

このドレインドライバ130、ゲートドライバ140は、液晶表示パネル10の一方のガラス基板(例えば、TFT基板)の周辺部に直接に実装される。 30

インタフェース部100はインタフェース基板に実装され、このインタフェース基板は、液晶表示パネル10の裏側に実装される。

##### 【0011】

###### 図1に示す液晶表示パネル10の構成

図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図であり、図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。 40

各画素は薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続される。

また、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)とコモン電極(ITO2)との間には、液晶容量(CLC)が等価的に接続される。

さらに、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)との間には、付加容量(CADD)が接続される。

##### 【0012】

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

図2に示す例では、前段のゲート信号線(G)とソース電極との間に付加容量(CADD) 50

が形成されているが、図3に示す例の等価回路では、共通電圧(Vcom)が印加される共通信号線(CN)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。本発明は、どちらにも適用可能である。

なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、図2、図3において、ARは表示領域である。また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT1, TFT2)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ(TFT1, TFT2)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)は、1水平走査時間、行方向の各画素の薄膜トランジスタ(TFT1, TFT2)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。

#### 【0013】

図1に示すインターフェース部100の構成と動作概要

図1に示すインターフェース部100は、表示制御装置110と電源回路120とから構成される。

表示制御装置110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送信されてくるクロック信号(CLK)、ディスプレイタイミング信号(DTMG)、水平同期信号(Hsync)、垂直同期信号(Vsync)の各表示制御信号および表示用データ(R·G·B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス(表示データ取込開始信号)を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(CL2)(以下、単に、クロック(CL2)と称する。)を信号線131を介して出力する。

#### 【0014】

本体コンピュータ側からの表示データは、例えば、6ビットで、1画素単位、即ち、赤(R)、緑(G)、青(B)の各データを1つの組にして単位時間毎に転送される。

また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

#### 【0015】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック(CL1)(以下、単にクロック(CL1)と称する。)を信号線132を介して各ドレインドライバ130に出力する。

また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミン

10

20

30

40

50

ゲ信号が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号(FLM)を出力する。

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するよう、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック(CL3)を出力する。

これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT)が、1水平走査時間の間導通する。

以上の動作により、液晶表示パネル10に画像が表示される。

#### 【0016】

##### 図1に示す電源回路120の構成

図1に示す電源回路120は、階調基準電圧生成回路121、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。

階調基準電圧生成回路121は、直列抵抗分圧回路で構成され、10値の階調基準電圧(V0~V9)を出力する。

この階調基準電圧(V0~V9)は、各ドレインドライバ130に供給される。

また、各ドレインドライバ130には、表示制御装置110からの交流化信号(交流化タイミング信号;M)も、信号線134を介して供給される。

コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

#### 【0017】

##### 図1に示すドレインドライバ130の構成

図4は、図1に示すドレインドライバ130の一例の概略構成を示すブロック図である。

なお、ドレインドライバ130は、1個の半導体集積回路(LSI)から構成される。

同図において、正極性階調電圧生成回路151aは、階調基準電圧生成回路121から供給される5値の階調基準電圧(V0~V4)に基づいて、正極性の64階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。

負極性階調電圧生成回路151bは、階調基準電圧生成回路121から供給される負極性の5値の階調基準電圧(V5~V9)に基づいて、負極性の64階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。

また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力されるクロック(CL2)に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック(CL2)に同期して、各色毎6ビットの表示データを出力本数分だけラッチする。

ストレージレジスタ回路155は、表示制御装置110から入力されるクロック(CL1)に応じて、入力レジスタ回路154内の表示データをラッチする。

このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。

出力回路157は、正極性の64階調の階調電圧、あるいは負極性の64階調の階調電圧に基づき、表示データに対応した1つの階調電圧(64階調の中の1つの階調電圧)を選択して、各ドレイン信号線(D)に出力する。

#### 【0018】

##### 図1に示す階調基準電圧生成回路121の構成

図5は、図1に示す階調基準電圧生成回路121の概略構成を示す回路図である。

図5に示すように、階調基準電圧生成回路121は、抵抗R1ないし抵抗R9からなる抵抗分圧回路で構成され、この抵抗分圧回路により、DC/DCコンバータ125から出力される電圧V0と、接地電位(GND)との間の電圧を分圧して、V0~V9の階調基準

電圧を生成する。

抵抗分圧回路から出力される5値の階調基準電圧( $V_0 \sim V_4$ )は、ドレインドライバ130内の正極性階調電圧生成回路151aに入力され、前述したように、正極性階調電圧生成回路151aは、この正極性の5値の階調基準電圧( $V_0 \sim V_4$ )を分圧して、正極性の64階調の階調電圧を生成する。

同様に、抵抗分圧回路から出力される5値の階調基準電圧( $V_5 \sim V_9$ )は、ドレインドライバ130内の負極性階調電圧生成回路151bに入力され、前述したように、負極性階調電圧生成回路151bは、この負極性の5値の階調基準電圧( $V_5 \sim V_9$ )を分圧して、負極性の64階調の階調電圧を生成する。

#### 【0019】

10

##### 本発明の概要

本実施の形態の液晶表示モジュールでは、その駆動方法として、2ライン反転法を採用している。

図6は、液晶表示モジュールの駆動方法として、2ライン反転法を使用した場合において、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧(即ち、画素電極に印加される階調電圧)の極性を説明するための図である。なお、この図6では、正極性の階調電圧を $\ominus$ で、また、負極性の階調電圧を $\oplus$ で表している。

2ライン反転法では、2ライン毎に、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧の極性が反転する点で、前述の図30に示すドット反転法と異なるだけであるので、その詳細な説明は省略する。

例えば、数ラインに渡って、液晶表示パネル10に同じ階調の画像を表示する場合に、2ライン反転法では、ドレインドライバ130が、2ライン毎に極性を反転した階調電圧をドレイン信号線(D)に出力する。

以下、2ライン反転法を用いた場合に、前述の横筋が発生する理由を、図7を用いて説明する。

今、ドレインドライバ130が、ドレイン信号線(D)に出力する階調電圧の極性を、負極性から正極性に変化させた場合を考える。

この場合に、ドレイン信号線(D)上の階調電圧は、階調電圧の極性反転前は負極性で、極性反転後は正極性となるが、ドレイン信号線(D)は、一種の分布定数線路と見なせるので、直ちに、負極性の階調電圧から正極性の階調電圧に変化することできず、図7のドレイン電極波形に示すように、ある遅延時間を持って、負極性の階調電圧から正極性の階調電圧に変化する。

#### 【0020】

30

これに対して、極性反転直後のラインに続くラインでは、ドレインドライバ130からドレイン信号線(D)に出力される階調電圧の極性は変化しないので、ドレイン信号線(D)上の電圧は、所定の階調電圧となっている。

そのため、図7に示すように、極性反転直後のnライン目に続く(n+1)ライン目のソース電極波形は、極性反転直後のnライン目のソース電極波形よりも早く立ち上がる。

これは、ドレインドライバ130が、ドレイン信号線(D)に出力する階調電圧の極性を、正極性から負極性に変化させた場合も同様である。

そのため、図7のnライン目のソース電極波形に示すように、極性反転直後のライン上の画素に書き込まれる電圧と、図7の(n+1)ライン目のソース電極波形に示すように、同じ階調を表示しようとしているにもかかわらず、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なることになり、2ライン毎に、前述した横筋が発生することになる。

これは、液晶表示パネル10の解像度が、例えば、SXGA表示モードの1280×1024画素、UXGA表示モードの1600×1200画素のように、より、高解像度の場合に顕著となる。

このように、前述した横筋は、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧とが異なることが原因で発

40

50

生する。

そこで、本発明では、図8に示すように、極性反転直後のラインにおいて、ドレインドライバ130からドレイン信号線(D)に出力する階調電圧の電圧を補正し、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧と同じにするものである。

#### 【0021】

即ち、同じ階調を表示する場合でも、負極性から正極性に変化する場合は、図8のドレン電極波形に示すように、極性反転直後のラインでは、ドレインドライバ130からドレイン信号線(D)に出力する正極性の階調電圧の電圧が、共通電圧(Vcom)からより高電位になるように補正し、極性反転直後のラインに続くラインでは、ドレインドライバ130からドレイン信号線(D)に、所定階調の正極性の階調電圧を出力し、また、正極性から負極性に変化する場合は、極性反転直後のラインでは、ドレインドライバ130からドレイン信号線(D)に出力する負極性の階調電圧の電圧が、共通電圧(Vcom)からより低電位になるように補正し、極性反転直後のラインに続くラインでは、ドレインドライバ130からドレイン信号線(D)に、所定階調の負極性の階調電圧を出力するようにしたものである。10

これにより、図8のnライン目のソース電極波形、および図8の(n+1)ライン目のソース電極波形に示すように、本発明では、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧と同じにすることができる。20

本実施の形態では、この極性反転直後のラインにおいて、ドレインドライバ130からドレイン信号線(D)に出力する階調電圧の電圧を補正するために、ドレインドライバ130に供給する階調基準電圧を補正するようにしたものである。

#### 【0022】

##### 本実施の形態の液晶表示モジュールの特徴的構成

図9は、本実施の形態の液晶表示モジュールの階調基準電圧生成回路121の概略構成を示す回路図である。

図9に示すように、本実施の形態では、抵抗Ra、抵抗R6ないし抵抗R9からなる抵抗分圧回路により、DC/DCコンバータ125から出力される電圧V0と、接地電位(GND)との間の電圧を分圧して、V5～V9の階調基準電圧を生成する。30

この階調基準電位を、補正回路1(31)ないし補正回路5(35)に入力し、極性反転直後のラインを走査するときに、補正回路からドレインドライバ130に対して補正された階調基準電位を供給し、それ以外のときは、補正回路からドレインドライバ130に対して所定の階調基準電位を供給するようにしたものである。

図10は、図9に示す補正回路1(31)ないし補正回路5(35)の一例の回路構成を示す回路図である。

図10に示す補正回路は、補正電圧生成部51と、スイッチ回路52と、反転增幅回路1(53)と、反転增幅回路2(54)とで構成される。

#### 【0023】

図11は、図10に示す補正回路の出力電圧の電圧レベルを示す図である。以下、図11を参照して、図10に示す補正回路の動作を説明する。40

補正電圧生成部51は、補正電圧を生成するためのものであり、この補正電圧生成部51の構成、動作は後述する。

スイッチ回路52は、NMOSトランジスタ(M1)、およびPMOSトランジスタ(M2)から構成され、補正ライン判別信号(LB)がLowレベル(以下、単に、Lレベル)のときに、MOSトランジスタ(M1, M2)がオフとなる。

この場合に、反転增幅回路1(53)のオペアンプ(OP1)は、ボルテージホロワ回路を構成し、オペアンプ(OP1)の出力は、図11に示すように、非反転端子に印加されるV<sub>m</sub>の電圧となる。

また、この出力は、反転增幅回路2(54)に入力されるので、反転增幅回路2(54)50

の出力は、図11に示すように、 $V_{-m}$ の電圧が、反転増幅回路2(54)のオペアンプ(O P 2)の非反転端子に印加される $V_{em}$ の電圧を基準にして、反転増幅された電圧 $V_m$ となる。

#### 【0024】

また、補正ライン判別信号(L B)がHighレベル(以下、単に、Hレベル)のときに、MOSトランジスタ(M1, M2)がオンとなり、補正電圧生成部51で生成された補正電圧( $V_m$ )が、反転増幅回路1(53)に入力される。

この時、反転増幅回路1(53)の出力は、図11に示すように、 $V_m$ の電圧が、反転増幅回路1(53)のオペアンプ(O P 1)の非反転端子に印加される $V_{-m}$ の電圧を基準にして、反転増幅された電圧( $(V_{-m} - V_m)$ )となる。 10

また、この時の反転増幅回路2(54)の出力は、図11に示すように、( $V_{-m} - V_m$ )の電圧が、反転増幅回路2(54)のオペアンプ(O P 2)の非反転端子に印加される $V_{em}$ の電圧を基準にして、反転増幅された電圧( $V_m + V_m$ )となる。

この電圧が、ドレインドライバ130の正極性階調電圧生成回路151a、および負極性階調電圧生成回路151bに入力されるので、極性反転直後のラインを走査するときに、ドレインドライバ130から補正された階調電圧がドレイン信号線(D)に出力され、それ以外の時には、ドレインドライバ130から所定の階調基準電圧がドレイン信号線(D)に出力され、これにより、前述した横筋が発生するのを防止することが可能となる。 20

#### 【0025】

次に、補正電圧生成部51について、説明する。

前述した横筋は、ドレインドライバ130から遠いラインほど大きくなる。これは、極性反転直後に、ドレイン信号線(D)が所定の階調電圧に変化するまでの時間が、ドレインドライバ130から遠いほど大きくなるからである。

即ち、ドレイン信号線(D)の電圧波形は波形なまりが生じるが、この波形なまりは、ドレインドライバ130から遠い程大きくなるので、極性反転直後のライン上の画素に書き込まれる電圧と、極性反転直後のラインに続くライン上の画素に書き込まれる電圧との差が、ドレインドライバ130から遠い走査ラインほど大きくなるためである。

そのため、補正電圧生成部51で生成する補正電圧( $V_m$ )は、一定の電圧ではなく、走査ラインとドレインドライバ130との距離に応じて変化させる必要がある。 30

図12は、この補正電圧生成部51で生成される補正電圧( $V_m$ )の電圧波形の一例を示す波形図である。なお、図12では、対比する意味で、補正電圧( $V_m$ )が一定の場合を図12(a)に示す。

図12(b)、(c)は、本実施の形態のように、ドレインドライバ130が液晶表示パネル10の下側に実装されている場合の補正電圧( $V_m$ )の電圧波形、図12(d)、(e)は、ドレインドライバ130が液晶表示パネル10に上側に実装されている場合の補正電圧( $V_m$ )の電圧波形である。

図12(b)、(c)に示す補正電圧( $V_m$ )が、スイッチ回路52を介して、反転増幅回路1(53)に入力された時の入力波形を、図13に示す。

なお、ドレインドライバ130からの距離の違いによる影響が目立たない場合には、図12(a)に示すように、補正電圧( $V_m$ )を1フレーム期間中一定としてよい。 40

#### 【0026】

本実施の形態では、補正電圧生成部51で生成される補正電圧( $V_m$ )は、図12(b)に示す電圧波形のものを生成する。

そのため、本実施の形態では、1フレーム毎に出力されるパルス状の、フレーム開始指示信号(F L M)により、容量素子(C m)を充電し、また、容量素子(C m)の容量値、および抵抗素子(R m 1)の抵抗値を調整して、容量素子(C m)に充電された電荷の放電特性を調整し、さらに、補正電圧生成部51の抵抗素子(R m 2, R m 3)の抵抗素子の値を調整し、反転増幅回路を構成するオペアンプ(O P 3)での増幅度を調整して、その電圧レベルを調整するようにしている。

ここで、この補正電圧( $V_m$ )は、各階調基準電圧(V 5 ~ V 9)毎に異なるように、 50

前述の容量素子（Cm）の容量値、および抵抗素子（Rm1, Rm2, Rm3）の抵抗素子の値は、各階調基準電圧毎に調整される。

このように、本実施の形態によれば、各階調基準電圧毎に、任意の補正電圧（Vm）を与えることにより、各階調電圧を補正することが可能となる。

正極性の各階調電圧を生成するために使用される各階調基準電圧毎に、与える補正電圧の電圧量（Vm）の一例を図14のグラフの（a）、（b）、（c）に示す。なお、この図14は、階調基準電圧が1からMの場合を図示している。

#### 【0027】

##### [実施の形態2]

###### 本実施の形態の液晶表示モジュールの特徴的構成

10

図15は、本発明の実施の形態2の液晶表示モジュールの階調基準電圧生成回路121の概略構成を示す回路図である。

図15に示すように、本実施の形態は、図15に示すように、（V5～V9）の各階調基準電圧毎に、補正電圧（Vm）を生成する補正電圧生成部51を設ける代わりに、一つの補正電圧生成部50を設け、この補正電圧生成部50で生成される補正電圧（Vm）を、（V5～V9）の各階調基準電圧の補正電圧とするものである。

なお、本実施の形態の階調基準電圧生成回路121の動作は、前述の実施の形態1と同じであるのでその詳細な説明は省略する。

#### 【0028】

##### [実施の形態3]

###### 本実施の形態の液晶表示モジュールの特徴的構成

20

図16は、本発明の実施の形態3の液晶表示モジュールの階調基準電圧生成回路121の概略構成を示す回路図である。

前述の実施の形態1, 2のような回路構成は、理想的であるが、オペアンプ、抵抗素子、容量素子などが多数必要となり、コストアップ、実装面積が大きくなる。そのため、本実施の形態では、図16に示すように、V1の階調基準電圧と、V8の階調基準電圧のみに、補正電圧（Vm）を与えるようにしたものである。

図16に示すように、本実施の形態では、抵抗Rb、抵抗R9からなる抵抗分圧回路により、DC/DCコンバータ125から出力される電圧V0と、接地電位（GND）との間の電圧を分圧して、V8の階調基準電圧を生成し、このV8の階調基準電位を、補正回路30に入力する。

30

また、抵抗R1ないし抵抗R9からなる抵抗分圧回路により、階調基準電圧生成回路を構成し、この抵抗分圧回路により、DC/DCコンバータ125から出力される電圧V0と、接地電位（GND）との間の電圧を分圧して、V0～V9の階調基準電圧を生成する。そして、補正回路30の出力を、抵抗R1ないし抵抗R9からなる抵抗分圧回路のV1の階調基準電圧、およびV8の階調基準電圧を出力する分圧点に接続する。

#### 【0029】

この補正回路30の回路構成は、図10に示す補正回路と同じである。

したがって、ライン判別信号（LB）がLレベルのときは、補正回路30から出力されるV1とV8の階調基準電圧は、抵抗R1ないし抵抗R9からなる抵抗分圧回路で生成されるV1とV8の階調基準電圧と同じになるので、ドレインドライバ130には、所定の階調基準電圧が供給される。

40

また、ライン判別信号（LB）がHレベルのときは、補正回路30からは、（V1+Vm）の補正された階調基準電圧と、（V8-Vm）の補正された階調基準電圧が出力される。

また、V2ないしV7の階調基準電圧は、（V1+Vm）の電圧と、（V8-Vm）の電圧との間の電圧を分圧して生成されるため、V2ないしV7の階調基準電圧も、補正された階調基準電圧となる。

但し、本実施の形態では、補正電圧（Vm）の電圧値は、V1とV8の階調基準電圧の時に最大となり、V1とV8の階調基準電圧から遠ざかるほど小さくなり、V4とV5の

50

階調基準電圧の時に最小となる。

このときの、正極性の各階調電圧を生成するために使用される各階調基準電圧毎に、与える補正電圧の電圧量(  $V$  )の一例を図14の( d )に示す。

ここで、 $V_0$ と $V_9$ の階調基準電圧を補正していないが、例えば、この付近の階調電圧により表示される階調によっては横筋が目立たない場合もあるため、特に問題はない。

また、図16では、 $V_1$ と $V_8$ の階調基準電圧に対して補正した後に、その間の $V_2$ ないし $V_7$ の階調基準電圧を抵抗分圧回路で生成しているが、 $V_1$ と $V_8$ の階調基準電圧の代わりに、 $V_2$ と $V_7$ の階調基準電圧の組み合わせを用い、 $V_2$ と $V_7$ の階調基準電圧を補正してもよい。

あるいは、 $V_0$ と $V_9$ の階調基準電圧の組み合わせを用い、 $V_0$ と $V_9$ の階調基準電圧を補正してもよく、この場合には、図14( a )、( b )、( c )のような補正電圧となる。

### 【0030】

次に、前述の各実施の形態における、交流化信号( M )とライン判別信号( LB )の生成方法について説明する。

図17は、前述の各実施の形態における、交流化信号( M )とライン判別信号( LB )を生成するための回路構成を示す回路図である。

図17に示すように、カウンタ61により、垂直同期信号( Vsync )をカウントし、カウンタ61の $Q_0$ 出力を排他的論理回路63に入力する。ここで、カウンタ61の $Q_0$ 出力は、垂直同期信号( Vsync )が入力される毎に、Hレベル、あるいは、Lレベルを交互に出力する。

また、カウンタ62により、水平同期信号( Hsync )をカウントし、カウンタ62の $Q_0$ ないし $Q_{n-1}$ 出力を、ノア回路64に入力する。このノア回路64の出力が、ライン判別信号となる。

また、カウンタ62の $Q_n$ 出力を、排他的論理回路63に入力し、排他的論理回路63の出力が、交流化信号となる。

図18に、8( $n=3$ )ライン反転法の場合の、図17に示す回路のタイミングチャートを示す。

この図18において、COVは、カウンタ61の $Q_0$ 出力を、COH1ないしCOH4は、カウンタ62の $Q_0$ ないし $Q_n$ 出力を表す。

### 【0031】

なお、前述の各実施の形態では、図19に示すように、極性反転直後のnライン目の画素の書き込み電圧と、極性反転直後のnライン目に続く( $n+1$ )ライン目の画素の書き込み電圧とが等しくなるように、ドレインドライバ130からnライン目の画素に出力する階調電圧を補正するようとしたが、図20に示すように、ドレインドライバ130から( $n+1$ )ライン目の画素に出力する階調電圧を補正して、極性反転直後のnライン目の画素の書き込み電圧と、極性反転直後のnライン目に続く( $n+1$ )ライン目の画素の書き込み電圧とが等しくなるようにしてよい。

あるいは、図21に示すように、ドレインドライバ130からnライン目と( $n+1$ )ライン目の画素に出力する階調電圧を補正して、極性反転直後のnライン目の画素の書き込み電圧と、極性反転直後のnライン目に続く( $n+1$ )ライン目の画素の書き込み電圧とが等しくなるようにしてよい。

### 【0032】

また、前述の各実施の形態では、ドレインドライバ130が液晶表示パネル10の長辺側の一辺に実装される場合について説明したが、例えば、図22に示すように、ドレインドライバ130が液晶表示パネル10の長辺側の両辺に実装される場合であれば、図23に示すように、1フレーム毎の補正電圧(  $V_m$  )の電圧波形は、液晶表示パネルの上側のドレインドライバ130から出力する階調電圧用( 図23の( a )に示す波形 )と、液晶表示パネルの下側のドレインドライバ130から出力する階調電圧用( 図23の( b )に示す波形 )との2系統を用意する必要がある。

10

20

30

40

50

このように、前述の各実施の形態によれば、その駆動方法として、複数ライン反転法を採用する場合に、液晶表示パネル10の表示画面中に、横筋が生じるのを防止して、液晶表示パネル10に表示される表示画面の表示品質を向上させることが可能となる。

### 【0033】

#### [実施の形態4]

##### 本実施の形態の液晶表示モジュールの特徴的構成

前述の各実施の形態では、ドレインドライバ130からnライン目の画素に出力する階調電圧を補正して、極性反転直後のnライン目の画素の書き込み電圧と、極性反転直後のnライン目に続く(n+1)ライン目の画素の書き込み電圧とが等しくなるようしている。  
10

本実施の形態では、図24に示すように、前述の各実施の形態の駆動方法に加え、極性反転直後のnライン目の水平走査期間の長さ(即ち、走査時間、または、選択時間)を、極性反転直後のnライン目に続く(n+1)ライン目の水平走査期間の長さよりも長くするようにしたものである。

一般に、ゲート信号線(G)においても、ドレイン信号線(D)と同様、ゲートドライバ140から出力される選択信号に波形なまりが生じ、ゲートドライバ140から遠い位置の画素の薄膜トランジスタ(TFT1, TFT2)がオンとなる期間が短くなる。

これにより、液晶表示パネル10の表示画面中に生じる横筋も、ゲートドライバ140から遠い位置の画素ほどより目立つようになる。

このような横筋を防止する上で、極性反転直後のnライン目の走査時間を、極性反転直後のnライン目に続く(n+1)ライン目の走査時間よりも長くすることは有効である。  
20

### 【0034】

本実施の形態において、前述の極性反転直後のnライン目の1水平走査期間を長くする方法としては、図25に示すように、極性反転直後のnライン目におけるクロック(CL1)の生成タイミングを、従来よりも早くする方法、または、図26に示すように、極性反転直後のnライン目に続く(n+1)ライン目におけるクロック(CL1)の生成タイミングを、従来よりも遅くする方法、あるいは、図27に示すように、極性反転直後のnライン目におけるクロック(CL1)の生成タイミングを、従来よりも早くし、かつ、極性反転直後のnライン目に続く(n+1)ライン目におけるクロック(CL1)の生成タイミングを、従来よりも遅くする方法などがある。  
30

図28に、極性反転直後のnライン目の画素の書き込み電圧と、極性反転直後のnライン目に続く(n+1)ライン目の画素の書き込み電圧とを等しくするために、極性反転直後のnライン目におけるクロック(CL1)の生成タイミングを、従来よりも早くし、かつ、極性反転直後のnライン目に続く(n+1)ライン目におけるクロック(CL1)の生成タイミングを、従来よりも遅くする方法と、前述の図19に示す、ドレインドライバ130からnライン目の画素に出力する階調電圧を補正する方法とを組み合わせる場合(図28の(b))、および、図20に示す、ドレインドライバ130から(n+1)ライン目の画素に出力する階調電圧を補正する方法とを組み合わせる場合(図28の(a))、並びに、図21に示す、ドレインドライバ130からnライン目と(n+1)ライン目の画素に出力する階調電圧を補正すると組み合わせる場合(図28の(c))を示す。  
40

### 【0035】

本実施の形態において、クロック(CL1)の生成タイミングを調整する方法について説明する。

図29は、クロック(CL1)の生成タイミングを調整する回路部の回路構成を示す回路図である。

図29において、カウンタ71は、ディスプレイタイミング信号(DTMG)によりリセットされ、ディスプレイタイミング信号(DTMG)がHレベルとなった時点からクロック(CLK)のクロック数をカウントする。

このカウンタ71のカウント数は、デコーダ72に入力されるが、デコーダ72は、カウント数が第1のカウント数の時に出力端子Aから、また、カウント数が第2のカウント数  
50

の時に出力端子 B からパルス信号を出力する。

デコーダ 72 の出力端子 A、あるいは、出力端子 B から出力されるパルスを、補正ライン判別信号 (L B) により制御されるマルチプレクサ 73 が選択して、クロック (C L 1) となる。

このように、本実施の形態では、前述の各実施の形態の方法に加え、極性反転直後の n ライン目の水平走査期間の長さを、極性反転直後の n ライン目に続く (n + 1) ライン目の水平走査期間の長さよりも長くするようにしたので、駆動方法として、複数ライン反転法を採用する場合に、液晶表示パネル 10 の表示画面の全面に、横筋が生じるのを防止して、液晶表示パネル 10 に表示される表示画面の表示品質をより一層向上させることができるとなる。

10

#### 【0036】

なお、駆動方法として、N ライン反転法を採用する液晶表示装置において、極性反転直後のラインの水平走査期間を、それに続くラインの水平走査期間よりも長くする方法が、特開平 9 - 15560 号公報に記載されている。

しかしながら、極性反転直後のラインの水平走査期間を、それに続くラインの水平走査期間よりも長くする方法は、前述した液晶表示パネル 10 に生じる横筋を防止する効果が弱い。

また、前記公報では、極性反転直後のラインの水平走査期間を、それに続くラインの水平走査期間より 1.1 ~ 1.4 倍長くすると記載されているが、水平走査期間が短い場合には、極性反転直後のラインの水平走査期間を、それに続くラインの水平走査期間より、あまり長くすることができない。

20

前述したように、液晶表示パネル 10 に生じる横筋は、ドレインドライバ 130 から遠いラインほど目立つが、前記公報に記載されている方法では、ドレインドライバ 130 から近いラインに生じる横筋と、ドレインドライバ 130 から遠いラインに生じる横筋とをともに防止することはできず、かつ、ドレインドライバ 130 から近いラインに生じる横筋と、ドレインドライバ 130 から遠いラインに生じる横筋とをともに防止することについては、何ら記載されていない。

#### 【0037】

なお、前記説明では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、横電界方式の液晶表示パネルにも適用可能である。

30

図 2 または図 3 に示す縦電界方式の液晶表示パネルでは、TFT 基板に対向する基板にコモン電極 (ITO 2) が設けられるのに対して、横電界方式の液晶表示パネルでは、TFT 基板に対向電極 (CT)、および対向電極 (CT) に共通電圧 (Vcom) を印加するための対向電極信号線 (CL) が設けられる。

そのため、液晶容量 (Capix) は、画素電極 (PX) と対向電極 (CT) との間に等価的に接続される。また、画素電極 (PX) と対向電極 (CT) との間には蓄積容量 (Cstg) も形成される。

また、前記各実施の形態では、駆動方法として、複数ライン反転法を採用した実施の形態について説明したが、これに限定されず、本発明は、複数ライン毎に、画素電極 (ITO 1) およびコモン電極 (ITO 2) に印加する駆動電圧を反転するコモン反転法にも適用可能である。

40

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0038】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、階調電圧の極性を N (N - 2) ライン毎に反転させて駆動する場合に、

50

液晶表示素子の表示画面中に、横筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図 1】本発明が適用される TFT 方式の液晶表示モジュールの概略構成を示すブロック図である。

【図 2】図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3】図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【図 4】図 1 に示すドレインドライバの一例の概略構成を示すブロック図である。

【図 5】図 1 に示す階調基準電圧生成回路の概略構成を示す回路図である。

【図 6】液晶表示モジュールの駆動方法として、2 ライン反転法を使用した場合において 10  
、ドレインドライバからドレン信号線 (D) に出力される階調電圧の極性を説明するための図である。

【図 7】液晶表示モジュールの駆動方法として、2 ライン反転法を使用した場合に、表示画面中に横筋を発生する理由を説明するための図である。

【図 8】本発明の実施の形態 1 の駆動方法の概要を説明するための図である。

【図 9】本発明の実施の形態 1 の液晶表示モジュールの階調基準電圧生成回路の概略構成を示す回路図である。

【図 10】図 9 に示す補正回路 1 ないし補正回路 5 の一例の回路構成を示す回路図である。  
。

【図 11】図 10 に示す補正回路の出力電圧の電圧レベルを示す図である。 20

【図 12】図 10 に示す補正電圧生成部で生成される補正電圧 (V<sub>m</sub>) の電圧波形の一例を示す波形図である。

【図 13】図 12 に示す補正電圧 (V<sub>m</sub>) が、スイッチ回路を介して、反転増幅回路に入力される入力波形を示す波形図である。

【図 14】本発明の実施の形態において、正極性の各階調電圧に与える補正電圧 (V<sub>m</sub>) の一例を示すグラフである。

【図 15】本発明の実施の形態 2 の液晶表示モジュールの階調基準電圧生成回路の概略構成を示す回路図である。

【図 16】本発明の実施の形態 3 の液晶表示モジュールの階調基準電圧生成回路の概略構成を示す回路図である。 30

【図 17】本発明の各実施の形態の液晶表示モジュールにおける、交流化信号 (M) とライン判別信号 (LB) を生成するための回路構成を示す回路図である。

【図 18】図 17 に示す回路における、8 (n = 3) ライン反転法の場合のタイミングチャートを示す図である。

【図 19】本発明の実施の形態 1 の液晶表示モジュールにおいて、ドレインドライバから n ライン上の画素に出力する階調電圧を補正する場合を説明するための図である。

【図 20】本発明の実施の形態 1 の液晶表示モジュールにおいて、ドレインドライバから (n + 1) ライン上の画素に出力する階調電圧を補正する場合を説明するための図である。  
。

【図 21】本発明の実施の形態 1 の液晶表示モジュールにおいて、ドレインドライバから n ラインと (n + 1) ライン上の画素に出力する階調電圧を補正する場合を説明するための図である。 40

【図 22】ドレインドライバが、長辺側の両辺に実装される液晶表示パネルを示す図である。

【図 23】図 22 に示す液晶表示パネルの場合における、補正電圧 (V<sub>m</sub>) の電圧波形を示す図である。

【図 24】本発明の実施の形態 4 の駆動方法の概要を説明するための図である。

【図 25】本発明の実施の形態 4 の液晶表示モジュールにおいて、極性反転直後の n ラインの 1 水平走査期間を長くする方法の一例を説明するための図である。

【図 26】本発明の実施の形態 4 の液晶表示モジュールにおいて、極性反転直後の n ライ 50

ンの 1 水平走査期間を長くする方法の他の例を説明するための図である。

【図 27】本発明の実施の形態 4 の液晶表示モジュールにおいて、極性反転直後の n ラインの 1 水平走査期間を長くする方法の他の例を説明するための図である。

【図 28】本発明の実施の形態 4 の液晶表示モジュールにおいて、極性反転直後の n ラインの 1 水平走査期間を長くする方法と、ドレインドライバから出力する階調電圧を補正する方法とを組み合わせた場合を説明するための図である。

【図 29】本発明の実施の形態 4 の液晶表示モジュールにおいて、クロック (C L 1) の生成タイミングを調整する回路部の回路構成を示す回路図である。

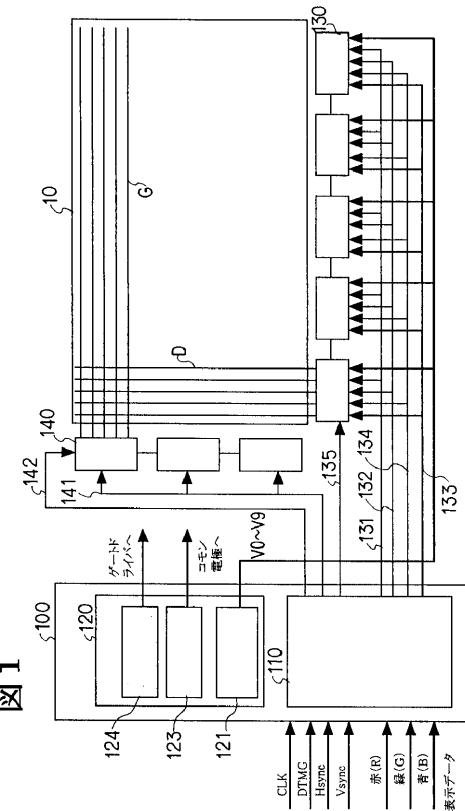
【図 30】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線 (D) に出力される液晶駆動電圧の極性を説明するための図である。 10

【図 31】駆動方法として、N ライン (例えば、2 ライン) 反転法を採用した場合に、液晶表示パネルに生じる、N ライン毎の横筋を示す模式図である。

【符号の説明】

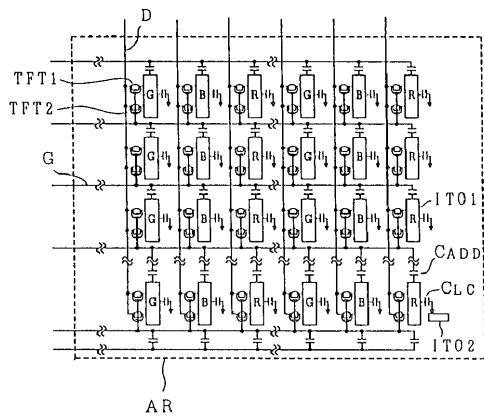
10 ... 液晶表示パネル (TFT - LCD) 、 30 ~ 35 ... 補正回路、 50 , 51 ... 補正電圧生成部、 52 ... スイッチ回路、 53 , 54 ... 反転増幅回路、 61 , 62 , 71 ... カウンタ、 63 ... 排他的論理和回路、 64 ... NOR 回路、 72 ... デコーダ回路、 73 ... マルチプレクサ、 100 ... インタフェース部、 110 ... 表示制御装置、 120 ... 電源回路、 121 ... 電圧生成回路、 123 ... コモン電極電圧生成回路、 124 ... ゲート電極電圧生成回路、 125 ... DC / DC コンバータ、 130 ... ドレインドライバ、 131 , 132 , 134 , 135 , 141 , 142 ... 信号線、 133 ... 表示データのバスライン、 140 ... ゲートドライバ、 151a , 151b ... 階調電圧生成回路、 152 ... 制御回路、 153 ... シフトレジスタ回路、 154 ... 入力レジスタ回路、 155 ... ストレージレジスタ回路、 156 ... レベルシフト回路、 157 ... 出力回路、 158a , 158b ... 電圧バスライン、 D ... ドレン信号線 (映像信号線または垂直信号線) 、 G ... ゲート信号線 (走査信号線または水平信号線) 、 ITO1 ... 画素電極、 ITO2 ... コモン電極、 CN ... 共通信号線、 TFT ... 薄膜トランジスタ、 CLC ... 液晶容量、 CSTG ... 保持容量、 CADD ... 付加容量、 M1 ... NMOS トランジスタ、 M2 ... PMOS トランジスタ、 OP ... オペアンプ、 R ... 抵抗素子、 C ... 容量素子。 20

【 図 1 】



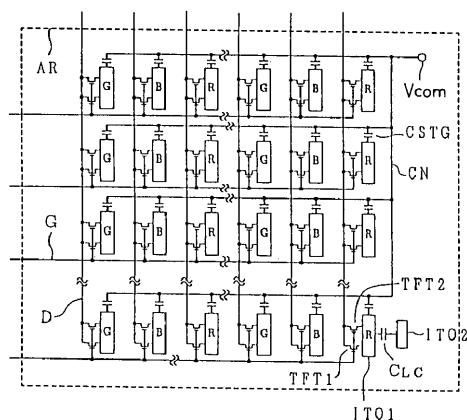
【 図 2 】

図 2



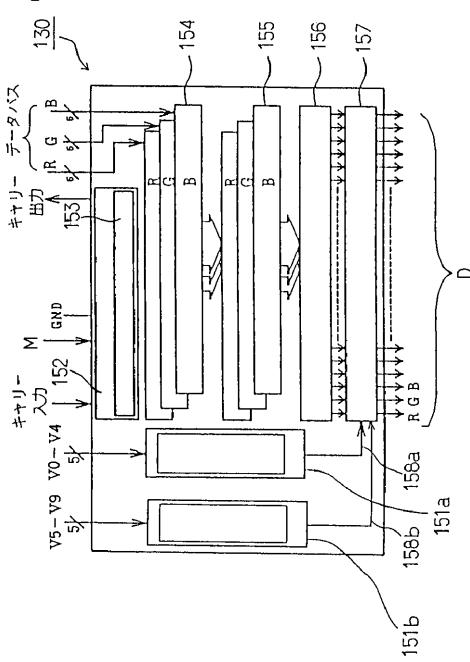
【図3】

3



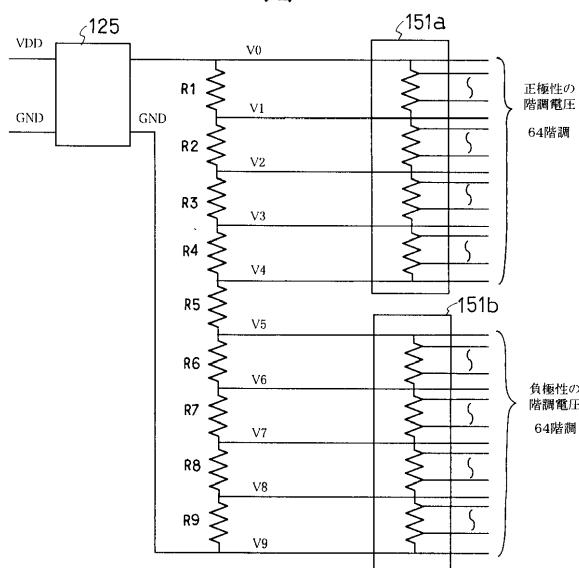
〔 四 4 〕

4



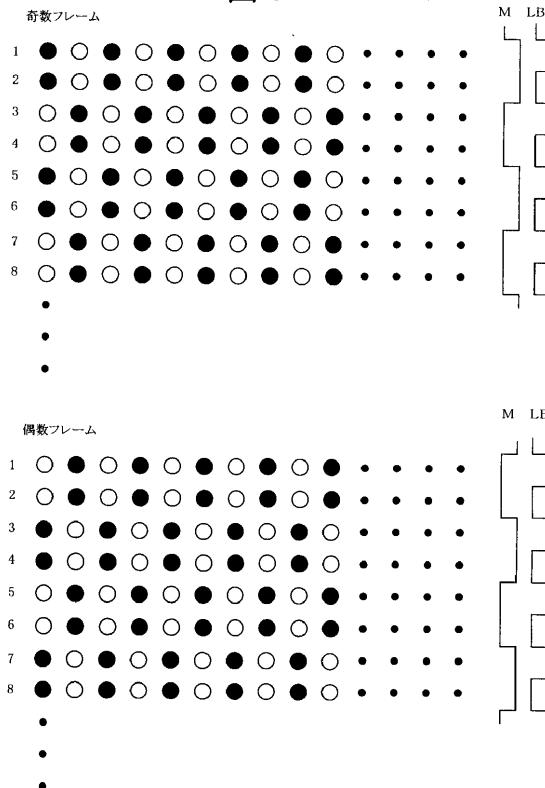
【図5】

5



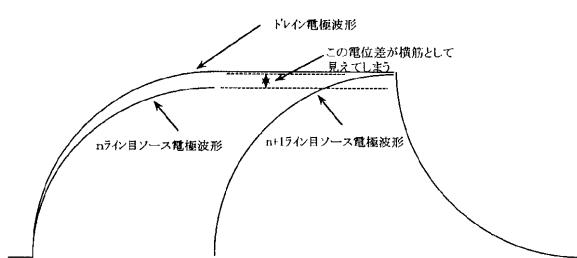
【 図 6 】

6



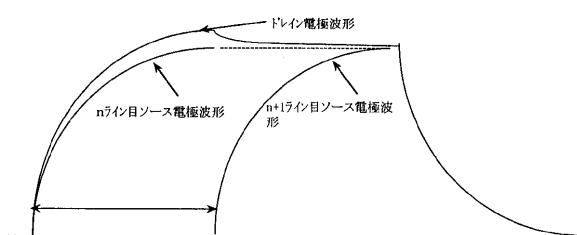
【図7】

図 7



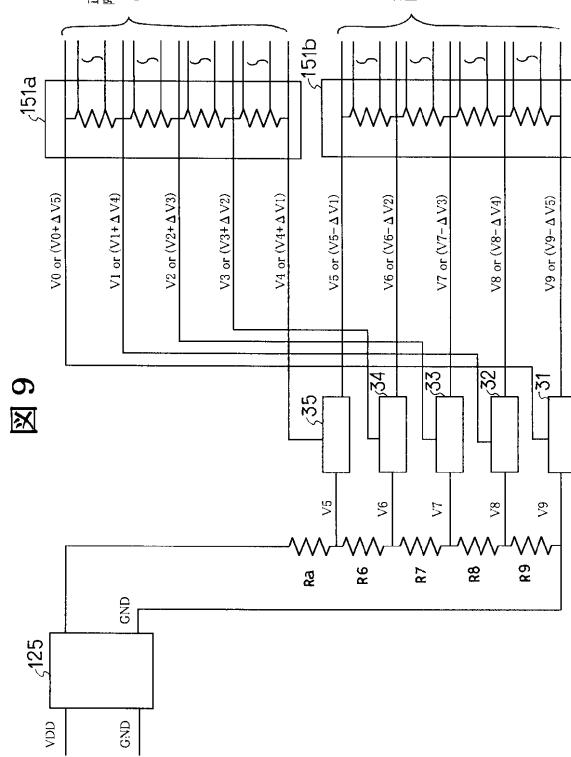
【図8】

四 8

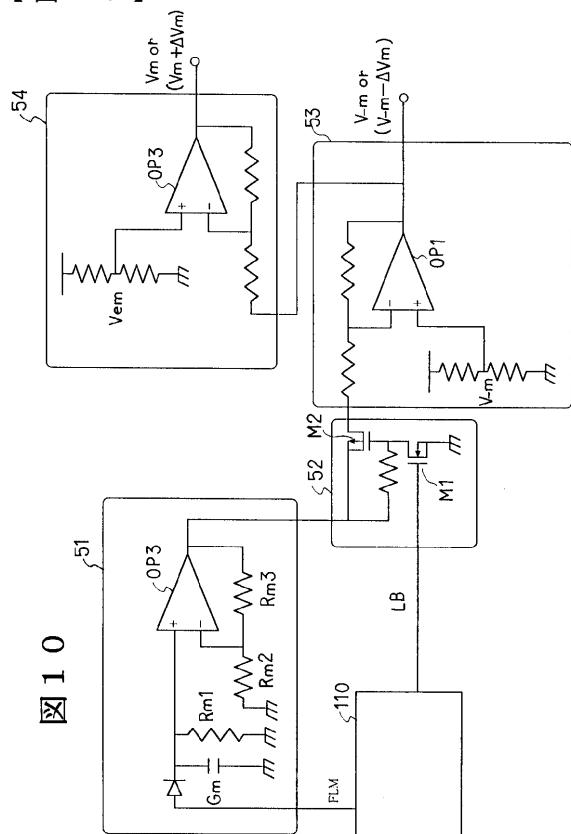


〔 四 9 〕

負極性の  
階調電圧  
64階調

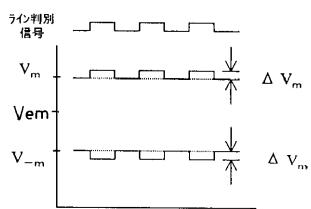


【図 10】



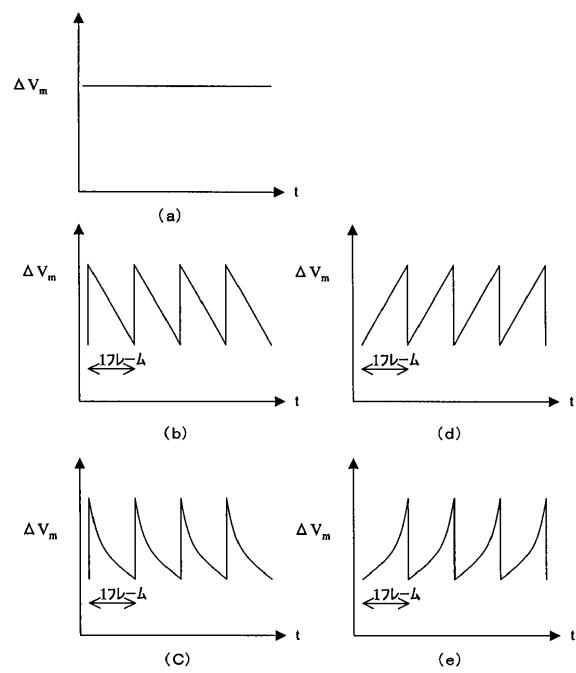
【図 11】

図 11



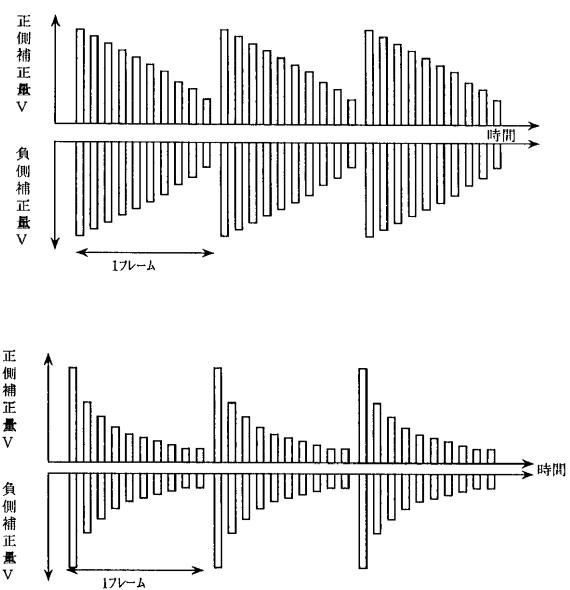
【図 12】

図 12



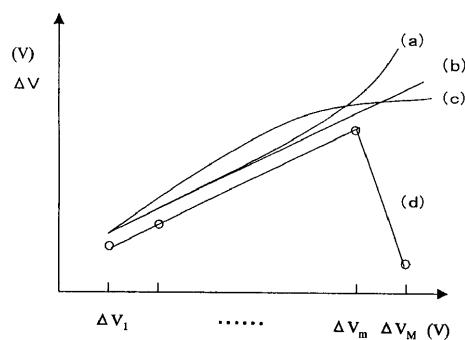
【図 13】

図 13



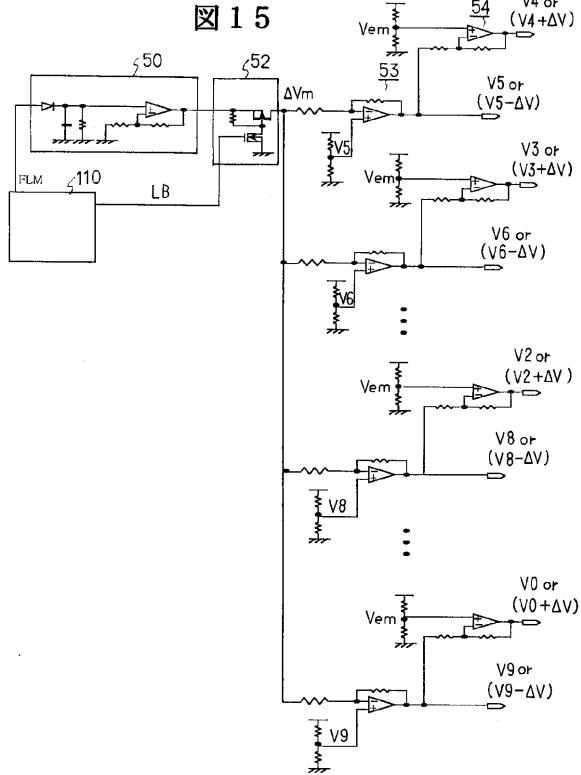
【図14】

図14



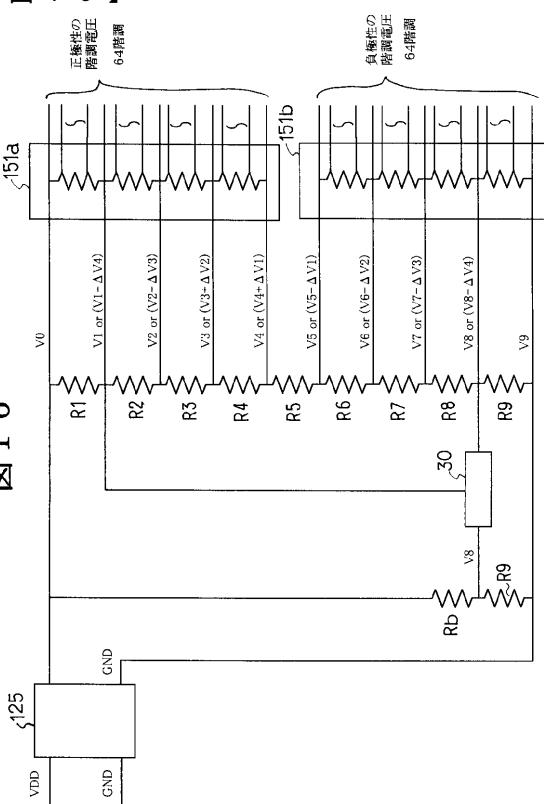
【図15】

図15



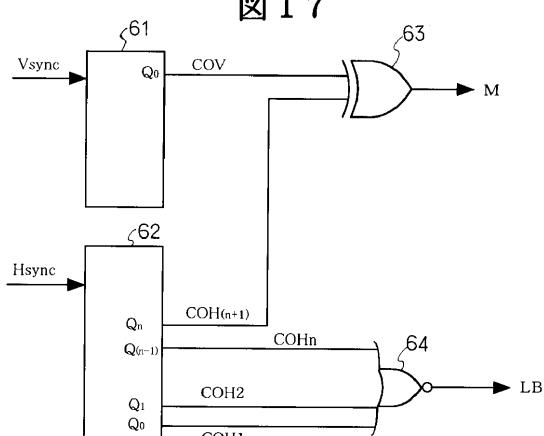
【図16】

図16



【図17】

図17



【図 18】

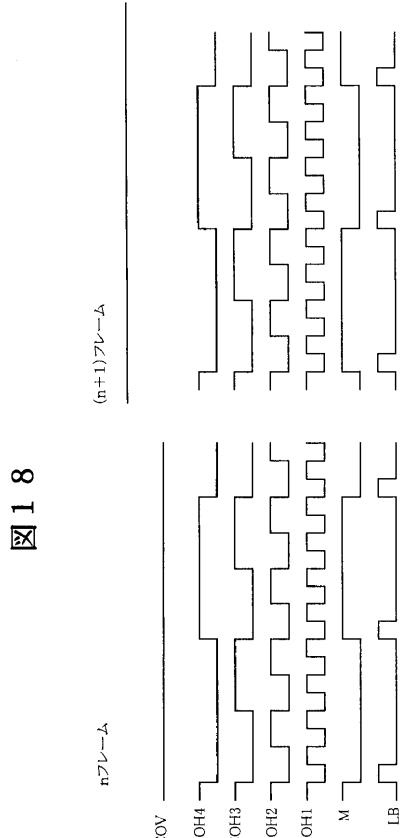


図 18

【図 19】

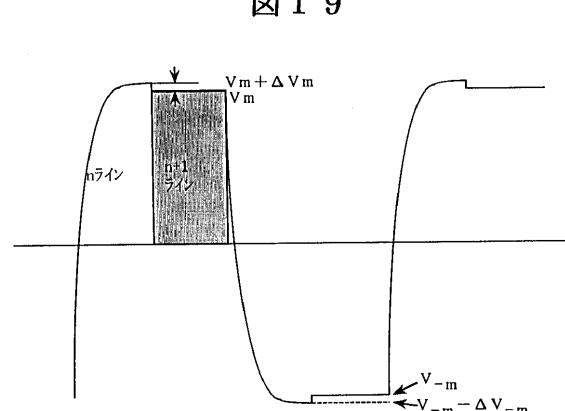


図 19

【図 20】

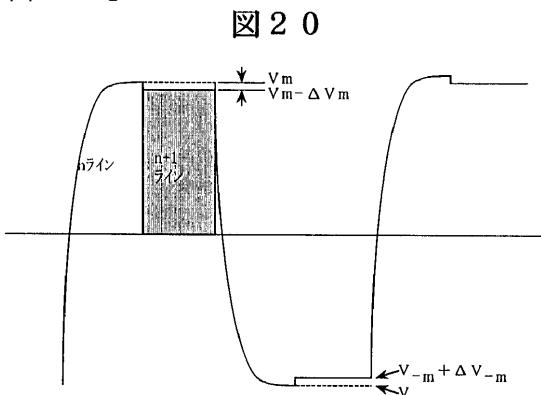
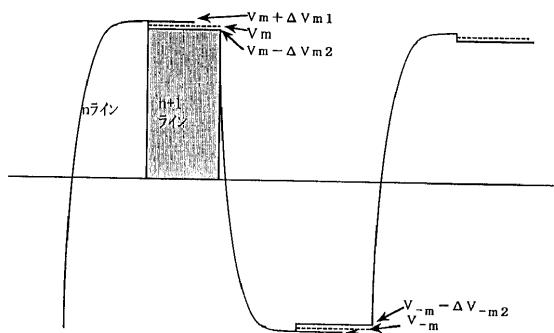


図 20

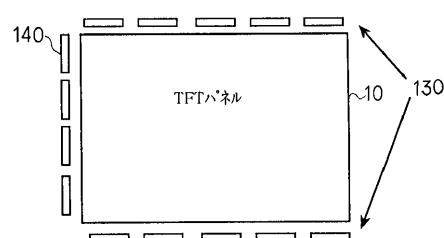
【図 21】

図 21



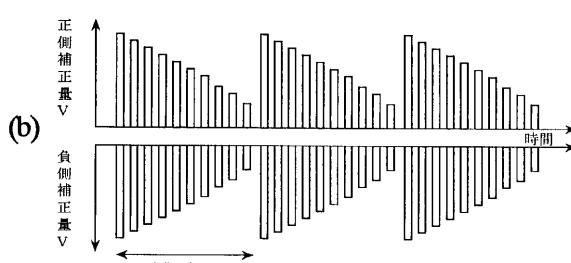
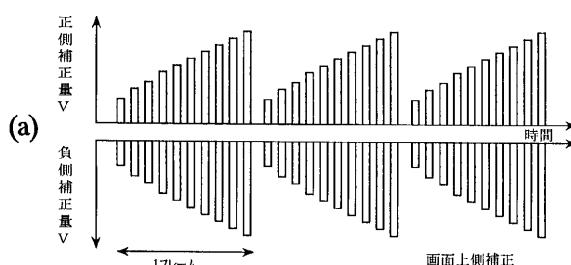
【図 22】

図 22



【図 23】

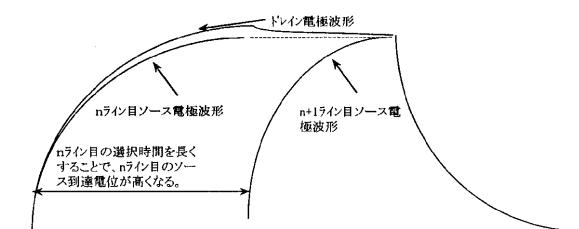
図 23



画面下側補正

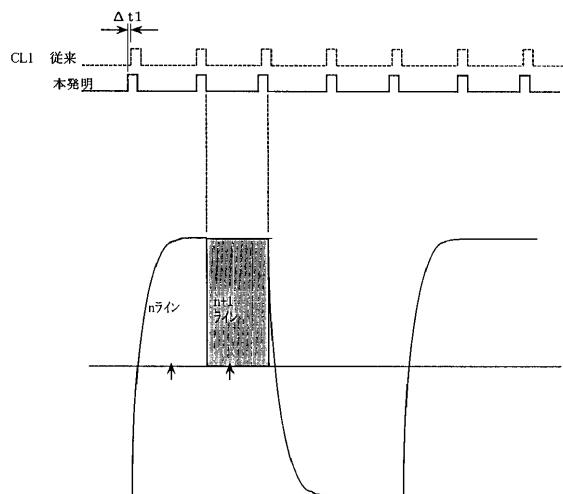
【図24】

図24



【図25】

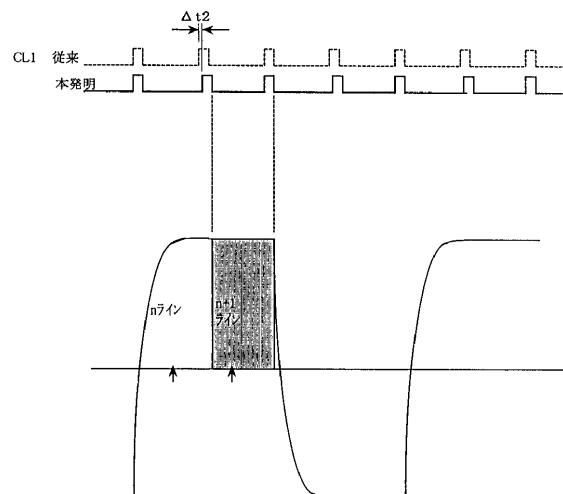
図25



【図26】

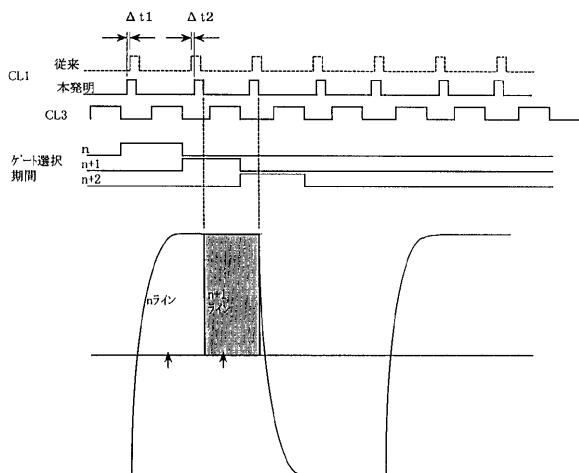
【図26】

図26



【図27】

図27



【図28】

図28

従来 CL1 本発明

CL3

(a)

(b)

(c)

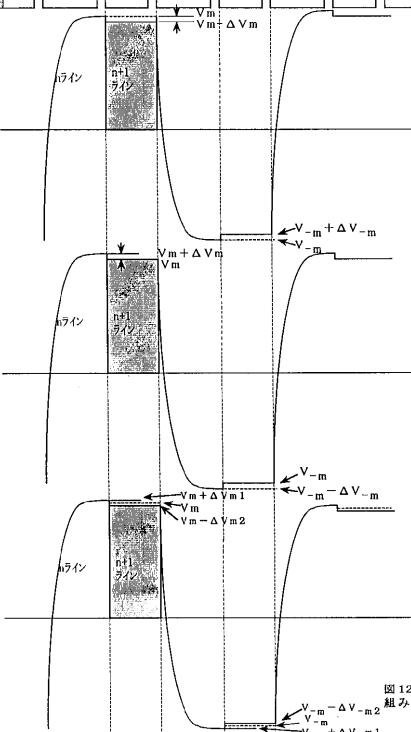
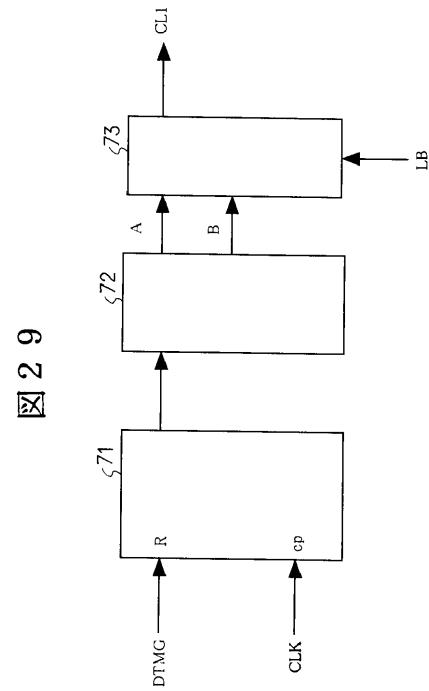


図12

組み合わせ

【図29】



29

【 図 3 0 】

図 3 0

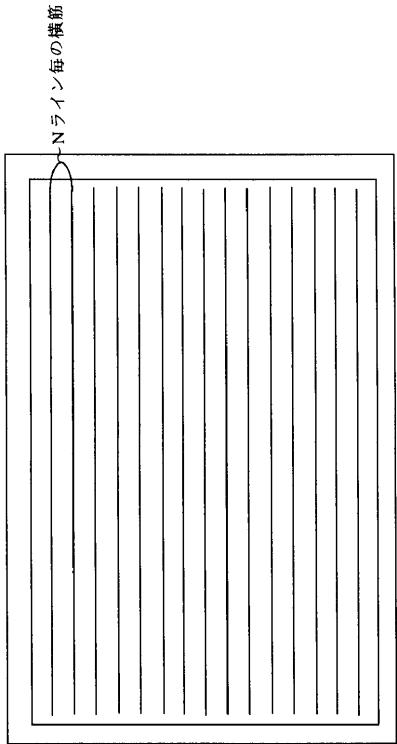
奇数フレーム

1	●○●○○●○○●○●○●○●	· · ·
2	○●○●●○●○●○●○●○●○	· · ·
3	●●○●○○●○●○●○●○●○●	· · ·
4	○●○●○●○●○●○●○●○●○	· · ·
5	●●○●○○●○●○●○●○●○●	· · ·
6	○●○●○●○●○●○●○●○●○●	· · ·
⋮	⋮	⋮

偶数フレーム

【図3-1】

1  
3



---

フロントページの続き

審査官 濱本 祐広

(56)参考文献 特開平11-271716(JP,A)  
特開平09-015560(JP,A)  
特開2003-084737(JP,A)  
特開2001-215469(JP,A)  
特開平07-318898(JP,A)  
特開2000-322031(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP3745259B2</a>	公开(公告)日	2006-02-15
申请号	JP2001277799	申请日	2001-09-13
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	福元桃子 今城由博 武田伸宏		
发明人	福元 桃子 今城 由博 武田 伸宏		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.B G09G3/20.641.P G09G3/20.642.A		
F-TERM分类号	2H093/NA32 2H093/NA34 2H093/NC03 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND06 2H093/ND09 2H193/ZA04 2H193/ZC02 2H193/ZC20 2H193/ZD32 2H193/ZF03 5C006/AA22 5C006/AC27 5C006/AF42 5C006/AF46 5C006/BB16 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF25 5C006/BF43 5C006/BF46 5C006/FA22 5C006/GA03 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
其他公开文献	JP2003084725A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：提供一种驱动液晶显示装置的方法，该方法能够通过在通过反转灰度电压的极性驱动装置时防止水平条纹出现在显示屏上来改善显示屏的显示质量每N ( $N > 2$ ) 行。解决方案：驱动具有多个像素的液晶显示装置的方法和将M ( $M > 2$ ) 个灰度电压中的一个灰度电压输出到各个像素的驱动装置包括反转极性。每个N ( $N > 2$ ) 行从驱动装置输出每个像素的灰度电压，并改变输出到每个像素的m ( $1 \leq m \leq M$ ) 灰度电压的电压值驱动装置是当在极性反转之后立即将灰度电压输出到第一行上的像素时以及当在极性反转之后的第一行之后的极性中未反转的线上的像素上输出灰度电压时的驱动装置。

