

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3651371号

(P3651371)

(45) 発行日 平成17年5月25日(2005.5.25)

(24) 登録日 平成17年3月4日(2005.3.4)

(51) Int. Cl.<sup>7</sup>

F I

G09G 3/36  
G02F 1/133  
G09G 3/20

G09G 3/36  
G02F 1/133 505  
G09G 3/20 612F  
G09G 3/20 612U  
G09G 3/20 641C

請求項の数 10 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2000-231392 (P2000-231392)  
(22) 出願日 平成12年7月27日(2000.7.27)  
(65) 公開番号 特開2002-41004 (P2002-41004A)  
(43) 公開日 平成14年2月8日(2002.2.8)  
審査請求日 平成15年5月27日(2003.5.27)

(73) 特許権者 000005108  
株式会社日立製作所  
東京都千代田区丸の内一丁目6番6号  
(74) 代理人 100075096  
弁理士 作田 康夫  
(72) 発明者 新田 博幸  
神奈川県川崎市麻生区王禅寺1099番地  
株式会社日立製作所 システム開発研究  
所内  
(72) 発明者 古橋 勉  
神奈川県川崎市麻生区王禅寺1099番地  
株式会社日立製作所 システム開発研究  
所内

最終頁に続く

(54) 【発明の名称】 液晶駆動回路及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のマトリックス状に配列された画素部を有する液晶パネルに液晶階調電圧を出力するデータドライバ回路において、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

電源回路から供給される複数の基準電圧から2のN(Nは正の整数)乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記2のN乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧を分圧して複数の液晶階調電圧を生成する階調電圧生成回路と、

システム装置から供給される2のN乗階調を表す表示データを入力し液晶表示データを出力する液晶制御回路からの前記液晶表示データに応じた液晶階調電圧を、前記階調電圧生成回路により生成された前記複数の液晶階調電圧から選択する階調電圧選択回路とを有し、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の表示データを複数の輝度領域毎に画素数をカウントし、前記複数の輝度領域毎にカウントされる画素分布数の平均値と、前記カウントされる各輝度領域の画素分布数との差分に基づいて決定されていることを特徴とするデータドライバ回路。

10

20

## 【請求項 2】

請求項 1 記載のデータドライバ回路において、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係の設定は、前記液晶制御回路によって行われることを特徴とするデータドライバ回路。

## 【請求項 3】

請求項 1 のデータドライバ回路において、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、前記画素分布数の平均値より多い画素分布数の輝度領域のコントラストを高くするように決定されていることを特徴とするデータドライバ回路。

10

## 【請求項 4】

請求項 2 のデータドライバ回路において、

前記階調制御レジスタ回路への前記液晶表示データと前記液晶階調電圧との対応関係の設定は、前記液晶制御回路から当該データドライバ回路に前記液晶表示データを転送するデータバスを介して行われることを特徴とするデータドライバ回路。

## 【請求項 5】

複数のマトリックス状に配列された画素部を有する液晶パネルに液晶階調電圧を出力するデータドライバ回路において、

液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、電源回路から供給される複数の基準電圧から 2 の  $N$  ( $N$  は正の整数) 乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記 2 の  $N$  乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧を分圧して複数の液晶階調電圧を生成する階調電圧生成回路と、

20

システム装置から供給される 2 の  $N$  乗階調を表す表示データを入力し液晶表示データを出力する液晶制御回路からの前記液晶表示データに応じた液晶階調電圧を、前記階調電圧生成回路により生成された前記複数の液晶階調電圧から選択する階調電圧選択回路とを有し、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の輝度分布に基づいて決定されることを特徴とするデータドライバ回路。

30

## 【請求項 6】

請求項 5 のデータドライバ回路において、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、前記一画面の輝度分布中の画素が多数有る領域のコントラストを高くするように決定されていることを特徴とするデータドライバ回路。

## 【請求項 7】

複数のマトリックス状に配列された画素部を有する液晶パネルに液晶階調電圧を出力するデータドライバ回路において、

液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、電源回路から供給される複数の基準電圧から 2 の  $N$  ( $N$  は正の整数) 乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記 2 の  $N$  乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧を分圧して複数の液晶階調電圧を生成する階調電圧生成回路と、

40

システム装置から供給される 2 の  $N$  乗階調を表す表示データを入力し液晶表示データを出力する液晶制御回路からの前記液晶表示データに応じた液晶階調電圧を、前記階調電圧生成回路により生成された前記複数の液晶階調電圧から選択する階調電圧選択回路とを有し、

前記階調制御レジスタに保持される前記液晶表示データと前記液晶階調電圧との対応関

50

係は、フレーム毎に更新されることを特徴とするデータドライバ回路。

【請求項 8】

複数のマトリックス状に配列された画素部を有する液晶パネルに対し、2のN乗（Nは正の整数）階調を表す液晶表示データに対応した液晶階調電圧を出力するデータドライバ回路において、

前記液晶表示データを保持する液晶表示データ保持手段と、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

電源回路から供給される複数の基準電圧から2のN乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記2のN乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧から複数の液晶階調電圧を生成する階調電圧生成回路と、

10

前記階調電圧生成回路により生成された前記複数の液晶階調電圧に基づいて、前記液晶表示データ保持手段に保持された前記液晶表示データを前記液晶階調電圧に変更する階調電圧選択回路とを有し、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の輝度分布に基づいて決定されることを特徴とするデータドライバ回路。

【請求項 9】

20

複数のマトリックス状に配列された画素部を有する液晶パネルに対し、2のN乗（Nは正の整数）階調を表す液晶表示データに対応した液晶階調電圧を出力するデータドライバ回路において、

前記液晶表示データを保持する液晶表示データ保持手段と、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

電源回路から供給される複数の基準電圧から2のN乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記2のN乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧から複数の液晶階調電圧を生成する階調電圧生成回路と、

30

前記階調電圧生成回路により生成された前記複数の液晶階調電圧に基づいて、前記液晶表示データ保持手段に保持された前記液晶表示データを前記液晶階調電圧に変更する階調電圧選択回路とを有し、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の液晶表示データを複数の輝度領域毎に画素数をカウントし、前記複数の輝度領域毎にカウントされる画素分布数の平均値と、前記カウントされる各輝度領域の画素分布数との差分に基づいて決定されていることを特徴とするデータドライバ回路。

【請求項 10】

40

複数のマトリックス状に配列された画素部を有する液晶パネルに対し、2のN乗（Nは正の整数）階調を表す液晶表示データに対応した液晶階調電圧を出力するデータドライバ回路において、

前記液晶表示データを保持する液晶表示データ保持手段と、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

電源回路から供給される複数の基準電圧から2のN乗レベルの電圧を生成し、前記階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、生成された前記2のN乗レベルの電圧から複数の階調生成基準電圧を選択し、選択された前記複数の階調生成基準電圧から複数の液晶階調電圧を生成する階調電圧生成

50

回路と、

前記階調電圧生成回路により生成された前記複数の液晶階調電圧に基づいて、前記液晶表示データ保持手段に保持された前記液晶表示データを前記液晶階調電圧に変更する階調電圧選択回路とを有し、

前記階調制御レジスタに保持される前記液晶表示データと前記液晶階調電圧との対応関係は、フレーム毎に更新されることを特徴とするデータドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に動画に対応した階調特性にて、液晶パネルに駆動電圧を印加する液晶ドライバ回路を含む液晶表示装置に関する。

【0002】

【従来の技術】

一般的なブラウン管を用いたCRT表示装置は、テレビ放送やDVD等の動画や自然画を表示する場合、表示画面の白表示（輝度の高い表示）の割合によって白ピーク輝度が異なっている。表示画面の白表示の割合が多い場合と少ない場合では、同じ白表示でも、白表示の割合が少ない方が多い場合に比べて、輝度がより高くなっている。このように、表示画面に対応して階調特性を制御することで、コントラストを向上して表示の見栄えを良くしている。

【0003】

液晶表示装置では、1995年SID DIGEST (p257-260)「A 6-bit Digital Data Driver for Color TFT-LCDs」に記載されているように、データドライバは、入力される基準電圧からDAC回路で階調電圧を生成し、表示データに対応した液晶印加電圧を選択して出力アンプ回路でバッファして出力していた。つまり、データドライバは表示データに対して交流極性の正極性、負極性それぞれ1つの階調電圧を出力しており、階調特性はどの表示画面に対しても一様であった。

【0004】

このように、従来のデータドライバでは、動画表示や自然画表示に対応して、表示画面に対応して階調特性を制御する点に関しては考慮されていなかった。

【0005】

一方、テレビ放送やDVD等の動画や自然画を表示するため、液晶表示装置として階調制御を行う場合は、液晶コントローラ等で表示データを変換して階調特性を変化させている。図30、図31は、表示データの変換による階調特性の制御を示している。データドライバは図30に示すように、入力されたドライバデータ $n$ から $n+7$ に対して $V_{Gn}$ から $V_{Gn+7}$ の階調電圧を出力するため、階調特性を変更する場合は、表示データに対してドライバデータを変換する必要がある。図31の場合では、表示データ $n$ から $n+7$ をドライバデータ $n$ から $n+5$ に変換している。つまり、 $n$ から $n+7$ の8階調のデータを $n$ から $n+5$ の6階調のデータに変換して、階調特性を制御している。

【0006】

また、特開平11-337909号公報に記載されている液晶表示装置では、階調電圧発生回路に予め複数の階調特性が設定されており、ユーザ操作可能なスイッチや液晶表示装置をディスプレイモニタとして使用するコンピュータからの選択信号等の応じて、使用する階調特性が選択される。

【0007】

【発明が解決しようとする課題】

上記テレビ放送やDVD等の動画や自然画を表示するため、液晶表示装置として階調制御を行う場合は、液晶コントローラ等で表示データを変換して階調特性を変化させるものでは、階調特性が一様データドライバへの表示データを変換して階調特性を変更するため、図31に示したように、8階調のデータが6階調に変換されることになり階調がつぶれることになる。

10

20

30

40

50

## 【0008】

また、特開平11-337909号公報に示されている液晶表示装置では、動画に対応して、フレーム毎や映像シーン毎に階調特性を制御することができなかった。

## 【0009】

本発明の目的は、階調のつぶれを無くし、高画質表示を実現する液晶表示装置を提供することにある。

## 【0010】

本発明の他の目的は、フレーム毎や映像シーン毎に階調特性を制御し、高画質表示を実現する液晶表示装置を提供することにある。

## 【0011】

本発明の他の目的は、入力される映像信号がテレビ放送やDVD等の動画表示、OA用とのテキスト表示のそれぞれに対応した階調特性を実現する液晶表示装置を提供することにある。

10

## 【0012】

本発明の他の目的は、端子の数を増加することなく、階調のつぶれを無くし、フレーム毎や映像シーン毎に階調特性を制御を行うための階調特性の設定を行う液晶表示装置を提供することにある。

## 【0013】

## 【課題を解決するための手段】

上記問題を解決するため、本発明の液晶表示装置においては、複数のマトリックス状に配列された画素部を有する液晶パネルと、液晶パネルに液晶階調電圧を出力するデータドライバ回路と、システム装置から供給される表示制御信号及び $2^N$ （Nは正の整数）階調を表す表示データを該データドライバ回路と該走査ドライバ回路を駆動するための液晶制御信号及び液晶表示データに変換する液晶制御回路と、データドライバに複数のレベルの基準電圧を供給する電源回路とを有しており、上記データドライバ回路は、液晶表示データと液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、電源回路から供給される複数の基準電圧から $2^N$ レベルの電圧を生成し、階調制御レジスタ回路に保持された前記液晶表示データと前記液晶階調電圧との対応関係に基づき、生成された $2^N$ レベルの電圧から階調生成基準電圧を選択する。

20

## 【0014】

つまり、外部から入力される表示データの輝度分布等を液晶表示データと液晶階調電圧との対応関係として、これに基づき、データドライバが階調電圧を生成するための基準となる階調生成基準電圧を決定し、これに基づき階調電圧を生成する。

30

## 【0015】

また、外部から入力される表示データの輝度分布等の液晶表示データと液晶階調電圧との対応関係は、各フレーム毎に変化するため、各フレーム毎にこの対応関係を更新し、輝度分布の元となる表示データを、これによって決定された階調生成基準電圧に基づいて、階調電圧に変換して、液晶パネルに印加する構成とした。

## 【0016】

また、前記階調制御レジスタは、液晶コントローラから表示データを転送するデータバスを用いて設定可能とし、画像データに対応して液晶コントローラから階調制御を行う。

40

## 【0017】

## 【発明の実施の形態】

次に、本発明の第1の実施例について図1から図20を用いて説明する。

## 【0018】

図1は本発明を適用した液晶パネル駆動回路の構成図であり、 $1280 \times RGB \times 1024$ の液晶パネルをRGB各256階調、1638400色表示を行う場合の液晶ディスプレイの構成を示す。100はシステム装置から転送されてきた表示信号群、1は表示信号群100を液晶ドライバの同期信号、表示データに変換する液晶コントローラ、2はデータ同期クロック、3は有効データスタート信号、4はデータ水平同期信号、5は表示デー

50

タ、6は、走査ドライバ制御信号群、7-1から7-8は256階調、出力数480本のデータドライバで、7-1から7-8の8個で液晶パネルを駆動する。8は電源回路で液晶を駆動する階調電圧の正極性基準電圧17、負極性基準電圧18を生成し、9は液晶を走査する走査ドライバ、10は解像度1280×RGB×1024の液晶パネルである。

【0019】

また、11はレジスタ制御回路、12はレジスタ13を制御するレジスタ制御信号群、14はレジスタ出力信号で階調電圧生成回路15を制御する。なお、レジスタ13は液晶表示データと液晶階調電圧との対応関係を保持する。対応関係については、図13等を用いて後述する。16は階調電圧生成回路15で生成した正極性、負極性それぞれ256階調の階調電圧信号群、19は交流の極性を制御する交流化信号である。また、20はシフトレジスタ、22はシフトレジスタ20で生成したシフトクロック21により表示データ5を順次ラッチするデータラッチ回路、24はデータラッチ回路22の出力データ23をデータ水平同期信号4で全出力を同時にラッチするデータラッチ回路、26はデータラッチ回路24の出力データ25と交流化信号19に基づいて階調電圧信号群16から階調電圧を選択する階調電圧選択回路、28は階調電圧選択回路26で選択した選択階調電圧27をバッファ回路でバッファして出力する出力バッファ回路であり、29-1から29-8は1280×RGB×1024の液晶パネル10を駆動する階調駆動電圧、30は走査電圧である。

【0020】

図2、図3は、ドット反転駆動の液晶パネルの交流極性を示す図、図4は液晶ディスプレイの駆動タイミングを示す図、図5は階調電圧生成回路の構成図、図6、図7、図8は階調電圧生成回路の選択回路の構成図である。図9は階調制御レジスタの仕様を示す図、図10はデータバスの構成を示す図、図11はレジスタ制御回路、階調制御レジスタの構成図、図12は、階調制御レジスタの書込みタイミングを示す図、図13から図18は階調制御の内容を示す図、図19、図20は液晶コントローラの構成図である。

【0021】

図2に示すように、本実施例は、隣接する画素が互いに交流極性が逆となるドット反転駆動を行うため、図3に示すように隣接するデータドライバの出力端子は、互いに逆となる。

【0022】

次に、これらの表示動作について説明する。図1において、液晶コントローラ1は図示しないパーソナルコンピュータ等のシステム装置から表示信号群100を受け取り、液晶を駆動するデータドライバ7-1から7-8、走査ドライバ9のタイミングに信号を変換する。液晶コントローラ1では、 $2^N$ 階調(Nは正の整数)(RGB256階調)表示を行うため、RGB各Nビット(8ビット)を2画素パラレルにしてシリアルに48ビットのデータバスを用いて表示データを転送し、データドライバ7-1から7-8では、データ取り込みクロック2で順次RGB2画素ずつ表示データを取り込む。このデータ取り込みのタイミングを図1、図4を用いて説明する。データ取り込みクロック2に同期して転送される表示データ5は、表示データが有効となるタイミングで液晶コントローラ1が有効データスタート信号3を出力し、1段目のデータドライバ7-1が表示データの取り込みを開始する。データドライバ7-1はRGB2画素ずつ表示データを取り込み、80クロックで480出力分の表示データを取り込みを完了する。データドライバ7-1は、自段の表示データの取り込みが終わると、次段のデータドライバ7-2に対して有効データスタート信号31-1を出力し、データドライバ7-2が表示データ取り込みを開始する。以降のデータドライバ7-3から7-8も同様な動作を繰り返すことで、1ラインの表示データをデータラッチ回路A22に取り込む。

【0023】

次に、データラッチ回路A22の1ラインの表示データを全て同時にデータ水平同期信号4でデータラッチ回路B24にラッチし、各出力の表示データ、交流化信号19に対応した階調電圧16を階調電圧選択回路26で選択して、出力バッファ回路28でバッファし

10

20

30

40

50

て階調駆動電圧 29 - 1 から 29 - 8 を 1 ライン同時に出力する。

【 0 0 2 4 】

一方、走査ドライバ 9 は、液晶コントローラ 1 で生成されたフレーム同期信号 F L M のタイミングで走査水平同期信号 C L 3 に同期して 1 ライン目のゲート線を選択し、走査水平同期信号 C L 3 に同期して、順次 2 ライン目、3 ライン目のゲート線を選択する。走査水平同期信号 C L 3 の 1 0 2 4 クロックで順次 1 0 2 4 ラインを選択し、次のフレーム同期信号 F L M が有効になると、1 ライン目のゲート線を選択する。このようにフレーム周期で 1 0 2 4 ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ 7 - 1 から 7 - 8 によって液晶パネル 1 0 のデータ線に階調駆動電圧 29 - 1 から 29 - 8 が出力され、表示データに対応した表示を実現する。

10

【 0 0 2 5 】

次に、階調制御の動作について説明する。階調電圧 16 は、電源回路 8 で生成された正極性階調基準電圧 17 の V 0 から V 8 の 9 レベル、負極性階調基準電圧 18 の V 9 から V 17 の 9 レベルから階調電圧生成回路 15 で正極性階調電圧  $2^N$  ( 2 5 6 ) レベル、負極性階調  $2^N$  ( 2 5 6 ) レベルが生成される。図 5、図 6、図 7、図 8 は階調電圧生成回路 15 の内部構成図で、201 - 1、201 - 2 は正極性と負極性の基準電圧生成回路、202 - 1、202 - 2 は正極性、負極性の基準電圧 17、18 から生成した選択基準電圧で、正極性、負極性それぞれ基準電圧 V S 0 から V S 2 5 5 の 2 5 6 レベルの電圧となる。203 - 1、203 - 2 は基準電圧 202 - 1、202 - 2 からそれぞれ基準電圧を選択する回路で、204 - 1、204 - 2 は階調生成基準電圧で、205 - 1、205 - 2 は階調生成基準電圧 204 - 1、204 - 2 から液晶パネルを駆動するそれぞれ 2 5 6 階調 ( V G 0 から V G 2 5 5 ) の階調電圧 16 を生成する階調電圧生成回路である。

20

【 0 0 2 6 】

次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧生成回路 201 - 1、201 - 2 は、入力基準電圧が正極性 17、負極性 18 と異なるが同様な回路であり、図 6 に示すように、V 0 と V 1 の間を 3 2 分圧して V S 0 から V S 3 1 までの 3 2 レベルの選択基準電圧を生成し、V 1 と V 2 の間も同様に 3 2 分圧して V S 3 2 から V S 6 3 までの 3 2 レベルの選択基準電圧を生成する。V 2 から V 8 の基準電圧の間を同様に選択基準電圧を生成することで、V S 0 から V S 2 5 5 の 2 5 6 レベルの選択基準電圧 202 - 1 を生成する。負極性の基準電圧 18 ( V 9 から V 1 7 ) に対しても同様に基準電圧生成回路 201 - 2 で 2 5 6 レベルの選択基準電圧 202 - 2 を生成する。選択回路 203 - 1、203 - 2 では、階調電圧生成回路 205 - 1、205 - 2 で階調電圧を生成するための基準電圧を選択基準電圧 202 - 1、202 - 2 の中から選択する動作を行う。

30

【 0 0 2 7 】

図 6 において、階調電圧生成回路 205 は基準電圧 V 1 B から V 7 B の間を分圧して階調電圧を生成する。階調電圧 V G 0 から V G 3 1 の 3 2 レベルは、基準電圧 V 0 と選択回路 203 で選択した階調生成基準電圧 V 1 B の間を 3 2 分圧して生成する。階調電圧 V G 3 2 から V G 6 3 の 3 2 レベルは、選択回路 203 で選択した階調生成基準電圧 V 1 B と V 2 B の間を 3 2 分圧して生成する。同様に、V 2 B から V 7 B の間を分圧することで V G 6 4 から V G 2 2 3 の階調電圧を生成する。階調電圧 V G 2 2 4 から V G 2 5 5 の 3 2 レベルは、選択回路 203 で選択した階調生成基準電圧 V 1 B と基準電圧 V 8 との間を 3 2 分圧して生成する。階調電圧生成回路 205 - 2 でも同様にして負極性の階調電圧 V G 0 から V G 2 5 5 を生成する。従って、選択回路 203 - 1、203 - 2 で、階調制御信号 14 によって階調生成基準電圧 204 - 1、204 - 2 の電圧選択を制御することで階調電圧を制御することができる。

40

【 0 0 2 8 】

図 6 において、バッファアンプ 206 は選択電圧をバッファして、階調生成基準電圧 V 1 B から V 7 B を階調電圧生成回路 205 に接続する。例えば、階調生成基準電圧 V 1 B は、選択基準電圧 V S 0、V S 1 から V G 6 3 までの 6 4 レベルから 1 レベルを選択するこ

50

とで生成される。また、階調生成基準電圧V2Bは、選択基準電圧VS0、VS2からVG126までの64レベルから1レベルを選択することで生成される。同様に、階調生成基準電圧V3Bは、選択基準電圧VS32、VS34からVG158までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V4Bは、選択基準電圧VS64、VS66からVG190までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V5Bは、選択基準電圧VS98、VS100からVG224までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V6Bは、選択基準電圧VS129、VS131からVG255までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V7Bは、選択基準電圧VS192、VS193からVG255までの64レベルから1レベルを選択することで生成される。

10

#### 【0029】

また、図6の207、208は選択回路で、基準電圧V0、V8をそれぞれ選択する回路で、図7、図8に内部構成図を示す。図7において、階調電圧生成回路205の階調電圧VG8、VG16、VG24、VG40、VG48、VG56にB1からB6が接続されており、選択信号14によって選択スイッチが有効になった分圧ポイントに基準電圧V0が接続される。図8も同様に階調電圧生成回路205の階調電圧VG200、VG208、VG216、VG232、VG240、VG48にW6からW1が接続されており、選択信号14によって選択スイッチが有効になった分圧ポイントに基準電圧V8が接続される。この選択回路207、208によって、階調電圧生成回路205は低階調領域が基準電圧V0の電圧レベル、高階調領域が基準電圧V8の電圧レベルに固定されることになる。

20

#### 【0030】

次に、階調制御レジスタの構成及び動作について説明する。階調制御レジスタ13は、48ビットのデータバスの内36ビットを用いて液晶コントローラ1から設定データの書込みを行う。図9は階調制御レジスタのビット構成、図10はデータバスのビット構成を示す。図9に示すように、階調制御レジスタは6ビットレジスタ10個で構成し、NO.1からNO.9のB1からB6、W1からW6の設定、V1BからV7Bの設定を行うレジスタとNO.10の制御レジスタで構成されている。図10に示すように、データバスのRGB各8ビット2画素のRO[7:0]、RE[7:0]、GO[7:0]、GE[7:0]、BO[7:0]、BE[7:0]の48ビットの内、RO[5:0]、RE[5:0]、GO[5:0]、GE[5:0]、BO[5:0]、BE[5:0]の36ビットをポート0からポート5に割り当てる。制御レジスタはポート5に割り当て、他のレジスタを図9に示すポート0からポート4に割り当て、制御レジスタのP0からP4ビットで各階調制御レジスタの書込みが有効か無効かを設定し、RSビットで同一ポートに割り当てられた階調制御レジスタの選択を行う。このようなレジスタ構成により、2回の書込みで全ての階調制御レジスタを設定することができる。

30

#### 【0031】

次に、階調制御レジスタの書込み動作及び回路構成について説明する。図11は階調制御レジスタの回路構成図、図12は書込みタイミングを示す図である。データバスは表示データの転送を行うことから、表示データの転送が有効でない水平帰線期間のデータ水平同期信号4の立ち上がりエッジでデータを取り込みを行うことで、データバスの共有ができ、データドライバの入力端子数が増加しないで、階調制御レジスタの設定を実現する。また、図11に示すように、ポート0からポート4に割り当てられたデータバス30ビットを各9個の階調制御レジスタに接続し、ポート5の制御レジスタのP0からP4ビットとRSビットの条件により有効にすることで階調制御レジスタの書込みを実現できる。

40

#### 【0032】

以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの無い階調制御を実現できる。

#### 【0033】

50

次に、本発明により実現する階調制御について、図 1 3 から図 1 8 を用いて説明する。

【 0 0 3 4 】

図 1 3 はヒストグラム伸長制御を行った場合の階調制御を示している。3 2 階調毎の表示画面の 0 から 2 5 5 階調レベルの輝度分布を調べ、0 から 3 1 階調の画素が少ないと判定される場合、0 から 3 1 階調のコントラストを低下させ、3 2 から 2 5 5 階調のコントラストを高くすることで、画面全体のコントラストが向上する。

【 0 0 3 5 】

また、図 1 4 では、3 2 階調毎の表示画面の 0 から 2 5 5 階調レベルの輝度分布を調べ、2 2 4 から 2 5 5 階調の画素が少ないと判定される場合、2 2 4 から 2 5 5 階調のコントラストを低下させ、0 から 2 2 3 階調のコントラストを高くすることで、画面全体のコントラストが向上する。

10

【 0 0 3 6 】

また、図 1 5 では、3 2 階調毎の表示画面の 0 から 2 5 5 階調レベルの輝度分布を調べ、0 から 3 1 階調と 2 2 4 から 2 5 5 階調の画素が少ないと判定される場合、0 から 3 1 階調と 2 2 4 から 2 5 5 階調のコントラストを低下させ、3 2 から 2 2 3 階調のコントラストを高くすることで、画面全体のコントラストが向上する。

【 0 0 3 7 】

このように、ヒストグラム伸長制御は、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

20

【 0 0 3 8 】

本実施例では、画面全体のコントラストを向上させるため、表示データ自身の階調レベルを変換するのではなく、階調電圧を生成するための階調生成基準電圧を変換し、これに基づいて階調電圧を生成している。

【 0 0 3 9 】

つまり、ヒストグラム伸長制御を行うため、1 フレーム毎のヒストグラムを液晶表示データと液晶階調電圧との対応関係としてレジスタ 1 3 に設定する。そして、階調電圧生成回路 1 6 においては、電源回路 8 から供給される基準電圧 1 7 , 1 8 から 2 5 6 レベルの基準電圧を生成し、レジスタ 1 3 に記憶された対応関係に基づいて、電源回路 8 から供給される基準電圧 1 7 , 1 8 に変わる階調生成基準電圧を決定する。具体的には、図 1 3 の場合には階調 3 2 から 2 5 5 までをリニアに変化させるべく、階調生成基準電圧 V 1 B から V 7 B を設定することになる。例えば、階調 0 - 3 1 までは階調電圧を 0 とする必要があるため、階調生成基準電圧 V 1 B と V 2 B はいずれも 0 とし、残る V 3 B から V 7 B により、階調 0 から 2 5 5 までリニアに変化するように、V 3 B から V 7 B では均等に電圧あげるように設定するように階調生成基準電圧を決定する必要がある。同様に図 1 4 においても、階調生成電圧の決定を 2 2 3 階調から 2 5 5 階調間は、2 5 5 階調に対応する階調電圧が得られ、その他の階調はリニアに変化するように階調生成基準電圧を決定する。図 1 5 においても、階調生成基準電圧の決定は、図 1 5 に示されたグラフのように階調電圧が得られるように決定される。

30

【 0 0 4 0 】

図 1 3 から図 1 5 の例では、3 2 階調毎の輝度分布を調べているが、1 6 階調毎や 8 階調毎の輝度分布を調べることで、より細かくヒストグラム伸長制御が可能となり、高画質化を実現できる。

40

【 0 0 4 1 】

また、ヒストグラム伸長制御は、本実施例では、液晶コントローラ 1 で輝度分布を調べ、その結果を基に階調制御レジスタ NO . 1 , NO . 2 の B 1 から B 6 , W 1 から W 6 を設定することで 8 階調毎に低階調領域または高階調領域の電圧を V 0 ( V G 0 ) , V 8 ( V G 2 5 5 ) に固定することができ、容易に実現できる。

【 0 0 4 2 】

次に、図 1 6 , 図 1 7 を用いてはガンマ曲線制御を行った場合の階調制御について説明す

50

る。図16はガンマ曲線が  $\gamma = 1.8$  の曲線を  $\gamma = 2.2$  に制御する階調制御を示している。一般にガンマ曲線のガンマ係数が大きくなると高階調領域のコントラストが高くなり、ガンマ係数が小さくなると低階調領域のコントラストが高くなる。図13、図14、図15で示した輝度分布に基づいて、高階調領域の画素分布が多い場合はガンマ係数を大きくし、逆に、低階調領域の画素分布が多い場合はガンマ係数を小さくするように、階調制御レジスタを設定する。また、ガンマ変換がなされていない表示データに対して逆ガンマ変換を行うことで高画質表示を実現する。図16は、ガンマ係数  $\gamma = 1.8$  の階調曲線をガンマ係数  $\gamma = 2.2$  に変換する階調制御の例を示している。また図17はガンマ係数  $\gamma = 2.4$  の階調曲線をガンマ係数  $\gamma = 2.2$  に変換する階調制御の例を示している。

【0043】

このように、ガンマ曲線制御は、テレビ放送やDVD等の動画表示の場合とOA用途のテキストやドキュメントの表示の場合で最適なガンマ曲線が異なる場合に、ガンマ曲線を制御することで画面全体のコントラスト、見栄えの向上を実現する。

【0044】

また、ガンマ曲線制御は、本実施例では、液晶コントローラ1で入力される映像信号がテレビ放送やDVD等の動画表示か、OA用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

【0045】

次に、図18を用いて、イコライズ伸長制御について説明する。

【0046】

図18はイコライズ伸長制御を行った場合の階調制御を示しており、32階調毎の表示画面の0から255階調レベルの輝度分布を調べ、平均の画素分布数より多い階調領域のコントラストを高くすることで、画面全体のコントラストが向上する。階調領域32から63の画素数は平均画素数よりも多いため、階調領域32から63のコントラストを高くし、逆に階調領域128から159の画素数は平均画素数よりも少ないため、階調領域128から159はコントラストを低くする。このように、各階調領域の画素分布に従ってコントラストを高くまた低くすることで、画面全体のコントラスト、見栄えの向上を実現する。

【0047】

このように、イコライズ伸長制御は、表示画面の画素の輝度分布を調べ、画素が少ない領域のコントラストを低下させ、画素が多い領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

【0048】

また、イコライズ伸長制御は、本実施例では、液晶コントローラ1で輝度分布を調べ、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

【0049】

次に、上記階調制御を行う液晶コントローラの構成について、図19、図20を用いて説明する。図19に示す301は液晶駆動制御回路で、表示信号群100から液晶パネル駆動用のデータ同期クロック2、有効データスタート信号3、データ水平同期信号4、交流化信号19を生成する。302は映像解析回路で、表示信号群100の表示データの輝度分布(ヒストグラム)、平均輝度、ガンマ曲線等の映像情報を解析し、解析データを階調制御判定回路303に出力する。階調制御判定回路303では、映像の解析データに基づいて、階調制御を決定し、設定データ生成回路304でデータドライバ71から78の階調制御レジスタに設定する設定データ306を生成する。設定データ306と表示データ305は、図12に示したタイミングで選択信号308によって選択回路307で切換えることで、データバスを共有することができる。

10

20

30

40

50

## 【 0 0 5 0 】

本実施例では、画面全体のコントラストを向上させるため、表示データ自身の階調レベルを変換するのではなく、階調電圧を生成するための階調生成基準電圧を変換し、これに基づいて階調電圧を生成している。

## 【 0 0 5 1 】

つまり、イコライズ伸長制御を行うため、1フレーム毎の表示データを複数の輝度領域毎に画素数をカウントしてヒストグラムを作成し、複数の輝度領域毎にカウントされる画素分布数の平均値と、カウントされる各輝度領域の画素分布数との差分を液晶表示データと液晶階調電圧との対応関係としてレジスタ13に設定する。そして、階調電圧生成回路16においては、電源回路8から供給される基準電圧17, 18から256レベルの基準電圧を生成し、レジスタ13に記憶された対応関係に基づいて、電源回路8から供給される基準電圧17、18に変わる階調生成基準電圧を決定するこのように、液晶コントローラで映像を解析して、データドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に階調制御を行うことができる。

10

## 【 0 0 5 2 】

図20は、液晶コントローラ以外のシステム装置で映像の解析を行い階調制御信号を液晶コントローラに転送して、液晶コントローラで階調制御レジスタの設定データ生成を行う場合の構成を示している。図20に示す401は液晶駆動制御回路で、表示信号群100から液晶パネル駆動用のデータ同期クロック2、有効データスタート信号3、データ水平同期信号4、交流化信号19を生成する。400はパーソナルコンピュータ等のシステム装置で、表示する映像の輝度分布(ヒストグラム)、平均輝度、ガンマ曲線等の解析結果やユーザ設定情報に基づいて階調制御の指示を行う階調制御信号402を液晶コントローラ1に転送する。液晶コントローラ1は、階調制御判定回路403でシステム装置400からの階調制御信号402の指示にしたがって、階調制御を決定し、設定データ生成回路404でデータドライバ7-1から7-8の階調制御レジスタに設定する設定データ406を生成する。設定データ406と表示データ405は、図12に示したタイミングで選択信号408によって選択回路407で切換えることで、データバスを共有することができる。このように、システム装置で映像を解析して、液晶コントローラでデータドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に階調制御を行うことができる。

20

30

## 【 0 0 5 3 】

尚、本実施例では、256階調表示に対応して、基準電圧を正極性、負極性それぞれ9本に設定したが、これに限ったものではなく、正極性、負極性それぞれ5本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧V1BからV7Bを32階調毎に設定したが、これに限ったものではなく、16階調毎に設定した場合でも同様に階調制御が実現できる。

## 【 0 0 5 4 】

次に、本発明の第2の実施例について図9から図18、図21から図29を用いて説明する。

## 【 0 0 5 5 】

第2の実施例は、コモン反転駆動を行い、64階調のデータドライバを用いてFRC制御によって $2^N$ (256)階調表示実現するところが、第1の実施例と異なる。

40

## 【 0 0 5 6 】

図21は本発明を適用した液晶パネル駆動回路の構成図であり、1280×RGB×1024の液晶パネルをFRC制御によりRGB各256階調、1638400色表示を行う場合の液晶ディスプレイの構成を示す。100はシステム装置から転送されてきた表示信号群、101は表示信号群100を液晶ドライバの同期信号、表示データに変換する液晶コントローラ、102はデータ同期クロック、103は有効データスタート信号、104はデータ水平同期信号、105は表示データ、106は、走査ドライバ制御信号群、107-1から107-8は64階調、出力数480本のデータドライバで、107-1から

50

107 - 8の8個で液晶パネルを駆動する。108は電源回路で液晶を駆動する階調電圧の正極性基準電圧131、負極性基準電圧132、正極性共通電圧141、負極性共通電圧142を生成し、109は液晶を走査する走査ドライバ、110は解像度1280×RGB×1024の液晶パネルである。また、111はレジスタ制御回路、112はレジスタ113を制御するレジスタ制御信号群、114はレジスタ出力信号で階調電圧生成回路115を制御する。116は階調電圧生成回路15で生成した正極性または負極性それぞれ64階調の階調電圧信号群、119は交流の極性を制御する交流化信号である。133は正極性基準電圧131、負極性基準電圧132を交流化信号119で切替える切替え回路、143は正極性共通電圧141、負極性共通電圧142を交流化信号119で切替える切替え回路である。また、120はシフトレジスタ、122はシフトレジスタ120で生成したシフトクロック121により表示データ105を順次ラッチするデータラッチ回路、124はデータラッチ回路122の出力データ123をデータ水平同期信号104で全出力を同時にラッチするデータラッチ回路、126はデータラッチ回路124の出力データ125に基づいて階調電圧信号群116から階調電圧を選択する階調電圧選択回路、128は階調電圧選択回路126で選択した選択階調電圧127をバッファ回路でバッファして出力する出力バッファ回路であり、129 - 1から129 - 8は1280×RGB×1024の液晶パネル110を駆動する階調駆動電圧、130は走査電圧である。

10

#### 【0057】

図22、図23は、共通反転駆動の液晶パネルの交流極性を示す図、図24は液晶ディスプレイの駆動タイミングを示す図、図25は階調電圧生成回路の構成図、図26、図27、図28は階調電圧生成回路の選択回路の構成図である。図29は液晶コントローラの構成図である。

20

#### 【0058】

図22に示すように、本実施例は、同一ラインの画素は交流極性が同じで、隣接するラインの画素が互いに交流極性が逆となる共通反転駆動を行うため、図23に示すように隣接するラインの交流極性は逆となり、これに同期して液晶の対抗電極の電圧である共通電圧(Vcom)を反転することで交流駆動を行う。

#### 【0059】

次に、これらの表示動作について説明する。図21において、液晶コントローラ101は図示しないパーソナルコンピュータ等のシステム装置からRGB各8ビット256階調、1638400色表示の表示信号群100を受け取り、液晶を駆動するデータドライバ107 - 1から107 - 8、走査ドライバ109のタイミングに信号を変換する。液晶コントローラ101では、データドライバ7 1から7 8が64階調の電圧を生成することから、RGB各8ビットをFRC制御した6ビットの表示データに変換して256階調表示を行う。FRC制御は異なる階調電圧をフレーム毎に印加することで、その中間の階調を表示する方式である。従って、液晶コントローラ101は、電圧による電圧階調0から63の間に3階調づつ、電圧階調62と63の間はFRC制御によるFRC階調を6階調として、256階調表示を行う。

30

#### 【0060】

そして、液晶コントローラ101では、RGB各6ビットを2画素平行にしてシリアルに36ビットのデータバスを用いて表示データを転送し、データドライバ107 - 1から107 - 8では、データ取り込みクロック102で順次RGB2画素づつ表示データを取り込む。

40

#### 【0061】

このデータ取り込みのタイミングを図21、図24を用いて説明する。データ取り込みクロック102に同期して転送される表示データ105は、表示データが有効となるタイミングで液晶コントローラ101が有効データスタート信号103を出力し、1段目のデータドライバ107 - 1が表示データの取り込みを開始する。データドライバ107 - 1はRGB2画素づつ表示データを取り込み、80クロックで480出力分の表示データを取

50

り込みを完了する。データドライバ107-1は、自段の表示データの取り込みが終わると、次段のデータドライバ107-2に対して有効データスタート信号134-1を出力し、データドライバ107-2が表示データ取り込みを開始する。以降のデータドライバ107-3から107-8も同様な動作を繰り返すことで、1ラインの表示データをデータラッチ回路A122に取り込む。

#### 【0062】

次に、データラッチ回路A122の1ラインの表示データを全て同時にデータ水平同期信号104でデータラッチ回路B124にラッチし、各出力の表示データ125に対応した階調電圧116を階調電圧選択回路126で選択して、出力バッファ回路128でバッファして階調駆動電圧129-1から129-8を1ライン同時に出力する。

10

#### 【0063】

一方、走査ドライバ109は、液晶コントローラ101で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の1024クロックで順次1024ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で1024ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ107-1から107-8によって液晶パネル110のデータ線に階調駆動電圧129-1から129-8が出力され、表示データに対応した表示を実現する。

#### 【0064】

20

次に、階調制御の動作について説明する。階調電圧116は、電源回路108で生成した正極性基準電圧131と負極性基準電圧132を切換え回路133で交流化信号119で切換え、基準電圧117としてV0からV8の9レベルを階調電圧生成回路115に入力する。

#### 【0065】

この時、切換え回路143では、図23に示すように、正極性の階調電圧が印加される場合と負極性の階調電圧が印可される場合に対応して、交流化信号119でコモン電圧を切換え、液晶パネル110のコモン電極を駆動する。階調電圧生成回路115では、基準電圧117のV0からV8の9レベルから64レベルの階調電圧16を生成するが、基準電圧117が正極性の場合には正極性の階調電圧、負極性の場合には負極性の階調電圧のどちら

30

#### 【0066】

図25、図26、図27、図28は階調電圧生成回路115の内部構成図で、501は基準電圧生成回路、502は選択基準電圧で基準電圧VS0からVS63の64レベルの電圧となる。503は選択基準電圧502から基準電圧を選択する回路で、504は階調生成基準電圧で、505は階調生成基準電圧504から液晶パネルを駆動する64階調(VG0からVG63)の階調電圧116を生成する階調電圧生成回路である。

#### 【0067】

次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧生成回路501は、図26に示すように、V0とV1の間を8分圧してVS0からVS7までの8レベルの選択基準電圧502を生成し、V1とV2の間も同様に8分圧してVS8からVS15までの8レベルの選択基準電圧を生成する。V2からV8の基準電圧の間を同様に選択基準電圧を生成することで、VS0からVS63の64レベルの選択基準電圧502を生成する。選択回路503では、階調電圧生成回路505で階調電圧を生成するための基準電圧を選択基準電圧502の中から選択する動作を行う。

40

#### 【0068】

図26において、階調電圧生成回路505は基準電圧V1BからV7Bの間を分圧して階調電圧を生成する。階調電圧VG0からVG7の8レベルは、基準電圧V0と選択回路503で選択した階調生成基準電圧V1Bの間を8分圧して生成する。階調電圧VG8からVG15の8レベルは、選択回路503で選択した階調生成基準電圧V1BとV2Bの間

50

を8分圧して生成する。同様にして、V2BからV7Bの間を分圧することでVG16からVG55の階調電圧を生成する。階調電圧VG56からVG63の8レベルは、選択回路503で選択した階調生成基準電圧V1Bと基準電圧V8との間を8分圧して生成する。従って、選択回路503で、階調制御信号114によって階調生成基準電圧504の電圧選択を制御することで階調電圧を制御することができる。図26において、バッファアンプ506は選択電圧をバッファして、階調生成基準電圧V1BからV7Bを階調電圧生成回路505に接続する。例えば、階調生成基準電圧V1Bは、選択基準電圧VS0、VS1からVG31までの32レベルから1レベルを選択することで生成される。また、階調生成基準電圧V2Bは、選択基準電圧VS0、VS1からVG31までの32レベルから1レベルを選択することで生成する。同様に、階調生成基準電圧V3Bは、選択基準電圧VS8、VS9からVG39までの32レベルから1レベルを選択することで生成し、階調生成基準電圧V4Bは、選択基準電圧VS16、VS17からVG47までの32レベルから1レベルを選択することで生成し、階調生成基準電圧V5Bは、選択基準電圧VS25、VS26からVG56までの32レベルから1レベルを選択することで生成し、階調生成基準電圧V6Bは、選択基準電圧VS32、VS33からVG63までの32レベルから1レベルを選択することで生成し、階調生成基準電圧V7Bは、選択基準電圧VS32、VS33からVG63までの32レベルから1レベルを選択することで生成する。

10

#### 【0069】

また、図26の507、508は選択回路で、基準電圧V0、V8をそれぞれ選択する回路で、図27、図28に内部構成図を示す。図27において、階調電圧生成回路505の階調電圧VG2、VG4、VG6、VG10、VG12、VG14にB1からB6が接続されており、選択信号114によって選択スイッチが有効になった分圧ポイントに基準電圧V0が接続される。図28も同様に階調電圧生成回路505の階調電圧VG50、VG52、VG54、VG58、VG60、VG62にW6からW1が接続されており、選択信号114によって選択スイッチが有効になった分圧ポイントに基準電圧V8が接続される。この選択回路507、508によって、階調電圧生成回路505は低階調領域が基準電圧V0の電圧レベル、高階調領域が基準電圧V8の電圧レベルに固定されることになる。

20

#### 【0070】

次に、階調制御レジスタの構成及び動作について説明する。第2の実施例では、階調制御レジスタは第1の実施例と同様な構成となるため、再び図9から図12を用いて説明する。階調制御レジスタ113は、36ビットのデータバスを用いて液晶コントローラ101から設定データの書込みを行う。図9は階調制御レジスタのビット構成、図10はデータバスのビット構成を示す。図9に示すように、階調制御レジスタは6ビットレジスタ10個で構成し、NO.1からNO.9のB1からB6、W1からW6の設定、V1BからV7Bの設定を行うレジスタとNO.10の制御レジスタで構成されている。

30

#### 【0071】

図10に示すように、データバスのRGB各8ビット2画素のRO[7:0]、RE[7:0]、GO[7:0]、GE[7:0]、BO[7:0]、BE[7:0]の48ビットの内、RO[5:0]、RE[5:0]、GO[5:0]、GE[5:0]、BO[5:0]、BE[5:0]の36ビットをポート0からポート5に割り当てる。但し、第2の実施例では、NO.3からNO.9のV1BからV7Bの設定レジスタは、32レベルの選択回路となるため、D4からD0の5ビットが有効となり、D5ビットは無効となる。制御レジスタはポート5に割り当て、他のレジスタを図9に示すポート0からポート4に割り当て、制御レジスタのP0からP4ビットで各階調制御レジスタの書込みが有効か無効かを設定し、RSビットで同一ポートに割り当てられた階調制御レジスタの選択を行う。このようなレジスタ構成により、2回の書込みで全ての階調制御レジスタを設定することができる。

40

#### 【0072】

50

また、第2の実施例の階調制御レジスタの書込み動作及び回路構成についても図11、図12に示すように第1の実施例と同様である。

【0073】

以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの無い階調制御を実現できる。

【0074】

次に、本発明により実現する階調制御について、図13から図18を用いて説明する。第2の実施例では、第1の実施例と同様に階調制御を行うことができる。

【0075】

図13、図14、図15のヒストグラム伸長制御は、本実施例でも第1の実施例と同様に、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

【0076】

また、ヒストグラム伸長制御は、本実施例では、液晶コントローラ101で輝度分布を調べ、その結果を基に階調制御レジスタNO.1、NO.2のB1からB6、W1からW6を設定することで8階調毎に低階調領域または高階調領域の電圧をV0(VG0)、V8(VG63)に固定することができ、容易に実現できる。

【0077】

また、図16、図17に示したガンマ曲線制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、液晶コントローラ101で入力される映像信号がテレビ放送やDVD等の動画表示か、OA用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

【0078】

また、図18に示したイコライズ伸長制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、液晶コントローラ101で輝度分布を調べ、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

【0079】

次に、上記階調制御を行う液晶コントローラの構成について、図29を用いて説明する。図29は、液晶ディスプレイのユーザ設定回路により階調制御を指示する階調制御信号と液晶コントローラで映像データの解析を行った結果に基づいて、階調制御を行う場合の構成を示している。図29において、601は液晶駆動制御回路で、表示信号群100から液晶パネル駆動用のデータ同期クロック102、有効データスタート信号103、データ水平同期信号104、交流化信号119を生成する。また、液晶駆動制御回路601ではRGB8ビットデータをFRC制御を行いRGB6ビットの表示データに変換する。602は映像解析回路で、表示信号群100の表示データの輝度分布(ヒストグラム)、平均輝度、ガンマ曲線等の映像情報を解析し、解析データを階調制御判定回路603に出力する。さらに、600は液晶ディスプレイに設けたユーザが設定可能なスイッチ等のユーザ設定回路で、ユーザが階調設定を指示することができる。階調制御判定回路603では、映像解析回路602からの映像の解析データと、ユーザ設定回路600から階調設定を指示する階調制御信号609に基づいて、階調制御を決定し、設定データ生成回路604でデータドライバ107<sub>1</sub>から107<sub>8</sub>の階調制御レジスタに設定する設定データ606を生成する。設定データ606と表示データ605は、図12に示したタイミングで選択信号608によって選択回路607で切替えることで、データバスを共有することができる。このように、液晶コントローラで映像を解析して、データドライバの階調制御レ

10

20

30

40

50

スタの設定を変更することで、動画のフレーム毎や映像シーン毎に、またはユーザの好みに対応して階調制御を行うことができる。

【 0 0 8 0 】

尚、本実施例では、64階調表示（FRC制御により256階調表示）に対応して、基準電圧を9本に設定したが、これに限ったものではなく、正極性、負極性それぞれ5本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧V1BからV7Bを32階調毎に設定したが、これに限ったものではなく、16階調毎に設定した場合でも同様に階調制御が実現できる。

【 0 0 8 1 】

次に、本発明の第3の実施例について図9から図18、図32から図38を用いて説明する。第3の実施例は、コモン反転駆動を行い、表示メモリを内蔵した64階調のデータドライバを用いて階調表示実現するところが、第1、第2の実施例と異なる。

【 0 0 8 2 】

図32は本発明を適用した液晶パネル駆動回路の構成図であり、160×RGB×240の液晶パネルをRGB各64階調、262144色表示を行う場合の液晶ディスプレイの構成を示す。701はシステム装置のCPU、702は制御信号、データを含んだシステムバス、703はメモリ、704は表示メモリを内蔵したデータドライバで、160×RGB=480出力を有し、240ライン分の表示メモリを内蔵する。705は液晶駆動の階調基準電圧731、液晶パネルのコモン電極のコモン電圧732、733を生成する電源回路、706は液晶パネル707を走査する走査ドライバである。708、709はシステムバス702からデータドライバ704への制御信号群、データバス、755はCPU701からのコマンドを受け表示メモリ744や階調制御レジスタ736の制御を行うコマンド制御回路、710は表示メモリのアドレスやデータを保持するメモリ制御レジスタ、711はメモリ制御レジスタ710に対応して表示メモリのデータアドレス712、ワードアドレス714、メモリバス713を制御するメモリ制御回路である。

【 0 0 8 3 】

また、716は表示タイミングの基準クロック717を生成する発振回路、718は表示タイミングを制御する表示制御回路、719はデータ水平同期信号720に従って動作する走査カウンタ、723はコマンド制御回路755で生成するメモリアクセス信号725と表示制御回路718で生成する表示アクセス信号721に基づいて、表示メモリ744をメモリアクセスまたは表示アクセスにするかを調停するアービタ回路、715はワードアドレス714と表示アドレス726を表示切換え信号727で選択するワードアドレス選択回路、728選択したワードアドレスである。729は交流のタイミングを示す交流化信号、730は走査ドライバ706への走査制御信号である。736は階調制御を行う階調制御レジスタ、738は階調制御信号737に基づいて階調電圧を生成する階調電圧生成回路、739は階調電圧信号群である。また、740は表示メモリ744のデータアドレスをデコードするデータ線デコーダ、741はデータ線を選択するデータ線選択信号、742は表示メモリ744のリード/ライト制御を行うI/Oセクタ、745はワードアドレスをデコードするワード線デコーダ、746はワード線選択信号、747は表示メモリ744から読み出した表示データ線、748は表示データを1ライン同時にラッチするデータラッチ回路、749はラッチ表示データ、750は階調電圧信号群739からラッチ表示データ749に対応する階調電圧を選択する階調電圧選択回路、752は階調電圧選択回路750で選択した選択階調電圧751をバッファ回路でバッファして出力する出力バッファ回路であり、753は160×RGB×240の液晶パネル707を駆動する階調駆動電圧である。

【 0 0 8 4 】

図33、図34は、CPUのデータドライバのライトアクセス、リードアクセスのタイミングを示す図、図35は階調電圧生成回路の構成図、図36、図37は階調電圧生成回路の選択回路の構成図である。図38は階調制御レジスタの内容を示す図である。

【 0 0 8 5 】

10

20

30

40

50

第2の実施例と同様に本実施例では、図22に示すように、同一ラインの画素は交流極性が同じで、隣接するラインの画素が互いに交流極性が逆となるコモン反転駆動を行うため、図23に示すように隣接するラインの交流極性は逆となり、これに同期して液晶の対抗電極の電圧であるコモン電圧(Vcom)を反転することで交流駆動を行う。次に、これらの表示動作について説明する。図32において、CPU701は表示データをデータドライバ704に内臓する表示メモリ744に書き込みを行う。CPU701はシステムバス702を通じて制御信号群708、データ709を転送し、図33、図34に示すように、チップセレクト信号CS、ライト信号WR、リード信号RD、16ビットのデータD15からD0によって、データドライバ704にコマンドを転送して、表示メモリのライト制御、リード制御や階調制御レジスタの制御を行う。例えば、表示メモリ744に表示データをライトする場合、CPU701はデータドライバ704に表示メモリアドレスの書き込みコマンドを転送してアドレスを転送し、次に表示データの書き込みコマンドを転送して、表示データを転送する。データドライバ704では、表示メモリアドレスの書き込みコマンドに対応してメモリ制御レジスタ710に表示メモリアドレスを保持し、表示データの書き込みコマンドに対応してメモリ制御回路711がデータ線デコーダ740、ワード線デコーダ745に書き込みを行うアドレスを設定して、表示メモリ744に表示データの書き込みを行う。この動作を表示メモリの各アドレスに行うことで、1画面のデータを表示メモリ744に書き込むことができる。表示メモリ744の表示データは、発振回路716で生成する表示基準クロック717から表示制御回路718で生成するデータ水平同期信号720によって、走査カウンタ719は表示ラインの表示ワードアドレス726を生成し、ワードアドレス選択回路715は表示期間では表示ワードアドレス726を選択し、ワード線デコーダ745によって、表示するラインのワード線が選択される。そして、表示メモリ744の表示データ747をデータ水平同期信号720で480出力分同時にデータラッチ回路748にラッチし、各出力の表示データ749に対応した階調電圧信号群739を階調電圧選択回路750で選択して、出力バッファ回路752でバッファして階調駆動電圧753を1ライン同時に出力する。

#### 【0086】

一方、走査ドライバ706は、データドライバ704で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の1024クロックで順次1024ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で240ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ704によって液晶パネル707のデータ線に階調駆動電圧753が出力され、表示データに対応した表示を実現する。

#### 【0087】

次に、階調制御の動作について説明する。階調電圧信号群739は、電源回路705で生成した正極性V0からV4、負極性V5からV9の10レベルの基準電圧731を階調電圧生成回路738に入力する。図35、図36、図37は階調電圧生成回路738の内部構成図で、801は基準電圧選択回路、802は基準電圧、803は基準電圧生成回路、804は選択基準電圧で基準電圧VS0からVS63の64レベルの電圧となる。805は選択基準電圧804から基準電圧を選択する回路で、806は階調生成基準電圧で、807は階調生成基準電圧806から液晶パネルを駆動する64階調(VG0からVG63)の階調電圧739生成する階調電圧生成回路である。

#### 【0088】

次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧選択回路801は、交流化信号729に対応して、正極性V0からV4と負極性V5からV9を選択する。従って、階調電圧生成回路738では、基準電圧731のV0からV9の10レベルから64レベルの階調電圧739を生成するが、交流化信号729が正極性の場合には正極性の階調電圧、負極性の場合には負極性の階調電圧のどちらかが生成される。この時、切換え回

10

20

30

40

50

路 734 では、図 23 に示すように、正極性の階調電圧が印加される場合と負極性の階調電圧が印可される場合に対応して、交流化信号 729 で正極性コモン電圧 732 と負極性コモン電圧 733 を切換え、液晶パネル 707 のコモン電極を駆動する。

#### 【0089】

基準電圧生成回路 803 は、図 37 に示すように、V0S と V1S の間を 16 分圧して VS0 から VS15 までの 16 レベルの選択基準電圧 804 を生成し、V1S と V2S の間も同様に 16 分圧して VS16 から VS31 までの 16 レベルの選択基準電圧を生成する。V2S から V4S の基準電圧の間を同様に選択基準電圧を生成することで、VS0 から VS63 の 64 レベルの選択基準電圧 804 を生成する。選択回路 805 では、階調電圧生成回路 807 で階調電圧を生成するための基準電圧を選択基準電圧 804 の中から 10  
 選択する動作を行う。図 37 において、階調電圧生成回路 807 は基準電圧 V1B から V7B の間を分圧して階調電圧を生成する。階調電圧 VG0 から VG7 の 8 レベルは、基準電圧 V0S と選択回路 805 で選択した階調生成基準電圧 V1B の間を 8 分圧して生成する。階調電圧 VG8 から VG15 の 8 レベルは、選択回路 805 で選択した階調生成基準電圧 V1B と V2B の間を 8 分圧して生成する。同様に、V2B から V7B の間を分圧することで VG16 から VG55 の階調電圧を生成する。階調電圧 VG56 から VG63 の 8 レベルは、選択回路 805 で選択した階調生成基準電圧 V7B と基準電圧 V4S との間を 8 分圧して生成する。従って、選択回路 805 で、階調制御信号 737 によって階調生成基準電圧 806 の電圧選択を制御することで階調電圧を制御することができる。図 20  
 37 において、バッファアンプ 808 は選択電圧をバッファして、階調生成基準電圧 V1B から V7B を階調電圧生成回路 807 に接続する。例えば、階調生成基準電圧 V1B は選択基準電圧 VS0、VS1 から VG31 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V1B を生成する。また、階調生成基準電圧 V2B は選択基準電圧 VS0、VS1 から VG31 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V2B を生成する。同様に、階調生成基準電圧 V3B は選択基準電圧 VS8、VS9 から VG39 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V3B を生成し、階調生成基準電圧 V4B は選択基準電圧 VS16、VS17 から VG47 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V4B を生成し、階調生成基準電圧 V5B は選択基準電圧 VS25、VS26 から VG56 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V5B を生成し、階調生成基準電圧 V6B は選択基準電圧 VS32、VS33 から VG63 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V6B を生成し、階調生成基準電圧 V7B は選択基準電圧 VS32、VS33 から VG63 までの 32 レベルから 1 レベルを選択して、階調生成基準電圧 V7B を生成する。

#### 【0090】

また、図 37 の 809、810 は選択回路で、基準電圧 V0S、V4S をそれぞれ選択する回路で、第 2 の実施例の V0、V8 を選択する図 27、図 28 に内部構成図と同様である。図 27 と同様に階調電圧生成回路 809 でも、階調電圧生成回路 807 の階調電圧 VG2、VG4、VG6、VG10、VG12、VG14 に B1 から B6 が接続されており、選択信号 737 によって選択スイッチが有効になった分圧ポイントに基準電圧 V0S が接続される。図 28 でも同様に階調電圧生成回路 810 でも、階調電圧生成回路 807 の 40  
 階調電圧 VG50、VG52、VG54、VG58、VG60、VG62 に W6 から W1 が接続されており、選択信号 737 によって選択スイッチが有効になった分圧ポイントに基準電圧 V4S が接続される。この選択回路 809、810 によって、階調電圧生成回路 807 は低階調領域が基準電圧 V0S の電圧レベル、高階調領域が基準電圧 V4S の電圧レベルに固定されることになる。

#### 【0091】

次に、階調制御レジスタ 736 の構成及び動作について説明する。第 3 の実施例では、図 38 に示すように、階調制御レジスタは 9 個で構成し、NO.1 から NO.9 の B1 から B6、W1 から W6 の設定、V1B から V7B の設定を行うレジスタで構成されている。階調制御レジスタ 736 への書き込みは、表示メモリ 744 への書き込みと同様に図 33 50

に示すタイミングで行われる。CPU701は階調制御データをデータドライバ704に内蔵する階調制御レジスタ736に書き込みを行う。CPU701はシステムバス702を通じて制御信号群708、データ709を転送し、図33に示すように、チップセレクト信号CS、ライト信号WR、リード信号RD、16ビットのデータD15からD0によって、データドライバ704にコマンドを転送して、階調制御レジスタの制御を行う。例えば、階調制御レジスタ736に階調制御データをライトする場合、CPU701はデータドライバ704に階調制御レジスタの書き込みコマンドを転送してアドレス(No.)を転送し、次に階調制御データの書き込みコマンドを転送して、階調制御データを転送する。データドライバ704では、階調制御レジスタのアドレスの書き込みコマンドに対応して階調制御レジスタが指定され、階調制御データの書き込みコマンドに対応して指定された階調制御レジスタ736に階調制御データの書き込みを行う。

10

**【0092】**

以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの無い階調制御を実現できる。

**【0093】**

次に、本発明により実現する階調制御について、図13から図18を用いて説明する。第3の実施例では、第1の実施例と同様に階調制御を行うことができる。

**【0094】**

図13、図14、図15のヒストグラム伸長制御は、本実施例でも第1の実施例と同様に、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。このヒストグラムは液晶表示データと液晶階調電圧との対応関係として階調制御レジスタに保持され、それぞれのフレームによって生成されるヒストグラムに応じて階調生成基準電圧が決定される。

20

**【0095】**

また、ヒストグラム伸長制御は、本実施例では、CPU701で輝度分布を調べ、その結果を基に階調制御レジスタNO.1、NO.2のB1からB6、W1からW6を設定することで8階調毎に低階調領域または高階調領域の電圧をV0S(VG0)、V4S(VG63)に固定することができ、容易に実現できる。

30

**【0096】**

また、図16、図17に示したガンマ曲線制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、CPU701で入力される映像信号がテレビ放送やDVD等の動画表示か、OA用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

**【0097】**

また、図18に示したイコライズ伸長制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、CPU701で輝度分布を調べ、その結果を基に階調制御レジスタNO.3からNO.9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

40

**【0098】**

以上のように、本実施例では、表示メモリを内蔵するデータドライバで階調制御を行うことで、画面が変化した場合のみCPUから表示メモリに表示データを転送することで、液晶表示システムの低消費電力化が実現できる。

**【0099】**

尚、本実施例では、走査ドライバをデータドライバと別のチップ構成として、説明したがデータドライバと走査ドライバが同一チップの構成でも同様な階調制御が実現できる。

50

## 【 0 1 0 0 】

また、64階調表示に対応して、基準電圧を正極性、負極性それぞれ5本に設定したが、これに限ったものではなく、正極性、負極性それぞれ9本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧V1BからV7Bを32階調毎に設定したが、これに限ったものではなく、16階調毎に設定した場合でも同様に階調制御が実現できる。

## 【 0 1 0 1 】

## 【 発明の効果 】

本発明によれば、階調電圧生成回路の階調生成基準電圧を設定することで階調電圧を制御することで、データ変換制御のように階調つぶれのない階調制御を実現できる。

10

## 【 0 1 0 2 】

また、液晶コントローラで映像を解析して、データドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に、最適な階調制御を行うことが可能となる。

## 【 0 1 0 3 】

また、入力される映像信号がテレビ放送やDVD等の動画表示、OA用途のテキスト表示のそれぞれに対応して階調制御レジスタを設定することで、任意のガンマ曲線の設定を容易に実現できる。

## 【 0 1 0 4 】

また、データドライバの階調設定レジスタの設定は、表示データを転送するデータバスを用いて行うことで、液晶コントローラ、データドライバの端子数が増加しない。

20

## 【 図面の簡単な説明 】

【 図 1 】 本発明を適用した液晶表示装置の一実施例のブロック図。

【 図 2 】 ドット反転駆動を示す図。

【 図 3 】 ドット反転駆動のタイミング図。

【 図 4 】 液晶ディスプレイの駆動タイミングを示す図。

【 図 5 】 階調電圧生成回路の構成図。

【 図 6 】 階調電圧生成回路の構成図。

【 図 7 】 階調電圧生成回路の構成図。

【 図 8 】 階調電圧生成回路の構成図。

30

【 図 9 】 階調制御レジスタの仕様を示す図。

【 図 10 】 データバスのビット割付を示す図。

【 図 11 】 階調制御レジスタの構成図。

【 図 12 】 階調制御レジスタの設定のタイミング図。

【 図 13 】 ヒストグラム伸長制御を示す図。

【 図 14 】 ヒストグラム伸長制御を示す図。

【 図 15 】 ヒストグラム伸長制御を示す図。

【 図 16 】 ガンマ曲線制御を示す図。

【 図 17 】 ガンマ曲線制御を示す図。

【 図 18 】 イコライズ制御を示す図。

40

【 図 19 】 液晶コントローラの構成図。

【 図 20 】 液晶コントローラの構成図。

【 図 21 】 本発明を適用した液晶表示装置の一実施例のブロック図。

【 図 22 】 ドット反転駆動を示す図。

【 図 23 】 ドット反転駆動のタイミング図。

【 図 24 】 液晶ディスプレイの駆動タイミングを示す図。

【 図 25 】 階調電圧生成回路の構成図。

【 図 26 】 階調電圧生成回路の構成図。

【 図 27 】 階調電圧生成回路の構成図。

【 図 28 】 階調電圧生成回路の構成図。

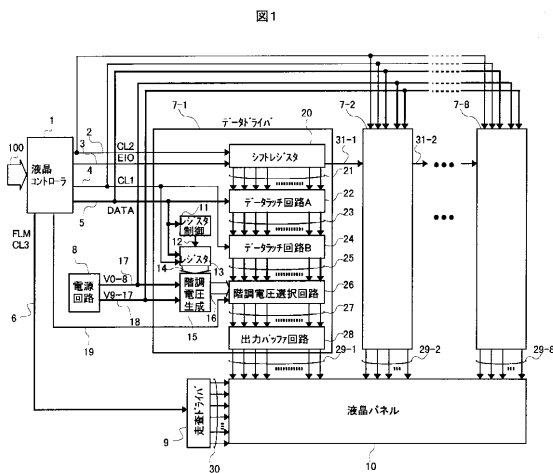
50

- 【図29】液晶コントローラの構成図。
- 【図30】従来のデータ変換による階調制御を示す図。
- 【図31】従来のデータ変換による階調制御を示す図。
- 【図32】本発明を適用した液晶表示装置の一実施例のブロック図。
- 【図33】データドライバのライトアクセスタイミングを示す図。
- 【図34】データドライバのリードアクセスタイミングを示す図。
- 【図35】階調電圧生成回路の構成図。
- 【図36】階調電圧生成回路の構成図。
- 【図37】階調電圧生成回路の構成図。
- 【図38】階調制御レジスタの仕様を示す図。

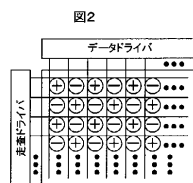
【符号の説明】

100は表示信号群、1は液晶コントローラ、2はデータ取込みクロック、3は有効データスタート信号、4はデータ水平同期信号、5は表示データ、6は走査ドライバ制御信号群、7-1から7-8はデータドライバ、8は電源回路、17は正極性基準電圧、18は負極性基準電圧、9は液晶を走査する走査ドライバ、10は解像度1280×RGB×1024の液晶パネルである。また、11はレジスタ制御回路、12はレジスタ制御信号群、14はレジスタ出力信号、15は階調電圧生成回路、16は階調電圧、17は正極性基準電圧、18は負極性基準電圧である。

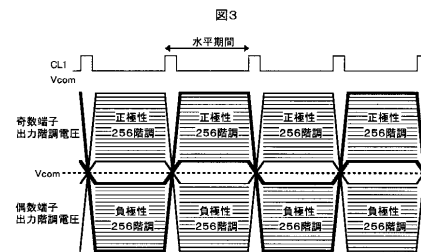
【図1】



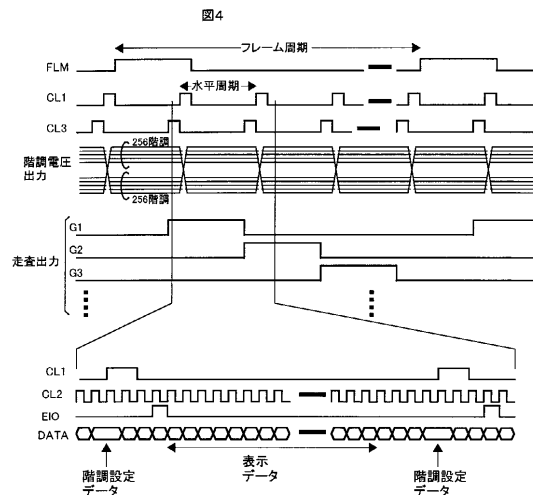
【図2】



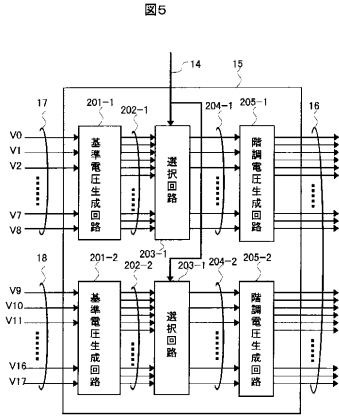
【図3】



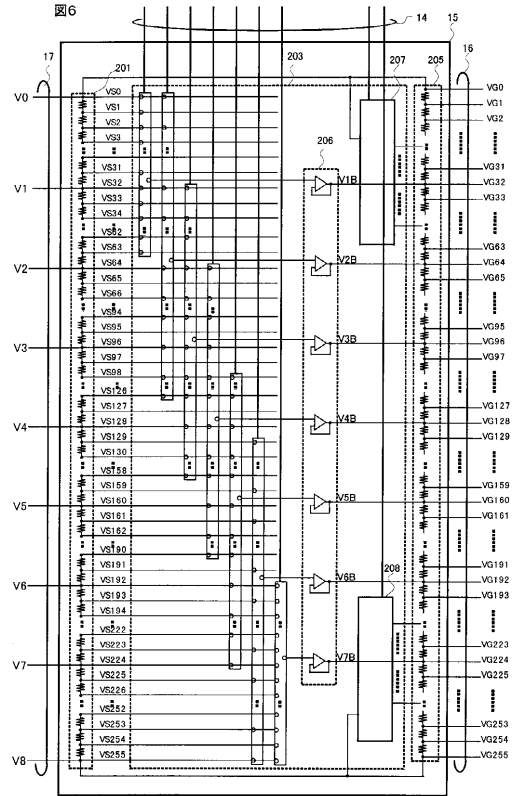
【図4】



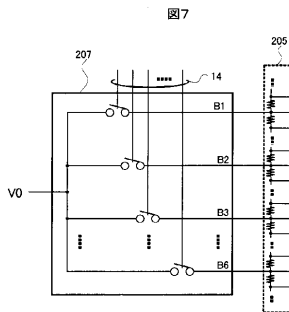
【 図 5 】



【 図 6 】



【 図 7 】



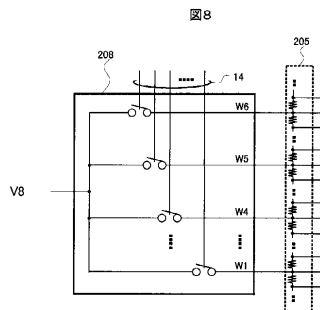
【 図 9 】

図9

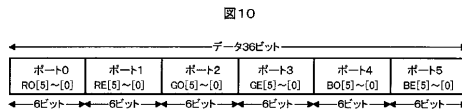
NO	ポート	RS	P4~0	データビット	内容
1	0	0	P0	B6 B5 B4 B3 B2 B1	B1~B6設定
2	1	0	P1	W6 W5 W4 W3 W2 W1	W1~W6設定
3	2	0	P2	D5 D4 D3 D2 D1 D0	V1B設定
4	3	0	P3	D5 D4 D3 D2 D1 D0	V2B設定
5	4	0	P4	D5 D4 D3 D2 D1 D0	V3B設定
6	0	1	P0	D5 D4 D3 D2 D1 D0	V4B設定
7	1	1	P1	D5 D4 D3 D2 D1 D0	V5B設定
8	2	1	P2	D5 D4 D3 D2 D1 D0	V6B設定
9	3	1	P3	D5 D4 D3 D2 D1 D0	V7B設定
10	5	—	—	RS P4 P3 P2 P1 P0	制御レジスタ

P4~P0='1': 対応する階調制御レジスタへの書き込みを実施  
P4~P0='0': 対応する階調制御レジスタへの書き込みは行わない。  
RS='0': B1~B6, W1~W6, V1B~V3Bの階調制御レジスタを選択  
RS='1': V4B~V7Bの階調制御レジスタを選択

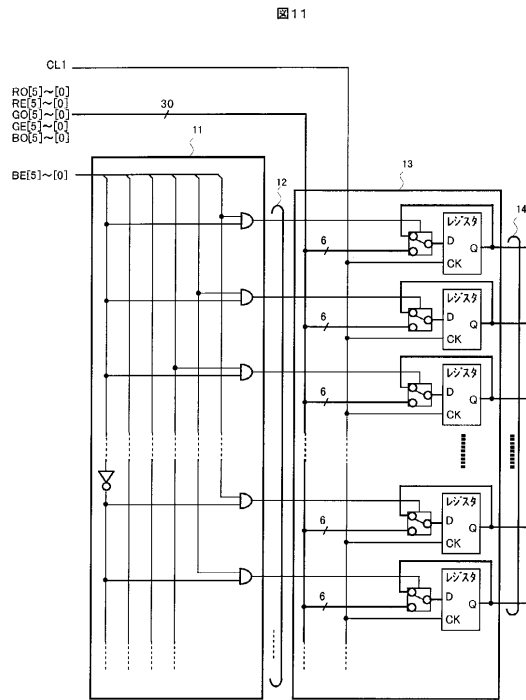
【 図 8 】



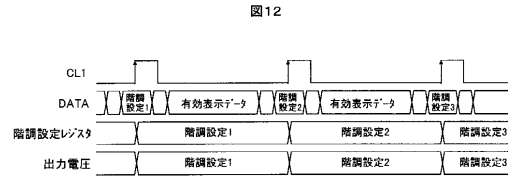
【 図 10 】



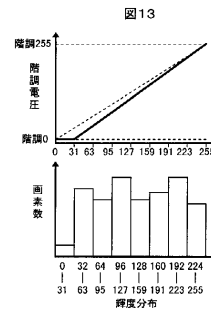
【 図 1 1 】



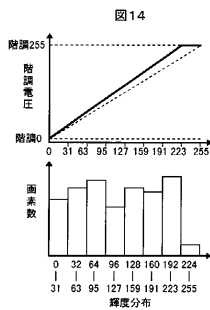
【 図 1 2 】



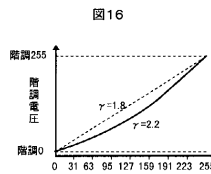
【 図 1 3 】



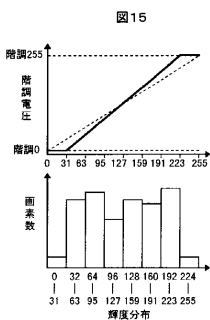
【 図 1 4 】



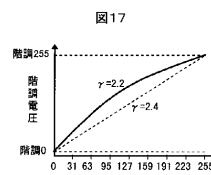
【 図 1 6 】



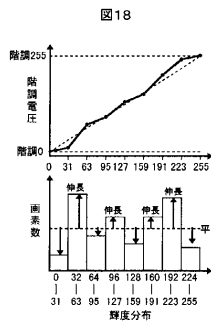
【 図 1 5 】



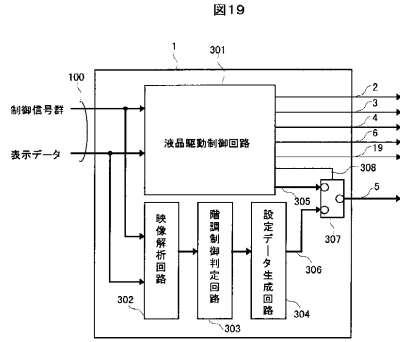
【 図 1 7 】



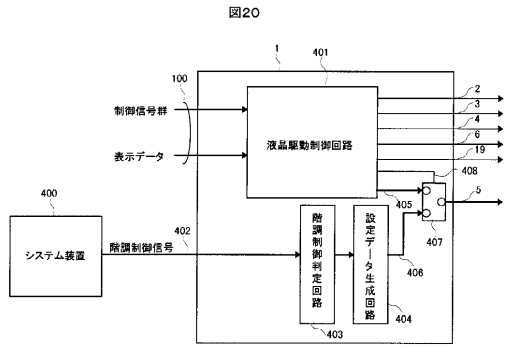
【 図 1 8 】



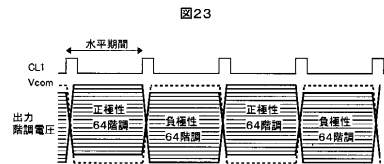
【図19】



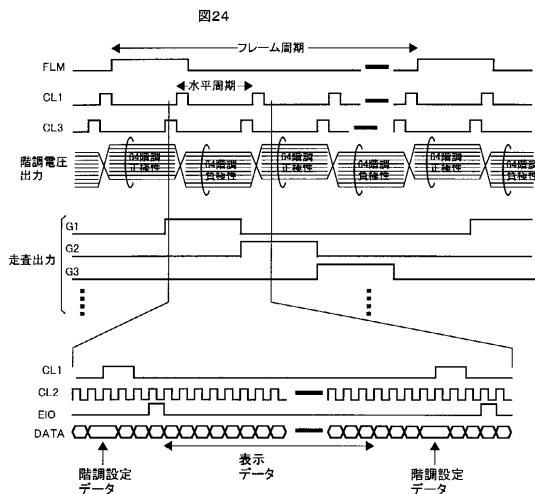
【図20】



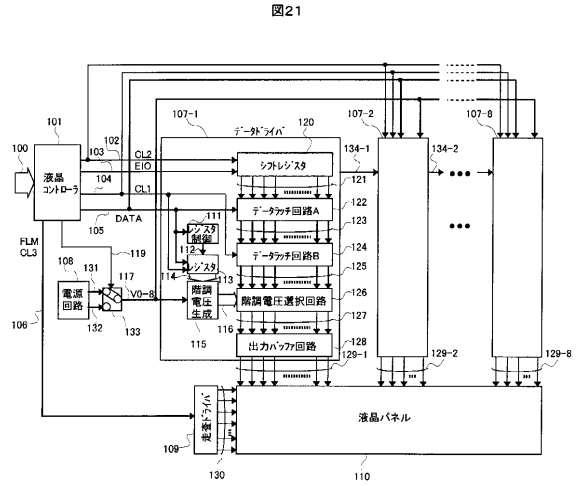
【図23】



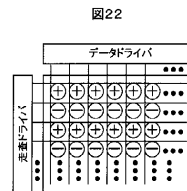
【図24】



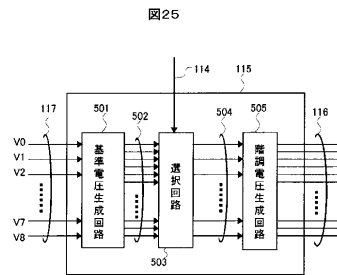
【図21】



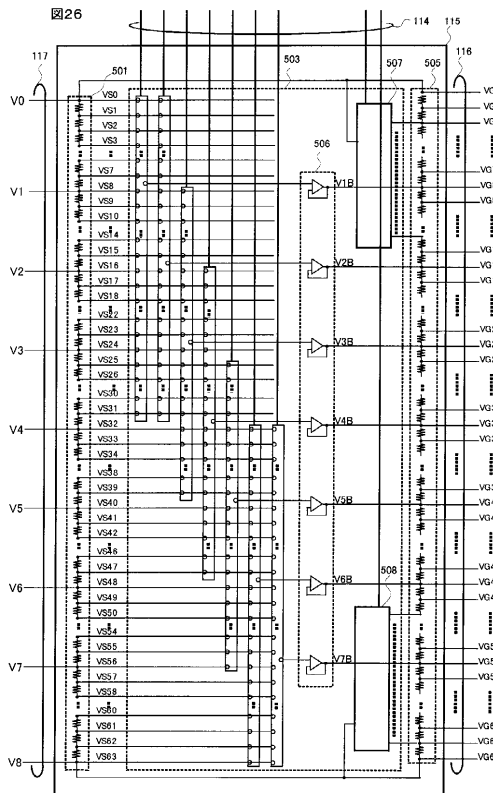
【図22】



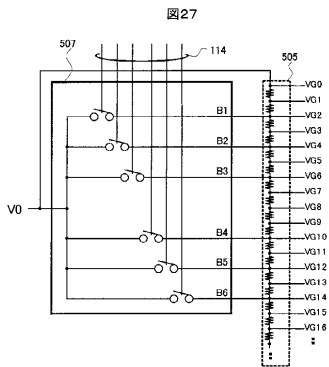
【図25】



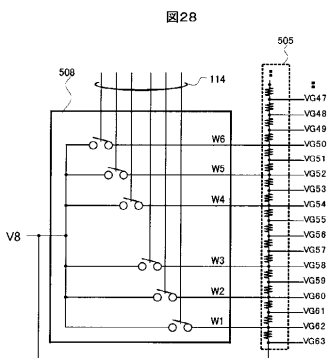
【図26】



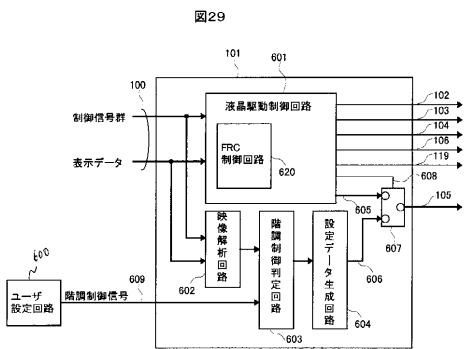
【図27】



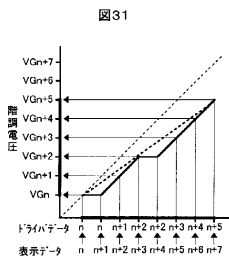
【図28】



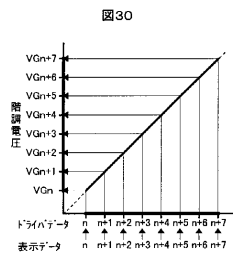
【図29】



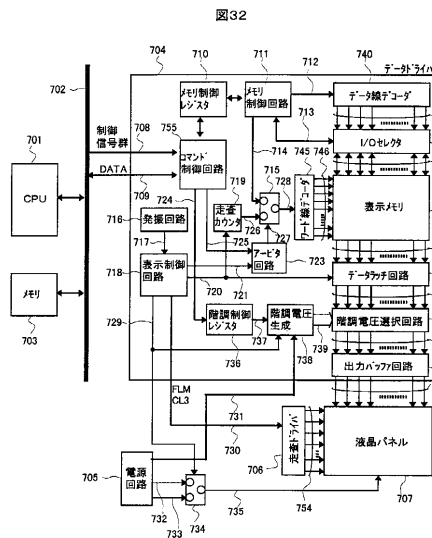
【図31】



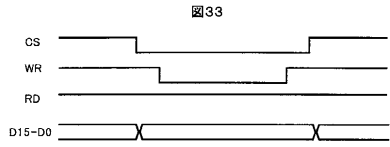
【図30】



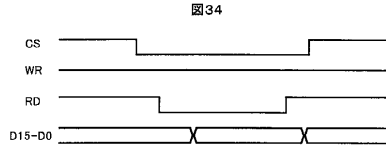
【図32】



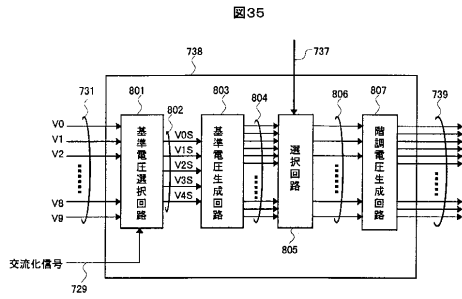
【 図 3 3 】



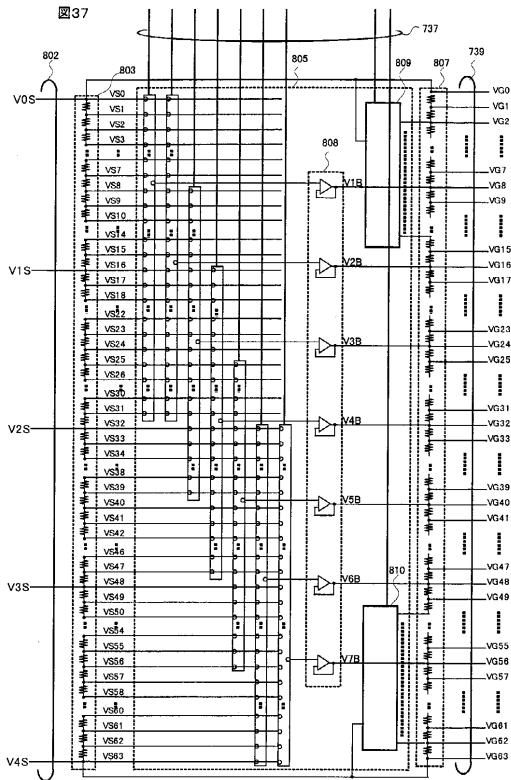
【 図 3 4 】



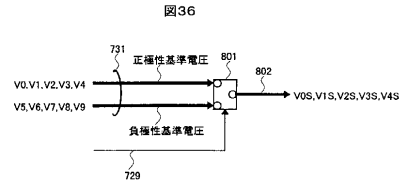
【 図 3 5 】



【 図 3 7 】



【 図 3 6 】



【 図 3 8 】

図38

NO.	アドレス	内容	内容
1	0	B6 B5 B4 B3 B2 B1	B1 ~ B6設定
2	1	W6 W5 W4 W3 W2 W1	W1 ~ W6設定
3	2	S4 S3 S2 S1 S0	V1B設定
4	3	S4 S3 S2 S1 S0	V2B設定
5	4	S4 S3 S2 S1 S0	V3B設定
6	5	S4 S3 S2 S1 S0	V4B設定
7	6	S4 S3 S2 S1 S0	V5B設定
8	7	S4 S3 S2 S1 S0	V6B設定
9	8	S4 S3 S2 S1 S0	V7B設定

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

G 0 9 G 3/20 6 4 1 Q

G 0 9 G 3/20 6 4 2 E

(72)発明者 木村 誠

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

(72)発明者 奥 博文

千葉県茂原市早野3300番地 株式会社日立製作所 ディスプレイグループ内

(72)発明者 前田 武

神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

審査官 橋本 直明

(56)参考文献 特開平04-287015(JP,A)

特開平05-181436(JP,A)

特開平06-348235(JP,A)

特開平09-185346(JP,A)

特開平09-198012(JP,A)

特開平09-218392(JP,A)

特開平11-175027(JP,A)

特開平11-337909(JP,A)

特開2001-211075(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G09G 3/36

G02F 1/133 505

G09G 3/20 612

G09G 3/20 641

G09G 3/20 642

专利名称(译)	液晶驱动电路和液晶显示装置		
公开(公告)号	<a href="#">JP3651371B2</a>	公开(公告)日	2005-05-25
申请号	JP2000231392	申请日	2000-07-27
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	新田博幸 古橋勉 木村誠 興博文 前田武		
发明人	新田 博幸 古橋 勉 木村 誠 興 博文 前田 武		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/2011 G09G3/2018 G09G3/3614 G09G3/3688 G09G3/3696 G09G2310/027 G09G2320/02 G09G2320/0276		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.F G09G3/20.612.U G09G3/20.641.C G09G3/20.641.Q G09G3/20.642.E G09G3/20.623.F		
F-TERM分类号	2H093/NA31 2H093/NA41 2H093/NA51 2H093/NC01 2H093/NC22 2H093/NC26 2H093/NC41 2H093/NC50 2H093/ND04 2H193/ZD21 2H193/ZF01 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF13 5C006/AF42 5C006/AF44 5C006/AF45 5C006/AF51 5C006/AF53 5C006/BB11 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA21 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE19 5C080/EE29 5C080/FF09 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
审查员(译)	Naoaki桥本		
其他公开文献	JP2002041004A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过向数据驱动器提供灰度控制寄存器来提供具有图像数据的最佳灰度控制的液晶显示装置，其中可以使用数据总线设置液晶控制器，用于控制灰度电压产生电路。解决方案：数据驱动器具有灰度控制寄存器，并且从输入的参考电压在数据驱动器中产生参考电压。根据灰度控制寄存器的设置选择参考电压，以控制灰度电压。使用数据总线从液晶控制器设置灰度控制寄存器，用于发送显示数据，用于根据图像数据控制来自液晶控制器的灰度。

圖3

