

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-145663

(P2010-145663A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/20 (2006.01)	G02F 1/133 575	5C006
	G09G 3/20 641C	5C080
	G09G 3/20 624B	
審査請求 有 請求項の数 6 O L (全 33 頁) 最終頁に続く		

(21) 出願番号 特願2008-321652 (P2008-321652)
 (22) 出願日 平成20年12月17日 (2008.12.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (72) 発明者 寺西 康幸
 東京都港区港南1丁目7番1号ソニー株式会社内
 (72) 発明者 仲島 義晴
 東京都港区港南1丁目7番1号ソニー株式会社内
 Fターム(参考) 2H093 NA16 NA32 NA51 NC03 NC10
 NC12 NC16 NC18 NC34 NC35
 ND39

最終頁に続く

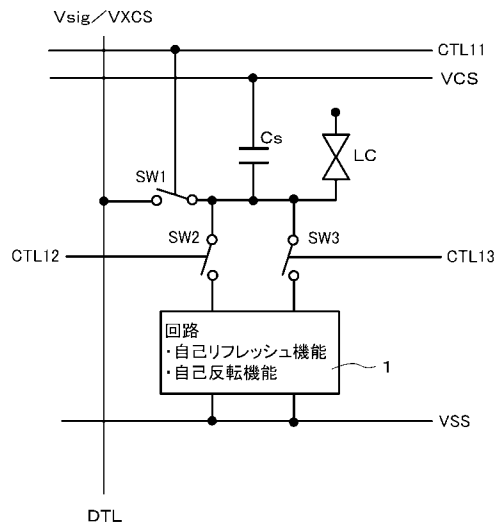
(54) 【発明の名称】 液晶表示パネル及び電子機器

(57) 【要約】

【課題】 アナログ表示モードとメモリ表示モードに対応する液晶表示パネルを提案する。

【解決手段】 液晶表示パネルに、(1) 各画素に形成される容量素子と、(2) 信号線より容量素子に画素電位を書き込む第1の動作時にはオン制御され、容量素子から画素電位の読み出し後に反転増幅して書き込み直す第2の動作時にはオフ制御される第1のスイッチ素子と、(3) 第1の動作時にはオフ制御され、第2の動作時のうち容量素子に記憶されている画素電位の読み出し期間にオン制御される第2のスイッチ素子と、(4) 第1の動作時にはオフ制御され、第2の動作時のうち容量素子への画素電位の読み出し期間にオン制御される第3のスイッチ素子と、(5) 第2の動作時のうち画素電位の読み出し期間には、第2のスイッチを通じて容量素子から読み出された画素電位の論理レベルを復元し、第2の動作時のうち画素電位の書き込み期間には、復元された論理レベルの論理反転出力を第3のスイッチを通じて容量素子に書き込む回路とを形成する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

階調電位を記憶する各画素内の容量素子と、

第 1 の端子が前記容量素子の一方の電極と駆動電極に接続され、第 2 の端子が信号線に接続される第 1 のスイッチ素子であり、信号線より前記容量素子に画素電位を書き込む第 1 の動作時にはオン制御され、前記容量素子から画素電位を読み出した後に反転増幅して書き込み直す第 2 の動作時にはオフ制御される第 1 のスイッチ素子と、

第 1 の端子が前記第 1 のスイッチ素子の第 1 の端子側の配線に接続される第 2 のスイッチ素子であり、前記第 1 の動作時にはオフ制御され、前記第 2 の動作時のうち前記容量素子に記憶されている画素電位の読み出し期間にオン制御される第 2 のスイッチ素子と、

第 1 の端子が前記第 1 のスイッチ素子の第 1 の端子側の配線に接続される第 3 のスイッチ素子であり、前記第 1 の動作時にはオフ制御され、前記第 2 の動作時のうち前記容量素子への画素電位の読み出し期間にオン制御される第 3 のスイッチ素子と、

前記第 2 の動作時のうち前記画素電位の読み出し期間には、前記第 2 のスイッチを通じて前記容量素子から読み出された画素電位の論理レベルを復元し、前記第 2 の動作時のうち前記画素電位の書き込み期間には、復元された論理レベルの論理反転出力を前記第 3 のスイッチを通じて前記容量素子に書き込む回路と

を有する液晶表示パネル。

【請求項 2】

請求項 1 に記載の液晶表示パネルにおいて、

前記回路は、

入力端が前記第 2 のスイッチ素子の第 2 の端子に接続される第 1 のインバータ回路と、

入力端が前記第 3 のスイッチ素子の第 2 の端子と前記第 1 のインバータ回路の出力端に接続される第 2 のインバータ回路と、

第 1 の端子が前記第 1 のインバータ回路の入力端に接続され、第 2 の端子が前記第 2 のインバータ回路の出力端に接続され、前記容量素子から画素電位を読み出す期間と読み出された画素電位の論理反転出力の印加期間に少なくともオン制御されるスイッチと

を有することを特徴とする液晶表示パネル。

【請求項 3】

請求項 2 に記載の液晶表示パネルにおいて、

前記回路は、

1 つの画素について 1 つ用意される

ことを特徴とする液晶表示パネル。

【請求項 4】

請求項 2 に記載の液晶表示パネルにおいて、

前記回路は、

複数個の画素について 1 つ用意される

ことを特徴とする液晶表示パネル。

【請求項 5】

請求項 1 に記載の液晶表示パネルにおいて、

前記回路は、

入力端が前記第 2 のスイッチ素子の第 2 の端子に接続され、出力端が前記第 3 のスイッチ素子の第 2 の端子に接続されるインバータ回路

を有することを特徴とする液晶表示パネル。

【請求項 6】

階調電位を記憶する各画素内の容量素子と、第 1 の端子が前記容量素子の一方の電極と駆動電極に接続され、第 2 の端子が信号線に接続される第 1 のスイッチ素子であり、信号線より前記容量素子に画素電位を書き込む第 1 の動作時にはオン制御され、前記容量素子から画素電位を読み出した後に反転増幅して書き込み直す第 2 の動作時にはオフ制御される第 1 のスイッチ素子と、第 1 の端子が前記第 1 のスイッチ素子の第 1 の端子側の配線に接

10

20

30

40

50

続される第2のスイッチ素子であり、前記第1の動作時にはオフ制御され、前記第2の動作時のうち前記容量素子に記憶されている画素電位の読み出し期間にオン制御される第2のスイッチ素子と、第1の端子が前記第1のスイッチ素子の第1の端子側の配線に接続される第3のスイッチ素子であり、前記第1の動作時にはオフ制御され、前記第2の動作時のうち前記容量素子への画素電位の読み出し期間にオン制御される第3のスイッチ素子と、前記第2の動作時のうち前記画素電位の読み出し期間には、前記第2のスイッチを通じて前記容量素子から読み出された画素電位の論理レベルを復元し、前記第2の動作時のうち前記画素電位の書き込み期間には、復元された論理レベルの論理反転出力を前記第3のスイッチを通じて前記容量素子に書き込む回路とを有する液晶表示パネルと、

システム全体の動作を制御するシステム制御部と、
前記システム制御部に対する操作入力部と
を有することを特徴とする電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アナログ表示モードとメモリ表示モードの両方に対応した画素構造を有する液晶表示パネルに関する。また、この明細書で説明する発明は、発明に係る液晶表示パネルを搭載する電子機器としての側面を有する。

【背景技術】

【0002】

昨今の液晶表示パネルには、アナログ表示モードによる表示とメモリ表示モードによる表示の両方に対応可能なものがある。このうち、アナログ表示モードとは、最小表示単位（この明細書では「サブ画素」という。）において、画素階調をアナログ的に多階調で表現できる表示モードをいう。一方、メモリ表示モードとは、メモリに記憶された2値情報（Hレベル/Lレベル）に基づいて、画素階調を白か黒の2階調で表現できる表示モードをいう。

20

メモリ表示モードの場合、階調電位の書き込み動作をフレーム周期で実行する必要がない。このため、メモリ表示モードの消費電力は、アナログ表示モードよりも少なく済む。

【特許文献1】特開平9-243995号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0003】

図1及び図2に、アナログ表示モードとメモリ表示モードの両方に対応する液晶表示パネルの画素回路例を示す。図1及び図2に示す画素回路は、サブ画素内のメモリに、SRAMを用いる場合を示している。なお、図1は、1つのサブ画素に対して1つのSRAMを配置する場合の画素回路例である。一方、図2は、3つのサブ画素に対して1つのSRAMを配置する場合の画素回路例である。

【0004】

なお、図1中のLCは、サブ画素に対応する液晶を示している。ただし、図2の場合には、作図上の都合により、LCの表示を省略している。

40

また、図1中のCsは、階調電位を保存する保持容量である。図2の場合には、3つの保持容量をCs(B)、Cs(G)、Cs(R)で示している。カッコ内のBは、青色に対応するサブ画素に用いられることを示している。また、カッコ内のGは、緑色に対応するサブ画素に用いられることを示している。また、カッコ内のRは、赤色に対応するサブ画素に用いられることを示している。

【0005】

薄膜トランジスタN1、N1(B)、N1(G)、N1(R)は、いずれも対応する保持容量Csへの階調電位の書き込み時にオン制御され、その他の期間にはオフ制御されるアクティブ素子である。これら薄膜トランジスタN1、N1(B)、N1(G)、N1(R)の制御には、制御線CTL1、CTL1(B)、CTL1(G)、CTL1(R)が

50

用いられる。なお、図 2 の場合、薄膜トランジスタ N 1、N 1 (B)、N 1 (G)、N 1 (R) のオン期間は時間順次に配置される。

【 0 0 0 6 】

図 1 の場合、薄膜トランジスタ N 2 は、対応する 1 つのサブ画素に対する階調電位の書き込み期間にオン制御されるアクティブ素子である。一方、図 2 の場合、薄膜トランジスタ N 2 は、対応する 3 つのサブ画素のうちいずれか 1 つに階調電位を書き込み期間中、オン制御されるアクティブ素子である。図 2 の場合、青色に対応するサブ画素に対する階調電位の書き込みが最後に実行される。

【 0 0 0 7 】

薄膜トランジスタ N 3 は、アナログ表示モード時に階調電位を書き込む場合、又は、メモリ表示モード時に対向電極とは異なる電位 V X C S を書き込む場合に、オン制御されるアクティブ素子である。この制御には、S R A M (P 1、P 2、N 6、N 7) の保持電位が用いられる。この回路例の場合、薄膜トランジスタ N 3 がオン状態の場合、薄膜トランジスタ N 4 はオフ状態であり、薄膜トランジスタ N 3 がオフ状態の場合、薄膜トランジスタ N 4 はオン状態である。

薄膜トランジスタ N 4 は、メモリ表示モードにおいて、保持容量に対向電極と同じ電位 V C S を書き込む場合に、オン制御されるアクティブ素子である。

【 0 0 0 8 】

薄膜トランジスタ N 5 は、S R A M (P 1、P 2、N 6、N 7) に対する制御電位の書き込み時に、オン制御されるアクティブ素子である。この薄膜トランジスタ N 5 の制御には、制御線 C T L 2 が用いられる。なお、薄膜トランジスタ N 5 のオン・オフ制御は、アナログ表示モード時に階調電位を書き込む場合、又は、メモリ表示モード時に対向電極とは異なる電位 V X C S を書き込む場合に、薄膜トランジスタ N 3 をオン制御できるように実行される。

【 0 0 0 9 】

ところで、図 1 及び図 2 に示す画素回路にも問題がある。問題の一つは、S R A M の形成に大きな面積を占めることである。特に、1 つのサブ画素に対して 1 つの S R A M を配置する場合、透過開口率が低くなる問題が指摘されている。

また、液晶表示パネルに要求される表示解像度が高い場合、1 つのサブ画素内に 1 つの S R A M を配置することが技術的に困難になる。このため、図 1 や図 2 に示す回路構成を採用できる解像度が限定される問題がある。

【 課題を解決するための手段 】

【 0 0 1 0 】

そこで、発明者らは、階調電位を記憶する容量素子を、D R A M として利用する画素回路を採用する液晶表示パネルを提案する。

具体的には、図 3 に示す回路構成を採用する液晶表示パネルを提案する。

(1) 階調電位を記憶する各画素内の容量素子 C s

(2) 第 1 の端子が容量素子の一方の電極と駆動電極に接続され、第 2 の端子が信号線に接続される第 1 のスイッチ素子であり、信号線より容量素子に画素電位を書き込む第 1 の動作時にはオン制御され、容量素子から画素電位を読み出した後に反転増幅して書き込み直す第 2 の動作時にはオフ制御される第 1 のスイッチ素子 S W 1

(3) 第 1 の端子が第 1 のスイッチ素子の第 1 の端子側の配線に接続される第 2 のスイッチ素子であり、第 1 の動作時にはオフ制御され、第 2 の動作時のうち容量素子に記憶されている画素電位の読み出し期間にオン制御される第 2 のスイッチ素子 S W 2

(4) 第 1 の端子が第 1 のスイッチ素子の第 1 の端子側の配線に接続される第 3 のスイッチ素子であり、第 1 の動作時にはオフ制御され、第 2 の動作時のうち容量素子への画素電位の読み出し期間にオン制御される第 3 のスイッチ素子 S W 3

(5) 第 2 の動作時のうち画素電位の読み出し期間には、第 2 のスイッチを通じて容量素子から読み出された画素電位の論理レベルを復元し、第 2 の動作時のうち画素電位の書き込み期間には、復元された論理レベルの論理反転出力を第 3 のスイッチを通じて容量素子に

10

20

30

40

50

書き込む回路 1

【0011】

この画素回路の場合、第1の動作時では、第2のスイッチSW2と第3のスイッチSW3がオフ制御される。従って、第1のスイッチSW1がオン制御されたタイミングで、信号線DTLの階調電位（アナログ電位 V_{sig} 又は2値電位 V_{XCS} ）が容量素子CSに書き込まれる。

一方、第2の動作時では、第1のスイッチSW1がオフ制御される。この状態で、第2のスイッチSW2がオン制御され、第3のスイッチSW3がオフ制御される。このとき、容量素子CSに保持されている階調電位が回路1に読み出され、読み出された画素電位の論理レベルが復元される。すなわち、自己リフレッシュ機能が実行される。

10

【0012】

この後、第2のスイッチSW2がオフ制御され、第3のスイッチSW3がオン制御される。このとき、回路1は、復元された論理レベルの論理反転出力を第3のスイッチSW3を通じて容量素子CSに書き込む。すなわち、自己反転機能が実行される。

結果的に、1フレーム単位で印加電圧の極性が反転駆動される液晶表示パネルにおけるメモリ表示モードでは、画素電極と対向電極間の電位関係を適切な状態に保持し続けることができる。

【発明の効果】

【0013】

発明者らの提案する発明の場合、各サブ画素の容量素子をDRAMとして使用することができる。記憶素子としてDRAMを用いる場合、リフレッシュ動作が必要であるが、発明者らの提案する発明の場合、回路1内でリフレッシュ動作を完結することができる。すなわち、リフレッシュ動作時に、大きな負荷容量を有する信号線DTLの充放電が不要である。このため、リフレッシュ動作に伴う消費電力を低く抑えることができる。

20

【発明を実施するための最良の形態】

【0014】

以下では、発明の最良の形態例を、以下に示す順番で説明する。

(A) 液晶表示パネルの基本構造

(B) 形態例1：1つのサブ画素に1つの回路1

(B-1) システム構成例

(B-2) 画素回路の構成

(B-3) 駆動動作例

(B-4) まとめ

(C) 形態例2：3つのサブ画素に1つの回路1

(C-1) 画素回路の構成

(C-2) 駆動動作例

(C-3) まとめ

(D) 形態例3：6つのサブ画素に1つの回路1

(D-1) 画素回路の構成

(D-2) 駆動動作例

(D-3) まとめ

(E) 他の形態例

30

40

【0015】

なお言うまでもなく、発明者らの提案する発明は後述する形態例に限定されるものではない。また、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。

【0016】

(A) 液晶表示パネルの基本構造

(A-1) 外観構造

まず、液晶表示パネルの外観例を説明する。ただし、この明細書においては、画素アレ

50

イ部と駆動回路を同じプロセスを用いて形成するパネルモジュールだけでなく、集積回路として構成された駆動回路を画素アレイ部が形成されたパネルに実装したのも液晶表示パネルと呼ぶ。ここでの集積回路が、特許請求の範囲における「半導体装置」に対応する。

【0017】

図4に、液晶表示パネルの外観例を示す。液晶表示パネル11は、支持基板13に対向基板15を貼り合わせた構造を有している。

支持基板13は、ガラス、プラスチックその他の透過性基材で構成される。また、対向基板15も、ガラス、プラスチックその他の透過性基材で構成される。対向基板15は、封止材料を挟んで支持基板13の表面を封止する部材である。

この他、液晶表示パネル11には、外部信号や駆動電源を入力するためのFPC（フレキシブルプリントサーキット）7が必要に応じて配置される。

【0018】

(A-2) 断面構造

図5に、液晶表示パネルの断面構造例を示す。図5に示す液晶表示パネル11は、2枚のガラス基板13及び15と、これらによって挟み込まれるように封入された液晶層19とで構成される。各基板のうち外側表面には偏光板21が配置され、内側表面には配向膜23が配置される。なお、配向膜23は、液晶層19の液晶分子群を一定方向に配列させるために使用される膜である。一般に、ポリイミド膜が使用される。

【0019】

また、ガラス基板15には、透明導電膜で形成された画素電極25と対向電極27が形成される。図5の場合、画素電極25は、櫛歯状に加工された5本の電極枝53Aの両端をそれぞれ連結部で連結した構造を有している。

一方、対向電極27は、電極枝25Aよりも下層側（ガラス基板15側）に画素領域の全体を覆うように形成されている。この電極構造により、電極枝25Aと対向電極27の間に放物線状の電界が発生する。すなわち、電極枝25Aの上面領域についても、電界の影響を与えることができる。このため、画素領域全体の液晶を所望の配向方向に向けることができる。

【0020】

(B) 形態例1

(B-1) システム構成例

まず、形態例に係る画素構造を有する液晶表示パネル31のシステム構成について説明する。

図6に、液晶パネルモジュール31のシステム構成例を示す。液晶パネルモジュール31は、下部ガラス基板（図5のガラス基板15に対応する。）上に、画素アレイ部33と、信号線駆動部35と、制御線駆動部37と、駆動タイミング発生部39とを配置した構成を有している。この形態例の場合、画素アレイ部33の駆動回路は、1個又は複数個の半導体集積回路として形成され、ガラス基板上に実装される。

【0021】

因みに、画素アレイ部33は、表示上の1画素を構成するホワイトユニットがM行×N列に配置されたマトリクス構造を有している。なお、この明細書において、行とは、図中X軸方向に配列される3×N個のサブ画素41で構成される画素列をいう。また、列とは、図中Y軸方向に配列されるM個のサブ画素41で構成される画素列をいう。勿論、MとNの値は、垂直方向の表示解像度と水平方向の表示解像度に応じて定まる。

【0022】

図7に、ホワイトユニットを構成するサブ画素41の配列例を示す。図7は、3原色に対応するサブ画素41によって、ホワイトユニットが構成される場合の配列例である。勿論、ホワイトユニットの構成はこれに限らない。

信号線駆動部35は、信号線DTLを駆動する回路である。この形態例の場合、信号線DTLは、図中Y軸方向に延びるように配線されている。例えばアナログ表示モードの場

10

20

30

40

50

合、信号線駆動部 35 は、画素階調に応じた任意の階調電位（アナログ電位 V_{sig} ）を対応する信号線 DTL に印加するように動作する。また例えばメモリ表示モードの場合にも、サブ画素 41 に保存する階調電位の論理レベルを入れ替える場合、信号線駆動部 35 は、必要な画素階調を対応する信号線 DTL に印加するように動作する。

【0023】

制御線駆動部 37 は、制御線 CTL 21 ~ 25 を駆動する回路である。この形態例の場合、制御線 CTL 21 ~ 25 は、図中 X 軸方向に延びるように配線されている。例えばアナログ表示モードの場合、制御線駆動部 37 は、信号線 DTL に印加された階調電位のサブ画素 41 に対する書き込み動作を制御する。また例えばメモリ表示モードの場合、制御線駆動部 37 は、サブ画素 41 に保存されている階調電位のリフレッシュ動作と再書き込み動作を制御する。

駆動タイミング発生部 39 は、信号線駆動部 35 及び制御線駆動部 37 に駆動パルスを提供する回路デバイスである。

【0024】

(B-2) 画素回路の構成

図 8 に、この形態例に係るサブ画素 41 に対応する画素回路の構成例を示す。なお、図 8 に示す回路構成は、自己リフレッシュ機能と自己反転機能を実現する回路 1（図 3）を、サブ画素 41 に対して 1 対 1 に配置する場合の回路構成例である。

以下、画素回路を構成する各素子について説明する。

【0025】

図 8 中の LC は、サブ画素 41 に対応する液晶を示している。

図 8 中の Cs は、階調電位を保存する保持容量である。この形態例の場合、保持容量 Cs は、メモリ表示モード時には、DRAM として用いられる。

薄膜トランジスタ N11 は、保持容量 Cs に対する階調電位の書き込み時にオン制御され、その他の期間にはオフ制御されるアクティブ素子である。薄膜トランジスタ N11 の制御には、制御線 CNT 21 が用いられる。なお、薄膜トランジスタ N11 のうち主電極の一方は画素電極と接続される配線に接続され、主電極の他方は薄膜トランジスタ N12 の一方の主電極と配線を通じて接続される。

【0026】

薄膜トランジスタ N12 は、信号線 DTL から階調電位を書き込む場合にオン制御されるアクティブ素子である。薄膜トランジスタ N12 の制御には、制御線 CNT 22 が用いられる。なお、この薄膜トランジスタ N12 が、図 3 における第 1 のスイッチ SW1 に対応する。また、薄膜トランジスタ N12 の一方の主電極は信号線 DTL に接続され、他方の主電極は薄膜トランジスタ N11 の一方の主電極と配線を通じて接続される。

薄膜トランジスタ N13 は、信号線より前記容量素子に画素電位を書き込む場合にオフ制御されるアクティブ素子である。なお、薄膜トランジスタ N13 は、メモリ表示モードのうち内部リフレッシュ動作の実行動作時に、各フレームの終了直前の一定期間についてのみオン制御される。因みに、薄膜トランジスタ N13 がオン制御されている期間に、DRAM として機能する保持容量 Cs が保持する階調電位が回路 1（図 3）に読み出される。この薄膜トランジスタ N13 の制御には、制御線 CTL 23 が用いられる。また、この薄膜トランジスタ N13 が、図 3 における第 2 のスイッチ SW2 に対応する。

【0027】

薄膜トランジスタ N14 も、信号線より前記容量素子に画素電位を書き込む場合にオフ制御されるアクティブ素子である。なお、薄膜トランジスタ N14 は、メモリ表示モードのうち内部リフレッシュ動作の実行動作時に、各フレームの開始直後の一定期間についてのみオン制御される。因みに、薄膜トランジスタ N14 がオン制御されている期間に、回路 1（図 3）内で論理反転された階調電位が保持容量 Cs に書き込まれる。この薄膜トランジスタ N14 の制御には、制御線 CTL 24 が用いられる。また、この薄膜トランジスタ N14 が、図 3 における第 3 のスイッチ SW3 に対応する。

薄膜トランジスタ P11、P12、N15、N16、N17 は、図 3 の回路 1 を構成す

10

20

30

40

50

る回路である。

【0028】

このうち、薄膜トランジスタP11とN15がインバータ回路（増幅回路）を構成する。また、薄膜トランジスタP12とN16がインバータ回路（増幅回路）を構成する。これらインバータ回路の駆動電源のうち高位電源はVDD、低位電源はVSSである。

なお、薄膜トランジスタP11とN15で構成されるインバータ回路の入力側は、薄膜トランジスタN13の一方の主電極と接続されている。このインバータ回路は、薄膜トランジスタN13がオン状態の場合に、保持容量Csの階調電位を入力することができる。

また、薄膜トランジスタP12とN16で構成されるインバータ回路の入力側は、薄膜トランジスタN14の一方の主電極と接続されている。このインバータ回路は、薄膜トランジスタN14がオン状態の場合に、保持容量Csに論理反転した階調電位を書き込むことができる。

【0029】

また、薄膜トランジスタP11とN15で構成されるインバータ回路の出力側は、薄膜トランジスタP12とN16で構成されるインバータ回路の入力側と接続されている。また、薄膜トランジスタP12とN16で構成されるインバータ回路の出力側は、薄膜トランジスタN17を通じて、薄膜トランジスタP11とN15で構成されるインバータ回路の入力側と接続されている。ここでの薄膜トランジスタN17が、回路1（図3）の動作を制御する。なお、薄膜トランジスタN17の制御には、制御線CTL25が用いられる。

【0030】

例えば薄膜トランジスタN17がオン状態のとき、2つのインバータ回路は、ラッチ回路として動作する。ラッチ回路として動作するとき、自己リフレッシュ機能が有効となる。すなわち、論理振幅をVDD-VSSとする論理レベルの復元動作が実行される。なお、薄膜トランジスタP11とN15で構成されるインバータ回路の出力側には、保持容量Csから読み出された階調電位の論理反転出力が現われる。

また例えば薄膜トランジスタN17がオフ状態のとき、2つのインバータ回路は、それぞれ独立した増幅回路として動作する。

【0031】

(B-3) 駆動動作例

以下、表示モード別に、サブ画素41を構成する画素回路の駆動動作例を説明する。

【0032】

(1) アナログ表示モード

図9に、ある走査線についてのアナログ表示モード時における制御線駆動部37の制御動作の内容を示す。なお、図9(A)は、信号線DTLに印加される階調電位の波形である。この形態例の場合、画素電極と対向電極の間に印加される電圧の極性は1水平期間周期（1H周期）で反転駆動される。すなわち、ライン反転駆動される。従って、図9(A)では、信号線DTLに印加される階調電位の波形が1H周期毎に電位レベルが反転するように描いている。なお、信号線DTLに印加される階調電位の高位電位はVDD1であり、低位電位はVSSである。また、図9(A)は、最大振幅の場合の例を表したものであり、実際には、画素階調に応じてVDD1-VSSのいずれかの電位レベルを採る。

【0033】

図9(B)は、制御線CTL21と制御線CTL22の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。図に示すように、信号線DTLから階調電位を書き込むタイミングでのみ駆動電位は高位電位VDD2に制御される。

図9(C)は、制御線CTL23と制御線CTL24の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。ただし、アナログ表示モードの場合、制御線CTL23とCTL24は、常に低位電位VSS2に制御される。

図9(D)は、制御線CTL25の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。ただし、アナログ表示モードの場合、制御線CTL2

10

20

30

40

50

5 は、常に高位電位 V_{DD2} に制御される。

【0034】

図10に、アナログ表示モード時において、階調電位を信号線DTLから書き込む際の画素回路内の接続状態を示す。また、階調電位の書き込み経路を矢印にて示している。

図10に示すように、この場合、第1のスイッチSW1に対応する薄膜トランジスタN12のみがオン制御される。一方、第2のスイッチSW2に対応する薄膜トランジスタN13と第3のスイッチSW3に対応する薄膜トランジスタN14は、二つとも全期間についてオフ制御される。すなわち、保持容量Csや画素電極側と回路1(図3)とは電氣的に完全に分離される。

なお、回路1内における薄膜トランジスタN17は常にオン状態に制御され、ラッチ回路として動作を継続する。

【0035】

(2)メモリ表示モード

メモリ表示モードは、信号線DTLから保持容量Csに階調電位を書き込む動作とサブ画素内で保持容量Csに格納されている階調電位をリフレッシュする動作とで構成される。このうち、信号線DTLから保持容量Csに階調電位を書き込む動作は、表示内容の変更時等に実行される動作である。なお、信号線DTLから保持容量Csに階調電位を書き込む場合の動作は、アナログ表示モードと同じであるので説明を省略する。

図11に、サブ画素内で保持容量Csに格納されている階調電位をリフレッシュする場合における制御線駆動部37の制御動作の内容を示す。なお、図11は、フレーム単位の駆動動作の関係を示している。

図11(A)は、制御線CTL21の駆動波形である。図11(B)は、制御線CTL23及びCTL24の駆動波形である。これら2本の制御線には、1フレーム周期で高位電位がパルス状に印加される。図11(C)は、制御線CTL25の駆動波形である。制御線CTL25には、1フレーム周期で低位電位がパルス状に印加される。

【0036】

図11(D)は、対向電極電位VCSの駆動波形である。図に示すように、1フレーム周期で高位電位と低位電位が交互に出力される。

図11(E)は、保持容量Csに書き込む階調電位(PIX)の電位変化を示す波形である。図に示すように、メモリ表示モードにおいて、サブ画素41の発光状態を維持するためには、階調電位(PIX)を交互に入れ替える必要がある。

なお、メモリ表示モードの場合、制御線CTL22は、常に、低位電位で駆動制御される。

【0037】

次に、1フレーム内での詳細な駆動動作を説明する。

図12に、ある走査線についてのメモリ表示モード時における制御線駆動部37の制御動作の内容を示す。なお、図12は、図11におけるフレームの境界部分を拡大した状態を表している。なお、図12においては、前フレームをフレームNで表し、次フレームをフレームN+1で表している。

【0038】

図12(A)は、制御線CTL21の駆動波形である。図に示すように、制御線CTL21は、前フレームNの終了直前から次フレームの開始直後の一定期間、高位電位 V_{DD2} に駆動制御される。

図12(B)は、制御線CTL23の駆動波形である。図に示すように、制御線CTL23は、各フレームの終了直前に一定期間だけ、高位電位 V_{DD2} に駆動制御される。

図12(C)は、制御線CTL24の駆動波形である。図に示すように、制御線CTL24は、各フレームの開始直前に一定期間だけ、高位電位 V_{DD2} に駆動制御される。

図12(D)は、制御線CTL25の駆動波形である。図に示すように、制御線CTL25は、基本的に高位電位 V_{DD2} に駆動制御されるが、保持容量Csから回路1(図3)に階調電位の読み出しを開始する直前に低位電位 V_{SS2} に制御される。

10

20

30

40

50

【 0 0 3 9 】

その後、一定時間が経過すると、制御線 C T L 2 5 は、再び高位電位 V D D 2 に駆動制御される。この高位電位 V D D 2 の印加期間は、前フレーム N が終了するまでの間に実行される。この高位電位 V D D 2 の印加期間に回路 1 (図 3) のラッチ機能が有効化され、読み出された階調電位 (P I X) の電位が本来の電位に戻される。すなわち、自己リフレッシュ動作が実行される。このように、自己リフレッシュ動作には、信号線 D T L の充放電は不要である。

【 0 0 4 0 】

この自己リフレッシュ動作が終了すると、再び、制御線 C T L 2 5 は低位電位 V S S 2 に制御され、次フレームの開始から一定期間が経過するまで、その電位状態が維持される。そして、第 3 のスイッチ S W 3 として機能する薄膜トランジスタ N 1 4 がオン制御されてから一定時間が経過した後、制御線 C T L 2 5 は再びオン状態に制御され、その電位状態が維持される。

10

図 1 2 (E) は、対向電極電位 V C S の電位変化を示す波形である。図に示すように、フレーム周期で電位レベルが反転する。

【 0 0 4 1 】

図 1 3 に、メモリ表示モードにおいて、保持容量 C s から階調電位 (P I X) を読み出す場合の回路内の様子を示す。

このとき、薄膜トランジスタ N 1 1 と薄膜トランジスタ N 1 3 (第 2 のスイッチ S W 2) がオン状態に制御される。これにより、D R A M として機能する保持容量 C s が保持する階調電位が、薄膜トランジスタ P 1 1 と薄膜トランジスタ N 1 5 で構成されるインバータ回路の入力端に読み出される。

20

この状態で、薄膜トランジスタ N 1 7 がオン制御されると、図 1 4 に示すように、回路 1 (図 3) はラッチ回路として動作し、保持容量 C s から読み出された階調電位の論理振幅が回復される。

【 0 0 4 2 】

この後、薄膜トランジスタ N 1 7 がオフ制御され、続いて、薄膜トランジスタ N 1 3 もオフ制御される。この状態が、図 1 5 に示す接続状態である。これにより、薄膜トランジスタ P 1 2 と薄膜トランジスタ N 1 6 の入力側には、フレーム N の期間に保持容量 C s から読み出された階調電位の論理振幅を回復した状態で論理反転した階調電位が現われる。

30

この後、まず薄膜トランジスタ N 1 4 がオン制御され、次に薄膜トランジスタ N 1 7 がオン制御される。この状態が、図 1 6 に示す接続状態である。これにより、保持容量 C s には、前フレーム N の階調電位をリフレッシュ後に論理反転した階調電位が新たに書き込まれることになる。

以上の動作が、メモリ表示モードの間、繰り返し実行される。

【 0 0 4 3 】

(B - 4) まとめ

この形態例に係る画素構造の採用により、アナログ表示モードにもメモリ表示モードにも対応できる液晶表示パネルを実現できる。

しかも、メモリ表示モードにおいて、保持容量 C s を D R A M として利用するため、容量面積が小さく済み、開口率を高く採ることができる。

40

また、この形態例に係る画素構造の場合には、メモリ表示モードにおいて、サブ画素 4 1 と信号線 D T L とを基本的に接続する必要がない。すなわち、信号線 D T L を充放電しなくても、D R A M として動作させる保持容量 C s の階調電位をリフレッシュできる。このため、メモリ表示動作時における消費電力を更に低下させることができる。

【 0 0 4 4 】

(C) 形態例 2

続いて、2つ目の形態例を説明する。この形態例では、回路 1 (図 3) を、ホワイトユニットを構成する 3 つのサブ画素 4 1 について 1 つ配置する場合について説明する。

【 0 0 4 5 】

50

(C-1) 画素回路の構成

図17に、2つ目の形態例に係るサブ画素41に対応する画素回路の構成例を示す。なお、図17には、図8との対応部分に同一符号を付して示す。また、図17の場合にも、図2の場合と同様、LCは、作図上の都合により表示を省略している。

図17と図8との違いは、薄膜トランジスタN11が、ホワイトユニットを構成する3つのサブ画素41に対応する個数だけ用意される点である。すなわち、薄膜トランジスタN11(B)、N11(G)、N11(R)の3個が用意される。ここで、カッコ内のBは、青色に対応するサブ画素に用いられることを示している。また、カッコ内のGは、緑色に対応するサブ画素に用いられることを示している。また、カッコ内のRは、赤色に対応するサブ画素に用いられることを示している。

10

【0046】

従って、保持容量 $C_s(B)$ は、青色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(G)$ は、緑色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(R)$ は、赤色表示に対応するサブ画素41の保持容量 C_s を示している。

なお、薄膜トランジスタN11(B)の制御には、制御線CNT21(B)が用いられる。また、薄膜トランジスタN11(G)の制御には、制御線CNT21(G)が用いられる。また、薄膜トランジスタN11(R)の制御には、制御線CNT21(R)が用いられる。

20

【0047】

(C-2) 駆動動作例

以下、表示モード別に、この形態例に係る画素回路の駆動動作例を説明する。

【0048】

(1) アナログ表示モード

図18に、ある走査線についてのアナログ表示モード時における制御線駆動部37の制御動作の内容を示す。なお、図18(A)は、信号線DTLに印加される階調電位の波形である。この形態例の場合、画素電極と対向電極の間に印加される電圧の極性は1水平期間周期(1H周期)で反転駆動される。すなわち、ライン反転駆動される。従って、図18(A)では、信号線DTLに印加される階調電位の波形が1H周期毎に電位レベルが反転するように描いている。なお、信号線DTLに印加される階調電位の高位電位はVDD1であり、低位電位はVSSである。また、図18(A)は、最大振幅の場合の例を表したものであり、実際には、画素階調に応じてVDD1-VSSのいずれかの電位レベルを採る。

30

【0049】

図18(B)は、制御線CTL22の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。図に示すように、信号線DTLから階調電位を書き込むタイミングでのみ駆動電位は高位電位VDD2に制御される。

図18(C1)~(C3)は、制御線CTL22(R)、CTL22(G)、CTL22(B)の駆動波形である。図に示すように、R G Bの順番に、制御線CTL22(R)、CTL22(G)、CTL22(B)は高位電位VDD2に制御される。なお、制御線CTL22(R)、CTL22(G)、CTL22(B)が高位電位VDD2である期間は互いに重複しないように設定されている。なお、制御線CTL22(R)、CTL22(G)、CTL22(B)が高位電位VDD2である期間に、対応する信号電位Vsigが信号線DTLに印加されている。なお、駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。

40

【0050】

図18(D)は、制御線CTL23と制御線CTL24の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。ただし、アナログ表示モードの場合、制御線CTL23とCTL24は、常に低位電位VSS2に制御される。

図18(E)は、制御線CTL25の駆動波形である。駆動振幅の高位電位はVDD2

50

であり、低位電位は V_{SS2} である。ただし、アナログ表示モードの場合、制御線 $CTL25$ は、常に高位電位 V_{DD2} に制御される。

【0051】

(2) メモリ表示モード

メモリ表示モードは、信号線 DTL から保持容量 C_s に階調電位を書き込む動作とサブ画素内で保持容量 C_s に格納されている階調電位をリフレッシュする動作とで構成される。このうち、信号線 DTL から保持容量 C_s に階調電位を書き込む動作は、表示内容の変更時等に実行される動作である。なお、信号線 DTL から保持容量 C_s に階調電位を書き込む場合の動作は、アナログ表示モードと同じであるので説明を省略する。

図19に、サブ画素内で保持容量 C_s に格納されている階調電位をリフレッシュする場合における制御線駆動部37の制御動作の内容を示す。なお、図19は、フレーム単位の駆動動作の関係を示している。

図19(A1)～(A3)は、制御線 $CTL21(R)$ 、制御線 $CTL21(G)$ 、制御線 $CTL21(B)$ の駆動波形である。この形態例の場合、制御線 $CTL21(R)$ 、制御線 $CTL21(G)$ 、制御線 $CTL21(B)$ は、3フレーム周期で高位電位がパルス状に印加される。

【0052】

図19(B)は、制御線 $CTL23$ 及び $CTL24$ の駆動波形である。これら2本の制御線には、1フレーム周期で高位電位がパルス状に印加される。図19(C)は、制御線 $CTL25$ の駆動波形である。制御線 $CTL25$ には、1フレーム周期で低位電位がパルス状に印加される。

【0053】

図19(D)は、対向電極電位 V_{CS} の駆動波形である。図に示すように、1フレーム周期で高位電位と低位電位が交互に出力される。

図19(E1)～(E3)は、保持容量 C_s に書き込む階調電位 ($PIXR$, $PIXG$, $PIXB$) の電位変化を示す波形である。図中、破線で示す波形が対向電極電位 V_{CS} の駆動波形である。一方、実線で示す波形が個々のサブ画素41格納される階調電位の電位波形である。

【0054】

図に示すように、対向電極電位の変化に伴って階調電位も変化するが、対向電極電位 V_{CS} と保持容量 C_s に保持される階調電位 ($PIXR$, $PIXG$, $PIXB$) との電位関係は、3フレーム周期で変化する。すなわち、各色に対する自己リフレッシュ兼自己反転動作は、3フレーム周期で実行される。勿論、前回の自己リフレッシュ兼自己反転動作から次の自己リフレッシュ兼自己反転動作までは、サブ画素41内における電位関係が保持される。従って、この形態例の場合、保持容量 C_s には、リフレッシュレートが3フレーム周期になっても階調電位を保持できるだけの容量が求められる。なお、メモリ表示モードの場合、制御線 $CTL22$ は、常に、低位電位で駆動制御される。

【0055】

次に、1フレーム内での詳細な駆動動作を説明する。

図20に、ある走査線についてのメモリ表示モード時における制御線駆動部37の制御動作の内容を示す。なお、図20は、図19における各フレームの境界部分を拡大した状態を表している。なお、図20においては、前フレームをフレーム N で表し、次フレームをフレーム $N+1$ で表している。

【0056】

図20(A)は、制御線 $CTL21(R)$ 、 $CTL21(G)$ 、 $CTL21(B)$ の駆動波形である。すなわち、図20(A)は、図19(A1)～(A3)の各パルス出力の時点の動作を表している。以下では、制御線 $CTL21(R)$ について説明する。

図に示すように、制御線 $CTL21(R)$ は、前フレーム N の終了直前から次フレームの開始直後の一定期間、高位電位 V_{DD2} に駆動制御される。

図20(B)は、制御線 $CTL23$ の駆動波形である。図に示すように、制御線 CTL

10

20

30

40

50

23は、各フレームの終了直前に一定期間だけ、高位電位VDD2に駆動制御される。

図20(C)は、制御線CTL24の駆動波形である。図に示すように、制御線CTL24は、各フレームの開始直前に一定期間だけ、高位電位VDD2に駆動制御される。

図20(D)は、制御線CTL25の駆動波形である。図に示すように、制御線CTL25は、基本的に高位電位VDD2に駆動制御されるが、保持容量Csから回路1(図3)に階調電位の読み出しを開始する直前に低位電位VSS2に制御される。

【0057】

その後、一定時間が経過すると、制御線CTL25は、再び高位電位VDD2に駆動制御される。この高位電位VDD2の印加期間は、前フレームNが終了するまでの間に行われる。この高位電位VDD2の印加期間に回路1(図3)のラッチ機能が有効化され、読み出された階調電位(PIX)の電位が本来の電位に戻される。すなわち、自己リフレッシュ動作が実行される。このように、自己リフレッシュ動作には、信号線DTLの充放電は不要である。

10

【0058】

この自己リフレッシュ動作が終了すると、再び、制御線CTL25は低位電位VSS2に制御され、次フレームの開始から一定期間が経過するまで、その電位状態が維持される。そして、第3のスイッチSW3として機能する薄膜トランジスタN14がオン制御されてから一定時間が経過した後、制御線CTL25は再びオン状態に制御され、その電位状態が維持される。

図20(E)は、対応する対向電極電位VCSの電位変化を示す波形である。図に示すように、フレーム周期で電位レベルが反転する。

20

以上の動作が、フレーム毎に、赤色表示に対応するサブ画素41、緑色表示に対応するサブ画素41、青色表示に対応するサブ画素41について順番に実行される。

【0059】

(C-3)まとめ

この形態例の場合にも、アナログ表示モードにもメモリ表示モードにも対応できる液晶表示パネルを実現できる。

しかも、この形態例の場合には、1つの回路1(図3)を3つのサブ画素41で順番に利用できる。すなわち、1つのホワイトユニット内に形成する回路1(図3)の数を3つから1つに削減することができる。結果的に、ホワイトユニットを構成する画素領域内の素子数を削減できる。勿論、液晶表示パネルを構成する素子数が削減されれば、その分、歩留まりも向上できる。

30

【0060】

(D)形態例3

続いて、3つ目の形態例を説明する。この形態例では、回路1(図3)を、2つのホワイトユニットを構成する6つのサブ画素41について1つ配置する場合について説明する。

【0061】

(D-1)画素回路の構成

図21に、3つ目の形態例に係るサブ画素41に対応する画素回路の構成例を示す。なお、図21には、図17との対応部分に同一符号を付して示す。また、図21の場合にも、図2や図17の場合と同様、LCは、作図上の都合により表示を省略している。

40

図21と図17との違いは、薄膜トランジスタN11が、2つのホワイトユニットを構成する6つのサブ画素41に対応する個数だけ用意される点である。すなわち、薄膜トランジスタN11(B1)、N11(G1)、N11(R1)、N11(B2)、N11(G2)、N11(R2)の6個が用意される。

【0062】

図21の場合も、カッコ内のBは、青色に対応するサブ画素に用いられることを示している。また、カッコ内のGは、緑色に対応するサブ画素に用いられることを示している。また、カッコ内のRは、赤色に対応するサブ画素に用いられることを示している。

50

また、カッコ内の「1」は、1つ目のホワイトユニットを構成するサブ画素に用いられることを示し、カッコ内の「2」は、2つ目のホワイトユニットを構成するサブ画素に用いられることを示している。

【0063】

従って、保持容量 $C_s(B1)$ は、1つ目のホワイトユニットを構成する青色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(G1)$ は、1つ目のホワイトユニットを構成する緑色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(R1)$ は、1つ目のホワイトユニットを構成する赤色表示に対応するサブ画素41の保持容量 C_s を示している。

また、保持容量 $C_s(B2)$ は、2つ目のホワイトユニットを構成する青色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(G2)$ は、2つ目のホワイトユニットを構成する緑色表示に対応するサブ画素41の保持容量 C_s を示している。同じく、保持容量 $C_s(R2)$ は、2つ目のホワイトユニットを構成する赤色表示に対応するサブ画素41の保持容量 C_s を示している。

【0064】

なお、薄膜トランジスタ $N11(B1)$ の制御には、制御線 $CNT21(B1)$ が用いられる。また、薄膜トランジスタ $N11(G1)$ の制御には、制御線 $CNT21(G1)$ が用いられる。また、薄膜トランジスタ $N11(R1)$ の制御には、制御線 $CNT21(R1)$ が用いられる。

また、薄膜トランジスタ $N11(B2)$ の制御には、制御線 $CNT21(B2)$ が用いられる。また、薄膜トランジスタ $N11(G2)$ の制御には、制御線 $CNT21(G2)$ が用いられる。また、薄膜トランジスタ $N11(R2)$ の制御には、制御線 $CNT21(R2)$ が用いられる。

【0065】

(D-2) 駆動動作例

以下、表示モード別に、この形態例に係る画素回路の駆動動作例を説明する。

【0066】

(1) アナログ表示モード

図22に、ある走査線についてのアナログ表示モード時における制御線駆動部37の制御動作の内容を示す。なお、図22(A)は、信号線 DTL に印加される階調電位の波形である。この形態例の場合も、画素電極と対向電極の間に印加される電圧の極性は1水平期間周期(1H周期)で反転駆動される。すなわち、ライン反転駆動される。従って、図22(A)では、信号線 DTL に印加される階調電位の波形が1H周期毎に電位レベルが反転するように描いている。なお、信号線 DTL に印加される階調電位の高位電位は $VDD1$ であり、低位電位は VSS である。また、図22(A)は、最大振幅の場合の例を表したものであり、実際には、画素階調に応じて $VDD1 - VSS$ のいずれかの電位レベルを採る。

【0067】

図22(B)は、制御線 $CTL22$ の駆動波形である。駆動振幅の高位電位は $VDD2$ であり、低位電位は $VSS2$ である。図に示すように、信号線 DTL から階調電位を書き込むタイミングでのみ駆動電位は高位電位 $VDD2$ に制御される。

図22(C1)~(C6)は、制御線 $CTL22(R1)$ 、 $CTL22(G1)$ 、 $CTL22(B1)$ 、 $CTL22(R2)$ 、 $CTL22(G2)$ 、 $CTL22(B2)$ の駆動波形である。なお、制御線 $CTL22(B1)$ 、 $CTL22(R2)$ 、 $CTL22(G2)$ の表記は省略している。

【0068】

図に示すように、 $R1$ $G1$ $B1$ $R2$ $G2$ $B2$ の順番に、制御線 $CTL22(R1)$ 、 $CTL22(G1)$ 、 $CTL22(B1)$ 、 $CTL22(R2)$ 、 $CTL22(G2)$ 、 $CTL22(B2)$ は高位電位 $VDD2$ に制御される。なお、制御線 $CTL22(R1)$ 、 $CTL22(G1)$ 、 $CTL22(B1)$ 、 $CTL22(R2)$ 、 $CTL22(G2)$ 、 $CTL22(B2)$ の表記は省略している。

10

20

30

40

50

L22(G2)、CTL22(B2)が高位電位VDD2である期間は互いに重複しないように設定されている。なお、制御線CTL22(R1)、CTL22(G1)、CTL22(B1)、CTL22(R2)、CTL22(G2)、CTL22(B2)が高位電位VDD2である期間に、対応する信号電位Vsigが信号線DTLに印加されている。なお、駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。

【0069】

図22(D)は、制御線CTL23と制御線CTL24の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。ただし、アナログ表示モードの場合、制御線CTL23とCTL24は、常に低位電位VSS2に制御される。

図22(D)は、制御線CTL25の駆動波形である。駆動振幅の高位電位はVDD2であり、低位電位はVSS2である。ただし、アナログ表示モードの場合、制御線CTL25は、常に高位電位VDD2に制御される。

【0070】

(2)メモリ表示モード

メモリ表示モードは、信号線DTLから保持容量Csに階調電位を書き込む動作とサブ画素内で保持容量Csに格納されている階調電位をリフレッシュする動作とで構成される。このうち、信号線DTLから保持容量Csに階調電位を書き込む動作は、表示内容の変更時等に行われる動作である。なお、信号線DTLから保持容量Csに階調電位を書き込む場合の動作は、アナログ表示モードと同じであるので説明を省略する。

図23に、サブ画素内で保持容量Csに格納されている階調電位をリフレッシュする場合における制御線駆動部37の制御動作の内容を示す。なお、図23は、フレーム単位の駆動動作の関係を示している。

図23(A1)~(A6)は、制御線CTL22(R1)、CTL22(G1)、CTL22(B1)、CTL22(R2)、CTL22(G2)、CTL22(B2)の駆動波形である。この形態例の場合、CTL22(R1)、CTL22(G1)、CTL22(B1)、CTL22(R2)、CTL22(G2)、CTL22(B2)は、6フレーム周期で高位電位がパルス状に印加される。

【0071】

図23(B)は、制御線CTL23及びCTL24の駆動波形である。これら2本の制御線には、1フレーム周期で高位電位がパルス状に印加される。図23(C)は、制御線CTL25の駆動波形である。制御線CTL25には、1フレーム周期で低位電位がパルス状に印加される。

【0072】

図23(D)は、対向電極電位VCSの駆動波形である。図に示すように、1フレーム周期で高位電位と低位電位が交互に出力される。

図23(E1)~(E6)は、保持容量Csに書き込む階調電位(PIXR1, PIXG1, PIXB1, PIXR2, PIXG2, PIXB2)の電位変化を示す波形である。図中、破線で示す波形が対向電極電位VCSの駆動波形である。一方、実線で示す波形が個々のサブ画素41格納される階調電位の電位波形である。

【0073】

図に示すように、対向電極電位の変化に伴って階調電位も変化するが、対向電極電位VCSと保持容量Csに保持される階調電位(PIXR1, PIXG1, PIXB1, PIXR2, PIXG2, PIXB2)との電位関係は、6フレーム周期で変化する。すなわち、各色に対する自己リフレッシュ兼自己反転動作は、6フレーム周期で行われる。勿論、前回の自己リフレッシュ兼自己反転動作から今回の自己リフレッシュ兼自己反転動作までは、サブ画素41内における電位関係が保持される。従って、この形態例の場合、保持容量Csには、リフレッシュレートが3フレーム周期になっても階調電位を保持できるだけの容量が求められる。なお、メモリ表示モードの場合、制御線CTL22は、常に、低位電位で駆動制御される。

【0074】

10

20

30

40

50

この場合も、1フレーム内での詳細な駆動動作は、前述した2つの形態例と同じである。具体的には、図20と同様の駆動動作になる。違いは、図20(A)の駆動波形が、制御線CTL22(R1)、CTL22(G1)、CTL22(B1)、CTL22(R2)、CTL22(G2)、CTL22(B2)に対応することだけである。

【0075】

(D-3)まとめ

この形態例の場合にも、アナログ表示モードにもメモリ表示モードにも対応できる液晶表示パネルを実現できる。

しかも、この形態例の場合には、1つの回路1(図3)を6つのサブ画素41で順番に利用できる。すなわち、2つのホワイトユニット内に形成する回路1(図3)の数を6つから1つに削減することができる。結果的に、2つのホワイトユニットを構成する画素領域内の素子数を更に削減できる。勿論、液晶表示パネルを構成する素子数が削減されれば、その分、歩留まりも向上できる。

【0076】

(E)他の形態例

(E-1)他の画素構造例

前述した形態例の場合には、図8に示す画素構造を基本構成とする場合について説明した。すなわち、2つのインパータ回路の入出力端を接続する経路の1つに薄膜トランジスタN17を配置し、そのオン・オフ制御によって回路1のラッチ動作を制御する場合について説明した。

しかし、図24に示す画素回路によっても、前述した駆動動作を実現することができる。

【0077】

図24中のLCは、サブ画素41に対応する液晶を示している。

図24中のCsは、階調電位を保存する保持容量である。この形態例の場合、保持容量Csは、メモリ表示モード時には、DRAMとして用いられる。

薄膜トランジスタN11は、保持容量Csに対する階調電位の書き込み時にオン制御され、その他の期間にはオフ制御されるアクティブ素子である。薄膜トランジスタN11の制御には、制御線CNT21が用いられる。なお、薄膜トランジスタN11のうち主電極の一方は画素電極と接続される配線に接続され、主電極の他方は薄膜トランジスタN12の一方の主電極と配線を通じて接続される。

【0078】

薄膜トランジスタN12は、信号線DTLから階調電位を書き込む場合にオン制御されるアクティブ素子である。薄膜トランジスタN12の制御には、制御線CNT22が用いられる。なお、この薄膜トランジスタN12が、図3における第1のスイッチSW1に対応する。また、薄膜トランジスタN12の一方の主電極は信号線DTLに接続され、他方の主電極は薄膜トランジスタN11の一方の主電極と配線を通じて接続される。

薄膜トランジスタN13は、信号線より前記容量素子に画素電位を書き込む場合にオフ制御されるアクティブ素子である。なお、薄膜トランジスタN13は、メモリ表示モードのうち内部リフレッシュ動作の実行動作時に、各フレームの終了直前の一定期間についてのみオン制御される。因みに、薄膜トランジスタN13がオン制御されている期間に、DRAMとして機能する保持容量Csが保持する階調電位が回路1(図3)に読み出される。この薄膜トランジスタN13の制御には、制御線CTL23が用いられる。また、この薄膜トランジスタN13が、図3における第2のスイッチSW2に対応する。

【0079】

薄膜トランジスタN14も、信号線より前記容量素子に画素電位を書き込む場合にオフ制御されるアクティブ素子である。なお、薄膜トランジスタN14は、のうち内部リフレッシュ動作の実行動作時に、各フレームの開始直後の一定期間についてのみオン制御される。因みに、薄膜トランジスタN14がオン制御されている期間に、回路1(図3)内で論理反転された階調電位が保持容量Csに書き込まれる。この薄膜トランジスタN14の

10

20

30

40

50

制御には、制御線CTL24が用いられる。また、この薄膜トランジスタN14が、図3における第3のスイッチSW3に対応する。

薄膜トランジスタP11、N15と容量Cは、図3の回路1を構成する回路である。

【0080】

このうち、薄膜トランジスタP11とN15がインバータ回路（増幅回路）を構成する。なお、薄膜トランジスタP11とN15で構成されるインバータ回路の入力側は、薄膜トランジスタN13の一方の主電極と接続されている。このインバータ回路は、薄膜トランジスタN13がオン状態の場合に、保持容量Csの階調電位を入力することができる。なお、保持容量Csの階調電位は、容量Cに保存される。因みに、図24の場合には、容量Cを明示的に配置しているが、配線容量を使用することもできる。

10

【0081】

また、薄膜トランジスタP11とN15で構成されるインバータ回路の出力側は、薄膜トランジスタN14の一方の主電極に接続される。

この回路構成の場合、1つのインバータ回路により、リフレッシュ機能と論理反転機能を実現する。この回路構成の場合、図8では必要であった3個の薄膜トランジスタP12、N16、N17を無くすことができる。その分、回路面積を小さくすることができる。

【0082】

なお、図24に示す画素構造の場合も、信号線より前記容量素子に画素電位を書き込む場合には、薄膜トランジスタN13と薄膜トランジスタN14をオフ制御すれば良い。

また、メモリ表示モードのうち内部リフレッシュ動作の実行動作時には、図25に示すように駆動制御すれば良い。

20

図25は、ある走査線についてのメモリ表示モードのうち内部リフレッシュ動作の実行動作時における制御線駆動部37の制御動作の内容を示している。

【0083】

なお、図25においては、前フレームをフレームNで表し、次フレームをフレームN+1で表している。

図25(A)は、制御線CTL21の駆動波形である。図に示すように、制御線CTL21は、前フレームNの終了直前から次フレームの開始直後の一定期間、高位電位VDD2に駆動制御される。

図25(B)は、制御線CTL23の駆動波形である。図に示すように、制御線CTL23は、各フレームの終了直前に一定期間だけ、高位電位VDD2に駆動制御される。この高位電位VDD2の印加期間に、保持容量Csから読み出された階調電位(PIX)が回路1(図3)内の容量Cに格納される。

30

【0084】

また、この階調電位(PIX)の反転出力がインバータ回路の出力端に現れ、この際に、階調電位は論理反転される。また、その出力振幅は、高位電位VDDか低位電位VSSに変換される。すなわち、自己リフレッシュ動作と自己反転動作が実行される。やはり、自己リフレッシュ動作には、信号線DTLの充放電は不要である。

図25(C)は、制御線CTL24の駆動波形である。図に示すように、制御線CTL24は、各フレームの開始直前に一定期間だけ、高位電位VDD2に駆動制御される。この高位電位VDD2の印加期間に、インバータ回路の出力端と保持容量Csとは電氣的に接続され、論理反転された階調電位(PIX)が書き込まれる。

40

図25(D)は、対向電極電位VCSの電位変化を示す波形である。図に示すように、フレーム周期で電位レベルが反転する。

【0085】

(E-2) 製品例(電子機器)

前述した駆動電圧の印加技術は、液晶表示パネルの形態だけでなく、各種の電子機器に実装した商品形態でも流通される。以下、電子機器への実装例を示す。

図26に、電子機器51の概念構成例を示す。電子機器51は、前述した駆動電圧の印加技術を採用する液晶表示パネル53、システム制御部55及び操作入力部57で構成さ

50

れる。システム制御部 5 5 で実行される処理内容は、電子機器 5 1 の商品形態により異なる。また、操作入力部 5 7 は、システム制御部 5 5 に対する操作入力を受け付けるデバイスである。操作入力部 5 7 には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

【0086】

なお、電子機器 5 1 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図 2 7 に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機 6 1 の筐体正面には、フロントパネル 6 3 及びフィルターガラス 6 5 等で構成される表示画面 6 7 が配置される。

また、この種の電子機器 5 1 には、例えばデジタルカメラが想定される。図 2 8 に、デジタルカメラ 7 1 の外観例を示す。図 2 8 (A) が正面側 (被写体側) の外観例であり、図 2 8 (B) が背面側 (撮影者側) の外観例である。デジタルカメラ 7 1 は、保護カバー 7 3、撮像レンズ部 7 5、表示画面 7 7、コントロールスイッチ 7 9 及びシャッターボタン 8 1 で構成される。

【0087】

また、この種の電子機器 5 1 には、例えばビデオカメラが想定される。図 2 9 に、ビデオカメラ 9 1 の外観例を示す。

ビデオカメラ 9 1 は、本体 9 3 の前方に被写体を撮像する撮像レンズ 9 5、撮影のスタート/ストップスイッチ 9 7 及び表示画面 9 9 で構成される。

また、この種の電子機器 5 1 には、例えば携帯端末装置が想定される。図 3 0 に、携帯端末装置としての携帯電話機 1 0 1 の外観例を示す。図 3 0 に示す携帯電話機 1 0 1 は折りたたみ式であり、図 3 0 (A) が筐体を開いた状態の外観例であり、図 3 0 (B) が筐体を折りたたんだ状態の外観例である。

【0088】

携帯電話機 1 0 1 は、上側筐体 1 0 3、下側筐体 1 0 5、連結部 (この例ではヒンジ部) 1 0 7、表示画面 1 0 9、補助表示画面 1 1 1、ピクチャーライト 1 1 3 及び撮像レンズ 1 1 5 で構成される。

また、この種の電子機器 5 1 には、例えばコンピュータが想定される。図 3 1 に、ノート型コンピュータ 1 2 1 の外観例を示す。

ノート型コンピュータ 1 2 1 は、下側筐体 1 2 3、上側筐体 1 2 5、キーボード 1 2 7 及び表示画面 1 2 9 で構成される。

これらの他、電子機器 5 1 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0089】

(E-3) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0090】

【図 1】液晶表示パネルの画素構造例を示す図である。

【図 2】液晶表示パネルの画素構造例を示す図である。

【図 3】発明に係る液晶表示パネルの画素構造例を示す図である。

【図 4】液晶表示パネルの外観例を示す図である。

【図 5】液晶表示パネルの断面構造例を示す図である。

【図 6】液晶表示パネルのシステム構成例を示す図である。

【図 7】サブ画素の配列例を示す図である。

【図 8】形態例 1 に係る画素回路の構成例を示す図である。

【図 9】アナログ表示モードにおける駆動動作例を示す図である。

10

20

30

40

50

- 【図 1 0】アナログ表示モード時における画素回路内の接続状態を示す図である。
- 【図 1 1】メモリ表示モードにおける全体的な駆動動作例を示す図である。
- 【図 1 2】メモリ表示モードにおける詳細な駆動動作例を示す図である。
- 【図 1 3】保持容量から階調電位を読み出す際の画素回路内の接続状態を示す図である。
- 【図 1 4】ラッチ動作中における画素回路内の接続状態を示す図である。
- 【図 1 5】遷移期間における画素回路内の接続状態を示す図である。
- 【図 1 6】論理反転後の階調電位を保持容量に書き込む際の画素回路内の接続状態を示す図である。

【図 1 7】形態例 2 に係る画素回路の構成例を示す図である。

【図 1 8】アナログ表示モードにおける駆動動作例を示す図である。

10

【図 1 9】メモリ表示モードにおける全体的な駆動動作例を示す図である。

【図 2 0】メモリ表示モードにおける詳細な駆動動作例を示す図である。

【図 2 1】形態例 3 に係る画素回路の構成例を示す図である。

【図 2 2】アナログ表示モードにおける駆動動作例を示す図である。

【図 2 3】メモリ表示モードにおける全体的な駆動動作例を示す図である。

【図 2 4】画素回路の他の構成例を示す図である。

【図 2 5】メモリ表示モードにおける詳細な駆動動作例を示す図である。

【図 2 6】電子機器の機能構成例を示す図である。

【図 2 7】電子機器の商品例を示す図である。

【図 2 8】電子機器の商品例を示す図である。

20

【図 2 9】電子機器の商品例を示す図である。

【図 3 0】電子機器の商品例を示す図である。

【図 3 1】電子機器の商品例を示す図である。

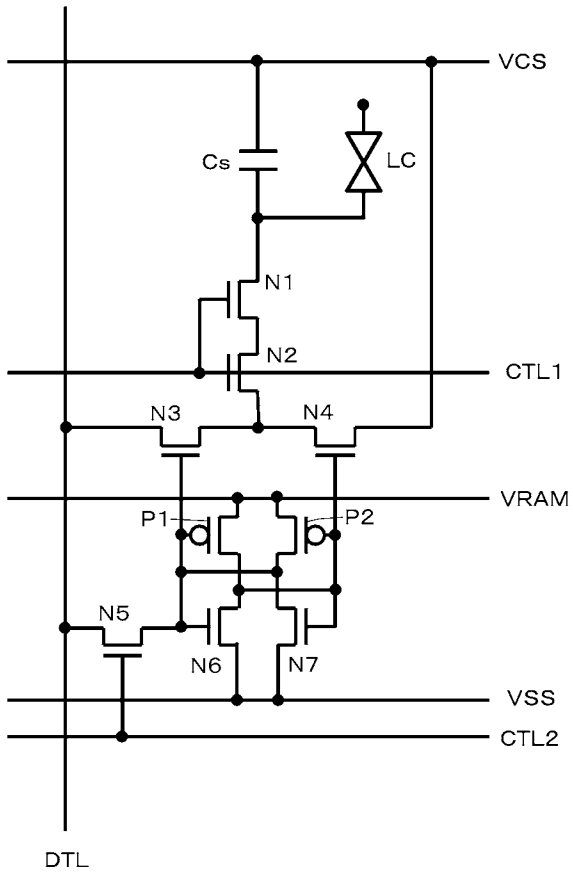
【符号の説明】

【 0 0 9 1 】

1	回路
1 1	液晶表示パネル
3 3	画素アレイ部
3 7	制御線駆動部

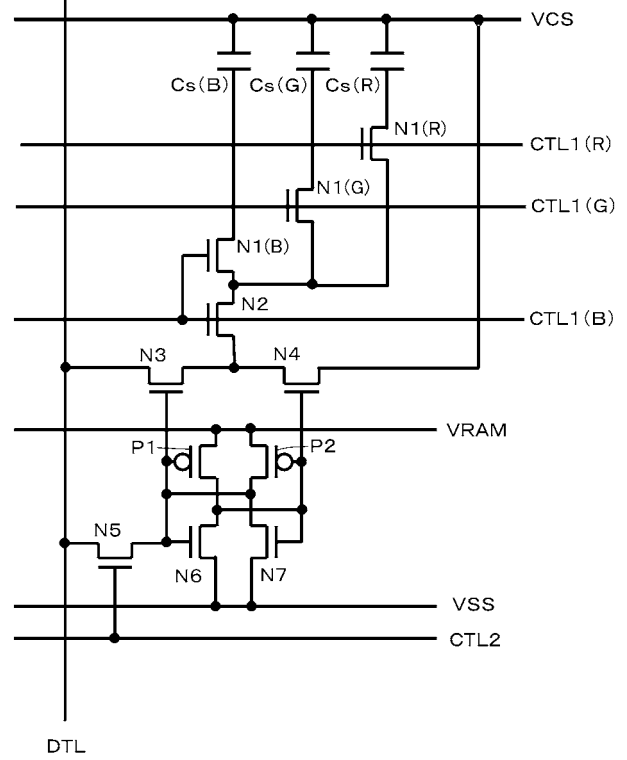
【図1】

Vsig/VXCS

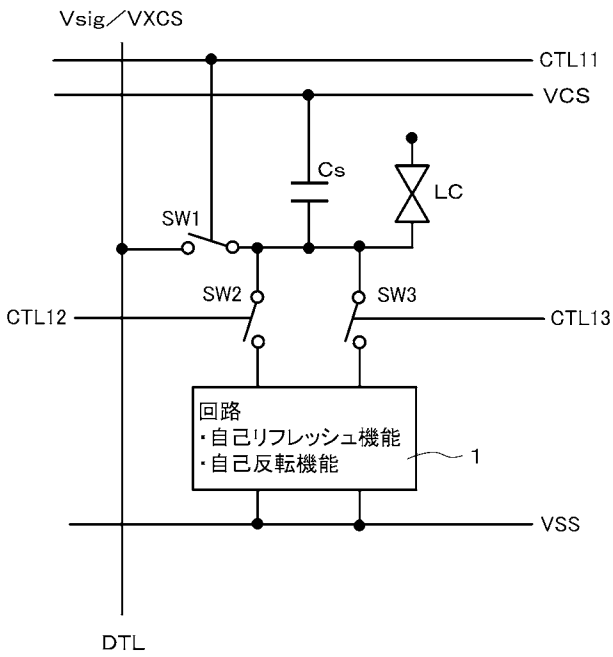


【図2】

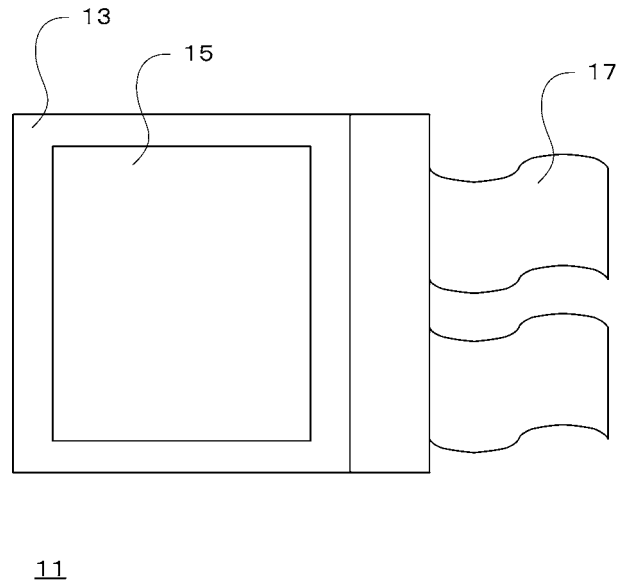
Vsig/VXCS



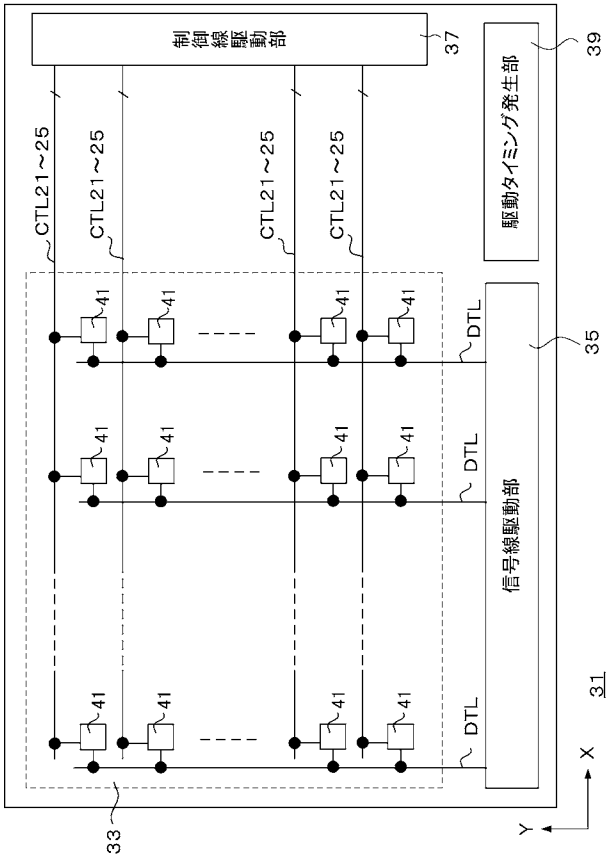
【図3】



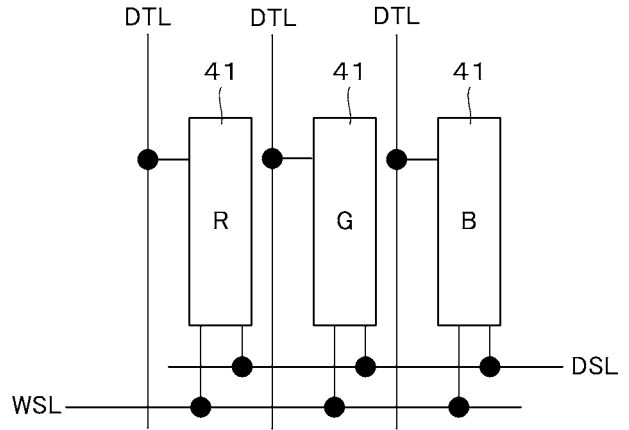
【図4】



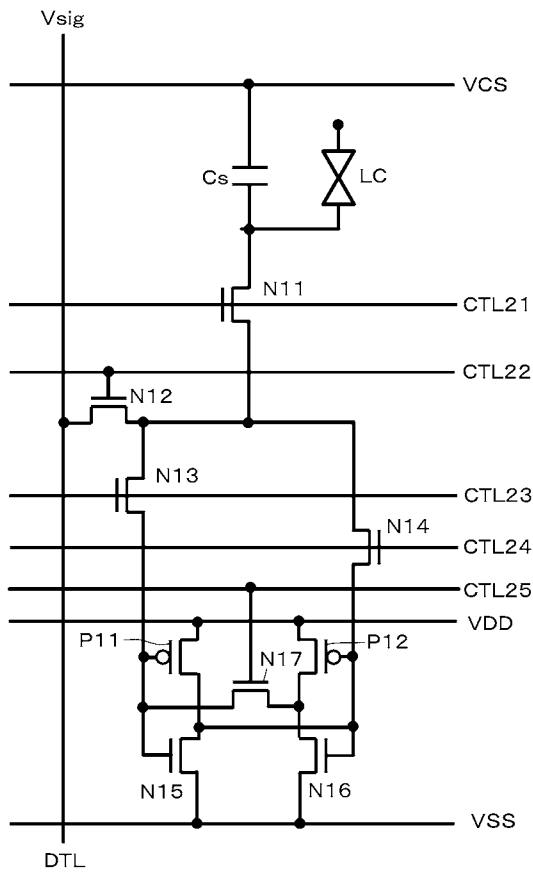
【 図 6 】



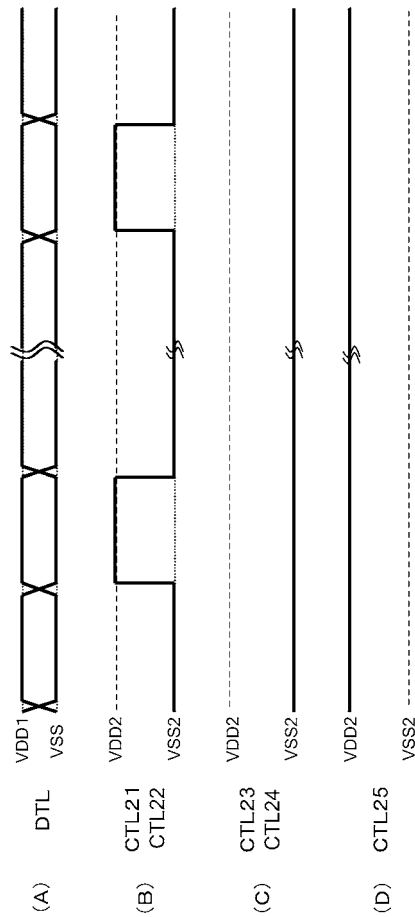
【 図 7 】



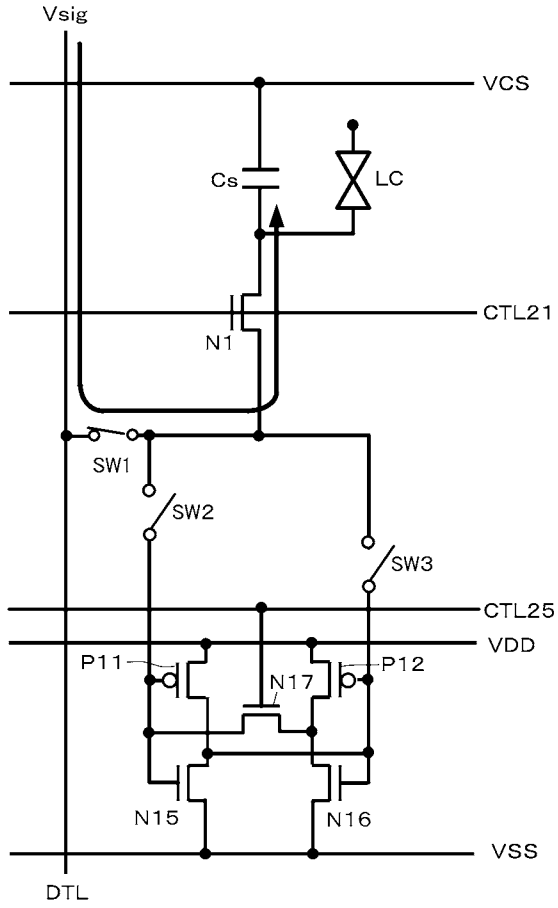
【 図 8 】



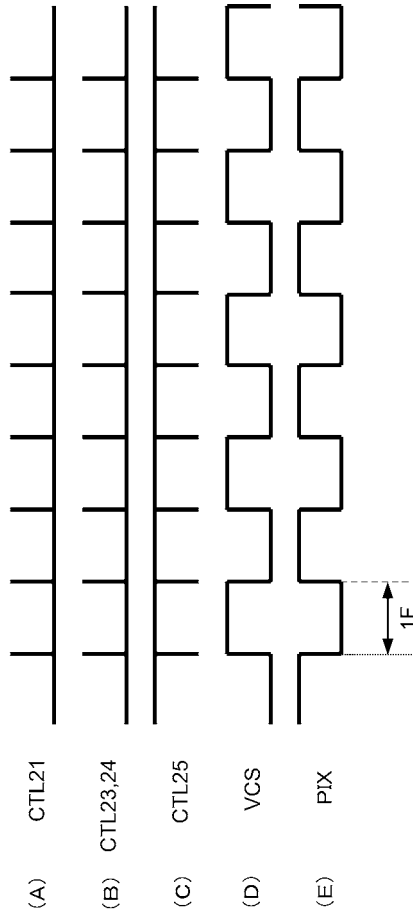
【 図 9 】



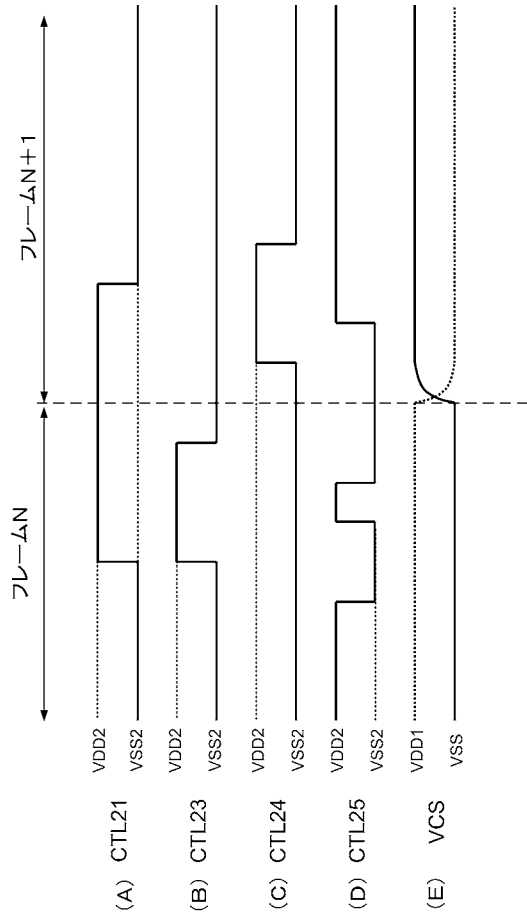
【 図 1 0 】



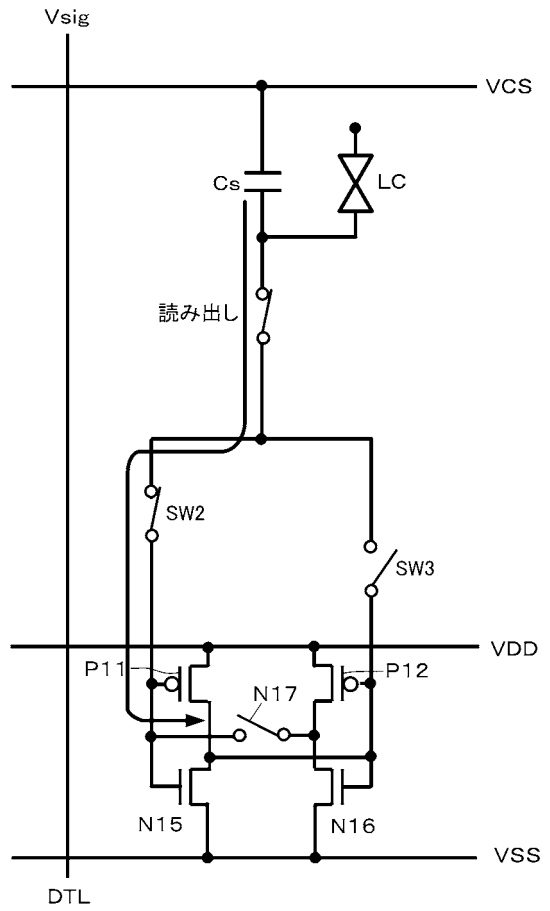
【 図 1 1 】



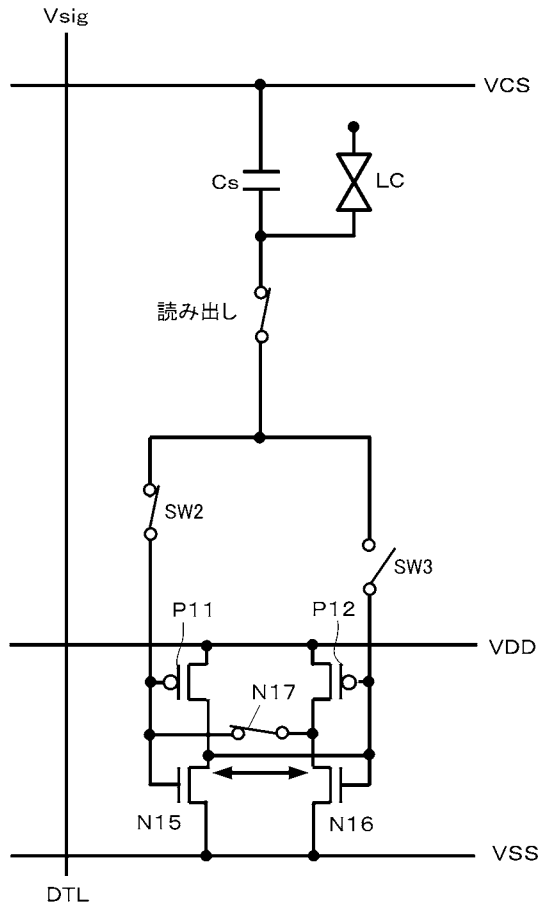
【 図 1 2 】



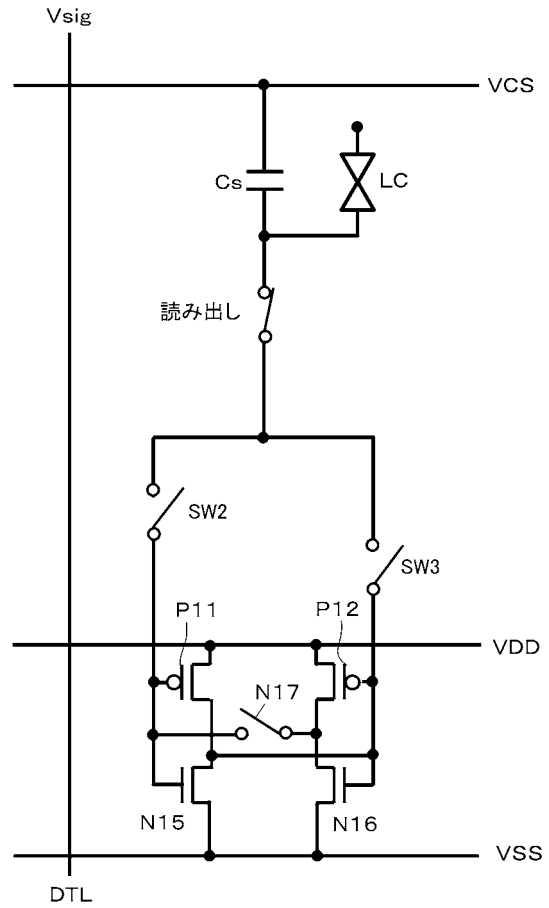
【 図 1 3 】



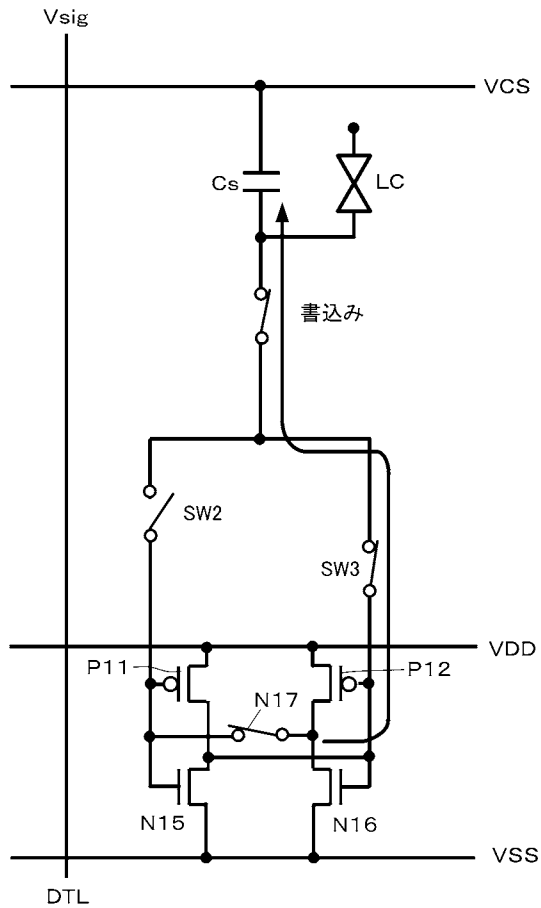
【 図 1 4 】



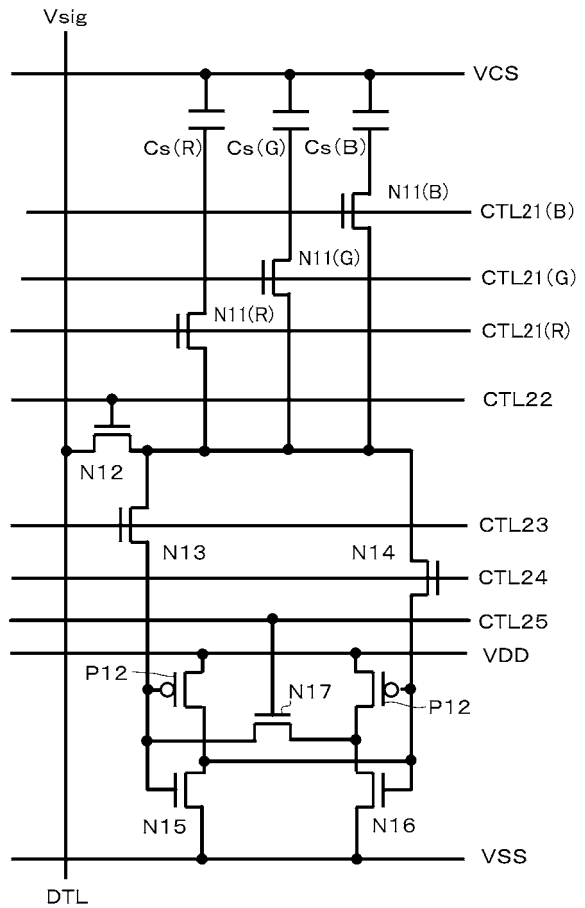
【 図 1 5 】



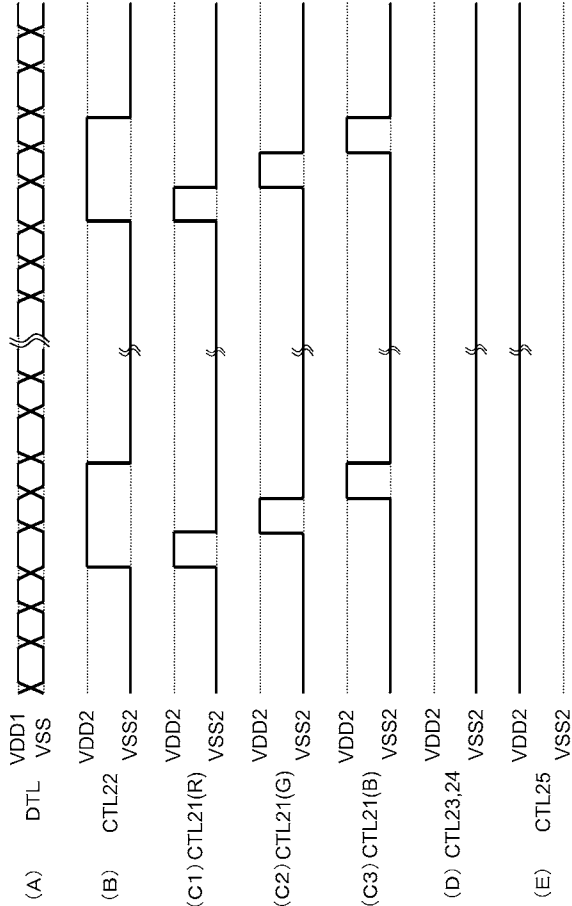
【 図 1 6 】



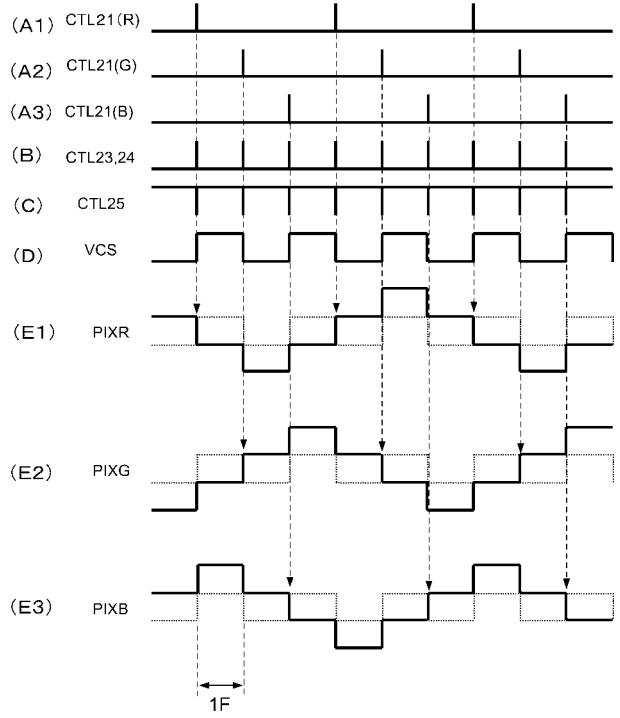
【 図 1 7 】



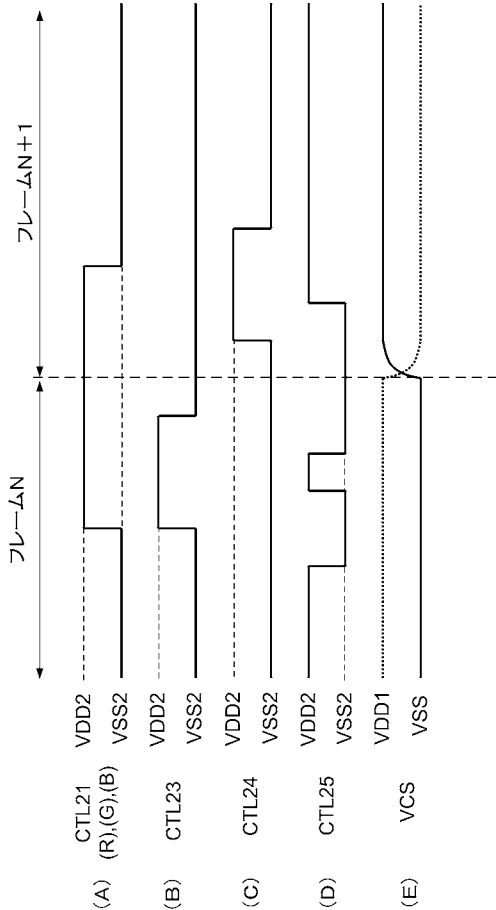
【 18 】



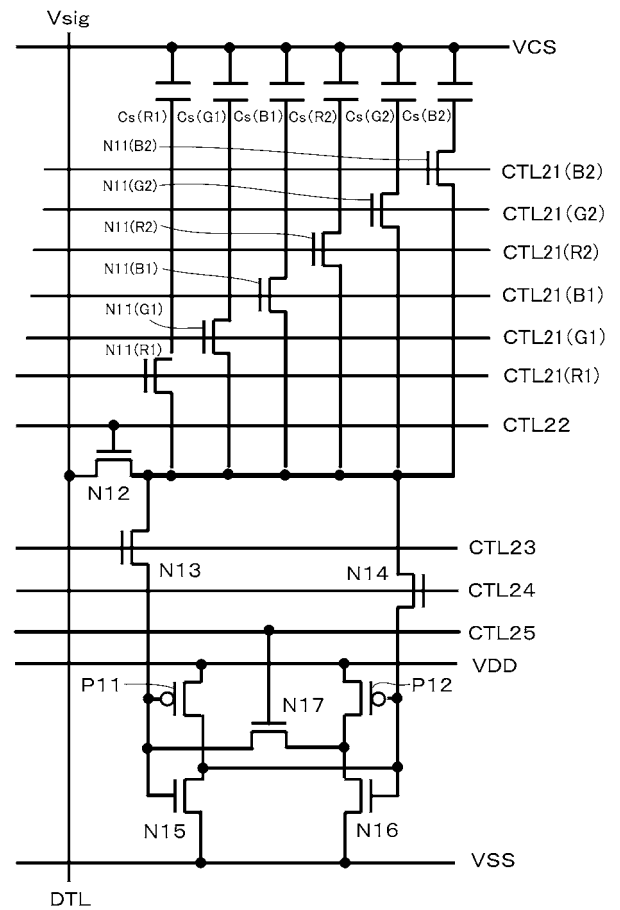
【 19 】



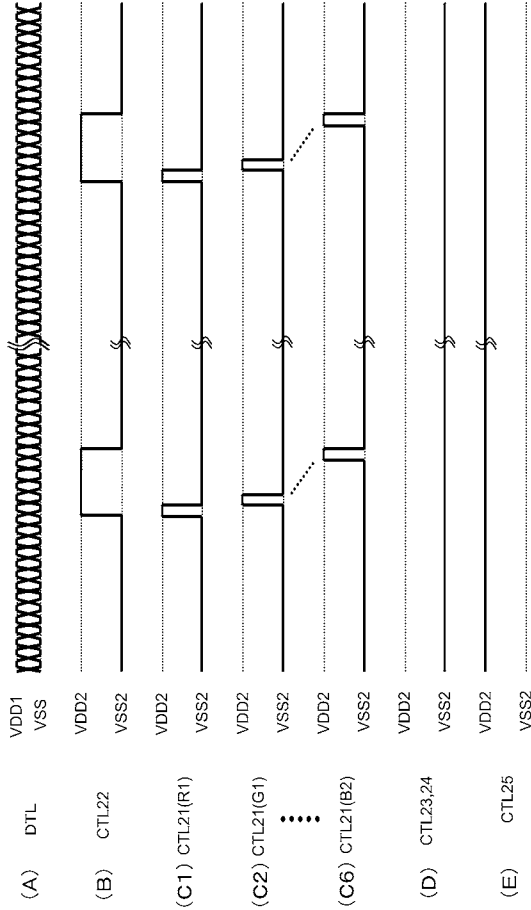
【 20 】



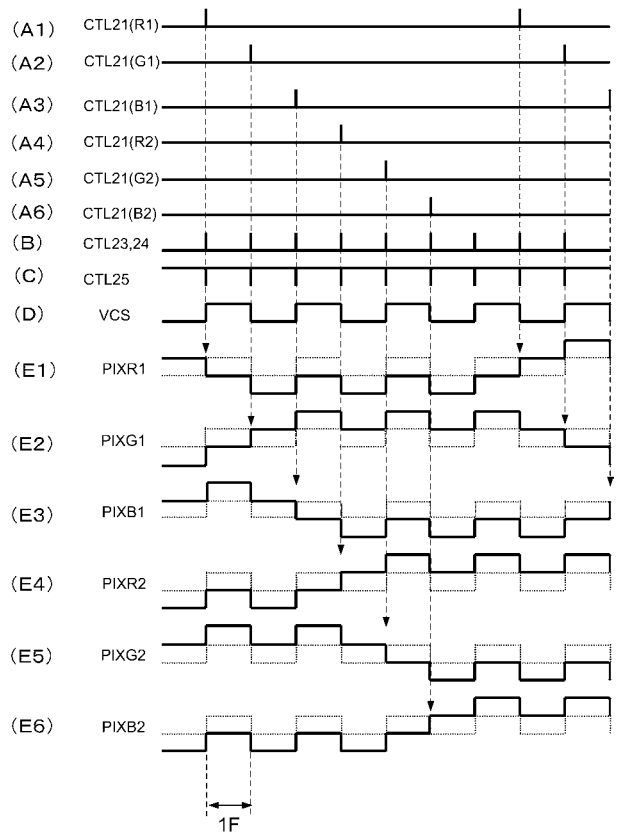
【 21 】



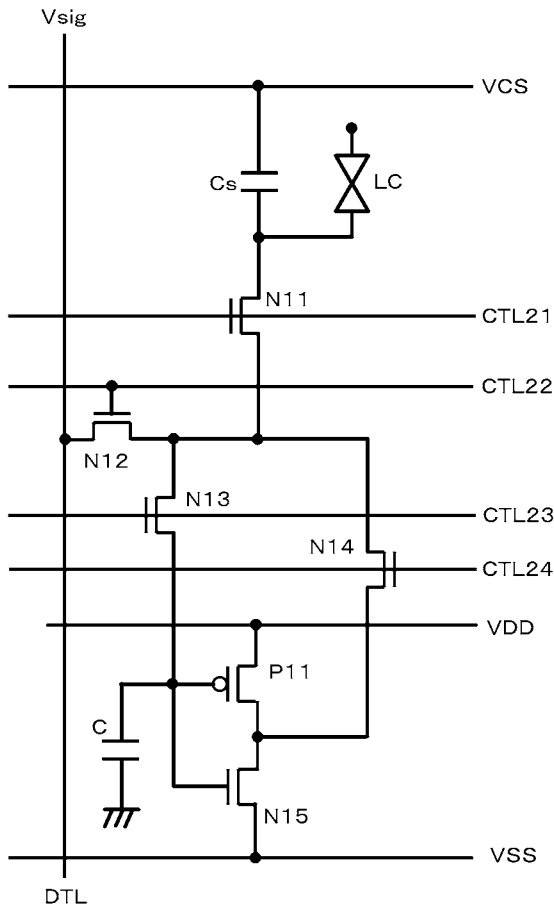
【 2 2 】



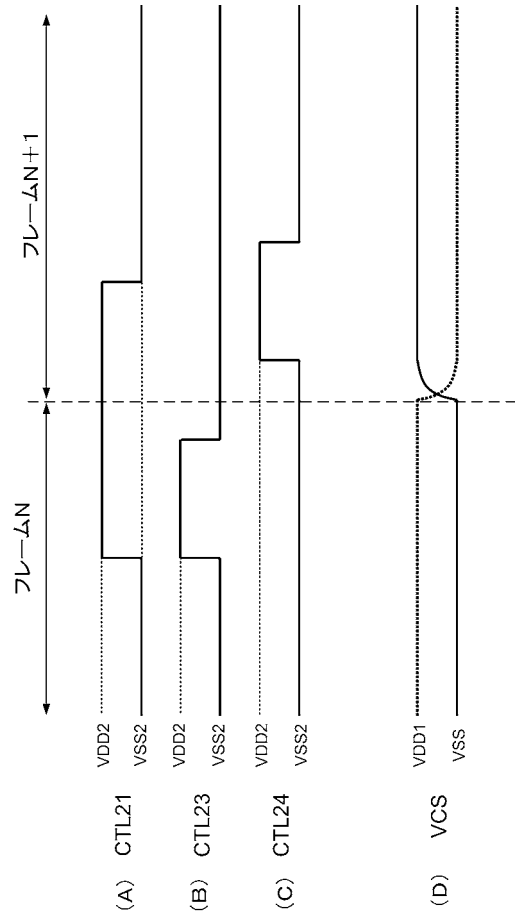
【 2 3 】



【 2 4 】

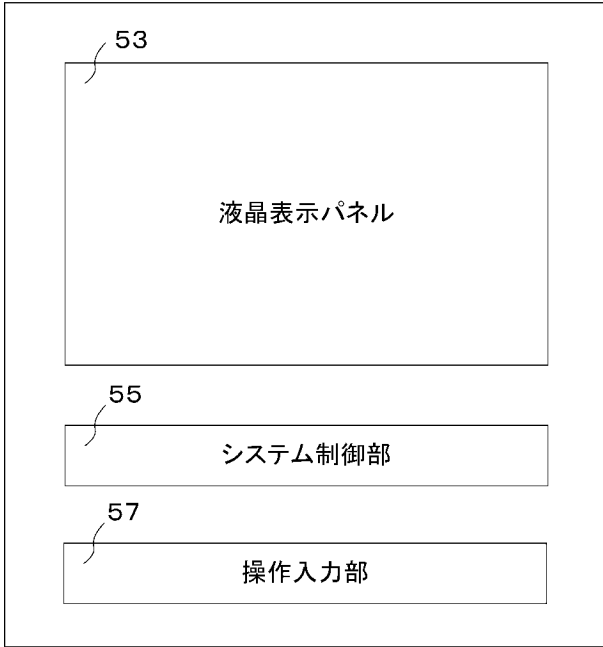


【 2 5 】

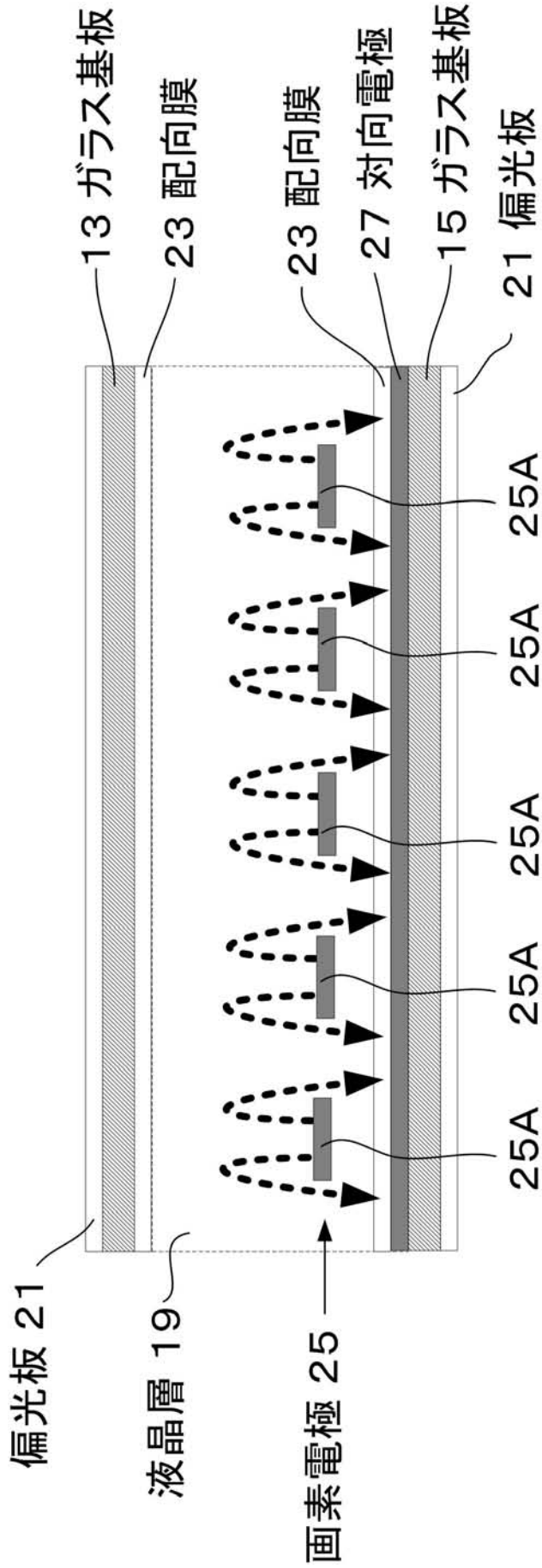


【図 26】

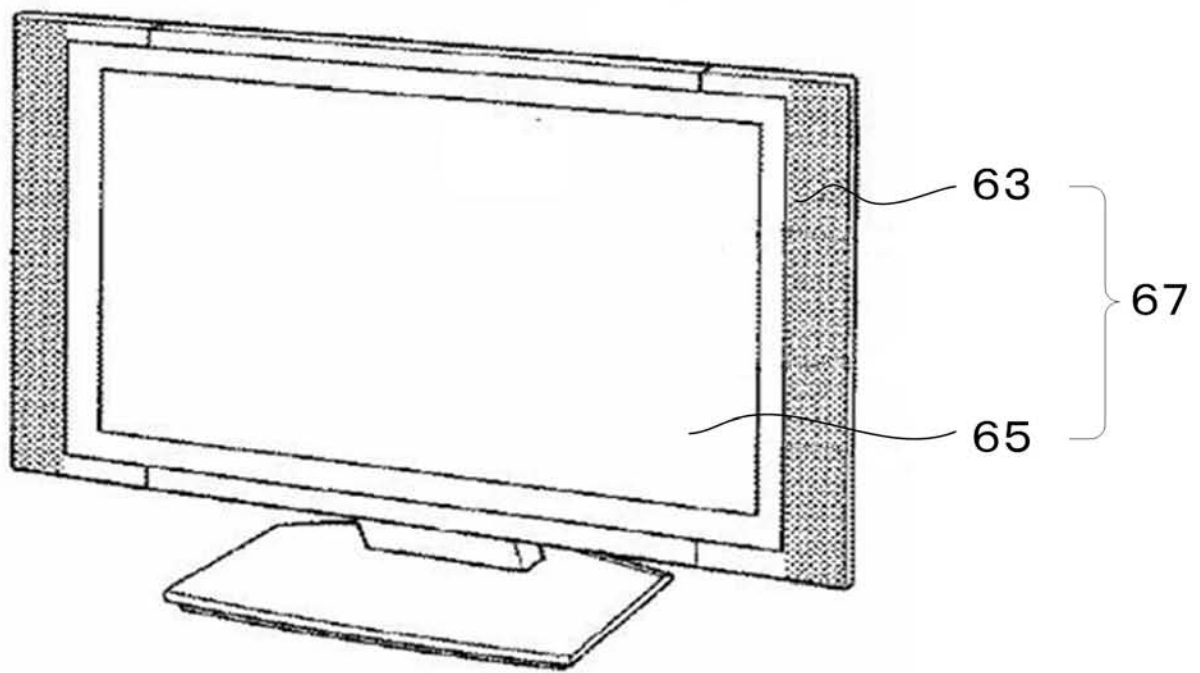
51



【 図 5 】

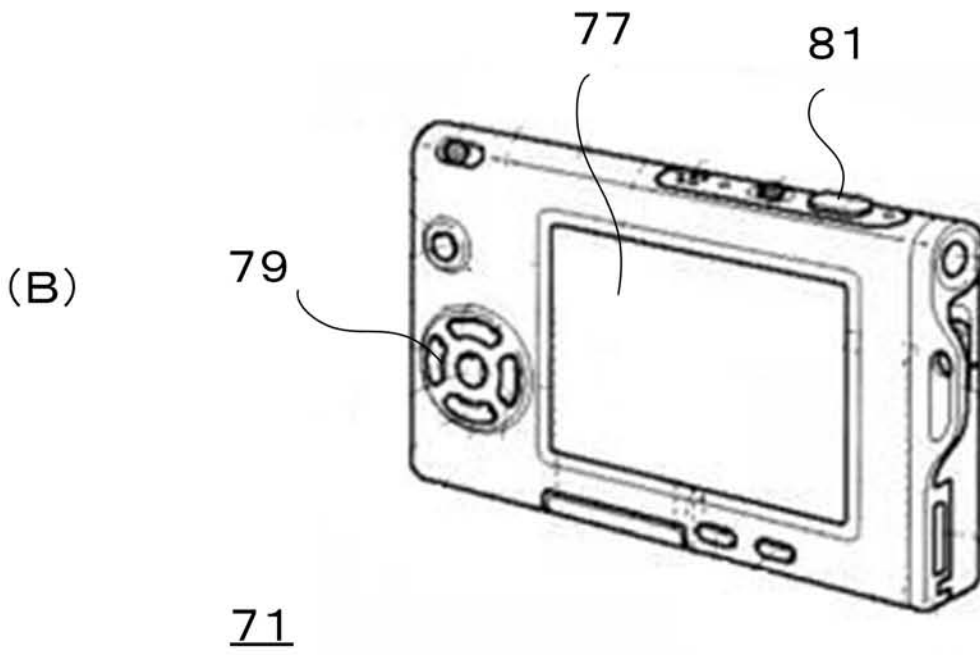
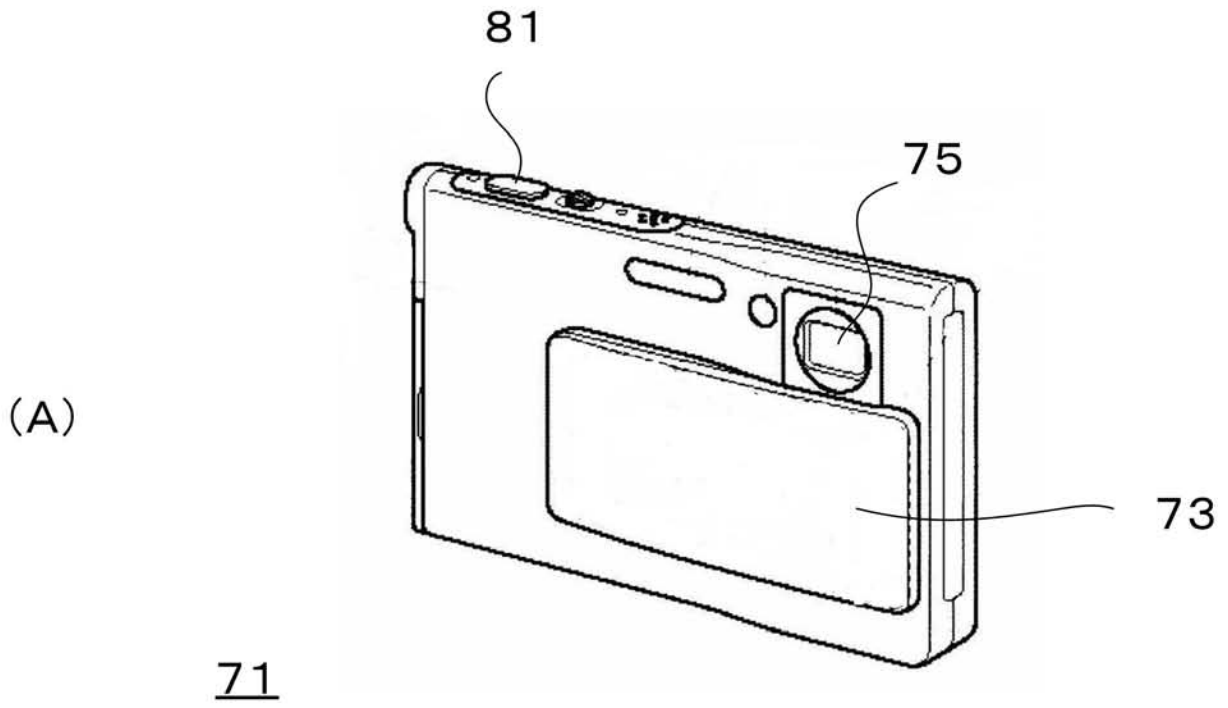


【 図 27 】

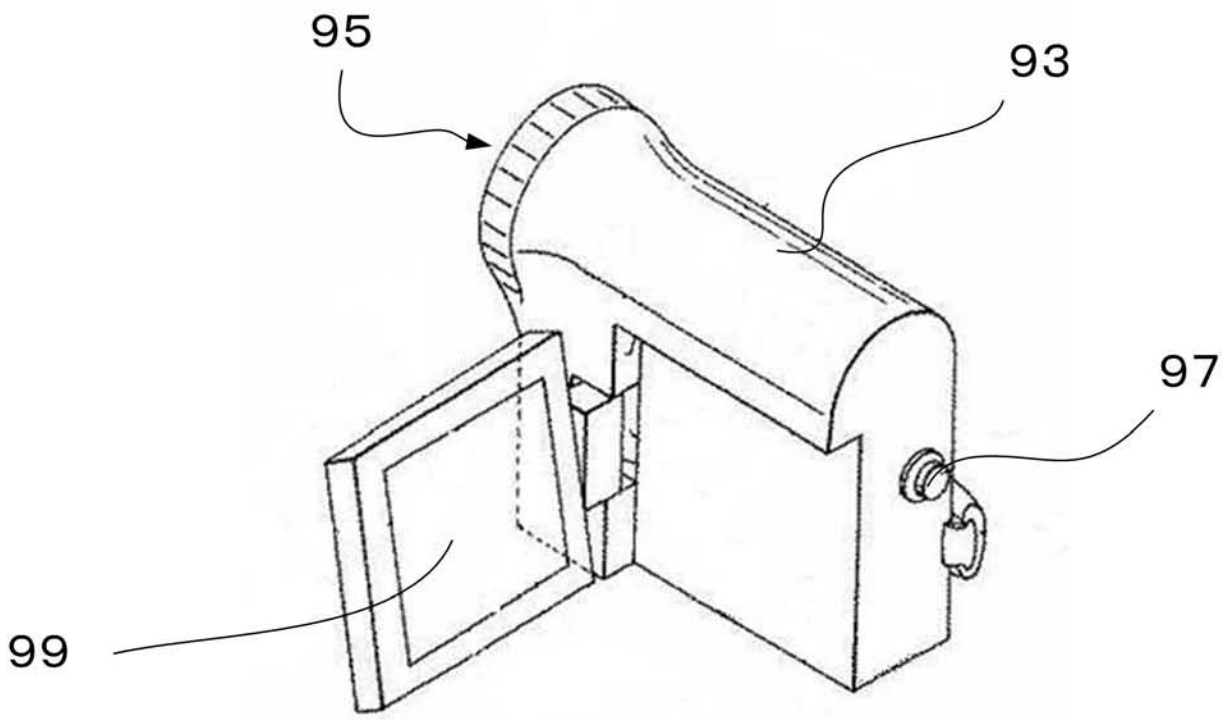


61

【 図 28 】

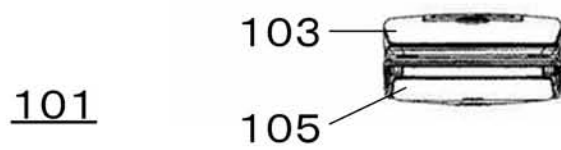
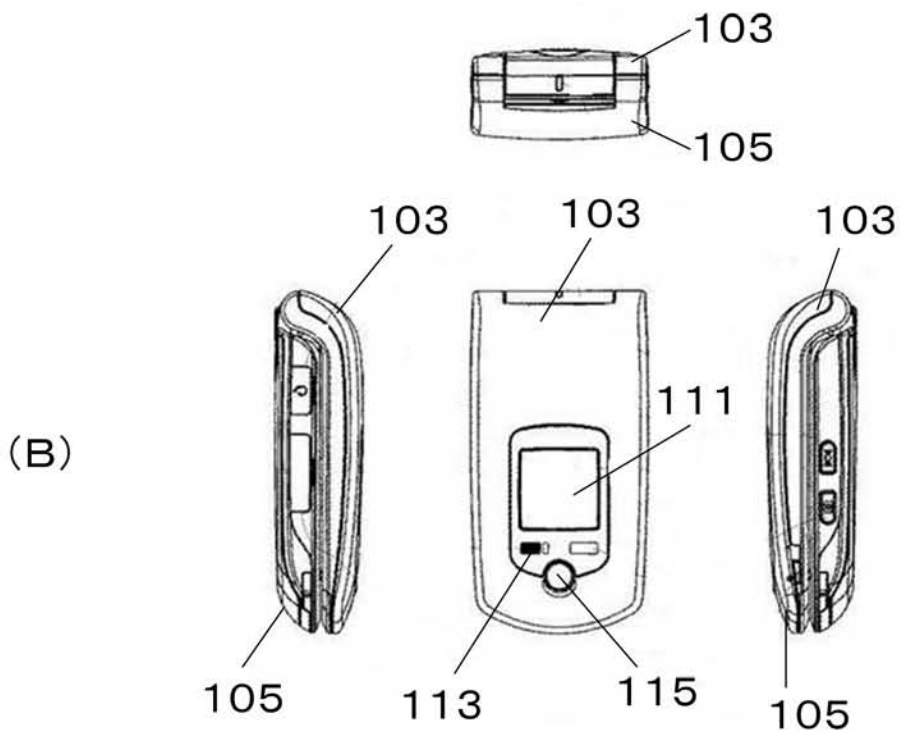
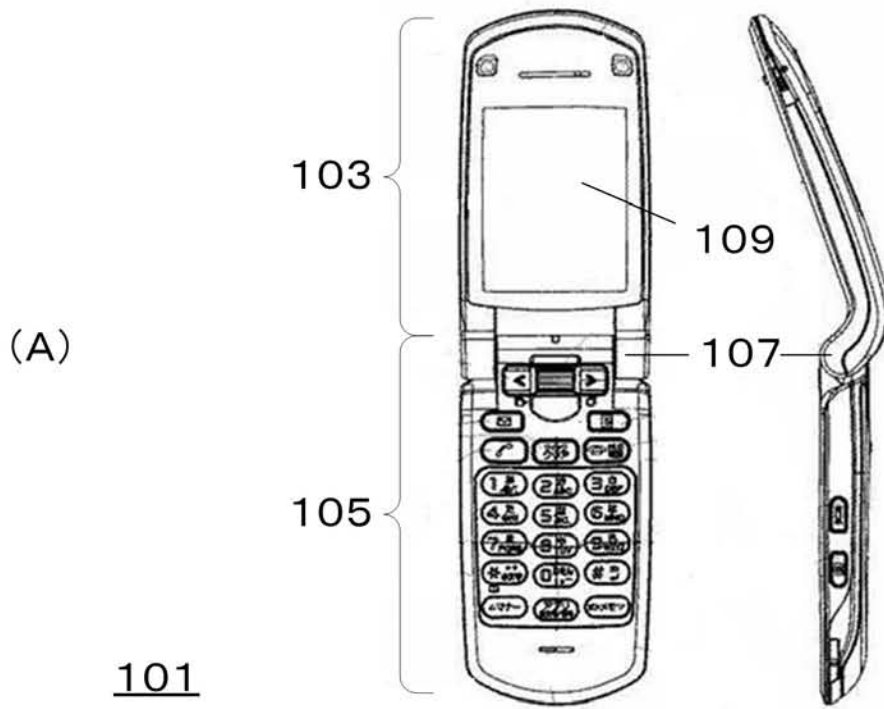


【図 29】

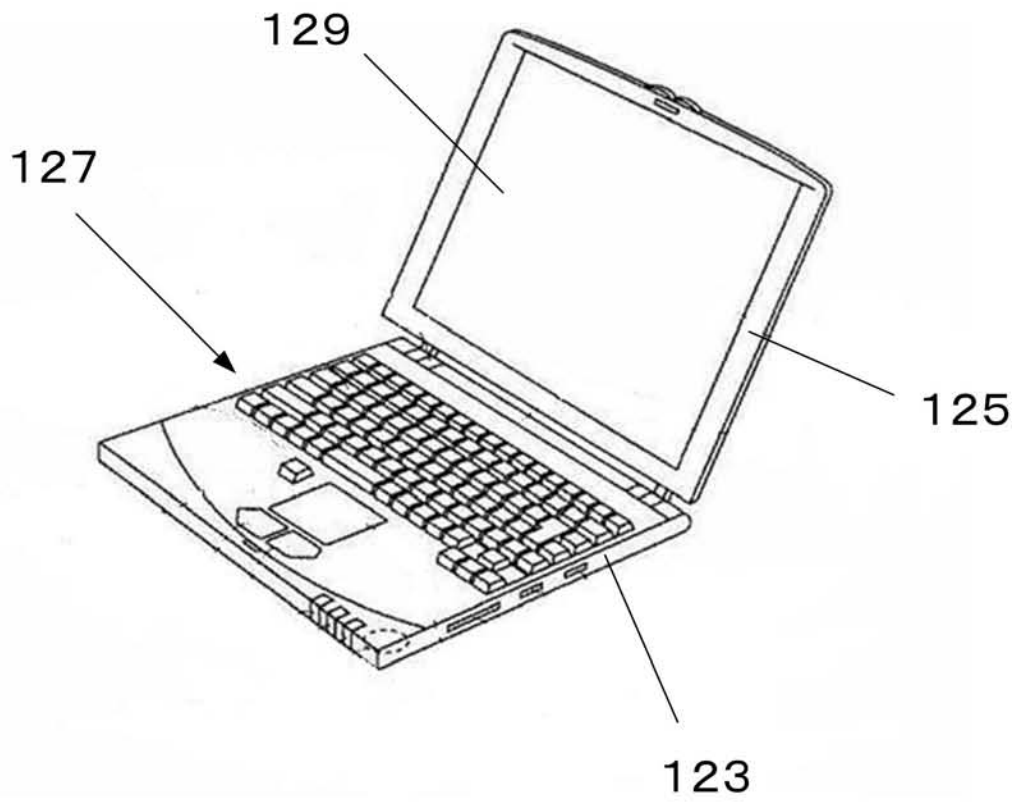


91

【図 30】



【 図 3 1 】



121

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 8 0 G

Fターム(参考) 2H193 ZA04 ZC02 ZD21 ZF03 ZF22 ZF36 ZF59
5C006 AA16 AC26 BB16 FA04
5C080 AA10 BB05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶显示面板和电子设备		
公开(公告)号	JP2010145663A	公开(公告)日	2010-07-01
申请号	JP2008321652	申请日	2008-12-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	寺西康幸 仲島義晴		
发明人	寺西 康幸 仲島 義晴		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G02F1/136213 G02F1/1365 G09G3/3648 G09G2300/0852 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.641.C G09G3/20.624.B G09G3/20.621.B G09G3/20.611.A G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA51 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND39 2H193/ZA04 2H193/ZC02 2H193/ZD21 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC26 5C006/BB16 5C006/FA04 5C080/AA10 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA07 2H193/ZA19 2H193/ZB09 2H193/ZB14 2H193/ZB16 2H193/ZC04 2H193/ZD23 2H193/ZD36 2H193/ZF43 2H193/ZQ16		
其他公开文献	JP4752908B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供对应于模拟显示模式和存储器显示模式的液晶显示面板。ZSOLUTION：液晶面板包括：(1)在每个像素中形成的电容元件；(2)第一开关元件，其在第一操作中被控制，用于从信号线写入电容元件中的像素电位，并且在第二操作中被控制，用于在从电容元件读出像素电位之后反向放大像素电位并重写反向放大的像素电位；(3)第二开关元件，其在第一操作中被控制并且在第二操作期间在存储在电容元件中的像素电位的读取时段中被控制；(4)第三开关元件，其在第一操作中被控制并且在第二操作期间在电容元件的像素电位读取时段中被控制；(5)写入电路，在第二操作期间恢复在像素电位的读取周期中通过第二开关从电容元件读出的像素电位的逻辑电平，并将恢复的逻辑电平的逻辑反相输出写入在第二操作期间，在像素电位的写入时段中通过第三开关的电容元件。Z

