

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-107732

(P2010-107732A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	2H193
G02F 1/133 (2006.01)	G09G 3/20 611E	5C006
	G09G 3/20 660U	5C080
	G09G 3/20 670D	
審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2008-279644 (P2008-279644)	(71) 出願人	302020207
(22) 出願日	平成20年10月30日 (2008.10.30)		東芝モバイルディスプレイ株式会社
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

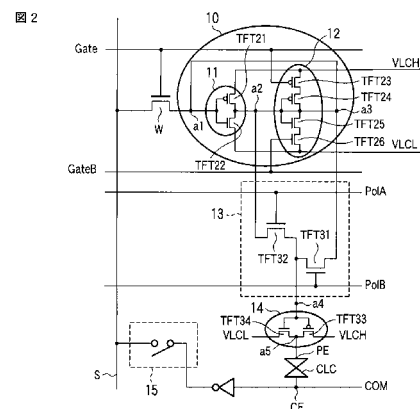
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 画素メモリ内蔵型の液晶表示装置であって、更なる低消費電力を実現すると共に、高品質の画像を表示することのできる液晶表示装置を提供する。

【解決手段】 基板上にマトリクス状に配置された液晶画素 P X と、列毎に設けられ、各列のそれぞれの液晶画素と接続して当該液晶画素に映像信号に対応する 2 値信号を供給する信号線 S と、行毎に設けられ、各行のそれぞれの液晶画素と接続し、行単位に液晶画素を選択して映像信号に対応する 2 値信号を書き込み・保持させる複数の制御信号を供給する制御線 G とを有し、液晶画素は、映像信号に対応する 2 値信号を取り込むスイッチ素子 W と、取り込んだ 2 値信号を保持するスタティックメモリ 10 と、保持された 2 値信号の極性を制御する極性制御部 13 と、極性が制御された 2 値信号から液晶に印加する電圧を生成する印加電圧生成部 14 と、印加された電圧に対応して透過率を変更する液晶 CLC とを備えた液晶表示装置である。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

基板上にマトリクス状に配置された液晶画素と、
列毎に設けられ、各列のそれぞれの液晶画素と接続して当該液晶画素に映像信号に対応する 2 値信号を供給する信号線と、
行毎に設けられ、各行のそれぞれの液晶画素と接続し、行単位に液晶画素を選択して前記映像信号に対応する 2 値信号を書き込み・保持させる複数の制御信号を供給する制御線とを有し、
前記液晶画素は、
前記映像信号に対応する 2 値信号を取り込むスイッチ素子と、
前記取り込んだ 2 値信号を保持するスタティックメモリと、
保持された 2 値信号の極性を制御する極性制御部と、
極性が制御された 2 値信号から液晶に印加する電圧を生成する印加電圧生成部と、
印加された電圧に対応して透過率を変更する液晶と
を備えたことを特徴とする液晶表示装置。

10

【請求項 2】

前記制御線は、第 1 のゲート信号と、当該第 1 のゲート信号と極性の異なる第 2 のゲート信号を供給し、
前記スイッチ素子は、前記第 1 のゲート信号に対応して、前記信号線から前記スタティックメモリへの前記 2 値信号の供給を断続し、
前記スタティックメモリは、
前記取り込んだ 2 値信号を反転する第 1 のインバータと、
前記反転した 2 値信号を入力するクロックドインバータと、
前記第 1 のインバータの入力部と、前記クロックドインバータの出力部とを接続する接続線とを有し、
前記クロックドインバータは、前記第 1 及び第 2 のゲート信号によって駆動されることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記制御線は、第 1 の極性制御信号と、当該第 1 の極性制御信号と極性の異なる第 2 の極性制御信号を更に供給し、
前記極性制御部は、前記第 1 及び第 2 の極性制御信号に対応して、前記第 1 のインバータの出力信号と、前記クロックドインバータの出力信号とのいずれかの出力信号を選択し、選択した出力信号の極性を反転すること
を特徴とする請求項 2 に記載の液晶表示装置。

30

【請求項 4】

前記制御線は、第 1 の極性制御信号と、当該第 1 の極性制御信号と極性の異なる第 2 の極性制御信号を供給し、
前記第 1 及び第 2 の極性制御信号の極性をフレーム毎に交互に切り替えて、前記液晶に印加する電圧を交流化するコントローラを備えたことを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 5】

前記液晶画素に供給するコモン電圧を反転するインバータと、反転したコモン電圧の前記信号線への供給を断続する残像対策スイッチとを更に備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記液晶表示装置の立ち上げ、立ち下げ、突発電源断の際、前記残像対策スイッチを制御して前記信号線に前記反転したコモン電圧を供給し、前記スイッチ素子、スタティックメモリ、極性制御部、印加電圧生成部を駆動して前記液晶にコモン電圧を印加するコントローラを更に備えたことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

50

基板上にマトリクス状に配置された液晶画素と、

列毎に設けられ、各列のそれぞれの液晶画素と接続して当該液晶画素に映像信号に対応する２値信号を供給する信号線と、

行毎に設けられ、各行のそれぞれの液晶画素と接続し、行単位に液晶画素を選択して前記映像信号に対応する２値信号を書き込み・保持させる複数の制御信号を供給する制御線とを有し、

前記液晶画素は、

前記映像信号に対応する２値信号を取り込むスイッチ素子と、

前記取り込んだ２値信号を保持するスタティックメモリと、

保持された２値信号の極性を制御して液晶に印加する電圧を生成する極性制御部と、

印加された電圧に対応して透過率を変更する液晶と

を備え、

前記スイッチ素子および極性制御部はトランジスタで構成されるとともに、当該トランジスタの閾値電圧の影響を回避するようになされていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関する。

【背景技術】

【０００２】

液晶表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等の表示装置として広く利用されている。なかでも、どこにでも持ち運べる携帯用の表示装置、大画面の表示装置に対するニーズが高まっている。このようなニーズに応えるため、軽量化、使用時間の長時間化、低消費電力化が求められている。これらの課題を解決するためには、電源用バッテリーの高性能化に加え、表示装置自体の消費電力を下げる効果が効果的である。

【０００３】

低消費電力を実現する液晶表示装置として、画素メモリ内蔵型の液晶表示装置が知られている。この画素メモリ内蔵型液晶表示装置では、各画素内にスタティック・メモリを内蔵しているため、静止画を表示する場合にはリフレッシュ動作が不要となる。従って、データ線およびデータドライバ回路で消費する電力を完全にカットすることができる（例えば、特許文献１参照）。

【０００４】

図１２は、特許文献１に記載の画像表示装置の回路構成を示す図である。

図１２に示す回路では、第１トランジスタ１５のドレイン電極はスタティック・メモリの記憶状態をセットするための入力に、第２トランジスタ１８のドレイン電極はリセットするための入力に、第１トランジスタのソース電極はデータ線に各々接続され、ゲート線と平行方向に一行に配置された複数の画素回路に含まれる第１トランジスタのゲート電極は複数のゲート線のいずれか１本のゲート線に接続され、前記一行に配置された複数の画素回路に対して隣接して一行に配列された複数の画素回路に含まれる第２トランジスタのゲート電極が一本のゲート線に接続された構成となっている。

【特許文献１】特開２００７－１９９４４１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかし、特許文献１に記載された液晶表示装置には、なお解決すべき課題が存している。

【０００６】

図１２の回路では、液晶印加電圧を交流化するため電圧 V_{LCa} 、 V_{LCb} は、周期的に反転している。しかしながら、電圧 V_{LCa} 、 V_{LCb} には、表示エリアの全画素の液

10

20

30

40

50

晶容量が負荷として接続されている。従って、VLCa、VLCbの駆動回路は、全画素の液晶容量の電位を一括して反転させることができるように、出力バッファの能力を高くする必要があり、駆動回路での消費電力が大きくなってしまふ。

また、VLCa、VLCbの駆動回路をアレイ内に画素と同じプロセスで集積する場合には駆動回路の回路規模が大きくなるため、広いレイアウトスペースを必要とし、額縁が大きくなってしまい商品価値を損なうことにつながる。

【0007】

さらに、VLCa、VLCbはNchトランジスタを介して液晶容量に供給されるため、Nchトランジスタをオン状態にするゲート電位であるVDDと、VLCa、VLCbの「H」レベルが同電位である場合には、液晶容量には「H」レベルからNchトランジスタの閾値Vthだけ低下した電位までしか供給することができない。このため、コントラストの低下や画素電位のコモン電位とのずれによりフリッカが発生するという問題がある。

10

【0008】

また動画表示の場合は、順次異なる映像データを画素に格納しつつ、液晶容量を交流化する必要がある。従って、特許文献1に記載の方式では、液晶交流化のために画素保持電位の正負を反転させる必要があり、書き込みのフレーム極性に合わせてデータ線出力を反転しなければならず、データ線ドライバの消費電流が増加してしまう。

また、電源立ち上げ時、立ち下げ時、突発的な電源断に対し、この回路では画素の保持電流が抜けにくいため残像が発生させ易いという問題点も指摘されている。

20

【0009】

本発明は、かかる事情に鑑みてなされたものであって、画素メモリ内蔵型の液晶表示装置であって、更なる低消費電力を実現すると共に、高品質の画像を表示することのできる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記課題を解決するための本発明に係る第1の局面の液晶表示装置は、基板上にマトリクス状に配置された液晶画素と、列毎に設けられ、各列のそれぞれの液晶画素と接続して当該液晶画素に映像信号に対応する2値信号を供給する信号線と、行毎に設けられ、各行のそれぞれの液晶画素と接続し、行単位に液晶画素を選択して前記映像信号に対応する2値信号を書き込み・保持させる複数の制御信号を供給する制御線とを有し、前記液晶画素は、前記映像信号に対応する2値信号を取り込むスイッチ素子と、前記取り込んだ2値信号を保持するスタティックメモリと、保持された2値信号の極性を制御する極性制御部と、極性が制御された2値信号から液晶に印加する電圧を生成する印加電圧生成部と、印加された電圧に対応して透過率を変更する液晶とを備えた。

30

【0011】

また本発明に係る第2の局面の液晶表示装置は、基板上にマトリクス状に配置された液晶画素と、列毎に設けられ、各列のそれぞれの液晶画素と接続して当該液晶画素に映像信号に対応する2値信号を供給する信号線と、行毎に設けられ、各行のそれぞれの液晶画素と接続し、行単位に液晶画素を選択して前記映像信号に対応する2値信号を書き込み・保持させる複数の制御信号を供給する制御線とを有し、前記液晶画素は、前記映像信号に対応する2値信号を取り込むスイッチ素子と、前記取り込んだ2値信号を保持するスタティックメモリと、保持された2値信号の極性を制御して液晶に印加する電圧を生成する極性制御部と、印加された電圧に対応して透過率を変更する液晶とを備え、前記スイッチ素子および極性制御部はトランジスタで構成されるとともに、当該トランジスタの閾値電圧の影響を回避するようになされている。

40

【発明の効果】

【0012】

本発明によれば、更なる低消費電力を実現すると共に、高品質の画像を表示することのできる画素メモリ内蔵型の液晶表示装置を提供することができる。

50

【発明を実施するための最良の形態】**【0013】****〔第1の実施の形態〕**

以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0014】

図1に示すように、液晶表示装置は、表示パネル1および表示パネル1を制御するコントローラ3を備えている。

【0015】

表示パネル1は一对の電極基板であるアレイ基板2および対向基板（不図示）間に液晶層（不図示）を挟持した構造である。

10

表示パネル1は、ガラス板等の光透過性絶縁基板であるアレイ基板2上にマトリクス状に配列される $m \times n$ 個の液晶画素PX、液晶画素の行毎に接続されているとともにそれぞれ独立して4本ずつ設けられた第1走査制御線群G1、・・・、第m走査制御線群Gmを備えている。そして、それぞれの走査制御線群Gには、各液晶画素PXの動作を制御する制御線Gate、GateB、PolA、PolBが設けられている。

【0016】

更に表示パネル1は、液晶画素PXの列毎にそれぞれ接続されたn本の信号線S1～Snの駆動を制御する信号線駆動回路6、走査制御線群G1～Gmの駆動を制御する走査制御線駆動回路5および液晶画素PXに高電位VLCH、低VLC Lを供給する電源線、コモン線COMを備えている。

20

【0017】

コントローラ3は、液晶画素PXに印加される液晶駆動電圧により表示パネル1の透過率を制御する。コントローラ3からは、各液晶画素PXの画素電荷をリセットするためのリセット信号Resetがリセット線を介して供給される。そして、このリセット線は残像対策スイッチ15に接続されている。

【0018】

信号線駆動回路6には、画素の列毎に設けられた信号線S1、S2、S3、...が接続されている。信号線S1、S2、・・・は、図1に示すように、各々が液晶画素PXの列方向（Y方向）に伸びている。これら信号線S1、S2、・・・は、信号線駆動回路6と各列の液晶画素PXとに接続されている。

30

【0019】

また、走査制御線駆動回路5には、画素の行毎に設けられた走査制御線群G1～Gmが接続されている。走査制御線群G1～Gmは、図1に示すように、各々が液晶画素PXの行方向（X方向）に伸びている。これら走査制御線群G1～Gmは、走査制御線駆動回路5と各行の液晶画素PXとに接続されている。

【0020】

走査制御線駆動回路5と信号線駆動回路6とは、コントローラ3からのタイミングパルスにより駆動される。コントローラ3には、不図示の入力端子を介して、映像信号に同期したタイミング信号及びクロック信号が供給される。従って、コントローラ3は、走査制御線駆動回路5と信号線駆動回路6とに対して、映像信号に同期した各種のタイミングパルスを与えることができる。

40

【0021】

各液晶画素PXには、電源を供給するための電源ラインが接続されている。そして、図示していないが、走査制御線駆動回路5、信号線駆動回路6、及びコントローラ3にも、電源を供給するための電源ラインが導かれている。

なお、走査制御線駆動回路5、信号線駆動回路6、及びコントローラ3は、アレイ基板2上に形成されても良く、基板2の外に外部ICとして設けられても良い。

【0022】

図2は、液晶画素PXの構成を示す図である。

なお、それぞれの液晶画素PXの構成は同一であるため、以下の説明では、液晶画素を

50

特定する添え字を省略する。

【 0 0 2 3 】

液晶画素 P X には、スイッチング素子 W、第 1 のインバータ回路 1 1、クロックドインバータ回路 1 2、極性反転スイッチ 1 3、第 2 のインバータ回路 1 4 及び液晶容量 C L C が設けられている。そして、第 1 のインバータ回路 1 1、クロックドインバータ回路 1 2 によってスタティック・メモリである S R A M 回路 1 0 が構成されている。

なお、図 2 には、液晶画素 P X の動作説明のために、残像対策スイッチ 1 5 との接続を併せて図示している。

【 0 0 2 4 】

スイッチング素子 W は、ゲート端子が制御線 G a t e に接続され、ソース・ドレインパスが信号線 S および第 1 のインバータ回路 1 1 の入力端子に接続される薄膜トランジスタからなり、対応制御線 G a t e を介して駆動されたときに対応信号線 S および第 1 のインバータ回路 1 1 の入力端子間で導通する。

10

【 0 0 2 5 】

第 1 のインバータ回路 1 1 は、ノード a 1 を入力端と接続し、ノード a 2 を出力端と接続し、T F T (Thin Film Transistor: 薄膜トランジスタ) 2 1、2 2 で構成される。T F T 2 1 と T F T 2 2 のゲートはノード a 1 に接続し、ドレインはノード a 2 に接続している。そして、T F T 2 1 のソース電極には高電位 V L C H を供給する電源線が接続され、T F T 2 2 のソース電極には低電位 V L C L を供給する電源線が接続されている。

20

【 0 0 2 6 】

クロックドインバータ回路 1 2 は、ノード a 2 を入力端と接続し、ノード a 3 出力端と接続し、T F T 2 3、2 4、2 5、2 6 で構成される。T F T 2 4 と T F T 2 5 のゲートはノード a 2 に接続し、ドレインはノード a 3 に接続している。また、T F T 2 3 のドレインと T F T 2 4 のソースが接続され、T F T 2 6 のドレインと T F T 2 5 のソースが接続されている。

【 0 0 2 7 】

そして、T F T 2 3 のソース電極には高電位 V L C H を供給する電源線が接続され、T F T 2 6 のソース電極には低電位 V L C L を供給する電源線が接続されている。さらに、T F T 2 3 のゲートは制御線 G a t e に接続され、T F T 2 6 のゲートは制御線 G a t e B に接続されている。

30

【 0 0 2 8 】

S R A M 回路 1 0 は、第 1 のインバータ回路 1 1、クロックドインバータ回路 1 2 を含み、ノード a 1 とノード a 3 とが接続された構成である。

【 0 0 2 9 】

極性反転スイッチ 1 3 は、ノード a 2 とノード a 3 とをそれぞれ入力端、ノード a 4 を出力端とし、T F T 3 1、3 2 で構成される。T F T 3 1 のゲート端子は制御線 P o l B に接続され、ソース・ドレインパスがノード a 3 及びノード a 4 に接続される。T F T 3 2 のゲート端子は制御線 P o l A に接続され、ソース・ドレインパスがノード a 2 及びノード a 4 に接続される。

40

【 0 0 3 0 】

第 2 のインバータ回路 1 4 は、ノード a 4 を入力端と接続し、ノード a 5 を出力端と接続し、T F T 3 3、3 4 で構成される。T F T 3 3 と T F T 3 4 のゲートはノード a 4 に接続し、ドレインはノード a 5 に接続している。そして、T F T 3 3 のソース電極には高電位 V L C H を供給する電源線が接続され、T F T 3 4 のソース電極には低電位 V L C L を供給する電源線が接続されている。

【 0 0 3 1 】

第 2 のインバータ回路 1 4 の出力端子は画素電極 P E に接続される。そして液晶層の他端である共通電極 C E には、コモン線 C O M が接続されている。

またコモン線 C O M は、インバータと残像対策 S W を介して信号線 S と接続している。

50

そして、残像対策SWは、リセット線を介して供給されるリセット信号Resetによって断続動作を行う。

【0032】

続いて、液晶画素PXの動作について説明する。

図3は、画素電位の書き換え動作を説明する図である。この動作は、信号線Sの1ビット情報である「H」レベル(=「VLCH」)、「L」レベル(=「VLC L」)を液晶層に印加する動作である。この動作時にはコントローラ3によって、制御線Gateは「H」、制御線GateBは制御線Gateとは逆の「L」、制御線PolAは「L」、制御線PolBは「H」の電位となり、残像対策SWは「OFF」の状態となっている。

【0033】

[信号線Sの電位が「H」の場合]

制御線Gateの電位が「H」となったとき、スイッチング素子Wは導通し、第1のインバータ回路11の入力端子には「H」が印加される。その結果、ノードa2は「VLC L」の電位となる。しかし、クロックドインバータ回路12は制御線Gateの電位が「H」、制御線GateBの電位が「L」であることから「OFF」状態となっている。従って、ノードa3には、図に示す矢印の経路により、信号線Sの電位「H」が印加される。

【0034】

極性反転スイッチ13では、制御線PolAは「L」、制御線PolBは「H」のため、TFT32は「OFF」、TFT31は「ON」状態である。従って、ノードa4の電位は、ノードa3の電位である「H」となる。その結果、第2のインバータ回路14では、TFT34が「ON」状態となり、画素電極PEには電位「VLC L」が印加される。

【0035】

[信号線Sの電位が「L」の場合]

上述と同様の経路で、信号線Sの電位「L」が伝播し、ノードa4の電位は、ノードa3の電位である「L」となる。その結果、第2のインバータ回路14では、TFT33が「ON」状態となり、画素電極PEには電位「VLCH」が印加される。

【0036】

図4は、画素電位をSRAMに保持し、画素の電位を交流化する動作を説明する図である。この動作時はコントローラ3によって、制御線Gateは「L」、制御線GateBは制御線Gateとは逆の「H」、残像対策SWは「OFF」の状態となっている。

画素電位書き換え動作時の信号線Sの電位が「H」の場合について説明する。このときは上述のように、ノードa1、a3の電位は「H」であり、ノードa2の電位は「VLC L」である。

【0037】

制御線Gateが「L」であるため、スイッチング素子Wは「OFF」状態となるが、制御線GateBが「H」であるため、クロックドインバータ12は「ON」状態となり、ノードa3の電位は「VLCH」となる。ノードa1の電位も、このノードa3の電位と等しくなるため、SRAM回路10は書き換え時の状態を保持する。

即ち、SRAM回路10の出力であるノードa2の電位は「VLC L」、ノードa3の電位は「VLCH」を保持する。

【0038】

ここで、制御線PolAが「L」、制御線PolBが「H」の電位のときは、TFT31が「ON」状態、TFT32が「OFF」状態となるため、極性反転スイッチ13の出力端子の電位は「VLCH」となる。従って、第2のインバータ回路14では、TFT34が「ON」状態となり、画素電極PEには電位「VLC L」が印加される。

【0039】

一方、制御線PolAが「H」、制御線PolBが「L」の電位のときは、TFT31が「OFF」状態、TFT32が「ON」状態となるため、極性反転スイッチ13の出力端子の電位は「VLC L」となる。従って、第2のインバータ回路14では、TFT33

10

20

30

40

50

が「ON」状態となり、画素電極PEには電位「VLCH」が印加される。

【0040】

このように、制御線Pol Aと制御線Pol Bの極性を交互に切り替えることで、液晶に印加される電圧を交流化することができる。

なお、画素電位書き換え動作時の信号線Sの電位が「L」の場合には、ノードa2の電位は「VLCH」、ノードa3の電位は「VLC L」を保持する。しかし、この場合であっても、制御線Pol Aと制御線Pol Bの極性を交互に切り替えることで、液晶に印加される電圧を交流化することができる。

【0041】

図5は、画素電荷抜き動作を説明する図である。

10

液晶表示装置の電源投入時/電源立ち下げ時/突発電源断時では、全ての液晶画素PXに対して、コントローラ3が、強制的に制御線Gateを「H」、制御線Gate Bを「L」、制御線Pol Aを「L」、制御線Pol Bを「H」の電位とし、リセット信号Resetを「ON」とする。

【0042】

この条件では、残像対策SWは「ON」の状態となる。そうすると、コモン線COMの電位(=「L」)がインバータ16で反転された電位(=「H」)が信号線Sに付与される。このときの液晶画素PXの状態は図3で説明した画素電位書き換え動作時の状態と等しい。従って、信号線Sの電位は第2のインバータ回路14で反転されて、画素電極PEには、コモン線と同じ電位が印加される。

20

【0043】

従って、液晶に蓄積された画素電荷をリセットすることができる。例えば、電源立ち下げ時において、もし画素電荷をリセットしない場合は、その画素電荷は自然放電によって徐々に抜けていくことになる。この場合、画素毎に放電の時定数が異なるため、電源を立ち下げた後も表示にはムラのある残像が発生することになる。

【0044】

なお、液晶表示装置の電源投入時/電源立ち下げ時/突発電源断時の検知は、コントローラ3が電源及び操作スイッチを監視することで実行される。

ここで、突発電源断時とは、例えば、携帯電話、デジタルカメラ、デジタルレコーダなどで電源断スイッチ操作を行わずに、直接電池、あるいは電源パックを取り外すような場合を想定している。

30

【0045】

図6は、液晶画素PXの書き換え時の各電位の駆動タイミングを示すタイムチャートである。

液晶画素PXでは、液晶に印加する電圧を交流化することが必要である。これは、同じ極性の直流電圧を継続して液晶に印加した場合は、イオン化の影響により表示不良が発生するからである。

図6では、コモン線COMの電圧をフレーム毎に反転する。そして、フレーム毎に制御線Pol A、Pol Bの「H」、「L」電位を交互に入れ替える。

【0046】

40

第1フレームで画素の電圧を書き換える際は、図3で説明したように、コントローラ3が、制御線Gateを「H」、制御線Gate Bを「L」、制御線Pol Aを「L」、制御線Pol Bを「H」の電位とし、残像対策SWを「OFF」の状態とする。

そこで、制御線Gateの電位を「L」→「H」→「L」とパルス状に変化させる。このとき、第1フレームでは、制御線Pol Aは「L」、制御線Pol Bは「H」の状態となり、即ち、図3に示す書き換え状態となっているため、制御線Gateの電位が「H」のタイミングで、信号線Sの電位に対応して画素電位を書き換えることができる。

【0047】

なおこのとき、信号線Sを交流化する必要はない。即ち、ノーマリブラックの液晶表示の場合、白ラスタ表示では信号線Sは常に「H」レベルを出力し、黒ラスタ表示では信号

50

線 S は常に「L」レベルを出力していれば良い。白ラスタ表示時には、画素電位は「L」となり、黒ラスタ表示時には、画素電位は「H」となる。

【0048】

第2フレームで画素の電圧を書き換える際は、第1フレームと同様に、制御線 Gate の電位を「L」→「H」→「L」とパルス状に変化させる。このとき、第2フレームでは、制御線 Pol A は「H」、制御線 Pol B は「L」の状態となっているため、制御線 Gate の電位が「H」のタイミングで、制御線 Pol A を「L」、制御線 Pol B を「H」と、図3に示す書き換え状態に切り替える。これによって信号線 S の電位に対応して画素電位を書き換えることができる。

【0049】

なお画素電位は、書込み時が終了した後は、制御線 Pol A が「H」、制御線 Pol B が「L」の状態に復帰するのに合わせて、元の電位に復帰する。この書込み動作に要する時間は、1フレーム(1V)時間に比べて非常に短いため、交流化動作にほとんど影響を与えない。

【0050】

図7は、全画面を書き換える時の各電位の駆動タイミングを示すタイムチャートである。

【0051】

この場合は、走査制御線駆動回路5が順次走査制御線群 G1 ~ Gm を選択して対応する制御線 Gate、Gate B、Pol A、Pol B の電位を所定の値に設定する。

図7では、縦方向に順次走査制御線群 G1 ~ Gm を選択している。このため、選択ラインの制御線 Gate のパルス位置は、右の方向にシフトしている。

【0052】

図8は、静止画を表示するときの液晶画素 PX の各電位の駆動タイミングを示すタイムチャートである。

この液晶表示装置は SRAM 回路10を備えている。従って、フレーム毎に画素電位を書き換えて更新する必要はなく、制御線 Pol A、Pol B の電位を切り替えることで上述の交流化動作を実現できる。

【0053】

なお、図8の XPol A と XPol B は、それぞれ Pol A と Pol B を反転した信号であり、後述する回路で使用する。

ここで、Pol A が立ち下がった後、所定時間後に Pol B が立ち上がる(あるいは、Pol B が立ち下がった後、所定時間後に Pol A が立ち上がる)のは、両信号が同時に「H」となることによる動作の競合を回避するためである。

【0054】

〔第2の実施の形態〕

第2の実施の形態では、液晶画素 PX の構成が第1の実施の形態と異なっている。従って、第1の実施の形態と同一の部位には同一の符号を付して、その詳細の説明は省略する。

【0055】

図9は、第2の実施の形態の液晶画素 PX の構成を示す図である。

第2の実施の形態の液晶画素 PX では、スイッチング素子 W1 が N チャンネルトランジスタと P チャンネルトランジスタとを用いたトランスファークロークで構成されている。

図3に示すスイッチング素子 W は、N チャンネルトランジスタのみで構成されていた。従って、信号線 S から電圧「H」が入力されたときは、閾値電圧だけ減少した電圧 (H - V_{th}) がノード a1 に印加される。これに対して、スイッチング素子 W1 では、P チャンネルトランジスタが閾値電圧の低下を補うため、電圧「H」をノード a1 に印加することができる。

【0056】

また、第2の実施の形態の液晶画素 PX では、極性反転スイッチ 13' を構成する TF

10

20

30

40

50

Tについてもトランスファークラップで構成されている。従って、極性反転スイッチ13'は閾値電圧の影響を受けずに電圧「H」、「L」を出力することができる。

この結果、第1の実施の形態の液晶画素PXで設けられていた第2のインバータ回路14が不要となり、極性反転スイッチ13'の出力を直接画素電極PEに供給することができる。

【0057】

〔第3の実施の形態〕

第3の実施の形態では、液晶画素PXの構成が第1の実施の形態と異なっている。従って、第1の実施の形態と同一の部位には同一の符号を付して、その詳細の説明は省略する。

10

【0058】

図10は、第3の実施の形態の液晶画素PXの構成を示す図である。

第3の実施の形態の液晶画素PXでは、第1の実施の形態の液晶画素PXを構成していた第2のインバータ回路14が設けられていない。

上述のように、第2のインバータ回路14は、閾値電圧の影響を回避するために設けられていたため、第2のインバータ回路14を設けない場合は、前段において、閾値電圧 V_{th} の影響を補償することが必要となる。

【0059】

第3の実施の形態では、 P_{olA} 、 P_{olB} のハイレベル電圧「H」を、 $V_{LCH} + V_{th}$ よりも十分高くすることで、閾値電圧の影響を回避している。

20

あるいは、出力電圧が V_{th} 低下したときはそれに対応して、コモン線COMの電圧を V_{th} だけシフトして調整することで、閾値電圧の影響を回避しても良い。

【0060】

この結果、第1の実施の形態の液晶画素PXで設けられていた第2のインバータ回路14が不要となり、極性反転スイッチ13'の出力を直接画素電極PEに供給することができる。

【0061】

〔第4の実施の形態〕

第4の実施の形態では、液晶画素PXを用いて面積変調によるデジタル階調表示を行う。第1の実施の形態と同一の部位には同一の符号を付して、その詳細の説明は省略する。

30

これは、画素電極PEを所定数毎にブロック化すると共に、ブロック内の各々の画素電極の寸法を変え、各ブロック内で表示すべき画素を選択することにより、各ブロックの表示画素面積をデジタル的に変化するものである。

【0062】

図11は、1ブロックにおける画素の大きさ及び配置例を示す図である。

これは、4ビット16階調表示の場合を示している。P0に対応した画素電極PEの面積を1とすると、P1は2倍、P2は4倍、P3は8倍となっている。

入力される4ビットの画像データは、各ビットに対応して設けられたSRAM回路10によって書込み電圧に変換されて、P0～P3の画素電極PEに供給される。

【0063】

40

〔実施の形態の効果〕

本発明の実施の形態の液晶画素PXには、第1のインバータ回路11とクロックドインバータ回路12からなるSRAM回路10、極性反転スイッチ13、液晶を駆動する第2のインバータ回路14が設けられ、さらにデータ線の終端にはデータ線電位をCOM電位の反転信号と短絡する残像対策スイッチ15を設けている。

そして、画素への書込み・保持などの駆動動作は、制御信号Gate、GateB、 P_{olA} 、 P_{olB} によって行う。

このような構成によって、各実施の形態の液晶表示装置は、種々の効果を奏することができる。

【0064】

50

液晶印加電圧の交流化は、画素内に設けた極性反転スイッチ 13 とその制御信号 (Pol A, Pol B) で実行することができる。そのため、液晶に印加する電圧の「H」レベル (VLCH) と、「L」レベル (VLC L) は、交流化する必要がなく、信号線駆動回路 6 の AC 消費電流を低減することができる。

【0065】

即ち、従来、信号線駆動回路 6 は、液晶交流化の周期で正負の極性にデータ信号を反転させていたため、表示エリアの全信号線負荷を一斉にスイングさせる際、大きな AC 消費電力を発生させていた。

【0066】

本実施の形態では、信号線 S の電位を反転させずに液晶を交流化することができる。そのため、液晶画素のデータを順次書き換えるような表示においても、表示品質を損なうことなく大幅な消費電力削減効果を得ることができる。

【0067】

動画表示のために順次画素のデータを書き換える際も、画素電位の極性反転は画素に設けられた極性反転スイッチ 13 にて行うため、フレームの正負によらず、信号線駆動回路 6 の出力極性は一定で良い。従って、大幅に回路構成を簡素化できると共に、信号線駆動回路 6 の AC 消費電流を低く抑えることができる。

【0068】

更に制御信号 (Pol A, Pol B) の負荷が小さく、制御信号 (Pol A, Pol B) はフリッカが視認されない程度の低い周波数で交流化すればよいため、走査制御線駆動回路 5 の能力を低くすることができる。この結果、画素を生成するプロセスと同じプロセスで、駆動回路 5, 6 をアレイ内のわずかなスペースに集積することが可能となる。

【0069】

また、電源立ち上げ時、電源立ち下げ時、突発的な電源断時などにおいては、制御信号 Gate, Gate B, Pol A, Pol B を用いて残像対策スイッチ 15 をオン状態とする。これによって、画素の保持電荷を対向電位 (VCOM) と同電位とする経路が形成されるため、瞬時に残像を消去し表示ムラの発生を防止することができる。

【0070】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0071】

【図 1】液晶表示装置の概略の回路構成を示す図。

【図 2】液晶画素の構成を示す図。

【図 3】画素電位の書き換え動作を説明する図。

【図 4】画素電位を SRAM に保持し、画素の電位を交流化する動作を説明する図。

【図 5】画素電荷抜き動作を説明する図。

【図 6】液晶画素の書き換え時の各電位の駆動タイミングを示すタイムチャート。

【図 7】全画面を書き換える時の各電位の駆動タイミングを示すタイムチャート。

【図 8】静止画を表示するときの液晶画素 PX の各電位の駆動タイミングを示すタイムチャート。

【図 9】第 2 の実施の形態の液晶画素の構成を示す図。

【図 10】第 3 の実施の形態の液晶画素の構成を示す図。

【図 11】1 ブロックにおける画素の大きさ及び配置例を示す図。

【図 12】従来の画像表示装置の回路構成を示す図。

【符号の説明】

【0072】

10

20

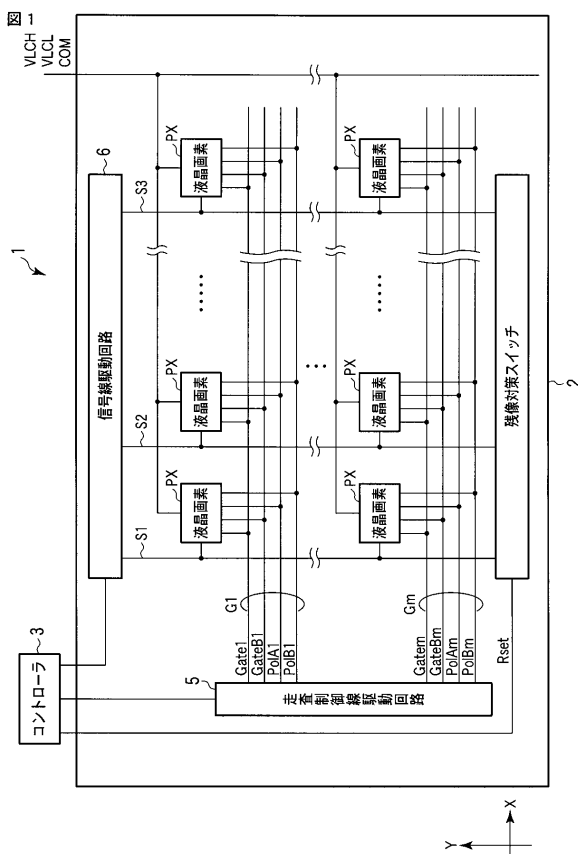
30

40

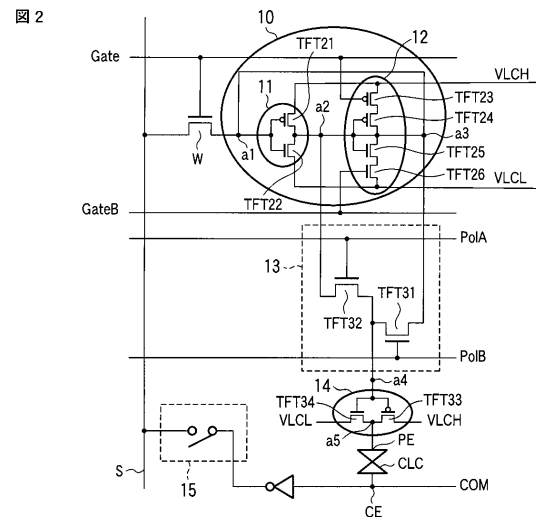
50

P X ... 液晶画素、G ... 走査制御線、C O M ... コモン線、C L C ... 液晶容量、G a t e、G a t e B、P o l A、P o l B ... 制御線、S ... 信号線、V L C H ... 高電位、V L C L ... 低電位、P E ... 画素電極、C E ... 共通電極、S W ... 残像対策スイッチ、V t h ... 閾値電圧、W ... スイッチ素子、1 ... 表示パネル、2 ... アレイ基板、3 ... コントローラ、5 ... 走査制御線駆動回路、6 ... 信号線駆動回路、10 ... スタティックメモリ、11 ... 第1のインバータ回路、12 ... クロックドインバータ、13 ... 極性反転スイッチ、13 ... 極性制御部、14 ... 第2のインバータ回路、15 ... 残像対策スイッチ、16 ... インバータ。

【図 1】

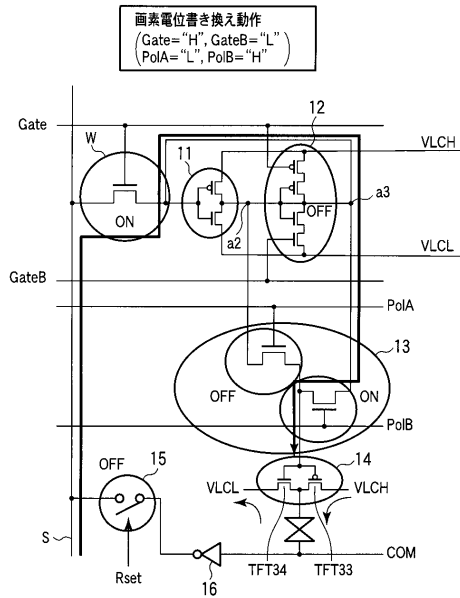


【図 2】



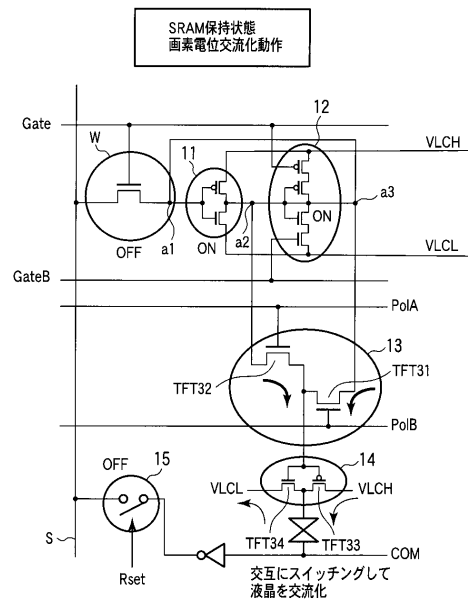
【図 3】

図 3



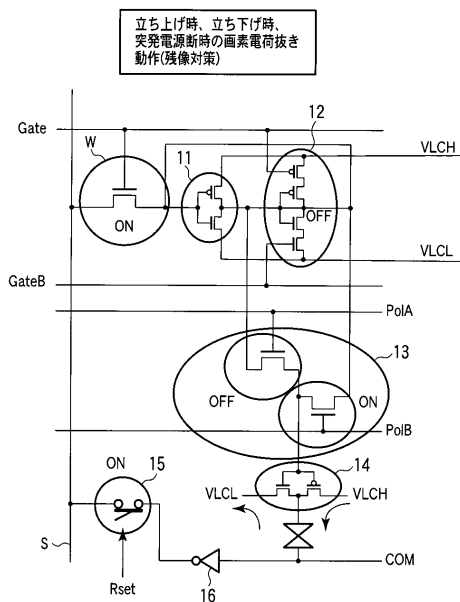
【図 4】

図 4



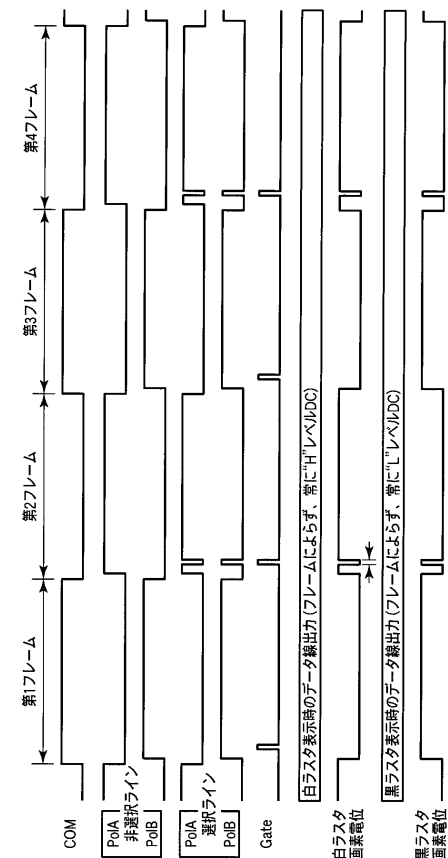
【図 5】

図 5

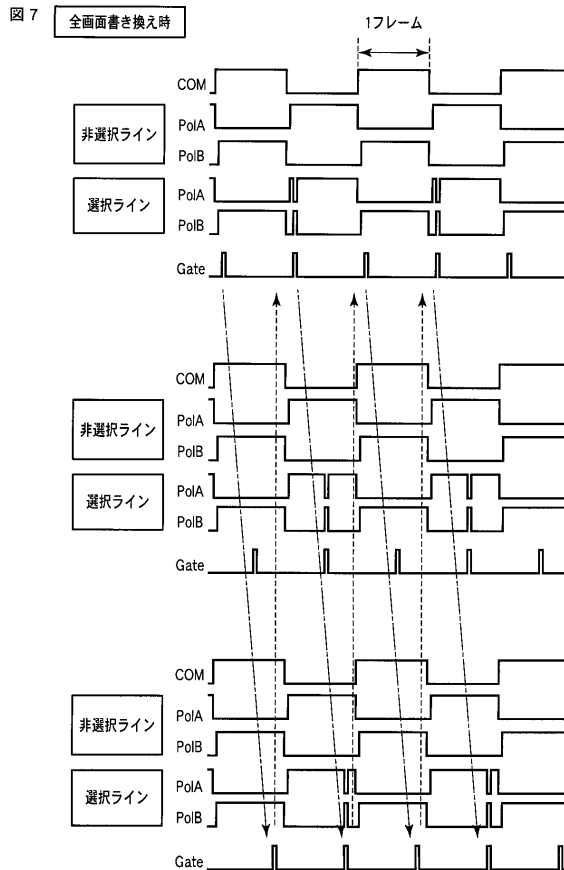


【図 6】

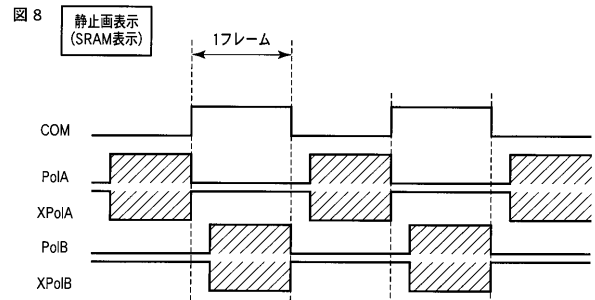
図 6



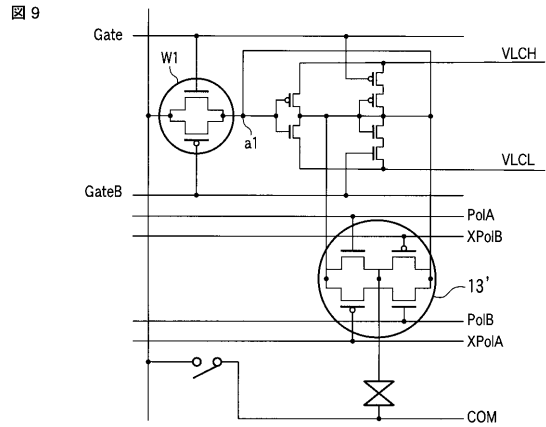
【図 7】



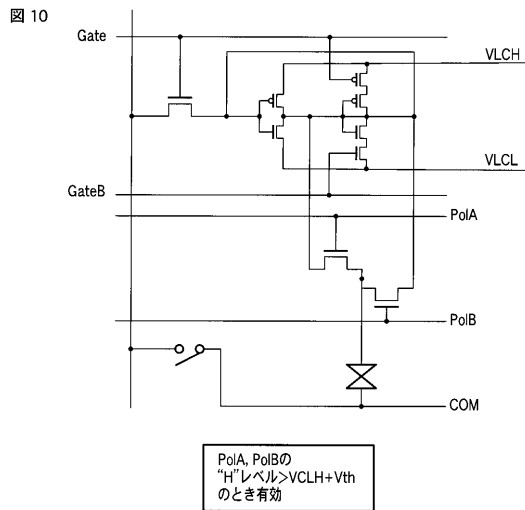
【図 8】



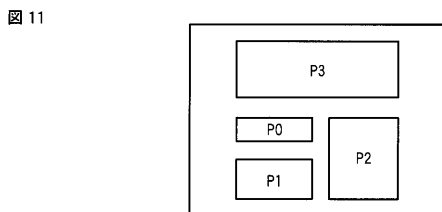
【図 9】



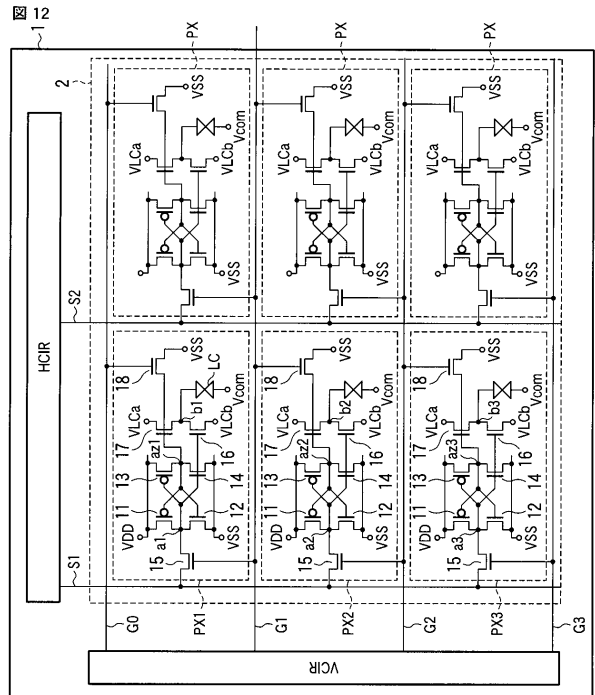
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 8 0 G
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
G 0 2 F	1/133	5 2 0

(74)代理人 100095441
 弁理士 白根 俊郎

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 原田 賢治
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NA33 NA54 NA80 NC02 NC10 NC12 NC18 NC34 NC40
 ND35 ND39
 2H193 ZA04 ZC15 ZD24 ZE31 ZF02 ZF22 ZF36 ZF59
 5C006 AA02 AA12 AC25 AC26 AC28 AF31 AF42 AF67 AF69 BB16
 BC06 BF50 FA23 FA34 FA41 FA47

5C080	AA10	BB05	DD01	DD03	DD05	DD06	DD22	DD26	EE19	EE29
	FF11	FF12	JJ02	JJ03	JJ06	JJ07	KK02	KK23	KK43	

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010107732A	公开(公告)日	2010-05-13
申请号	JP2008279644	申请日	2008-10-30
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	原田賢治		
发明人	原田 賢治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G2300/0809 G09G2300/0823 G09G2300/0857 G09G2310/0245 G09G2310/0262 G09G2330/021 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.E G09G3/20.660.U G09G3/20.670.D G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.621.B G09G3/20.641.G G09G3/20.680.G G02F1/133.550 G02F1/133.525 G02F1/133.520		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA54 2H093/NA80 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC40 2H093/ND35 2H093/ND39 2H193/ZA04 2H193/ZC15 2H193/ZD24 2H193/ZE31 2H193/ZF02 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA02 5C006/AA12 5C006/AC25 5C006/AC26 5C006/AC28 5C006/AF31 5C006/AF42 5C006/AF67 5C006/AF69 5C006/BB16 5C006/BC06 5C006/BF50 5C006/FA23 5C006/FA34 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD22 5C080/DD26 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/JJ07 5C080/KK02 5C080/KK23 5C080/KK43 2H193/ZA19 2H193/ZA20 2H193/ZB09 2H193/ZC16 2H193/ZC25 2H193/ZD02 2H193/ZD30 2H193/ZE21 2H193/ZE33 2H193/ZE38 2H193/ZF09 2H193/ZF21 2H193/ZF31 2H193/ZF44 2H193/ZH22 2H193/ZH30 2H193/ZH44 2H193/ZH45 2H193/ZH53 2H193/ZR07		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有内置像素存储器的液晶显示装置，该液晶显示装置实现了更低的功耗并可以显示高质量的图像。 解决方案：在基板上以矩阵形式排列并设置在每一列中的液晶像素PX连接到每一列中的每个液晶像素，以将与视频信号对应的二进制信号提供给液晶像素。 为每行提供信号线S，并且将信号线S连接到每行的每个液晶像素，并且提供用于通过选择每行中的液晶像素来写入和保持与视频信号相对应的二进制信号的多个控制信号。 液晶像素具有控制线G，并且液晶像素控制捕获与视频信号相对应的二进制信号的开关元件W，保持捕获的二进制信号的静态存储器10以及保持的二进制信号的极性。 极性控制单元13，施加电压产生单元14和液晶CLC，所述施加电压产生单元14根据极性被控制的二进制信号产生要施加到液晶的电压，所述液晶CLC根据施加的电压改变透射率。 它是液晶显示装置。 [选择图]图2

图 2

