(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-287115
(P2008-287115A)
(43)公開日　平成20年11月27日(2008.11.27)

(51)Int.Cl.		F I			テーマコード（参考）
G02F 1/133 (2006.01)		G02F	1/133	520	2H093
		G02F	1/133	550	

審査請求 未請求　請求項の数 11　ＯＬ　（全 269 頁）

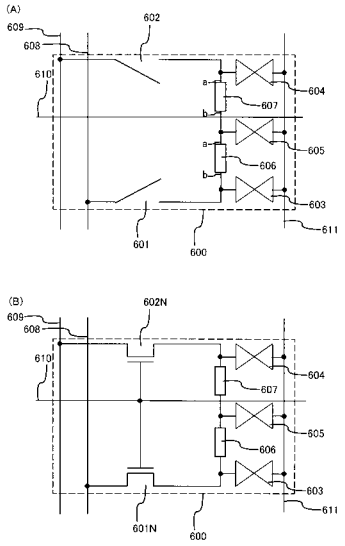
(21)出願番号　特願2007-133533 (P2007-133533)
(22)出願日　平成19年5月18日 (2007.5.18)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　木村　肇
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　2H093 NA16 NA23 NA43 NB07 NB09 NB11 NB29 NC03 NC09 NC11 NC24 NC35 NC36 ND04 ND13 ND22 ND39 ND49 ND54 NG02 NG03 NG20

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】液晶素子に印加される電圧を異ならせて視野角特性を改善する。
【解決手段】　本発明の一は、一画素に三以上の液晶素子を有し、該液晶素子の各々に印加される電圧値が異なる液晶表示装置である。各液晶素子に印加される電圧を異ならせるには、加えた電圧を分圧する素子を配置することにより行う。印加される電圧を異ならせるためには、容量素子、抵抗素子、又はトランジスタ等を用いる。
【選択図】図２３



【特許請求の範囲】
【請求項１】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２の容量素子と、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の容量素子の端子の一方とが第１のスイッチを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の容量素子の端子の一方は第２のスイッチを介して電気的に接続され、
前記第１の容量素子の端子の他方は前記第２の容量素子の端子の他方及び第３の液晶素子の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項２】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２の容量素子と、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の容量素子の端子の一方とが第１のスイッチを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の容量素子の端子の一方は第２のスイッチを介して電気的に接続され、
前記第１の容量素子の端子の他方は前記第２の容量素子の端子の他方及び前記第３の容量素子の端子の一方に電気的に接続され、
前記第３の容量素子の端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項３】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、トランジスタと、第１乃至第３の液晶素子と、第１乃至第３の容量素子と、をそれぞれ有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の容量素子の端子の一方とが第１のスイッチを介して電気的に接続され、
前記第１の配線と、前記第３の液晶素子の電極の一方、前記第１の容量素子の端子の他方及び前記第２の容量素子の端子の他方とは前記トランジスタを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の素子の端子の一方とは第２のスイッチを介して電気的に接続され、
前記第３の容量素子の端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項４】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２の抵抗素子と、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の抵抗素子の端子の一方とが第１のスイッチを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の抵抗素子の端子の一方は第２のスイッチを介して電気的に接続され、

前記第１の抵抗素子の端子の他方は前記第２の抵抗素子の端子の他方及び第３の液晶素子の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項５】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２の抵抗素子と、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の抵抗素子の端子の一方とが第１のスイッチを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の抵抗素子の端子の一方は第２のスイッチを介して電気的に接続され、
前記第１の抵抗素子の端子の他方は前記第２の抵抗素子の端子の他方及び前記第３の抵抗素子の端子の一方に電気的に接続され、
前記第３の抵抗素子の端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項６】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、トランジスタと、第１乃至第３の液晶素子と、第１乃至第３の抵抗素子と、をそれぞれ有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１の抵抗素子の端子の一方とが第１のスイッチを介して電気的に接続され、
前記第１の配線と、前記第３の液晶素子の電極の一方、前記第１の抵抗素子の端子の他方及び前記第２の抵抗素子の端子の他方とは前記トランジスタを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の素子の端子の一方とは第２のスイッチを介して電気的に接続され、
前記第３の抵抗素子の端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項７】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２のトランジスタと、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１のトランジスタの端子の一方とが第１のスイッチを介して電気的に接続され、
第２の配線と、前記第２の液晶素子の電極の一方及び前記第２のトランジスタの端子の一方は第２のスイッチを介して電気的に接続され、
前記第１のトランジスタの端子の他方は前記第２のトランジスタの端子の他方及び第３の液晶素子の一方に電気的に接続され、
前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項８】
画素が配置された液晶表示装置であって、
前記画素は第１及び第２のスイッチと、第１乃至第３の液晶素子と、第１及び第２のトランジスタと、を有し、
第１の配線と、前記第１の液晶素子の電極の一方及び第１のトランジスタの端子の一方

とが第１のスイッチを介して電気的に接続され、
　第２の配線と、前記第２の液晶素子の電極の一方及び前記第２のトランジスタの端子の一方は第２のスイッチを介して電気的に接続され、
　前記第１のトランジスタの端子の他方は前記第２のトランジスタの端子の他方及び前記第３のトランジスタの端子の一方に電気的に接続され、
　前記第３のトランジスタの端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
　前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項９】
　画素が配置された液晶表示装置であって、
　前記画素は第１及び第２のスイッチと、トランジスタと、第１乃至第３の液晶素子と、第１乃至第３のトランジスタと、をそれぞれ有し、
　第１の配線と、前記第１の液晶素子の電極の一方及び第１のトランジスタの端子の一方とが第１のスイッチを介して電気的に接続され、
　前記第１の配線と、前記第３の液晶素子の電極の一方、前記第１のトランジスタの端子の他方及び前記第２のトランジスタの端子の他方とは前記トランジスタを介して電気的に接続され、
　第２の配線と、前記第２の液晶素子の電極の一方及び前記第２の素子の端子の一方とは第２のスイッチを介して電気的に接続され、
　前記第３のトランジスタの端子の他方は、前記第３の液晶素子の電極の一方に電気的に接続され、
　前記第１乃至第３の液晶素子の電極の他方は共通電極に電気的に接続されていることを特徴とする液晶表示装置。
【請求項１０】
　請求項１乃至請求項９のいずれか一項において、
　前記第１及び第２のスイッチはトランジスタであることを特徴とする液晶表示装置。
【請求項１１】
　請求項１乃至請求項１０のいずれか一項において、
　前記第１乃至第３の液晶素子の電極の一方には保持容量素子が電気的に接続され、
　前記保持容量素子は電位が一定の配線に電気的に接続されていることを特徴とする液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は物、方法、または、物を生産する方法に関する。特に、表示装置または半導体装置に関する。特に、表示装置に関する。特に、アクティブマトリクス型液晶表示装置に関する。
【背景技術】
【０００２】
　近年、表示装置として、液晶表示装置及びＥＬ表示装置の開発が急速に進んでいる。特に、液晶表示装置の普及はめざましい。液晶表示装置には高輝度、高コントラスト、高速応答性、及び広視野角等が求められる。また、携帯型の電子機器に搭載される液晶表示装置では消費電力の低減、軽量化、及び小型化も重要な課題である。
【０００３】
　液晶表示装置の視野角を拡げるために、様々な技術が開発されている。視野角を拡げる技術として、例えば、ＭＶＡ（Ｍｕｌｔｉ　Ｖｅｒｔｉｃａｌ　Ｄｏｍａｉｎ。以下、ＭＶＡという。）方式ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ。以下、ＰＶＡという。）方式及びＣＰＡ（Ｃｏｎｔｉｎｕｏｕｓ　Ｐｉｎｗｈｅｅｌ　Ａｌｉｇｎｍｅｎｔ）方式がある。このような技術により従来よりも視野角は拡がった

ものの、不十分であった。そのため、一画素を二のサブピクセルに分割することにより液晶の配向状態を異ならせて、見かけ上は液晶分子の傾斜角が平均化されてどの方向から見ても均一な表示となるように錯覚を生じさせ、視野角特性の向上を図る技術が開発されている（例えば、特許文献１）。

【特許文献１】特開２００６－２７６５８２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

液晶表示装置では、画素にサブピクセルを設けて画素に複数の配向状態を有せしめることで、視野角特性を向上させることができる。しかし、視野角特性はまだ十分とは言えず、サブピクセルを更に追加することで、視野角特性を向上させることができる可能性がある。

【０００５】

しかし、サブピクセルの数を単純に増加させると、開口率の低下及び駆動回路の増加という不都合が生じ、製造コストの増大を招くのみならず、表示装置としての性能自体が低下するという弊害を生じる。具体的には、開口率が低下すると輝度及びコントラストが低下し、消費電力が増加してしまう。または、画素のレイアウト密度が高くなり、製造歩留まりが低下し、コストが上昇する。または、サブピクセル数の増加により、入力すべき画像信号の数も増える。そのため、ガラス基板と、外付けの駆動回路との接続点数が増えてしまう。その結果、接触不良等により、信頼性が低くなってしまう。

【０００６】

本発明は、表示装置としての性能を維持しつつ、視野角特性に優れた表示装置を提供することを課題とする。または、本発明は、信頼性の高い表示装置を提供することを課題とする。または、本発明は、コントラストの高い表示装置を提供することを課題とする。または、本発明は、軽量な表示装置を提供することを課題とする。または、本発明は、サイズが小さい表示装置を提供することを課題とする。または、本発明は、輝度の高い表示装置を提供することを課題とする。または、本発明は、消費電力の低い表示装置を提供することを課題とする。または、本発明は、開口率の高い表示装置を提供することを課題とする。または、本発明は、製造コストの低い表示装置を提供することを課題とする。

【課題を解決するための手段】

【０００７】

本発明の一は、一画素に三以上の液晶素子を有し、該液晶素子の各々に印加される電圧値が異なる液晶表示装置である。各液晶素子に印加される電圧を異ならせるには、加えた電圧を分圧する素子を配置することにより行う。または、電流を電圧に変換する素子、または、電圧を電流に変換する素子を配置することにより行う。例としては、容量素子、抵抗素子、非線形素子、スイッチ、トランジスタ、ダイオード接続されたトランジスタ、ダイオード（ＰＩＮ型、ＰＮ型、ショットキー型、ＭＩＭ型、ＭＩＳ型等）、インダクタ素子等を配置することにより行う。

【０００８】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電気的スイッチや機械的なスイッチ等がある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタ等）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタ等）、サイリスタ等を用いることができる。または、これらを組み合わせた論理回路をスイッチとして用いることができる。

【０００９】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（ＤＭＤ）のように

、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、接続と非接続とを制御して動作する。

【００１０】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、ＬＤＤ領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Ｖｓｓ、ＧＮＤ、０Ｖ等）の電位に近い状態で動作する場合はＮチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（Ｖｄｄ等）の電位に近い状態で動作する場合はＰチャネル型トランジスタを用いることが望ましい。なぜなら、Ｎチャネル型トランジスタではソース端子が低電位側電源の電位に近い状態で動作するとき、Ｐチャネル型トランジスタではソース端子が高電位側電源の電位に近い状態で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまうことが少ないからである。

【００１１】

なお、ＮチャネルとＰチャネル型トランジスタの両方を用いて、ＣＭＯＳ型のスイッチをスイッチとして用いてもよい。ＣＭＯＳ型のスイッチにすると、Ｐチャネル型トランジスタまたはＮチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

【００１２】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

【００１３】

なお、ＡとＢとが接続されている、と明示的に記載する場合は、ＡとＢとが電気的に接続されている場合と、ＡとＢとが機能的に接続されている場合と、ＡとＢとが直接接続されている場合とを含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、等）であるとする。従って、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【００１４】

例えば、ＡとＢとが電気的に接続されている場合として、ＡとＢとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード等）が、ＡとＢとの間に１個以上配置されていてもよい。あるいは、ＡとＢとが機能的に接続されている場合として、ＡとＢとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路等）、信号変換回路（ＤＡ変換回路、ＡＤ変換回路、ガンマ補正回路等）、電位レベル変換回路（電源回路（昇圧回路、降圧回路等）、信号の電位レベルを変えるレベルシフタ回路等）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量等を大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路等）、信号生成回路、記憶回路、制御回路等）が

、ＡとＢとの間に１個以上配置されていてもよい。あるいは、ＡとＢとが直接接続されている場合として、ＡとＢとの間に他の素子や他の回路を挟まずに、ＡとＢとが直接接続されていてもよい。

【００１５】

なお、ＡとＢとが直接接続されている、と明示的に記載する場合は、ＡとＢとが直接接続されている場合（つまり、ＡとＢとの間に他の素子や他の回路を間に介さずに接続されている場合）と、ＡとＢとが電気的に接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

【００１６】

なお、ＡとＢとが電気的に接続されている、と明示的に記載する場合は、ＡとＢとが電気的に接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟んで接続されている場合）と、ＡとＢとが機能的に接続されている場合（つまり、ＡとＢとの間に別の回路を挟んで機能的に接続されている場合）と、ＡとＢとが直接接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【００１７】

表示装置

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いることができ、様々な素子を有することができる。例えば、表示素子、表示装置、発光素子または発光装置としては、ＥＬ素子（有機物及び無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイ（ＰＤＰ）、デジタルマイクロミラーデバイス（ＤＭＤ）、圧電セラミックディスプレイ、カーボンナノチューブ、等、電気磁気的作用により、コントラスト、輝度、反射率、透過率等が変化する表示媒体を用いることができる。なお、ＥＬ素子を用いた表示装置としてはＥＬディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（ＦＥＤ）やＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Ｓｕｒｆａｃｅ－ｃｏｎｄｕｃｔｉｏｎ　Ｅｌｅｃｔｒｏｎ－ｅｍｉｔｔｅｒ　Ｄｉｓｐｌｙ）等、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【００１８】

なお、ＥＬ素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたＥＬ層とを有する素子である。なお、ＥＬ層としては、１重項励起子からの発光（蛍光）を利用するもの、３重項励起子からの発光（燐光）を利用するもの、１重項励起子からの発光（蛍光）を利用するものと３重項励起子からの発光（燐光）を利用するものとを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものとを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むもの等を用いることができる。ただし、これに限定されず、ＥＬ素子として様々なものを用いることができる。

【００１９】

なお、電子放出素子とは、先鋭な陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ（ＣＮＴ）型、金属－絶縁体－金属を積層したＭＩＭ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｍｅｔａｌ）型、金属－絶縁体－半導体を積層したＭＩＳ（Ｍｅｔａｌ－Ｉｎｓｕｌａｔｏｒ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）型、ＭＯＳ型、シリコン型、薄膜ダイオード型、ダイヤモンド型、表面伝導エミッタＳＣＤ型、オード型、ダイヤモンド型、表面伝導エミッタＳＣＤ型、金属－絶縁体－半導体－金属型等の薄膜型、ＨＥＥＤ型、ＥＬ型、ポーラスシリコン型、表面伝導（ＳＥＤ）型等を用いることができる。ただし、これに限定されず、電子放出素子とし

て様々なものを用いることができる。

【００２０】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、ライオトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（ＰＤＬＣ）、バナナ型液晶、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＳＴＮ（Ｓｕｐｅｒ Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＡＳＶ（Ａｄｖａｎｃｅｄ Ｓｕｐｅｒ Ｖｉｅｗ）モード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＰＤＬＣ（Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ゲストホストモード等を用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

【００２１】

なお、電子ペーパーとしては、光学異方性と染料分子配向のような分子により表示されるもの、電気泳動、粒子移動、粒子回転、相変化のような粒子により表示されるもの、フィルムの一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して時発光により表示されるもの等のことをいう。例えば、電子ペーパーとして、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェッテイング、光散乱（透明白濁）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、２色性色素・液晶分散型、可動フィルム、ロイコ染料発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ＥＬ等を用いることができる。ただし、これに限定されず、電子ペーパーとして様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリー性等のメリットを有する。

【００２２】

なお、プラズマディスプレイは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイとしては、ＤＣ型ＰＤＰ、ＡＣ型ＰＤＰでもよい。ここで、プラズマディスプレイパネルとしては、ＡＳＷ（Ａｄｄｒｅｓｓ Ｗｈｉｌｅ Ｓｕｓｔａｉｎ）駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するＡＤＳ（Ａｄｄｒｅｓｓ Ｄｉｓｐｌａｙ Ｓｅｐａｒａｔｅｄ）駆動、ＣＬＥＡＲ（Ｌｏｗ Ｅｎｅｒｇｙ Ａｄｄｒｅｓｓ ａｎｄ Ｒｅｄｕｃｔｉｏｎ ｏｆ Ｆａｌｓｅ Ｃｏｎｔｏｕｒ Ｓｅｑｕｅｎｃｅ）駆動、ＡＬＩＳ（Ａｌｔｅｒｎａｔｅ Ｌｉｇｈｔｉｎｇ ｏｆ Ｓｕｒｆａｃｅｓ）方式、ＴＥＲＥＳ（Ｔｅｃｈｂｏｌｏｇｙ ｏｆ Ｒｅｃｉｐｒｏｃａｌ Ｓｕｓｆａｉｎｅｒ）駆

動等を用いることができる。ただし、これに限定されず、プラズマディスプレイとして様々なものを用いることができる。

【００２３】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（ＧＬＶ）を用いた表示装置、デジタルマイクロミラーデバイス（ＤＭＤ）を用いた表示装置等の光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、ＬＥＤ、レーザー光源、水銀ランプ等を用いることができる。ただし、これに限定されず、光源して様々なものを用いることができる。

【００２４】

トランジスタの種類

なお、トランジスタとして、様々な形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコン等に代表される非単結晶半導体膜を有する薄膜トランジスタ（ＴＦＴ）等を用いることができる。ＴＦＴを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトランジスタを用いて表示素子での光の透過を制御することができる。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることができる。そのため、開口率が向上させることができる。

【００２５】

なお、多結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、ＤＡ変換回路等）を基板上に一体形成することができる。

【００２６】

なお、微結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチ等）を基板上に一体形成することができる。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することができる。

【００２７】

ただし、触媒（ニッケル等）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【００２８】

なお、シリコンの結晶性を、多結晶または微結晶等へと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射すること等により可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題

なく画素回路を動作させることができる。結晶性を向上させる領域が少なくて済むため、製造工程も短くすることができ、スループットが向上し、製造コストを低減させることができる。必要とされる製造装置の数も少なくて製造できるため、製造コストを低減させることができる。

【００２９】

または、半導体基板やＳＯＩ基板等を用いてトランジスタを形成することができる。これらにより、特性やサイズや形状等のバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【００３０】

または、ＺｎＯ、ａ－ＩｎＧａＺｎＯ、ＳｉＧｅ、ＧａＡｓ、ＩＺＯ、ＩＴＯ、ＳｎＯ等の化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタ等を用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

【００３１】

または、インクジェットや印刷法を用いて形成したトランジスタ等を用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【００３２】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。そのため、衝撃に強くできる。

【００３３】

さらに、様々な構造のトランジスタを用いることができる。例えば、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタ等をトランジスタとして用いることができる。ＭＯＳ型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。

【００３４】

なお、ＭＯＳ型トランジスタ、バイポーラトランジスタ等を１つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作等を実現することができる。

【００３５】

その他、様々なトランジスタを用いることができる。

【００３６】

なお、トランジスタは、様々な基板を用いて形成することができる。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含

む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【００３７】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が２個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。別の例として、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値の増加、又は空乏層ができやすくなることによるＳ値の低減を図ることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【００３８】

あるいは、チャネル領域の上にゲート電極が配置されている構造でもよいし、チャネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれていてもよいし、チャネル領域が並列に接続されていてもよいし、チャネル領域が直列に接続されていてもよい。あるいは、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。あるいは、ＬＤＤ領域を設けても良い。ＬＤＤ領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、ＬＤＤ領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

【００３９】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成さ

せることができる。従って、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成されていてもよい。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはＳＯＩ基板を用いて形成されていてもよく、さまざまな基板を用いてに形成されていてもよい。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成されており、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていてもよい。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタを用いて形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）でガラス基板に接続して、ガラス基板上にそのＩＣチップを配置してもよい。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたＩＣチップを用いるようにすれば、消費電力の増加を防ぐことができる。

【００４０】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としてもよい。あるいは、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色等を一色以上追加してもよい。あるいは、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加してもよい。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し周波数が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することができる。別の例としては、１つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が１つの色要素の中に複数あっても、それらをまとめて、１つの色要素を１画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、１つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、１つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることができる。

【００４１】

なお、一画素（三色分）と明示的に記載する場合は、ＲとＧとＢの三画素分を一画素と

考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【００４２】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷ（Ｗは白）、又はＲＧＢに、イエロー、シアン、マゼンタ等を一色以上追加したもの等がある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【００４３】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることができる。

【００４４】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることができる。例えば、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）やＴＦＤ（Ｔｈｉｎ　Ｆｉｌｍ　Ｄｉｏｄｅ）等を用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【００４５】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【００４６】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面等）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第１端子、第２端子と表記する場合がある。あるいは、それぞれを第１の電極、第２の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【００４７】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第１端子、第２端子と表記する場合がある。

【００４８】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を

介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【００４９】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線等）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００５０】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、チャネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もゲート電極またはゲート配線と呼んでも良い。

【００５１】

なお、例えば、マルチゲートのトランジスタにおいて、１つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線等）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線等）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを１つのトランジスタと見なすこともできるため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００５２】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線等）または、ゲート電極と電気的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

【００５３】

なお、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線等と呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線等がある。

【００５４】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、Ｐ型不純物（ボロンやガリウム等）やＮ型不純物（リンやヒ素等）が多く含まれる半導体領域のことを言う。従って、少しだけＰ型不純物やＮ型不純物が

含まれる領域、いわゆる、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電気的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【００５５】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線等）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００５６】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線等）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もソース電極またはソース配線と呼んでも良い。

【００５７】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００５８】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電気的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

【００５９】

なお、ソース配線、ソース線、ソース信号線、データ線、データ信号線等と呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線等がある。

【００６０】

なお、ドレインについては、ソースと同様である。

【００６１】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタ等）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【００６２】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、ＥＬ素子（有機ＥＬ素子、

無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（ＤＭＤ）、等のことを言う。ただし、これに限定されない。

【００６３】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプ等によって基板上に配置された周辺駆動回路、いわゆる、チップオングラス（ＣＯＧ）で接続されたＩＣチップ、または、ＴＡＢ等で接続されたＩＣチップを含んでいても良い。なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたフレキシブルプリントサーキット（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（ＦＰＣ）等を介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたプリント配線基盤（ＰＷＢ）を含んでいても良い。なお、表示装置は、偏光板または位相差板等の光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサ等を含んでいても良い。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管等）、冷却装置（水冷式、空冷式）等を含んでいても良い。

【００６４】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管、熱陰極管等）、冷却装置等を有している装置のことをいう。

【００６５】

なお、発光装置とは、発光素子等を有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【００６６】

なお、反射装置とは、光反射素子、光回折素子、光反射電極等を有している装置のことをいう。

【００６７】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型等がある。

【００６８】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタ等と呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタ等は、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路等と呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路等と呼ぶことがある）等は、駆動装置の一例である。

【００６９】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置等は、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【００７０】

なお、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層

、等）であるとする。

【００７１】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄ等）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄ等）は、単層でもよいし、複層でもよい。

【００７２】

さらに、Ａの上方にＢが形成されている、と明示的に記載されている場合についても同様であり、Ａの上にＢが直接接していることに限定されず、ＡとＢとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄ等）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄ等）は、単層でもよいし、複層でもよい。

【００７３】

なお、Ａの上にＢが直接接して形成されている、と明示的に記載する場合は、Ａの上に直接接してＢが形成されている場合を含み、ＡとＢと間に別の対象物が介在する場合は含まないものとする。

【００７４】

なお、Ａの下にＢが、あるいは、Ａの下方にＢが、の場合についても、同様である。

【００７５】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【発明の効果】

【００７６】

本発明により、表示装置の性能を維持しつつ、視野角特性を従来よりも向上させることができる。または、本発明により、信頼性の高い表示装置を提供することができる。または、本発明により、コントラストの高い表示装置を提供することができる。または、本発明により、軽量な表示装置を提供することができる。または、本発明により、サイズが小さい表示装置を提供することができる。または、本発明により、輝度の高い表示装置を提供することができる。または、本発明により、消費電力の低い表示装置を提供することができる。または、本発明により、開口率の高い表示装置を提供することができる。または、本発明により、製造コストの低い表示装置を提供することができる。

【００７７】

（実施の形態１）

本実施の形態では、本発明の液晶表示装置が有する画素回路の構成及び画素回路の動作について、図面を参照して説明する。本発明の液晶表示装置の画素回路は、一画素に複数の液晶素子を有し、これらの液晶素子の各々に印加される電圧を異ならせる構成を有している。具体的には、液晶素子に接続された容量素子若しくは抵抗素子の一方、又は双方を設けて液晶素子に印加される電圧を異ならせる。

【００７８】

ただし、表示素子は液晶素子に限定されず、様々な表示素子（例えば、発光素子（ＥＬ素子（有機物及び無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、電子放出素子）、電気泳動素子等）を用いることができる。

【００７９】

本実施の形態を適用できる液晶の動作モードとしては様々なものがある。例えば、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈ

ｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＣＰＡ（Ｃｏｎｔｉｎｕｏｕｓ Ｐｉｎｗｈｅｅｌ Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）等がある。ただし、これに限定されない。なお、ＣＰＡモードを適用した液晶はＡＳＶ（Ａｄｖａｎｃｅｄ Ｓｕｐｅｒ Ｖｉｅｗ）液晶と呼ばれることがある。

【００８０】

図１（Ａ）は、本発明の液晶表示装置が有する一画素の構成の一例を示す。画素１００は第１のスイッチ１０１と、第２のスイッチ１０２と、第１の液晶素子１０３と、第２の液晶素子１０４と、第３の液晶素子１０５と、第１の容量素子１０６と、第２の容量素子１０７と、を有する。

【００８１】

第１の配線１０８と、第１の液晶素子１０３の第１の電極及び第１の容量素子１０６の第１の電極とは第１のスイッチ１０１を介して接続されている。第２の配線１０９と第２の液晶素子１０４の第１の電極及び第２の容量素子１０７の第１の電極は第２のスイッチ１０２を介して接続されている。第１の容量素子１０６の第２の電極は第２の容量素子１０７の第２の電極及び第３の液晶素子１０５の第１の電極に接続されている。

【００８２】

第１の液晶素子１０３、第２の液晶素子１０４及び第３の液晶素子１０５の第２の電極は、共通電極１１１に接続されている。

【００８３】

第１の配線１０８及び第２の配線１０９は、信号線として機能する。従って、第１の配線１０８及び第２の配線１０９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。

【００８４】

第１のスイッチ１０１及び第２のスイッチ１０２は、スイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。以下、第１のスイッチ１０１及び第２のスイッチ１０２としてトランジスタを用いる場合について説明する（図１（Ｂ）を参照）。トランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。例えば、Ｎチャネル型トランジスタはゲート・ソース間電圧（V_{gs}）がしきい値電圧（V_{th}）を上回ったとき、ソース・ドレイン間が導通状態になるものとする。なお、トランジスタのドレイン・ソース間電圧はV_{ds}と記す。

【００８５】

図１（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合、図１（Ｃ）はスイッチとしてＰチャネル型トランジスタを用いた場合を示す。図１（Ｂ）及び（Ｃ）において、第１のスイッチ１０１Ｎ（又は第１のスイッチ１０１Ｐ）及び第２のスイッチ１０２Ｎ（又は第２のスイッチ１０２Ｐ）のゲートは第３の配線１１０に接続されている。第３の配線１１０は、走査線として機能する。

【００８６】

なお、図４９に示すように走査線を２本有していても良い。図４９に示す回路は図８に示す回路において信号線を２本設けたものと同様である。

【００８７】

なお、スイッチとしてＰチャネル型トランジスタを用いた場合は図１にのみ示しているが、これに限定されない。他の図においても、トランジスタの少なくとも１つをＰチャネル型トランジスタに置き換えることができる。

【００８８】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【００８９】

第１の配線１０８及び第２の配線１０９には、ビデオ信号が入力されている。第３の配線１１０には走査信号が入力されている。走査信号はＨレベル又はＬレベルのデジタル電圧信号である。第１のスイッチ１０１がＮチャネル型トランジスタの場合、走査信号のＨレベルは第１のスイッチ１０１及び第２のスイッチ１０２をオンできる電位であり、走査信号のＬレベルは第１のスイッチ１０１及び第２のスイッチ１０２をオフできる電位である。あるいは、第１のスイッチ１０１及び第２のスイッチ１０２がＰチャネル型トランジスタの場合、走査信号のＨレベルは第１のスイッチ１０１及び第２のスイッチ１０２をオフできる電位であり、走査信号のＬレベルは第１のスイッチ１０１及び第２のスイッチ１０２をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位であることが望ましい。

【００９０】

画素１００の動作について、第１のスイッチ１０１及び第２のスイッチ１０２がオンしている場合と、第１のスイッチ１０１及び第２のスイッチ１０２がオフしている場合とに分けて説明する。

【００９１】

第１のスイッチ１０１がオンしている場合には、第１の配線１０８と、第１の液晶素子１０３の第１の電極（画素電極）及び第１の容量素子１０６の第１の電極とが電気的に接続される。第２のスイッチ１０２がオンしている場合には、第２の配線１０９と、第２の液晶素子１０４の第１の電極（画素電極）及び第２の容量素子１０７の第１の電極とが電気的に接続される。従って、ビデオ信号は、第１の配線１０８から第１の液晶素子１０３の第１の電極（画素電極）及び第１の容量素子１０６の第１の電極に入力される。または、ビデオ信号は第２の配線１０９から第２の液晶素子１０４の第１の電極（画素電極）及び第２の容量素子１０７の第１の電極に入力される。従って、第１の液晶素子１０３に入力される信号の電位V_{103}は第１の配線１０８から入力される電位に概ね等しく、第２の液晶素子１０４に入力される信号の電位V_{104}は第２の配線１０９から入力される電位に概ね等しい。また、第３の液晶素子１０５の第１の電極の電位V_{105}は第１の容量素子１０６と第２の容量素子１０７とによって、分圧された値となる。ここで、第１の容量素子１０６の容量値をC_{106}、第２の容量素子１０７の容量値をC_{107}とする。すると、$V_{105}=\Delta V\times C_{107}/(C_{106}+C_{107})+V_{103}$となる。ここで、$\Delta V=V_{104}-V_{103}$である。ただし、各容量素子に、初期電荷が無い場合である。ここで、C_{106}とC_{107}とが同じ大きさである場合、V_{105}は、V_{103}とV_{104}の和の半分になる。ここで共通電極の電位を０とすると、第１の液晶素子に印加される電圧はV_{103}、第２の液晶素子に印加される電圧はV_{104}、第３の液晶素子に印加される電圧は$V_{105}=(V_{103}+V_{104})/2$と表される。第１の配線１０８から入力される信号と第２の配線１０９から入力される信号の電位を異ならせると、各々の液晶素子に印加される電圧を異ならせることができ、各々の配向状態を異ならせることができる。そのため、第１の配線１０８から入力される信号と第２の配線１０９から入力される信号は異なる電位とすることが好ましい。

【００９２】

このように、電位の異なる２つの信号を供給し、容量素子を用いることによって、画素内部で電圧を分割し、２つの信号の中間の電圧（第３の電圧）を作り出すことができる。そして、第３の電圧を第３の液晶素子１０５に印加することによって、液晶を容易に制御することができる。更に、第３の電圧は、第１の液晶素子１０３に印加される電圧と、第２の液晶素子１０４に印加される電圧との間の電圧である。そのため、どのような階調を

表示する場合であっても、適切な階調を表示することができる。また、画像信号の極性が正極（共通電極よりも画像信号の方が高い場合）の場合でも、負極（共通電極よりも画像信号の方が低い場合）の場合でも、適切な階調を表示することができる。

【００９３】

更に、走査線、信号線及びトランジスタ等の増加を抑えて、第３の電圧を作り出して第３の液晶素子１０５を制御することができる。これにより開口率を高くすることができ、消費電力を低減することができる。また、画素のレイアウトも余裕をもって配置することができるため、製造工程にて発生した粉塵等によって起こりうるショート等の不良を低減する事ができ、歩留まりが向上する。その結果、製造コストを低減することができる。また、第３の液晶素子を制御するための信号線として機能する配線を新たに設けることなく第３の液晶素子１０５を制御できるため、ガラス基板と、外付けの駆動回路との接続点数が増加しない。その結果、高い信頼性を保つことができる。

【００９４】

なお、第１の容量素子１０６と第２の容量素子１０７とは、容量値は概ね等しいことが望ましい。二つの容量素子の容量値が概ね等しいことによって、分圧された電位は、二つの容量素子に供給される電位の中間値となる。もし、容量値に差があれば、どちらかの電位に偏ってしまい、均等に液晶素子を制御することができない。したがって、第１の容量素子１０６の容量値と第２の容量素子１０７の容量値は概ね等しいことが望ましい。ただし、これに限定されない。

【００９５】

第１のスイッチ１０１がオフしている場合には、第１の配線１０８と、第１の液晶素子１０３の第１の電極（画素電極）及び第１の容量素子１０６の第１の電極とが電気的に遮断される。第２のスイッチ１０２がオフしている場合には、第２の配線１０９と、第２の液晶素子１０４の第１の電極（画素電極）及び第２の容量素子１０７の第１の電極とが電気的に遮断される。従って、第１の液晶素子１０３の第１の電極、第１の容量素子１０６の第１の電極、第２の液晶素子１０４の第１の電極及び第２の容量素子１０７の第１の電極は浮遊状態となる。そして、第３の液晶素子１０５は、第１の液晶素子１０３とは、第１の容量素子１０６を介して接続されている。しかし、電荷保存則のため、第３の液晶素子１０５に保存された電荷は、第１の液晶素子１０３の方に漏れることはない。同様に、第３の液晶素子１０５は、第２の液晶素子１０４とは、第２の容量素子１０７を介して接続されている。しかし、電荷保存則のため、第３の液晶素子１０５に保存された電荷は、第２の液晶素子１０４の方に漏れることはない。従って、第１乃至第３の液晶素子は、直前に入力された信号の電位が保持されることになる。

【００９６】

なお、第１の液晶素子１０３、第２の液晶素子１０４及び第３の液晶素子１０５はビデオ信号に応じた透過率となる。

【００９７】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【００９８】

なお、各液晶素子は、複数に分割されていてもよい。例えば、第３の液晶素子１０５が第３の液晶素子１０５ａと第４の液晶素子１０５ｂの２つに分割されている場合を図１１に示す。同様に、第１の液晶素子１０３及び第２の液晶素子１０４についても、複数個に分割されていてもよい。なお、図１以外の図についても同様である。

【００９９】

なお、図１及び図１１において、第１のスイッチ１０１と第２のスイッチ１０２がトランジスタである場合、これらのゲートは、第３の配線１１０に接続されている。しかし、これに限定されない。第１のスイッチ１０１のゲートと、第２のトランジスタのゲートとは、別々の配線に接続されていてもよい（図４９を参照）。これらは図１及び図１１以外の図についても同様である。

【０１００】
なお、図１及び図１１において、第１のスイッチ１０１と、第２のスイッチ１０２とは、異なる信号線に接続されているが、これに限定されない。図８又は図１７に示すように、第１のスイッチ１０１と、第２のスイッチ１０２とは、同じ配線に接続されていても良い。これらは図１及び図１１以外の図についても同様である。
【０１０１】
なお、液晶素子は電圧保持特性を示すがその保持率は１００％ではない。そのため、図１及び図１１において、各液晶素子に、保持容量となる容量素子（以下、単に保持容量という。）を配置することで電圧を保持してもよい。保持容量は全ての液晶素子に対して配置してもよいし、一部の液晶素子のみに配置してもよい。保持容量は、各画素電極と、これに接続される容量線として機能する配線との間に配置する。各保持容量は、異なる容量線に接続されていてもよいし、同一の容量線に接続されていてもよい。または、一部の保持容量が同一の容量線に接続され、その他の保持容量が異なる容量線に接続されていてもよい。また、容量線は、別の画素と共用してもよい。例えば、１つ前の行の画素と、１つ後の行の画素とで、共用することができる。異なる画素間で容量線を共用することで配線数を減らすことができ、開口率を向上させることができる。また、容量線は、走査線と共用してもよい。容量線を走査線と共用すると配線数を減らすことができ、開口率を向上させることができる。容量線を走査線と共用する場合には、隣接する行の画素（１つ前の行の画素）の走査線を用いることが望ましい。なぜなら、ｉ－１番目の行（１つ前の行）は、ｉ番目の行の画素を選択しているとき、既に信号の選択が終了しているためである。なお、液晶が、ＩＰＳ又はＦＦＳ等の場合、共通電極は、トランジスタが形成されている基板に配置されている。したがって、容量線は共通電極と共用してもよい。容量線を共通電極と共用すると、配線数を減らすことができ、開口率を向上させることができる。なお、保持容量は、図１１における液晶素子と同様、複数に分割されていてもよい。これらは図１及び図１１以外の図についても同様である。
【０１０２】
次に、上述した図１の画素１００を有する表示装置について図３１を参照して説明する。
【０１０３】
表示装置は、信号線駆動回路１９１１、走査線駆動回路１９１２及び画素部１９１３を有する。画素部１９１３には、信号線駆動回路１９１１から列方向に伸張して配置された第１の配線Ｓ１＿１～Ｓｍ＿１、第２の配線Ｓ１＿２～Ｓｍ＿２及び走査線駆動回路１９１２から行方向に伸張して配置された第３の配線Ｇ１～Ｇｎ、並びにマトリクス状に配置された画素１９１４を有する。第１及び第２の配線は信号線として機能する。第３の配線は走査線として機能する。そして、各画素１９１４は、第１の配線Ｓｊ＿１（信号線Ｓ１＿１～Ｓｍ＿１のうちいずれか一）、第２の配線Ｓｊ＿２（信号線Ｓ１＿２～Ｓｍ＿２のうちいずれか一）及び第３の配線Ｇｉ（走査線Ｇ１～Ｇｎのうちいずれか一）と接続されている。
【０１０４】
なお、第１の配線Ｓｊ＿１、第２の配線Ｓｊ＿２、第３の配線Ｇｉは、それぞれ図１における第１の配線１０８、第２の配線１０９、第３の配線１１０に相当する。
【０１０５】
走査線駆動回路１９１２から出力される信号により、動作させる画素の行を選択すると、同じ行に属するそれぞれの画素が同時に選択される。選択された行の画素に信号線駆動回路１９１１から出力されたビデオ信号を書き込む。このとき、それぞれの画素の輝度データに応じた電位が第１の配線Ｓ１＿１～Ｓｍ＿１及び第２の配線Ｓ１＿２～Ｓｍ＿２に供給される。
【０１０６】
例えばｉ行目のデータ書き込み期間を終えるとｉ＋１行目に属する画素へ信号の書き込みを行う。そして、ｉ行目においてデータ書き込み期間を終えた画素は、信号に応じた透

過率となる。

【０１０７】

なお、信号線駆動回路１９１１または走査線駆動回路１９１２は、複数個配置されていてもよい。例えば、第１の配線Ｓｊ＿１（信号線Ｓ１＿１～Ｓｍ＿１のうちいずれか一）は、第１の信号線駆動回路で駆動し、第２の配線Ｓｊ＿２（信号線Ｓ１＿２～Ｓｍ＿２のうちいずれか一）は、第２の信号線駆動回路で駆動してもよい。その場合、画素部１９１３を挟んで、上下に、第１の信号線駆動回路および第２の信号線駆動回路を配置してもよい。例えば、基板の主表面上の一辺側に第１の信号線駆動回路を配置し、対向する他の一辺側に第２の信号線駆動回路を配置し、２つの信号線駆動回路で挟まれた領域に画素部１９１３を配置してもよい。

【０１０８】

なお、液晶材料の劣化やちらつき（フリッカ）等の表示ムラを抑制するために、一定期間毎に液晶容量における共通電極の電位（コモン電位）に対して画素電極に印加される電圧の極性を反転させて駆動させる反転駆動を用いることが好ましい。本明細書において、共通電極より画素電極の電位の方が高い場合には正極性の電圧が、画素電極より対向電極の電位の方が高い場合には負極性の電圧が液晶容量に印加されたと表記する。また、液晶容量に正極性の電圧が印加される際に信号線より入力される画像信号を正極性の信号とし、負極性の電圧が印加される際に信号線より入力される画像信号を負極性の信号として表記する。なお、反転駆動の例としては、フレーム反転駆動をはじめ、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動等が挙げられる。

【０１０９】

フレーム反転駆動とは、１フレーム期間毎に液晶容量に印加される電圧の極性を反転させる駆動方法である。なお、１フレーム期間とは、１画素分の画像を表示する期間に相当し、その期間には特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも１／６０秒以下とすることが好ましい。

【０１１０】

また、ソースライン反転駆動とは、同一の信号線に接続された画素に属する液晶容量に印加される電圧の極性を、隣接する信号線に接続された画素に属する液晶容量に対し反転させ、さらに各画素に対しフレーム反転を行う駆動方法である。一方、ゲートライン反転駆動とは、走査線として機能する同一の配線に接続された画素に属する液晶容量に印加される電圧の極性を、隣接する走査線に接続された画素に属する液晶容量に対し反転させ、さらに各画素に対しフレーム反転を行う駆動方法である。

【０１１１】

また、ドット反転駆動とは、隣接する画素間で液晶容量に印加される電圧の極性を反転させる駆動方法であり、ソースライン反転駆動とゲートライン反転駆動を組み合わせた駆動方法である。

【０１１２】

ところで、上記のフレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動等を採用した場合、信号線に書き込まれる画像信号に必要となる電位の幅は、反転駆動を行わない場合に比べて２倍となる。そのため、これを解消するためにフレーム反転駆動やゲートライン反転駆動の場合、さらに対向電極の電位を反転させるコモン反転駆動を採用することもある。

【０１１３】

コモン反転駆動とは液晶容量に印加される極性の反転と同期して共通電極の電位を変化させる駆動方法であり、コモン反転駆動を行うことによって信号線に書き込まれる画像信号に必要となる電位の幅を低減させることができる。

【０１１４】

また、一画素に上述した画素構成を複数有していても良い。例えば、一画素が複数のサブ画素を有し、これら複数のサブ画素を用いて一つの画素の階調を表現するようにするとよい。異なるサブ画素に接続されている信号線はサブ画素間で共有して用いられていても

よい。なお、サブ画素に接続される容量線の各々に異なる電位を供給することで、それぞれのサブ画素に属する液晶容量に異なる電圧を印加することもできる。このようにして、それぞれのサブ画素における液晶の配向の違いを利用して、さらに視野角を向上させることも可能となる。

【０１１５】

なお、図１では、保持容量を明記していないが、上述のように保持容量を配置することが望ましい。保持容量を配置することにより、液晶素子の漏れ電流の影響を低減することができ、電位を保持しやすくすることができる。また、フィードスルー等のようなスイッチングノイズの影響を低減することもできる。そこで、保持容量を図示する場合の一例として、図１の回路に保持容量を配置した場合を図１６に示す。

【０１１６】

図１６において、画素４００は、第１のスイッチ４０１と、第２のスイッチ４０２と、第１の液晶素子４０３と、第２の液晶素子４０４と、第３の液晶素子４０５と、第１の容量素子４０６と、第２の容量素子４０７と、第３の容量素子４０８と、第４の容量素子４０９と、第５の容量素子４１７と、を有する。

【０１１７】

第１の配線４１０は、第１のスイッチ４０１を介して第１の液晶素子４０３の第１の電極、第１の容量素子４０６の第１の電極及び第２の容量素子４０７の第１の電極に接続されている。第２の配線４１１は、第２のスイッチ４０２を介して第２の液晶素子４０４の第１の電極、第３の容量素子４０８の第１の電極及び第４の容量素子４０９の第１の電極に接続されている。第１の容量素子４０６の第２の電極と第３の容量素子４０８の第２の電極は第３の液晶素子４０５の第１の電極と第５の容量素子４１７の第１の電極に接続されている。第２の容量素子４０７の第２の電極は第４の配線４１３に接続され、第４の容量素子４０９の第２の電極は第５の配線４１４に接続されている。第５の容量素子４１７の第２の電極は第６の配線４１５に接続されている。

【０１１８】

第１の液晶素子４０３、第２の液晶素子４０４及び第３の液晶素子４０５の第２の電極は、共通電極４１６に接続されている。

【０１１９】

第１の配線４１０及び第２の配線４１１は、信号線として機能する。したがって、第１の配線４１０及び第２の配線４１１には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第３の配線４１２は走査線として機能する。第４の配線４１３、第５の配線４１４及び第６の配線４１５は容量線として機能する。

【０１２０】

第１のスイッチ４０１及び第２のスイッチ４０２はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。以下、第１のスイッチ４０１及び第２のスイッチ４０２としてトランジスタを用いる場合について説明する。トランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０１２１】

図１６（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図１６（Ｂ）において、第１のスイッチ４０１Ｎ及び第２のスイッチ４０２Ｎのゲートは第３の配線４１２に接続されている。第３の配線７６０は、走査線として機能する。

【０１２２】

なお、図１６のように、全ての液晶素子に保持容量を配置してもよいが、これに限定されない。例えば、図７に示すように、一部の液晶素子にのみ、保持容量を配置してもよい。なお、各保持容量は、それぞれ異なる容量線に接続されていてもよいし、同一の容量線に接続されていてもよいし、一部が同一で、一部が異なる容量線に接続されていてもよい。また、容量線は、別の画素と共用してもよい。例えば、１つ前の行の画素と、１つ後の

行の画素とで、共用することができる。異なる画素間で容量線を共用すると配線数を減らすことができ、開口率を向上させることができる。または、容量線は、走査線と共用してもよい。容量線を走査線と共用すると配線数を減らすことができ、開口率を向上させることができる。容量線を走査線と共用する場合には、隣接する画素（１つ前の行の画素）の走査線を用いることが望ましい。なぜなら、ｉ－１番目の行（１つ前の行）は、ｉ番目の行の画素を選択しているとき、既に信号の選択が終了しているためである。なお、液晶が、ＩＰＳ、ＦＦＳ等の場合、共通電極は、トランジスタが形成されている基板に配置されている。したがって、容量線は、共通電極と共用してもよい。容量線を共通電極と共用すると、配線数を減らすことができ、開口率を向上させることができる。

【０１２３】

なお、容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、図７において、１フレーム期間中に、各容量線、つまり、第４の配線４１３及び第５の配線４１４に、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第４の配線４１３及び第５の配線４１４には、互いに反転した信号を加えても良い。その結果、第１の液晶素子４０４及び第２の液晶素子４０３等に加えられる実効電圧を変えることができる。

【０１２４】

なお、図１６では容量線として機能する配線を２本有するが、これに限定されない。容量線は一本にまとめることができる。更には、共通電極と容量線は共用することができる。共通電極と容量線は、どちらも等しい電位に保たれている必要がある以外には、特に限定されないからである。容量線を一本にまとめ、共通電極と容量線を共用した場合の図を図５０に示す。図５０は図１６と同様の効果を有する。

【０１２５】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０１２６】

なお、以上の説明にもちいた図１等の他の図において、第１のスイッチ又は第２のスイッチとして用いるトランジスタは、各々、異なる信号線に接続されているが、これに限定されない。これらは同一の信号線に接続されていてもよい。例えば、図１では２本設けた信号線を１本とし、複数の走査線を設けた場合の例を図８に示す。または、図８における走査線を一本にまとめた場合の例を図１７に示す。

【０１２７】

なお、図８及び図１７において、上記した図７及び図１６のように、異なる液晶素子に保持容量を配置することも可能である。そこで、一例として、第１及び第２の液晶素子に図７と同様に保持容量を配置した場合の例を、図１８及び図１９に示す。

【０１２８】

したがって、図１及び図７で述べた内容は、図８、図１６、図１７及び図１８にも適用することができる。

【０１２９】

図８において、画素４５０は、第１のスイッチ４５１と、第２のスイッチ４５２と、第１の液晶素子４５３と、第２の液晶素子４５４と、第３の液晶素子４５５と、第１の容量素子４５６と、第２の容量素子４５７と、を有する。

【０１３０】

第１の配線４５８と、第１の液晶素子４５３の第１の電極及び第１の容量素子４５６の第１の電極とは、第１のスイッチ４５１を介して接続されている。また、第１の配線４５８と、第２の液晶素子４５４の第１の電極及び第２の容量素子４５７の第１の電極とは、第２のスイッチ４５２を介して接続されている。第１の容量素子４５６の第２の電極と第２の容量素子４５７の第２の電極は第３の液晶素子４５５の第１の電極に接続されている。

【０１３１】

なお、スイッチとしてはトランジスタを用いることができる。第１のスイッチ４５１Ｎのゲートは第２の配線４５９に接続されている。第２のスイッチ４５２Ｎのゲートは第３の配線４６０に接続されている。

【０１３２】

第１の液晶素子４５３、第２の液晶素子４５４及び第３の液晶素子４５５の第２の電極は、共通電極４６１に接続されている。

【０１３３】

第１の配線４５８は、信号線として機能する。したがって、第１の配線４５８には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第２の配線４５９及び第３の配線４６０は走査線として機能する。

【０１３４】

まず、図８及び図１８の動作について考える。最初に、第３の配線４６０にアクティブな信号が供給され、第２のスイッチ４５２がオンする。ここでアクティブな信号とは、第２のスイッチ４５２をオンさせることのできる信号をいう。第２のスイッチ４５２がオンすると、第２の液晶素子４５４の第１の電極（画素電極）及び第２の容量素子４５７の第１の電極に、第１の配線４５８からビデオ信号が供給される。

【０１３５】

次に、第２のスイッチ４５２がオフし、第２の配線４５９にアクティブな信号が供給され、第１のスイッチ４５１がオンする。ここでアクティブな信号とは、第２のスイッチ４５２をオンさせることのできる信号をいう。すると、第１の液晶素子４５３の第１の電極（画素電極）及び第１の容量素子４５６の第１の電極に、第１の配線４５８からビデオ信号が供給される。このときに供給されるビデオ信号は、第２のスイッチ４５２がオンしたときとは、異なる電位であることが望ましい。電位が異なることにより、各液晶素子に異なる電圧を供給することができ、視野角を向上させることができる。

【０１３６】

なお、第１のスイッチ４５１がオンしているとき、第３の液晶素子４５５は、第１の容量素子４５６を介して、第１の液晶素子４５３の画素電極と容量結合している。したがって、第３の液晶素子４５５の画素電極の電位は、第１のスイッチ４５１がオンしているときに第１の配線４５８から供給される電圧に応じて、変化する。

【０１３７】

同様に、第１のスイッチ４５１がオンしているとき、第２の液晶素子４５４は、第１の容量素子４５６及び第２の容量素子４５７を介して、第１の液晶素子４５３の画素電極と容量結合している。したがって、第２の液晶素子４５４の画素電極の電位は、第１のスイッチ４５１がオンしているときに第１の配線４５８から供給される電圧に応じて変化する。

【０１３８】

次に、第１のスイッチ４５１がオフし、各液晶素子の電位が保持される。
このように動作させることによって、各液晶素子に印加される電圧が異なるようにすることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等、様々な方法で駆動させることができる。

【０１３９】

なお、図１８において、各容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、１フレーム期間中に、各容量線、つまり、第１の容量線および第２の容量線に、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第１の容量線および第２の容量線には、互いに反転した信号を加えても良い。その結果、第１の液晶素子４５３及び第２の液晶素子４５４等に加えられる実効電圧を変えることができる。このように動作させることによって、各液晶素子の電位が異なるようにすることができる。その結果、視野角を広くすることができる。

【０１４０】
次に、図１７および図１９の動作について考える。
【０１４１】
第２の配線４５９にアクティブな信号が供給され、第１のスイッチ４５１および第２のスイッチ４５２がオンする。すると、第１の液晶素子４５３の第１の電極（画素電極）、第１の容量素子４５６の第１の電極、第２の液晶素子４５４の第１の電極（画素電極）及び第２の容量素子４５７の第１の電極に、第１の配線４５８からビデオ信号が供給される。
【０１４２】
このとき、第１のスイッチ４５１と第２のスイッチ４５２にトランジスタを用いるとオン抵抗が生ずる。第１のスイッチ４５１のオン抵抗は、第２のスイッチ４５２のオン抵抗よりも、高いことが望ましい。トランジスタのオン抵抗が高いとは、チャネル長Ｌに対するチャネル幅の比（Ｗ／Ｌ）が小さいことを意味している。このように、トランジスタのオン抵抗を高くすることによって、各液晶素子の画素電極の電位は、各容量素子や各保持容量等の漏れ電流等のバランスによって、決定されることとなる。そして、各液晶素子に異なる電圧を印加することができ、視野角を向上させることができる。ただし、これに限定されず、第１のスイッチ４５１と第２のスイッチ４５２とは、概ね等しいオン抵抗であることも可能である。
【０１４３】
次に、第１のスイッチ４５１及び第２のスイッチ４５２がオフし、各液晶素子に印加された電圧が保持される。
【０１４４】
このように動作させることによって、各液晶素子に印加される電圧を異ならせることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等、様々な方法で駆動させることができる。
【０１４５】
なお、図１９において、各容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、１フレーム期間中に、各容量線、つまり、第１の容量線４６３および第２の容量線４６５、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第１の容量線４６３および第２の容量線４６５には、互いに反転した信号を加えても良い。その結果、第１の液晶素子４５３及び第２の液晶素子４５４等に加えられる実効電圧を変えることができる。このように動作させることによって、各液晶素子の電位を異ならせることができる。その結果、視野角を広くすることができる。
【０１４６】
以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。
【０１４７】
図２は、本発明の液晶表示装置が有する画素回路の構成について、図１とは異なる構成の一例を示す。画素１５０は第１のスイッチ１５１と、第２のスイッチ１５２と、第１の液晶素子１５３と、第２の液晶素子１５４と、第３の液晶素子１５５と、第１の容量素子１５６と、第２の容量素子１５７と、第３の容量素子１６１と、を有する。
【０１４８】
第１の配線１５８は第１の液晶素子１５３の第１の電極及び第１の容量素子１５６の第１の電極に、第１のスイッチ１５１を介して接続されている。第２の配線１５９は第２の液晶素子１５４の第１の電極及び第２の容量素子１５７の第１の電極に、第２のスイッチ１５２を介して接続されている。第１の容量素子１５６の第２の電極は第２の容量素子１５７の第２の電極及び第３の容量素子１６１の第１の電極に接続され、第３の容量素子１６１の第２の電極は第３の液晶素子１５５の第１の電極に接続されている。

【０１４９】
第１の液晶素子１５３、第２の液晶素子１５４及び第３の液晶素子１５５の第２の電極は、共通電極に接続されている。
【０１５０】
第１の配線１５８及び第２の配線１５９は、信号線として機能する。従って、第１の配線１５８及び第２の配線１５９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず一定の信号が供給されていてもよい。第３の配線１６０は走査線として機能する。
【０１５１】
第１のスイッチ１５１及び第２のスイッチ１５２はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。以下、第１のスイッチ１５１及び第２のスイッチ１５２としてトランジスタを用いる場合について説明する。トランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。
【０１５２】
図２（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２（Ｂ）において、第１のスイッチ１５１Ｎ及び第２のスイッチ１５２Ｎのゲートは第３の配線１１０に接続されている。第３の配線１６０は、走査線として機能する。
【０１５３】
なお、図２においても図１と同様、図４９に示すように走査線を２本有していても良い。
なお、スイッチとしてＰチャネル型トランジスタを用いることもできる。
【０１５４】
第１の配線１５８及び第２の配線１５９には、ビデオ信号が入力されている。第３の配線１６０には走査信号が入力されている。走査信号はＨレベル又はＬレベルのデジタル電圧信号である。第１のスイッチ１５１及び第２のスイッチ１５２がＮチャネル型トランジスタの場合、走査信号のＨレベルは第１のスイッチ１５１及び第２のスイッチ１５２をオンできる電位であり、走査信号のＬレベルは第１のスイッチ１５１及び第２のスイッチ１５２をオフできる電位である。あるいは、第１のスイッチ１５１及び第２のスイッチ１５２がＰチャネル型トランジスタの場合、走査信号のＨレベルは第１のスイッチ１５１及び第２のスイッチ１５２をオフできる電位であり、走査信号のＬレベルは第１のスイッチ１５１及び第２のスイッチ１５２をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。
【０１５５】
図２における画素１５０の動作について、第１のスイッチ１５１及び第２のスイッチ１５２がオンしている場合と、第１のスイッチ１５１及び第２のスイッチ１５２がオフしている場合とに分けて説明する。
【０１５６】
第１のスイッチ１５１がオンしている場合には、第１の配線１５８と、第１の液晶素子１５３の第１の電極（画素電極）及び第１の容量素子１５６の第１の電極とが電気的に接続される。第２のスイッチ１５２がオンしている場合には、第２の配線１５９と、第２の液晶素子１５４の第１の電極（画素電極）及び第２の容量素子１５７の第１の電極とが電気的に接続される。従って、ビデオ信号は、第１の配線１５８から第１の液晶素子１５３の第１の電極（画素電極）及び第１の容量素子１５６の第１の電極に入力され、第２の配線１５９から第２の液晶素子１５４の第１の電極（画素電極）及び第２の容量素子１５７の第１の電極に入力される。従って、第１の液晶素子１５３に入力される信号の電位V_{153}は第１の配線１５８から入力される電位に概ね等しく、第２の液晶素子１５４に入力

される信号の電位V_{154}は第２の配線１５９から入力される電位に概ね等しい。また、第３の容量素子１６１の第１の電極の電位V_{161}は図１における第３の液晶素子１０５の第１の電極の電位V_{105}と同様であり、C_{106}とC_{107}とが同じ大きさである場合、第３の容量素子１６１の第１の電極の電位V_{161}は、V_{153}とV_{154}の和の半分と概ね等しい。なお、第３の液晶素子１５５の第１の電極の電位はV_{155}とおく。ここで共通電極の電位を０とすると、第３の液晶素子１５５に印加される電圧はV_{155}となる。V_{155}は、第３の容量素子１６１と、第３の液晶素子１５５とで、分圧された値となる。このように、容量素子を用いることによって、さらに、異なった電圧を液晶素子に供給することができる。このように、各々の液晶素子に印加される電圧を異ならせることができ、各々の配向状態を異ならせることができる。

【０１５７】

このように、電位の異なる２つの信号を供給し、容量素子を用いることによって、画素内部で電圧を分割し、第３の電圧を作り出すことができる。そして、第３の電圧を第３の液晶素子１０５に印加することによって、液晶を容易に制御することができる。更に、第３の電圧は、第１の液晶素子１０３に供給される電圧と、第２の液晶素子１０４に供給される電圧との間の電圧である。そのため、どのような階調を表示する場合であっても、適切な階調を表示することができる。また、画像信号の極性が正極（共通電極よりも画像信号の方が高い場合）の場合でも、負極（共通電極よりも画像信号の方が低い場合）の場合でも、適切な階調を表示することができる。

【０１５８】

さらに、走査線、信号線及びトランジスタ等の増加を抑えて、第３の電圧を作り出して第３の液晶素子１５５を制御することができる。これにより、開口率を高くすることができ、消費電力を低減することができる。また、画素のレイアウトも余裕をもって配置することができるため、製造工程にて発生した粉塵等によってショートする等の不良を低減する事ができ、歩留まりが向上する。その結果、製造コストを低減することができる。また、信号線を新たに設けることなく第３の液晶素子１５５を制御できるため、ガラス基板と、外付けの駆動回路との接続点数は増加しない。その結果、高い信頼性を保つことができる。

【０１５９】

第１のスイッチ１５１がオフしている場合には、第１の配線１５８と、第１の液晶素子１５３の第１の電極（画素電極）及び第１の容量素子１５６の第１の電極とが電気的に遮断される。第２のスイッチ１５２がオフしている場合には、第２の配線１５９と、第２の液晶素子１５４の第１の電極（画素電極）及び第２の容量素子１５７の第１の電極とが電気的に遮断される。従って、第１の液晶素子１５３の第１の電極、第１の容量素子１５６の第１の電極、第２の液晶素子１５４の第１の電極及び第２の容量素子１５７の第１の電極は浮遊状態となる。そして、第３の液晶素子１５５は、第１の液晶素子１５３とは第１の容量素子１５６及び第３の容量素子１６１を介して接続されている。しかし、電荷保存則のため、第３の液晶素子１０５に保存された電荷は、第１の液晶素子１５３に漏れることはない。第１の液晶素子１５３とは第２の容量素子１５７を介して接続されている。しかし、電荷保存則のため、第３の液晶素子１５５に保存された電荷は、第２の液晶素子１５４の方に漏れることはない。したがって、第１乃至第３の液晶素子は、直前に入力された信号の電位が保持されることになる。

【０１６０】

なお、第１の液晶素子１５３、第２の液晶素子１５４及び第３の液晶素子１５５はビデオ信号に応じた透過率となる。

【０１６１】

つまり、図２は、図１と比較すると、図１の第３の液晶素子１０５の部分を、図２の第３の容量素子１６１と第３の液晶素子１５５とが直列接続されたものに、置き換えた場合に相当する。したがって、図１で述べた内容は、図２にも適用することができる。例えば、図１５に示すように、第３の容量素子１６１と第３の液晶素子１５５とが直列接続され

たものは、複数に分割されていてもよい。または、図１２に示すように、容量素子を省いて、液晶素子のみを複数に分割してもよい。

【０１６２】

なお、図２では、図１の第３の液晶素子１０５の部分を、第３の容量素子１６１と第３の液晶素子１５５とが直列接続されたもので置き換えたが、これに限定されない。別の液晶素子に置き換えても良い。例えば、第１の液晶素子１５３を容量素子と液晶素子とが直列接続されたものに置き換えた場合を図１３に示す。この場合も、図１２と同様、図１４に示すように、複数に分割されていてもよい。

【０１６３】

図２は、図１における第３の液晶素子１０５の部分を、図２の第３の容量素子１６１と第３の液晶素子１５５とが直列接続されたものに、置き換えたものであるため、図１と同様の変形が可能である。つまり、図７に示すように各液晶素子の一部に保持容量を追加してもよいし、図１６に示すように液晶素子の全てに保持容量を追加しても良い。また、図８又は図１８に示すように走査線を２本にして信号線を１本にまとめてもよいし、図１７又は図１９に示すように走査線と信号線の双方を１本にまとめてもよい。

【０１６４】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０１６５】

図３は、本発明の液晶表示装置が有する画素回路の構成について、他とは異なる構成の一例を示す。画素２００は、第１のスイッチ２０１と、第２のスイッチ２０２と、トランジスタ２０３と、第１の液晶素子２０４と、第２の液晶素子２０５と、第３の液晶素子２０６と、第１の容量素子２０７と、第２の容量素子２０８と、を有する。

【０１６６】

第１の配線２０９は、第１の液晶素子２０４の第１の電極及び第１の容量素子２０７の第１の電極に第１のスイッチ２０１を介して接続されている。第２の配線２１０は、第２の液晶素子２０５の第１の電極及び第２の容量素子２０８の第１の電極に第２のスイッチ２０２を介して接続されている。また、第２の配線２１０は第３の液晶素子２０６の第１の電極にトランジスタ２０３を介して接続されている。第１のスイッチ２０１、第２のスイッチ２０２及びトランジスタ２０３のゲートは第３の配線２１１に接続されている。第１の容量素子２０７の第２の電極は第２の容量素子２０８の第２の電極及び第３の液晶素子２０６の第１の電極に接続されている。

【０１６７】

なお、トランジスタ２０３は、第１のスイッチ２０１と第２のスイッチ２０２よりもオン抵抗が高いスイッチとして動作する。つまり、抵抗素子が直列に接続されたスイッチと同様に扱うことができる。しかし、これに限定されない。トランジスタ２０３のオン抵抗は第１のスイッチ２０１及び第２のスイッチ２０２よりもオン抵抗が低くてもよい。

【０１６８】

なお、図３ではトランジスタ２０３をＮチャネル型としているが、これに限定されない。つまり、トランジスタ２０３はＰチャネル型トランジスタであってもよい。

【０１６９】

第１の液晶素子２０４、第２の液晶素子２０５及び第３の液晶素子２０６の第２の電極は、共通電極に接続されている。

【０１７０】

第１の配線２０９及び第２の配線２１０は、信号線として機能する。従って、第１の配線２０９及び第２の配線２１０には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第３の配線２１１は走査線として機能する。

【０１７１】

第１のスイッチ２０１及び第２のスイッチ２０２はスイッチとして機能するものであれ

ば特に限定されない。例えばトランジスタを用いることができる。以下、第１のスイッチ１０１及び第２のスイッチ１０２としてトランジスタを用いる場合について説明するトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０１７２】

図３（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２（Ｂ）において、第１のスイッチ２０１Ｎ及び第２のスイッチ２０２Ｎのゲートは第３の配線１１０に接続されている。第３の配線２１１Ａは、走査線として機能する。

【０１７３】

なお、図２においても図１と同様、図４９に示すように走査線を２本有していても良い。

なお、スイッチとしてＰチャネル型トランジスタを用いることもできる。

【０１７４】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０１７５】

第１の配線２０９及び第２の配線２１０には、ビデオ信号が入力されている。第３の配線２１１には走査信号が入力されている。走査信号はＨレベル又はＬレベルのデジタル電圧信号である。第１及び第２のスイッチ、並びにトランジスタ２０３がＮチャネル型の場合、走査信号のＨレベルは第１乃至第３のトランジスタをオンできる電位であり、走査信号のＬレベルは第１及び第２のスイッチ、並びにトランジスタ２０３をオフできる電位である。あるいは第１及び第２のスイッチ、並びにトランジスタ２０３がＰチャネル型の場合、走査信号のＨレベルは第１及び第２のスイッチ、並びにトランジスタ２０３をオフできる電位であり、走査信号のＬレベルは第１及び第２のスイッチ、並びにトランジスタ２０３をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。

【０１７６】

つまり、図３は、図１と比較すると、図１の第３の液晶素子２０６の画素電極と、第２の配線２１０とを接続しているトランジスタ２０３が追加されたものであると言える。図１の場合、第１の容量素子２０７と第２の容量素子２０８とが接続されている点に、何かのノイズや漏れ電流が入ってしまった場合、そこに電荷がたまってしまう。その結果、液晶素子に加える電圧が影響を受けてしまい、画質が低下する可能性がある。しかしながら、図３のように、トランジスタ２０３を追加することにより、たまった電荷を引き抜くことができる。その結果、焼き付き等の画質不良を低減することができる。

【０１７７】

なお、上記のように、トランジスタ２０３のオン抵抗は、第１のスイッチ２０１または第２のスイッチ２０２のオン抵抗よりも高いことが望ましい。トランジスタのオン抵抗が高いとは、チャネル幅Ｗとチャネル長Ｌとの比（Ｗ／Ｌ）が小さいことを意味している。このように、トランジスタのオン抵抗を高くすることによって、第１の容量素子２０７と第２の容量素子２０８とが接続されている点の電位は、各容量素子や各保持容量等の漏れ電流等のバランスによって、決定されることとなる。ただし、これに限定されず、第１乃至第３のトランジスタを同程度のサイズで形成し、第３のトランジスタ２０３と直列に抵抗素子が接続されていても良い。

【０１７８】

したがって、図１及び図２等で述べた内容は、図３にも適用することができる。例えば、図３に図２を適用した場合を図４に示す。

【０１７９】

なお、図３及び図４等において、第１のスイッチ２０１Ｎ（又は第１のスイッチ２５１

Ｎ）、第２のスイッチ２０２Ｎ（又は第２のスイッチ２５２Ｎ）及びトランジスタ２０３（トランジスタ２５３）は、第３の配線２１１（又は第３の配線２６２）により制御されているが、これに限定されない。これらが異なる配線に接続され、別々に制御されていてもよい。または、一部が別の配線に接続されていてもよい。

【０１８０】

なお、図３ではトランジスタ２０３は第２の配線２１０に接続されているが、第１の配線２０９に接続されていても良い。第３のトランジスタ２０３が第１の配線２０９に接続されている場合でも、同様である。図３と同様に、図４ではトランジスタ２５３が第２の配線２６１に接続されているが、第１の配線２６０に接続されていても良い。

【０１８１】

または、トランジスタを接続するための別の配線を設けてもよい。その場合を図５に示す。図５（Ｂ）では、走査線は２本配置され、第１のスイッチ３０１Ｎ及び第２のスイッチ３０２Ｎを制御する走査線と、トランジスタ３０３を制御する走査線を異なる配線としているが、これに限定されない。第１のスイッチ３０１Ｎ、第２のスイッチ３０２Ｎ及びトランジスタ３０３は同一の走査線に接続されていてもよい。したがって、図１等の他の図で述べた内容は、図５にも適用することができる。例えば、図２を図５に適用した場合を図６に示す。

【０１８２】

なお、図５においてトランジスタ３０３がオンになるのは、第１のスイッチ３０１又は第２のスイッチ３０２が、オフになっているときが望ましいが、これに限定されない。第１のスイッチ３０１又は第２のスイッチ３０２が、オンになっているとき、又は、オンになっているときの一部の期間（前半が望ましい）に、トランジスタ３０３がオンになっていてもよい。

【０１８３】

なお、第５の配線３１３の電位は、共通電極と概ね等しい電位にすることが望ましいが、これに限定されない。第１の配線３０９又は第２の配線３１０の電位と概ね等しい電位にすることも可能である。

【０１８４】

なお、第５の配線３１３は、別の配線と共用することが可能である。例えば、容量線、走査線等と共用する事ができる。なお、共用する配線は、別の画素の配線でもよい。これらにより、開口率を向上させることができる。なお、図１等の他の図で述べた内容は、図５にも適用することができる。つまり、トランジスタの少なくとも１つをＰチャネル型にしてもよいし、液晶素子を複数に分割しても良い。

【０１８５】

なお、図６では、トランジスタ３５３は、第３の容量素子３５９に接続されているが、これに限定されない。第３の容量素子３５９と第３の液晶素子３５６との接点と、第５の配線３６４との間に、トランジスタ３５３が接続されていてもよい。なお、図１等の他の図で述べた内容は、図６にも適用することができる。

【０１８６】

なお、上記の第１乃至第３の液晶素子は、ビデオ信号に応じた透過率となる。

【０１８７】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０１８８】

なお、これまでは、信号線の間にスイッチを介して接続された容量素子が２個の場合について述べてきたが、これに限定されない。更に多くの容量素子を配置することが可能である。容量素子を追加することによって、液晶素子に印可する電圧を更に異ならせることができる。そして、その各々の電圧を、各々の液晶素子に印加することにより、印加される電圧の異なった液晶素子を多く配置することができる。その結果、視野角を広くすることができる。

【０１８９】
そこで、図１に対して、容量素子及び液晶素子を更に追加して配置した場合の例を図９に示す。または、図３に対して、容量素子及び液晶素子を更に追加して配置した場合の例を図２０に示す。液晶素子は更に追加しても良い。そして、第１の液晶素子５０３は第３の液晶素子５０５に同様に接続されていても良い。同様に、他の図に示した回路においても、容量素子及び液晶素子を追加することが可能である。なお、他の図の説明で述べた内容は、図９及び図２０にも適用することができる。
【０１９０】
図９において、画素５００は、第１のスイッチ５０１と、第２のスイッチ５０２と、第１の液晶素子５０３と、第２の液晶素子５０４と、第３の液晶素子５０５と、第４の液晶素子５０６と、第１の容量素子５０７と、第２の容量素子５０８と、第３の容量素子５０９と、第１の配線５１０と、第２の配線５１１と、第３の配線５１２と、を有する。
【０１９１】
第１の配線５１０は第１の液晶素子５０３の第１の電極及び第１の容量素子５０７の第１の電極に第１のスイッチ５０１を介して接続されている。第２の配線５１１は第２の液晶素子５０４の第１の電極及び第３の容量素子５０９の第１の電極に第２のスイッチ５０２を介して接続されている。第１の容量素子５０７の第２の電極は第２の容量素子５０８の第１の電極及び第３の液晶素子５０５の第１の電極に接続されている。第２の容量素子５０８の第２の電極は第３の容量素子５０９の第２の電極及び第４の液晶素子５０６の第１の電極に接続されている。
【０１９２】
第１の液晶素子５０３、第２の液晶素子５０４、第３の液晶素子５０５及び第４の液晶素子５０６の第２の電極は、共通電極に接続されている。
【０１９３】
第１の配線５１０及び第２の配線５１１は、信号線として機能する。したがって、第１の配線５１０及び第２の配線５１１には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第３の配線５１２は走査線として機能する。
【０１９４】
第１のスイッチ５０１及び第２のスイッチ５０２はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。
【０１９５】
図９（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図９（Ｂ）において、第１のスイッチ５０１Ｎ及び第２のスイッチ５０２Ｎのゲートは第３の配線５１２に接続されている。第３の配線５１２は、走査線として機能する。
【０１９６】
なお、図９においても図１と同様、図４９に示すように走査線を２本有していても良い。
なお、スイッチとしてＰチャネル型トランジスタを用いることもできる。
【０１９７】
なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。
【０１９８】
更には、図１１等に示すように液晶素子を複数に分割しても良い。
【０１９９】
なお、第１の液晶素子５０３、第２の液晶素子５０４、第３の液晶素子５０５及び第４の液晶素子５０６はビデオ信号に応じた透過率となる。
【０２００】
以上説明したように、一画素あたりの液晶素子を４つとすることも可能であるし、一画

素あたりの液晶素子を更に増やすことも可能である。一画素あたりの液晶素子の数を増やすことで様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【０２０１】

なお、図９、図２０では、容量素子を追加することで液晶素子を追加する場合について述べた。ただし、これに限定されない。トランジスタ、信号線等を増やすことによって、一画素内に配置される液晶素子を増やすことができる。そこで、一例として、図１の回路に対して、トランジスタと信号線とを増やすことによって液晶素子を追加して配置した場合を、図１０に示す。ただし、この構成に限定されない。図１０では、走査線は追加することなく信号線を追加しているが、信号線を追加することなく走査線を追加することも可能である。図２１には、信号線を追加することなく容量素子５８４を追加し、信号線と第４の液晶素子５５７との間に配置することで、信号線から供給される電位を分圧した場合を示す。図２２には、信号線を追加することなく容量素子を追加し、信号線と第１の液晶素子５５４との間に容量素子５７２を追加し、信号線と第１の液晶素子５５４との間に配置することで、信号線から供給される電位を分圧した場合を示す。図２１及び図２２に示す構成とすることで、信号線を追加することなく、４つの液晶素子に異なる電圧を印加することができる。

【０２０２】

なお、図２１及び図２２では、第４の液晶素子５５７は第１の配線５６０に接続されているが、第４の液晶素子５５７は第２の配線５６１に接続されていても良い。

【０２０３】

なお、図１の場合と同様に、他の図に示した回路においても、液晶素子を追加して配置することが可能である。なお、他の図の説明で述べた内容は、図１０にも適用することができる。つまり、トランジスタをＰチャネル型としてもよいし、液晶素子を複数に分割しても良い。

【０２０４】

図１０において、画素５５０は、第１のスイッチ５５１と、第２のスイッチ５５２と、第３のスイッチ５５３と、第１の液晶素子５５４と、第２の液晶素子５５５と、第３の液晶素子５５６と、第４の液晶素子５５７と、第１の容量素子５５８と、第２の容量素子５５９と、を有する。

【０２０５】

第１の配線５６０は第１の液晶素子５５４の第１の電極及び第１の容量素子５５８の第１の電極に第１のスイッチ５５１を介して接続されている。第２の配線５６１は第２の液晶素子５５５の第１の電極及び第２の容量素子５５９の第１の電極に接続されている。第３の配線５６２は第４の液晶素子５５７の第１の電極に第３のスイッチ５５３を介して接続されている。第１の容量素子５５８の第２の電極は第２の容量素子５５９の第２の電極及び第３の液晶素子５５６の第１の電極の一方に接続されている。

【０２０６】

図１０（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図１０（Ｂ）において、第１のスイッチ５５１Ｎ及び第２のスイッチ５５２Ｎのゲートは第４の配線５６３に接続されている。第４の配線５６３は、走査線として機能する。

【０２０７】

なお、図１０においても図１と同様、図４９に示すように走査線を２本有していても良い。

なお、スイッチとしてＰチャネル型トランジスタを用いることもできる。

【０２０８】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２０９】

更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０２１０】
第１の液晶素子５０３、第２の液晶素子５０４、第３の液晶素子５０５及び第４の液晶素子５０６の第２の電極は、共通電極に接続されている。
【０２１１】
第１の配線５６０、第２の配線５６１及び第３の配線５６２は、信号線として機能する。したがって、第１の配線５６０、第２の配線５６１及び第３の配線５６２には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第４の配線５６３は走査線として機能する。
【０２１２】
なお、液晶素子と、信号線として機能する配線との間に容量素子を設けても良い。図２１に示すように容量素子５６６を設けることで液晶素子に印加される電圧を異ならせることができる。従って、図１０における第１の配線５６０と、第３の配線５６２とを一本にまとめることができる。
【０２１３】
なお、容量素子を追加して配置する位置は第４の液晶素子と信号線の間に限定される物ではなく、図２２に示すように、他の液晶素子と信号線との間に容量素子（例えば、容量素子５６５）を設けても良い。この場合にも、複数の信号線を一本にまとめることができる。
【０２１４】
以上説明したように、一画素あたりの液晶素子を４つとすることも可能であるし、一画素あたりの液晶素子を更に増やすことも可能である。一画素あたりの液晶素子の数を増やすことで様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。
【０２１５】
本発明を適用した液晶表示装置の画素の上面図の一例を図３２に示す。また、図３３は、図３２の回路図を示す。なお、図３２と図３３は対応する部分には同じ符号を用いている。
【０２１６】
図３２に示す画素１０００は、走査線及び容量線となる配線を構成する第１の導電層（第３の配線１０１３のハッチパターンで示す。）上に第１の絶縁膜（図示しない）が設けられ、第１の絶縁膜上に半導体膜が設けられ、半導体膜上に第２の導電層（第１の配線１０１１のハッチパターンで示す。）が設けられ、第２の導電層上に第２の絶縁膜（図示しない）が設けられ、第２の絶縁膜上に第３の導電層（第１の液晶素子１００３のハッチパターンで示す。）が設けられている。
【０２１７】
図３３において、画素１０００は、第１のスイッチ１００１と、第２のスイッチ１００２と、第１の液晶素子１００３と、第２の液晶素子１００４と、第３の液晶素子１００５と、第４の液晶素子１００６と、第１の容量素子１００７と、第２の容量素子１００８と、第３の容量素子１００９と、第４の容量素子１０１０と、第５の容量素子１０１６と、第６の容量素子１０１７と、を有する。
【０２１８】
第１の配線１０１１は、第４の液晶素子１００６、第１の容量素子１００７の第１の電極及び第２の容量素子１００８の第１の電極に第１のトランジスタ１００１を介して接続されている。第２の配線１０１２は、第１の液晶素子１００３、第４の容量素子１０１０の第１の電極及び第３の容量素子１００９の第１の電極に第２のトランジスタ１００２を介して接続されている。第２の容量素子１００８の第２の電極は、第３の容量素子１００９の第２の電極、第５の容量素子１０１６の第１の電極、第２の液晶素子１００４の第１の電極、第６の容量素子１０１７の第１の電極及び第３の液晶素子１００５の第１の電極に接続されている。第１の容量素子１００７の第２の電極及び第６の容量素子１０１７の第２の電極は第５の配線１０１５に接続されている。第５の容量素子１０１６の第２の電

極及び第４の容量素子１０１０の第２の電極は第４の配線１０１４に接続されている。

【０２１９】

なお、図３３は、図１１（Ｂ）のすべての液晶素子の各々に保持容量を設けたものである。つまり、図１１と図１６を組み合わせたものであると言える。従って、図３３は、図１と同様の構成を適用できる。即ち、容量線として機能する配線は図５０に示すように共通電極と共用してもよいし、スイッチはトランジスタに置き換えることが可能であり、トランジスタにはＮチャネル型を用いてもよいし、Ｐチャネル型を用いてもよい。

【０２２０】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２２１】

第１の配線１０１１及び第２の配線１０１２は、信号線として機能する。従って、第１の配線１０１１及び第２の配線１０１２には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線１０１３は走査線として機能する。第４の配線１０１４及び第５の配線１０１５は、容量線として機能する。

【０２２２】

図３２に示した上面図のような画素を設けることで、各々の液晶素子に様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【０２２３】

なお、本実施の形態では、一画素に設けられる全てのトランジスタの導電型が同一の場合についてのみ説明したが、本発明はこれに限定されない。つまり、一画素内に設けられるトランジスタは、異なる導電型を有していてもよい。

【０２２４】

更には、本実施の形態におけるトランジスタの種類も特に限定されず、様々なものを用いることができる。そのため、結晶性半導体膜を用いた薄膜トランジスタ（ＴＦＴ）、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やＳＯＩ基板を用いて形成されるトランジスタ、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ＺｎＯやａ－ＩｎＧａＺｎＯ等の化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、ＬＤＤ領域が設けられた薄膜トランジスタ又はマルチゲート構造を有する薄膜トランジスタ等がある。また、Ｎチャネル型とＰチャネル型の両方を用いて、ＣＭＯＳ型のスイッチにしてもよい。

【０２２５】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容の一部又は全部は、別の図で述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して別の部分を組み合わせることにより、更に多くの構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【０２２６】

同様に、本実施の形態の各々の図において述べた内容の一部又は全部は、別の実施の形態の図において述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。更に、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【０２２７】

なお、本実施の形態は、他の実施の形態で述べた内容の一部又は全部について、具体化した場合、多少の変形を加えた場合、一部に変更を加えた場合、改良した場合、詳細に記載

した場合、応用した場合、関連がある場合についての一例を示している。従って、他の実施の形態で述べた内容は、本実施の形態へ適用し、組み合わせ、又は置き換えること等を自由に行うことができる。

【０２２８】

（実施の形態２）

実施の形態１では、容量素子を用いて電圧を分割することで新たな電圧を作り、液晶素子に供給していた。ただし、新たな電圧を作るための素子は、容量素子に限定されない。電圧を分割する素子、電流を電圧に変換する素子、非線形素子、抵抗成分を有する素子、容量成分を有する素子、インダクタ、ダイオード、トランジスタ、抵抗素子、スイッチ等の様々な素子を用いることができる。また。これらを直列又は並列に接続して組み合わせることで所望の回路を実現することができる。このような素子を、分圧素子と呼ぶこととする。

【０２２９】

図１の容量素子を分圧素子とし、一般化した場合を図２３に示す。したがって、実施の形態１で述べた内容は、図２３にも適用することができる

【０２３０】

図２３（Ａ）は、本発明の液晶表示装置が有する画素回路の構成についての一例を示す。画素６００は、第１のスイッチ６０１と、第２のスイッチ６０２と、第１の液晶素子６０３と、第２の液晶素子６０４と、第３の液晶素子６０５と、第１の分圧素子６０６と、第２の分圧素子６０７と、を有する。

【０２３１】

第１の配線６０８は第１の液晶素子６０３の第１の電極及び第１の分圧素子６０６の一端に第１のスイッチ６０１を介して接続されている。第２の配線６０９は第２の液晶素子６０４の第１の電極及び第２の分圧素子６０７の一端に第２のスイッチを介して接続されている。第１の分圧素子６０６と第２の分圧素子６０７は直列に接続され、第３の液晶素子６０５の第１の電極は第１の分圧素子６０６と第２の分圧素子６０７の間に接続されている。

【０２３２】

第１の液晶素子６０３、第２の液晶素子６０４及び第３の液晶素子６０５の第２の電極は、共通電極に接続されている。

【０２３３】

図２３（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２３（Ｂ）において、第１のスイッチ６０１Ｎ及び第２のスイッチ６０２Ｎのゲートは第３の配線６１０に接続されている。第３の配線７６０は、走査線として機能する。

【０２３４】

なお、図２６においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０２３５】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２３６】

第１の配線６０８及び第２の配線６０９は、信号線として機能する。従って、第１の配線６０８及び第２の配線６０９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線６１０は走査線として機能する。

【０２３７】

なお、第１の液晶素子６０３、第２の液晶素子６０４及び第３の液晶素子６０５はビデオ信号に応じた透過率となる。

【０２３８】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０２３９】

なお、第１の分圧素子６０６及び第２の分圧素子６０７としては、容量素子だけでなく、様々な素子を用いることができる。例えば、電圧を分割する素子、電流を電圧に変換する素子、非線形素子、抵抗成分を有する素子、容量成分を有する素子、インダクタ、ダイオード、トランジスタ、抵抗素子、スイッチ等を分圧素子として用いることができる。図３０は分圧素子の例を図示している。

【０２４０】

まず、図３０（Ｊ）及び（Ｋ）に示すように、Ｎチャネル型トランジスタ及びＰチャネル型トランジスタを用いることができる。

【０２４１】

図３０（Ａ）は、ダイオード接続されたＮチャネル型トランジスタである。図３０（Ｂ）は、図３０（Ａ）の接続される向きを逆にしたものである。図３０（Ｃ）は、図３０（Ａ）と図３０（Ｂ）に示す素子を並列に接続している。図３０（Ｄ）及び図３０（Ｅ）は図３０（Ａ）及び図３０（Ｂ）のＮチャネル型トランジスタをＰチャネル型トランジスタに置き換えたものである。Ｐチャネル型トランジスタを図３０（Ｃ）と同様に、並列に接続しても良い。または、図３０（Ｆ）に示すように、Ｐチャネル型トランジスタとＮチャネル型トランジスタを並列に接続しても良い。

【０２４２】

図３０（Ｇ）及び（Ｌ）は、抵抗素子と容量素子が直列又は並列に接続された分圧素子である。

【０２４３】

図３０（Ｈ）及び（Ｉ）では、抵抗素子と、Ｐチャネル型トランジスタ又はＮチャネル型トランジスタとを直列に接続している。

【０２４４】

なお、図３０（Ｈ）、（Ｉ）、（Ｊ）及び（Ｋ）に示されるトランジスタのゲートが接続される配線は特に限定されない。走査線、容量線又は信号線に接続すればよい。また、当該画素に隣接する行の走査線等に接続されていても良い。ゲートの電位を制御することにより、分圧素子の抵抗値を制御することができる。

【０２４５】

図３０（Ｍ）及び（Ｎ）はダイオードを示す。ダイオードには様々な種類があるが、分圧素子として用いることの出来るダイオードは特に限定されない。例えば、ＰＮ型、ＰＩＮ型、ショットキー型、ＭＩＭ型、ＭＩＳ型等のダイオードを用いることができる。更には、図３０（Ｏ）に示すように、２つのダイオードを逆向きに並列に接続しても良い。

【０２４６】

更には、図３０（Ｐ）に示すインダクタ素子を用いても良いし、図３０（Ｑ）に示すように抵抗素子を用いても良い。抵抗素子としては、図３０（Ｒ）に示すように抵抗値が可変のものを用いてもよい。

【０２４７】

したがって、実施の形態１で述べた構成において、容量素子を、図３０に示す分圧素子に置き換えて、新たな回路を構成することができる。したがって、実施の形態１で述べた内容は、図２３および、容量素子を分圧素子で置き換えて構成した回路にも適用することができる。

【０２４８】

図２３に示す分圧素子６０６及び分圧素子６０７を、図３０に示す様々な素子に置き換えて構成した回路図を図３６乃至図４８に示す。従って、図３６乃至図４８は、図１と同様の構成を適用できる。即ち、図７に示すように、一部又は全部の液晶素子の第１の電極が容量線に接続されていてもよい。容量線は図５０に示すように共通電極と共用してもよい。スイッチはトランジスタに置き換えることが可能であり、トランジスタにはＮチャネ

ル型を用いてもよいし、Ｐチャネル型を用いてもよい。トランジスタを用いる場合には各トランジスタのゲートは同一の走査線に接続されていても良いし、異なる走査線に接続されていてもよい。また、図１１に示すように、液晶素子を複数に分割しても良い。信号線は複数有しても良いし、図８に示すように一本にまとめてもよい。更には、図２及び図１２等に示すように、適当な位置に分圧素子を適宜配置しても良い。

【０２４９】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２５０】

なお、分圧素子の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには分圧素子がトランジスタを有しているとよい。トランジスタを用いる場合には、該トランジスタにおいて、時間により又は画素によりゲートの電位を変化させればよい。

【０２５１】

なお、液晶素子の間に分圧素子を接続する場合、信号線と液晶素子との接続がオフになったとき、各液晶素子間で電荷が漏れてしまう場合がある。電荷の漏れを防止するためには、分圧素子とスイッチとを直列接続させ、それを各液晶素子間に接続すればよい。その場合の例を図２４に示す。なお、分圧素子とスイッチとの接続は逆にしてもよい。

【０２５２】

なお、液晶素子間に、分圧素子と、スイッチとを１つずつ配置しているが、これに限定されない。複数個配置してもよい。なお、実施の形態１および図２３で述べた内容は、図２４にも適用することができる。

【０２５３】

画素６５０は、第１のスイッチ６５１と、第２のスイッチ６５２と、第１の液晶素子６５３と、第２の液晶素子６５４と、第３の液晶素子６５５と、第１の分圧素子６５６と、第２の分圧素子６５７と、第３のスイッチ６５８と、第４のスイッチ６５９と、を有する。

【０２５４】

第１の配線６６０は第１の液晶素子６５３の第１の電極及び第３のスイッチ６５８の一端に、第１のスイッチ６５１を介して接続されている。第２の配線６６１は第２の液晶素子６５４の第１の電極及び第４のスイッチ６５９の一端に接続されている。第３のスイッチ６５８と第４のスイッチ６５９は直列に接続され、第３のスイッチ６５８と第４のスイッチ６５９の間には直列に接続された第１の分圧素子６５６と第２の分圧素子６５７が設けられ、第３の液晶素子６５５の第１の電極は第１の分圧素子６５６と第２の分圧素子６５７の間に接続されている。

【０２５５】

第１の液晶素子６５３、第２の液晶素子６５４及び第３の液晶素子６５５の第２の電極は、共通電極に接続されている。

【０２５６】

第１の配線６６０及び第２の配線６６１は、信号線として機能する。従って、第１の配線６６０及び第２の配線６６１には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線６６２は走査線として機能する。

【０２５７】

第１のスイッチ６５１及び第２のスイッチ６５２はスイッチとして機能するものであれば、特に限定されない。例えば、トランジスタを用いることができる。以下、第１のスイッチ６５１及び第２のスイッチ６５２としてトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２５８】

第３のスイッチ６５８及び第４のスイッチ６５９はスイッチとして機能するものであれ

ば特に限定されない。例えば、トランジスタを用いることができる。第３のスイッチ６５８及び第４のスイッチ６５９に用いるトランジスタの極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２５９】

図２４（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２４（Ｂ）において、第１のスイッチ６５１Ｎ及び第２のスイッチ６５２Ｎのゲートは第３の配線６６２に接続されている。第３の配線６６２は、走査線として機能する。

【０２６０】

なお、図２４においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０２６１】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２６２】

なお、第１の液晶素子６５３、第２の液晶素子６５４及び第３の液晶素子６５５はビデオ信号に応じた透過率となる。

【０２６３】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０２６４】

次に、図２３および図２４に、図３０の分圧素子を適用した場合の具体例を示す。まず、図３０（Ｊ）を用いる場合について図２５を参照して説明する。ゲートは、走査線に接続される。図２３および図２４は、図１における第１の容量素子１０６及び第２の容量素子１０７をトランジスタに置き換えたものに相当する。したがって、実施の形態１、図２３及び図２４にて述べた内容は、図２５にも適用することができる。

【０２６５】

画素７００は、第１のスイッチ７０１と、第２のスイッチ７０２と、第１の液晶素子７０３と、第２の液晶素子７０４と、第３の液晶素子７０５と、第１のトランジスタ７０６と、第２のトランジスタ７０７と、を有する。

【０２６６】

第１の配線７０８は第１の液晶素子７０３の第１の電極及び第１のトランジスタ７０６のソース又はドレインの一方に第１のスイッチ７０１を介して接続されている。第２の配線７０９は第２の液晶素子７０４の第１の電極及び第２のトランジスタ７０７のソース又はドレインの一方に第２のスイッチ７０２を介して接続されている。第１のトランジスタ７０６のソース又はドレインの他方及び第２のトランジスタ７０７のソース又はドレインの他方は第３の液晶素子７０５の第１の電極に接続されている。第１及び第２のトランジスタは第３の配線７１０に接続されている。

【０２６７】

第１の液晶素子７０３、第２の液晶素子７０４及び第３の液晶素子７０５の第２の電極は、共通電極に接続されている。

【０２６８】

第１の配線７０８及び第２の配線７０９は、信号線として機能する。従って、第１の配線７０８及び第２の配線７０９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線７１０は走査線として機能する。

【０２６９】

第１のスイッチ７０１及び第２のスイッチ７０２はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。以下、第１のスイッチ７０１及び第２のスイッチ７０２としてトランジスタを用いる場合について説明する。ト

ランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２７０】

図２５（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２５（Ｂ）において、第１のスイッチ７０１Ｎ及び第２のスイッチ７０２Ｎのゲートは第３の配線７１０に接続されている。第３の配線７１０は、走査線として機能する。

【０２７１】

なお、図２５においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０２７２】

第１のトランジスタ７０６及び第２のトランジスタ７０７は分圧素子として機能すればよく、第１のトランジスタ７０６及び第２のトランジスタ７０７の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２７３】

次に、画素７００の動作について述べる。まず、第３の配線７１０により選択されて、第１のスイッチ７０１および第２のスイッチ７０２がオンになる。すると、第１の配線７０８および第２の配線７０９から、ビデオ信号が供給される。第１及び第２のスイッチと同時に、第１のトランジスタ７０６および第２のトランジスタ７０７もオンになる。したがって、第１の配線７０８と第２の配線７０９とが、トランジスタを介して接続されることとなる。そして、トランジスタには抵抗成分（オン抵抗）があるため、各トランジスタで分圧されることとなる。このとき、第１のトランジスタ７０６および第２のトランジスタ７０７のオン抵抗が高い場合には、電圧の多くが、それらのトランジスタに加わることとなる。

【０２７４】

したがって、第１の液晶素子７０３の画素電極には、第１の配線７０８の電位とほぼ等しい電位が加わる。より正確には、第１の配線７０８の電位から、第１のスイッチ７０１で電圧降下した分の電位が第１の液晶素子７０３の画素電極に加わる。同様に、第２の液晶素子７０４の画素電極には、第２の配線７０９の電位とほぼ等しい電位が加わる。より正確には、第２の配線７０９の電位から、第２のスイッチ７０２で電圧降下した分の電位が第２の液晶素子７０４の画素電極に加わる。

【０２７５】

そして、第１の液晶素子７０３の画素電極の電位と、第２の液晶素子７０４の画素電極の電位とが、第１のトランジスタ７０６および第２のトランジスタ７０７によって分圧されて、第３の液晶素子７０５の画素電極に供給される。仮に、第１のトランジスタ７０６および第２のトランジスタ７０７のオン抵抗が概ね等しい場合には、第３の液晶素子７０５の画素電極の電位は、第１の液晶素子７０３の画素電極の電位と、第２の液晶素子７０４の画素電極の電位の中間になる。

【０２７６】

なお、第１のスイッチ７０１、第２のスイッチ７０２、第１のトランジスタ７０６及び第２のトランジスタ７０７等のオン抵抗が小さい場合には、大きな電流が流れてしまう。したがって、分圧させるためのトランジスタである第１のトランジスタ７０６、第２のトランジスタ７０７は、オン抵抗が高いことが望ましい。例えば、第１のトランジスタ７０６又は第２のトランジスタ７０７よりも、第１のスイッチ７０１又は第２のスイッチ７０２の方が、チャネル幅Ｗとチャネル長Ｌとの比（Ｗ／Ｌ）が小さいことが望ましい。例えば、第１のトランジスタ７０６又は第２のトランジスタ７０７は、マルチゲート構造にすることによって、チャネル長Ｌを大きくしてもよい。

【０２７７】

なお、第１のトランジスタ７０６と第２のトランジスタ７０７とは、概ね等しいオン抵抗を有することが望ましい。オン抵抗が概ね等しいことによって、分割された電圧は中間

の電位となる。もし、オン抵抗に差があれば、どちらかの電位に偏ってしまい、均等に、液晶素子を制御することができないからである。例えば、第１のトランジスタ７０６と第２のトランジスタ７０７のチャネル幅Ｗとチャネル長Ｌとの比（Ｗ／Ｌ）は、概ね等しいことが望ましい。ただし、これに限定されない。

【０２７８】

第３の配線７１０が非選択状態になると、第１のスイッチ７０１、第２のスイッチ７０２、第１のトランジスタ７０６および第２のトランジスタ７０７がオフになる。すると、各液晶素子に供給された電圧が保持されるようになる。このように動作させることによって、各液晶素子に印加される電圧を異ならせることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等は、様々な方法で制御することができる。

【０２７９】

なお、第１のトランジスタ７０６及び第２のトランジスタ７０７もオフになるため、各液晶素子間で、電荷が漏れることはない。したがって、第１のトランジスタ７０６および第２のトランジスタ７０７は、図２４における分圧素子とスイッチとを、１つの素子で実現したものであるということもできる。

【０２８０】

なお、第１の液晶素子７０３、第２の液晶素子７０４及び第３の液晶素子７０５はビデオ信号に応じた透過率となる。

【０２８１】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０２８２】

なお、第１のトランジスタ７０６及び第２のトランジスタ７０７は図示した構成に限定されない。例えば、第１のトランジスタ７０６と第２のトランジスタ７０７の一方又は双方がマルチゲート構造であってもよい。マルチゲート構造にすることで、シングルゲート構造の場合よりも第１のトランジスタ７０６と第２のトランジスタ７０７の抵抗値の調整を容易にすることができる。更には、シングルゲート構造の場合よりも第１のトランジスタ７０６と第２のトランジスタ７０７のオン抵抗を大きくすることができる。

【０２８３】

なお、第１のトランジスタ７０６及び第２のトランジスタ７０７の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、分圧素子として機能する第１のトランジスタ７０６及び第２のトランジスタ７０７において、時間により又は画素によりゲートの電位を変化させればよい。

【０２８４】

なお、図２３乃至図２５には、保持容量を明記していないが、図１等で述べたように、保持容量を配置してよい。一例として、図２５において、各液晶素子に保持容量を配置した場合を図２６に示す。

【０２８５】

図２６において、画素７５０は、第１のスイッチ７５１と、第２のスイッチ７５２と、第１の液晶素子７５３と、第２の液晶素子７５４と、第３の液晶素子７５５と、第１のトランジスタ７５６と、第２のトランジスタ７５７と、第１の容量素子７６２と、第２の容量素子７６３と、第３の容量素子７６４と、を有する。

【０２８６】

第１の配線７５８は第１の液晶素子７５３の第１の電極、第１のトランジスタ７５６のソース又はドレインの一方及び第３の容量素子７６４の第１の電極に第１のスイッチ７５１を介して接続されている。第２の配線７５９は第２の液晶素子７５４の第１の電極、第２のトランジスタ７５７のソース又はドレインの一方及び第１の容量素子７６２の第１の電極に接続されている。第１のトランジスタ７５６のソース又はドレインの他方と、第２のトランジスタ７５７のソース又はドレインの他方は第３の液晶素子７５５の第１の電極

及び第２の容量素子７６３の第１の電極に接続されている。第１及び第２のスイッチ並び第１及び第２のトランジスタは第３の配線７６０に接続されている。第１の容量素子７６２、第２の容量素子７６３及び第３の容量素子７６４の第２の電極は第４の配線７６１に接続されている。

【０２８７】

第１の液晶素子７５３、第２の液晶素子７５４及び第３の液晶素子７５５の第２の電極は、共通電極に接続されている。

【０２８８】

第１の配線７５８及び第２の配線７５９は、信号線として機能する。第３の配線７６０は走査線として機能する。第４の配線７６１は容量線として機能する。

【０２８９】

第１のスイッチ７５１及び第２のスイッチ７５２はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第１のスイッチ７５１及び第２のスイッチ７５２としてトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２９０】

図２６（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２６（Ｂ）において、第１のスイッチ７５１Ｎ及び第２のスイッチ７５２Ｎのゲートは第３の配線７６０に接続されている。第３の配線７６０は、走査線として機能する。

【０２９１】

なお、図２６においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０２９２】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０２９３】

第１のトランジスタ７５６及び第２のトランジスタ７５７は分圧素子として機能すればよく、第１のトランジスタ７５６及び第２のトランジスタ７５７の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０２９４】

なお、第１の液晶素子７５３、第２の液晶素子７５４及び第３の液晶素子７５５はビデオ信号に応じた透過率となる。

【０２９５】

なお、第１のトランジスタ７５６及び第２のトランジスタ７５７の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第１のトランジスタ７５６及び第２のトランジスタ７５７において、時間により又は画素によりゲートの電位を変化させればよい。

【０２９６】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることができ、視野角を広くすることができる。

【０２９７】

なお、図２５及び図２６において、第１及び第２のトランジスタのゲートは走査線に接続されているが、これに限定されない。別の配線を配置して、その配線に接続してもよい。または、複数の別の配線を配置して、第１のトランジスタおよび第２のトランジスタのゲートを、各々別の配線に接続してもよい。図２７（Ｂ）は、図２７（Ａ）において、第１のトランジスタおよび第２のトランジスタのゲートを、第４の配線に接続した場合を示す。このようにすることで、第１のトランジスタ及び第２のトランジスタのゲートの電位を、第１及び第２のスイッチから独立して制御することが可能となり、第１及び第２のトランジスタのオン抵抗を、容易に制御することが可能となる。例えば、負極（ビデオ信号

の方が、共通電極の電位よりも低い）のビデオ信号を入力する場合、第１及び第２のトランジスタのゲート・ソース間電圧が、非常に大きくなる。そのため、第１のトランジスタおよび第２のトランジスタのオン抵抗が低下し、電流が多く流れるために、消費電力が大きくなってしまう場合がある。そこで、第１及び第２のトランジスタをオンして分圧させるときに、正極（ビデオ信号の方が、共通電極の電位よりも高い）のビデオ信号を入力する場合よりも、負極のビデオ信号を入力する場合の方が、第１及び第２のトランジスタのゲート電位が低くなるようにする。その結果、電流が多くながれてしまうことを防止することができる。

【０２９８】

画素８００は、第１のスイッチ８０１と、第２のスイッチ８０２と、第１のトランジスタ８０３と、第２のトランジスタ８０４と、第１の液晶素子８０５と、第２の液晶素子８０６と、第３の液晶素子８０７と、を有する。

【０２９９】

第１の配線８０８は、第１の液晶素子８０５の第１の電極及び第１のトランジスタ８０３のソース又はドレインの一方に第１のスイッチ８０１を介して接続されている。第２の配線８０９は第２の液晶素子８０６の第１の電極及び第２のトランジスタ８０４のソース又はドレインの一方に第２のスイッチ８０２に接続されている。第１のトランジスタ８０３のソース又はドレインの他方と、第２のトランジスタ８０４のソース又はドレインの他方は第３の液晶素子８０７の第１の電極に接続されている。第１のスイッチ８０１と第２のスイッチ８０２のゲートは第３の配線８１０に接続されている。第１のトランジスタ８０３と第２のトランジスタ８０４のゲートは第４の配線８１１に接続されている。

【０３００】

第１の液晶素子８０５、第２の液晶素子８０６及び第３の液晶素子８０７の第２の電極は、共通電極に接続されている。

【０３０１】

第１の配線８０８及び第２の配線８０９は、信号線として機能する。従って、第１の配線８０８及び第２の配線８０９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず。一定の信号が供給されていても良い。第３の配線８１０及び第４の配線８１１は走査線として機能する。

【０３０２】

第１のスイッチ８０１及び第２のスイッチ８０２はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第１のスイッチ８０１及び第２のスイッチ８０２としてトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０３０３】

図２７（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２７（Ｂ）において、第１のスイッチ８０１Ｎ及び第２のスイッチ８０２Ｎのゲートは第３の配線８１０に接続されている。第３の配線７６０は、走査線として機能する。

【０３０４】

なお、図２７においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０３０５】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０３０６】

第１のトランジスタ８０３及び第２のトランジスタ８０４は分圧素子として機能すればよく、第１のトランジスタ８０３及び第２のトランジスタ８０４の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０３０７】

なお、第１のトランジスタ８０３および第２のトランジスタ８０４をオンさせて、分圧素子として機能させるときには、第１のトランジスタ８０３および第２のトランジスタ８０４は、線形領域で動作させることが望ましい。なぜなら、第１のトランジスタ８０３と、第２のトランジスタ８０４とで、オン抵抗が適切な値になるようにするためである。

【０３０８】

なお、第１のスイッチ８０１及び第２のスイッチ８０２がオン・オフするタイミングと、第１のトランジスタ８０３及び第２のトランジスタ８０４がオン・オフするタイミングは、概ね同じであることが望ましい。ただし、これに限定されない。第１のスイッチ８０１及び第２のスイッチ８０２がオンしたとき、少し遅れてから、第１のトランジスタ８０３および第２のトランジスタ８０４がオンするようにしてもよい。これにより、第１の配線８０８と第２の配線８０９とが接続されている期間を短くすることができる。そのため、第１の液晶素子８０５及び第２の液晶素子８０６へ電荷を入力しやすくできる。

【０３０９】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０３１０】

次に、実施の形態１で述べた内容を図２５に適用した例を示す。図３０に示した分圧素子で、容量素子を置き換えて構成した回路の例を示す。図２８は、図２の第１の容量素子および第２の容量素子を、図３０（Ｊ）で置き換えた場合を示す。このとき、分圧素子のトランジスタのゲートは、走査線に接続されるものとする。ただし、これに限定されない。したがって、実施の形態１で述べた内容は、図２８にも適用することができる。

【０３１１】

画素８５０は、第１のスイッチ８５１と、第２のスイッチ８５２と、第１の液晶素子８５３と、第２の液晶素子８５４と、第３の液晶素子８５５と、第１のトランジスタ８５６と、第２のトランジスタ８５７と、容量素子８６１と、を有する。

【０３１２】

第１の配線８５８は、第１の液晶素子８５３の第１の電極及び第１のトランジスタ８５６のソース又はドレインの一方に第１のスイッチ８５１を介して接続されている。第２の配線８５９は、第２の液晶素子８５４の第１の電極及び第２のトランジスタ８５７のソース又はドレインの一方に接続されている。第１のトランジスタ８５６のソース又はドレインの他方と、第２のトランジスタ８５７のソース又はドレインの他方は容量素子８６１の第１の電極に接続され、容量素子８６１の第２の電極は第３の液晶素子８５５の第１の電極に接続されている。第１及び第２のトランジスタは第３の配線８６０に接続されている。

【０３１３】

第１の液晶素子８５３、第２の液晶素子８５４及び第３の液晶素子８５５の第２の電極は、共通電極に接続されている。

【０３１４】

第１の配線８５８及び第２の配線８５９は、信号線として機能する。従って、第１の配線８５８及び第２の配線８５９には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線８６０は走査線として機能する。

【０３１５】

第１のスイッチ８５１及び第２のスイッチ８５２はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。第１のスイッチ８５１及び第２のスイッチ８５２としてトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０３１６】

図２８（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２８（Ｂ）において、第１のスイッチ８５１Ｎ及び第２のスイッチ８５２Ｎのゲートは第３の

配線７６０に接続されている。第３の配線８６０は、走査線として機能する。

【０３１７】

なお、図２８においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０３１８】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０３１９】

第１のトランジスタ８５６及び第２のトランジスタ８５７は分圧素子として機能すればよく、第１のトランジスタ８５６及び第２のトランジスタ８５７の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０３２０】

図２８に示す回路構成とすることで、図２等と同様に、第３の液晶素子８５５の第１の電極の電位を容量素子８６１の分だけ低下させることができる。

【０３２１】

なお、第１のトランジスタ８５６及び第２のトランジスタ８５７は図示した構成に限定されない。例えば、第１のトランジスタ８５６と第２のトランジスタ８５７の一方又は双方がマルチゲート構造であってもよい。

【０３２２】

なお、第１のトランジスタ８５６及び第２のトランジスタ８５７の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第１のトランジスタ８５６及び第２のトランジスタ８５７において、時間により又は画素によりゲートの電位を変化させればよい。

【０３２３】

なお、第１のトランジスタ８５６及び第２のトランジスタ８５７は図示した構成に限定されない。例えば、第１のトランジスタ８５６と第２のトランジスタ８５７の一方又は双方がマルチゲート構造であってもよい。マルチゲート構造にすることで、シングルゲート構造の場合よりも第１のトランジスタ８５６と第２のトランジスタ８５７のオン抵抗を大きくすることができる。

【０３２４】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０３２５】

なお、図２３乃至図２８において、２つの分圧素子を用いた場合について述べたが、これに限定されない。さらに多くの分圧素子を用い、視野角特性をさらに向上させることが可能である。一例として、図２５に分圧素子を追加した場合、あるいは、図９について、図３０（Ｊ）に示した分圧素子を直列に二つ接続したものと、容量素子とを置き換えて構成した回路の例を図２９に示す。

【０３２６】

図２９において画素９００は、第１のスイッチ９０１と、第２のスイッチ９０２と、第１の液晶素子９０３と、第２の液晶素子９０４と、第３の液晶素子９０５と、第４の液晶素子９０６と、第１のトランジスタ９０７と、第２のトランジスタ９０８と、第３のトランジスタ９０９と、を有する。

【０３２７】

第１の配線９１０は第１の液晶素子９０３の第１の電極及び第１のトランジスタ９０７のソース又はドレインの一方に第１のスイッチ９０１を介して接続されている。第２の配線９１１は第２の液晶素子９０４の第１の電極及び第３のトランジスタ９０９のソース又はドレインの一方に第２のスイッチ９０２を介して接続されている。第１のトランジスタ９０７のソース又はドレインの他方は第３の液晶素子９０５の第１の電極と、第２のトラ

ンジスタ９０８のソース又はドレインの他方に接続されている。第３のトランジスタ９０９のソース又はドレインの他方は第４の液晶素子９０６の第１の電極と、第２のトランジスタ９０８のソース又はドレインの一方に接続されている。第１のスイッチ９０１、第２のスイッチ９０２、第１及び第２のトランジスタのゲートは第３の配線９１２に接続されている。

【０３２８】

第１の液晶素子９０３、第２の液晶素子９０４、第３の液晶素子９０５及び第４の液晶素子９０６の第２の電極は、共通電極に接続されている。

【０３２９】

第１の配線９１０及び第２の配線９１１は、信号線として機能する。従って、第１の配線９１０及び第２の配線９１１には、通常、画像信号が供給されている。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線９１２は走査線として機能する。

【０３３０】

第１のスイッチ９０１及び第２のスイッチ９０２はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第１のスイッチ９０１及び第２のスイッチ９０２としてトランジスタを用いる場合には、その極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０３３１】

図２８（Ｂ）はスイッチとしてＮチャネル型トランジスタを用いた場合を示す。図２８（Ｂ）において、第１のスイッチ９０１Ｎ及び第２のスイッチ９０２Ｎのゲートは第３の配線９１２に接続されている。第３の配線９１２は、走査線として機能する。

【０３３２】

なお、図２６においても図１等と同様、図４９に示すように走査線を２本有していても良いし、スイッチとしてＰチャネル型トランジスタを用いることもでき、更には、図１１等に示すように液晶素子を更に複数に分割しても良い。

【０３３３】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【０３３４】

第１乃至第３のトランジスタは分圧素子として機能すればよく、第１乃至第３のトランジスタの極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。図２８ではＮチャネル型トランジスタを用いている。

【０３３５】

図２９に示すように、図２５において第１及び第２のトランジスタの一方のみをマルチ�ゲート構造としてもよい。

【０３３６】

なお、第１乃至第３のトランジスタのゲートは、第１及び第２のスイッチを制御する第３の配線に接続されているが、本発明はこれに限定されず、図２７を参照して説明したように第１乃至第３のトランジスタのゲートは第１及び第２のスイッチを制御する第３の配線とは異なる配線に接続されていても良い。

【０３３７】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【０３３８】

なお、第１のトランジスタ９０７、第２のトランジスタ９０８及び第３のトランジスタ９０９の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第３乃至第５のトランジスタにおいて、時間により又は画素によりゲートの電位を変化させればよい。なお、第１のトランジスタ８５６及び第２のトランジスタ８５７は図示した構成に限定されない。

【０３３９】
以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。
【０３４０】
本発明を適用した液晶表示装置の画素の上面図の一例を図３４に示す。また、図３５は、図３４の回路図を示す。なお、図３４と図３５は対応する部分には同じ符号を用いている。
【０３４１】
図３４に示す画素１０２０は、走査線及び容量線となる配線を構成する第１の導電層（第３の配線１０３３のハッチパターンで示す。）上に第１の絶縁膜（図示しない）が設けられ、第１の絶縁膜上に半導体膜が設けられ、半導体膜上に第２の導電層（第１の配線１０３１のハッチパターンで示す。）が設けられ、第２の導電層上に第２の絶縁膜（図示しない）が設けられ、第２の絶縁膜上に第３の導電層（第１の液晶素子１０２３のハッチパターンで示す。）が設けられている。
【０３４２】
図３５において、画素１０２０は、第１のスイッチである第１のトランジスタ１０２１と、第２のスイッチである第２のトランジスタ１０２２と、第１の液晶素子１０２３と、第２の液晶素子１０２４と、第３の液晶素子１０２５と、第４の液晶素子１０２６と、第１の容量素子１０２７と、第２の容量素子１０３０と、第３の容量素子１０３６と、第４の容量素子１０３６と、第３のトランジスタ１０２８と、第４のトランジスタ１０２９と、第５のトランジスタ１０３９と、を有する。
【０３４３】
第１の配線１０３１は、直列に接続された第１乃至第５のトランジスタを介して第２の配線１０３２と接続されている。第１乃至第５のトランジスタの各々の間は第１乃至第４の液晶素子の第１の電極が接続されている。第１乃至第４の液晶素子は、第２の電極が第４の配線１０３４又は第５の配線１０３５に接続された容量素子の、第１の電極に接続されている。第１乃至第５のトランジスタのゲートは第３の配線１０３３に接続されている。
【０３４４】
なお、図３５は、図９（Ｂ）の分圧素子として機能する容量素子を、すべてトランジスタに置き換えて、すべての容量素子の各々に保持容量を設けたものである。つまり、図９と図１６を組み合わせたものであると言える。従って、図３５は、図１と同様の構成を適用できる。即ち、容量線として機能する配線は図５０に示すように共通電極と共用してもよいし、スイッチはトランジスタに置き換えることが可能であり、トランジスタにはＮチャネル型を用いてもよいし、Ｐチャネル型を用いてもよい。
【０３４５】
第１の配線１０３１及び第２の配線１０３２は、信号線として機能する。従って、第１の配線１０３１及び第２の配線１０３２には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第３の配線１０３３は走査線として機能する。第４の配線１０３４及び第５の配線１０３５は、容量線として機能する。
【０３４６】
図３２に示した上面図のような画素を設けることで、各々の液晶素子に様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。
【０３４７】
なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容の一部又は全部は、別の図で述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して別の部分を組み合わせることにより、更に多くの構成が考えられ、

本実施の形態の記載はこれを妨げるものではない。

【０３４８】

同様に、本実施の形態の各々の図において述べた内容の一部又は全部は、別の実施の形態の図において述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。更に、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【０３４９】

なお、本実施の形態は、他の実施の形態で述べた内容の一部又は全部について、具体化した場合、多少の変形を加えた場合、一部に変更を加えた場合、改良した場合、詳細に記載した場合、応用した場合、関連がある場合についての一例を示している。従って、他の実施の形態で述べた内容は、本実施の形態へ適用し、組み合わせ、又は置き換えること等を自由に行うことができる。

【０３５０】

（実施の形態３）

本実施の形態においては、トランジスタの構造及び作製方法について説明する。

【０３５１】

図５１（Ａ）乃至（Ｇ）は、トランジスタの構造及び作製方法の例を示す図である。図５１（Ａ）は、トランジスタの構造の例を示す図である。図５１（Ｂ）乃至（Ｇ）は、トランジスタの作製方法の例を示す図である。

【０３５２】

なお、トランジスタの構造及び作製方法は、図５１（Ａ）乃至（Ｇ）に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【０３５３】

まず、図５１（Ａ）を参照し、トランジスタの構造の例について説明する。図５１（Ａ）は複数の異なる構造を有するトランジスタの断面図である。ここで、図５１（Ａ）においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造を説明するための表現であり、トランジスタが、実際に図５１（Ａ）のように並置されている必要はなく、必要に応じてつくり分けることができる。

【０３５４】

次に、トランジスタを構成する各層の特徴について説明する。

【０３５５】

基板１１０１１１は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板１１０１１１として、例えば、１辺が１メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【０３５６】

絶縁膜１１０１１２は、下地膜として機能する。基板１１０１１１からＮａなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜１１０１１２としては、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜１１０１１２を２層構造で設ける場合、１層目の絶縁膜として窒化酸化珪素膜を設け、２層目の絶縁膜として酸化窒化珪素膜を設けるとよい。別の例として、絶縁

膜１１０１１２を３層構造で設ける場合、１層目の絶縁膜として酸化窒化珪素膜を設け、２層目の絶縁膜として窒化酸化珪素膜を設け、３層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【０３５７】

半導体層１１０１１３、１１０１１４、１１０１１５は、非晶質（アモルファス）半導体又はセミアモルファス半導体（ＳＡＳ）で形成することができる。あるいは、多結晶半導体層を用いても良い。ＳＡＳは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、０．５～２０ｎｍの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが５２０ｃｍ$^{-1}$よりも低波数側にシフトしている。Ｘ線回折では珪素結晶格子に由来するとされる（１１１）、（２２０）の回折ピークが観測される。未結合手（ダングリングボンド）の補償するものとして水素又はハロゲンを少なくとも１原子％又はそれ以上含ませている。ＳＡＳは、材料ガスをグロー放電分解（プラズマＣＶＤ）して形成する。材料ガスとしては、SiH_4、その他にもSi_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4などを用いることが可能である。あるいは、GeF_4を混合させても良い。この材料ガスをＨ２、あるいは、H_2とＨｅ、Ａｒ、Ｋｒ、Ｎｅから選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は２～１０００倍の範囲。圧力は概略０．１Ｐａ～１３３Ｐａの範囲、電源周波数は１ＭＨｚ～１２０ＭＨｚ、好ましくは１３ＭＨｚ～６０ＭＨｚ。基板加熱温度は３００℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は1×10^{20}ｃｍ$^{-1}$以下とすることが望ましく、特に、酸素濃度は5×10^{19}／ｃｍ^{3}以下、好ましくは1×10^{19}／ｃｍ^{3}以下とする。ここでは、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばＳｉｘＧｅ１－ｘ等）で非晶質半導体層を形成し、当該非晶質半導体層をレーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【０３５８】

絶縁膜１１０１１６は、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【０３５９】

ゲート電極１１０１１７は、単層の導電膜、又は二層、三層の導電膜の積層構造とすることができる。ゲート電極１１０１１７の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、シリコン（Ｓｉ）などの元素の単体膜、あるいは、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、あるいは、前記元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）、あるいは、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【０３６０】

絶縁膜１１０１１８は、公知の手段（スパッタ法又はプラズマＣＶＤ法等）によって、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【０３６１】

絶縁膜１１０１１９は、シロキサン樹脂、あるいは、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）

（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、絶縁膜１１０１１８を設けずにゲート電極１１０１１７を覆うように直接絶縁膜１１０１１９を設けることも可能である。

【０３６２】

導電膜１１０１２３は、Ａｌ、Ｎｉ、Ｃ、Ｗ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｕ、Ｔａ、Ａｕ、Ｍｎなどの元素の単体膜、あるいは、前記元素の窒化膜、あるいは、前記元素を組み合わせた合金膜、あるいは、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、Ｃ及びＴｉを含有したＡｌ合金、Ｎｉを含有したＡｌ合金、Ｃ及びＮｉを含有したＡｌ合金、Ｃ及びＭｎを含有したＡｌ合金等を用いることができる。例えば、積層構造で設ける場合、ＡｌをＭｏ又はＴｉなどで挟み込んだ構造とすることができる。こうすることで、Ａｌの熱や化学反応に対する耐性を向上することができる。

【０３６３】

次に、図５１（Ａ）に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【０３６４】

１１０１０１は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層１１０１１３、１１０１１５は、それぞれ不純物の濃度が異なり、半導体層１１０１１３はチャネル領域、半導体層１１０１１５はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜１１０１２３との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極１１０１１７をマスクとして半導体層に不純物をドーピングする方法を用いることができる。

【０３６５】

１１０１０２は、ゲート電極１１０１１７に一定以上のテーパー角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層１１０１１３、１１０１１４、１１０１１５は、それぞれ不純物濃度が異なり、半導体層１１０１１３はチャネル領域、半導体層１１０１１４は低濃度ドレイン（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ：ＬＤＤ）領域、半導体層１１０１１５はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜１１０１２３との電気的な接続状態を、オーミック接続に近づけることができる。ＬＤＤ領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極１１０１１７をマスクとして半導体層に不純物をドーピングする方法を用いることができる。１１０１０２においては、ゲート電極１１０１１７が一定以上のテーパー角を有しているため、ゲート電極１１０１１７を通過して半導体層にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にＬＤＤ領域を形成することができる。

【０３６６】

１１０１０３は、ゲート電極１１０１１７が少なくとも２層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極１１０１１７の形状が帽子型であることによって、フォトマスクを追加することなく、ＬＤＤ領

域を形成することができる。なお、１１０１０３のように、ＬＤＤ領域がゲート電極１１０１１７と重なっている構造を、特にＧＯＬＤ構造（Ｇａｔｅ　Ｏｖｅｒｌａｐｐｅｄ　ＬＤＤ）と呼ぶ。なお、ゲート電極１１０１１７の形状を帽子型とする方法としては、次のような方法を用いてもよい。

【０３６７】

まず、ゲート電極１１０１１７をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜（テーパー）のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、２回、不純物元素をドーピングすることによって、チャネル領域として用いる半導体層１１０１１３、ＬＤＤ領域として用いる半導体層１１０１１４、ソース電極及びドレイン電極として用いる半導体層１１０１１５が形成される。

【０３６８】

なお、ゲート電極１１０１１７と重なっているＬＤＤ領域をＬｏｖ領域、ゲート電極１１０１１７と重なっていないＬＤＤ領域をＬｏｆｆ領域と呼ぶことにする。ここで、Ｌｏｆｆ領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Ｌｏｖ領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。たとえば、半導体装置を表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、Ｌｏｆｆ領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Ｌｏｖ領域を有するトランジスタを用いることが好適である。

【０３６９】

１１０１０４は、ゲート電極１１０１１７の側面に接して、サイドウォール１１０１２１を有するトランジスタである。サイドウォール１１０１２１を有することによって、サイドウォール１１０１２１と重なる領域をＬＤＤ領域とすることができる。

【０３７０】

１１０１０５は、半導体層にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｆｆ）領域を形成したトランジスタである。こうすることにより、確実にＬＤＤ領域を形成することができ、トランジスタのオフ電流値を低減することができる。

【０３７１】

１１０１０６は、半導体層にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｖ）領域を形成したトランジスタである。こうすることにより、確実にＬＤＤ領域を形成することができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【０３７２】

次に、図５１（Ｂ）乃至（Ｇ）を参照して、トランジスタの作製方法の例を説明する。

【０３７３】

なお、トランジスタの構造及び作製方法は、図５１に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【０３７４】

本実施の形態においては、基板１１０１１１の表面に、絶縁膜１１０１１２の表面に、半導体層１１０１１３の表面に、１１０１１４の表面に、１１０１１５の表面に、絶縁膜１１０１１６の表面に、絶縁膜１１０１１８の表面に、又は絶縁膜１１０１１９の表面に、プラズマ処理を用いて酸化又は窒化を行うことにより、半導体層又は絶縁膜を酸化又は窒化することができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、ＣＶＤ法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【０３７５】
まず、基板１１０１１１の表面をフッ酸（ＨＦ）、アルカリ又は純水を用いて洗浄する。基板１１０１１１は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板１１０１１１としてガラス基板を用いる場合を示す。
【０３７６】
ここで、基板１１０１１１の表面にプラズマ処理を行うことで、基板１１０１１１の表面を酸化又は窒化することによって、基板１１０１１１の表面に酸化膜又は窒化膜を形成してもよい（図５１（Ｂ））。表面にプラズマ処理を行うことで形成された酸化膜又は窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図５１（Ｂ）においては、絶縁膜１３１がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラスチック等に含まれるＮａなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるＮａなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。
【０３７７】
なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、あるいは、酸素と水素（H_2）と希ガス雰囲気下、あるいは、一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、あるいは、窒素と水素と希ガス雰囲気下、あるいは、NH_3と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。あるいは、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。
【０３７８】
プラズマ処理は、上記ガスの雰囲気中において、電子密度が$1\times10^{11}cm^{-3}$以上$1\times10^{13}cm^{-3}$以下であり、プラズマの電子温度が０．５ｅｖ以上１．５ｅＶ以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。プラズマの電子密度が$1\times10^{11}cm^{-3}$以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化又は窒化することよって形成される酸化物又は窒化膜は、ＣＶＤ法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が１ｅＶ以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化又は窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも１００度以上低い温度でプラズマ処理を行っても十分に酸化又は窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（２．４５ＧＨｚ）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。
【０３７９】
なお、図５１（Ｂ）においては、基板１１０１１１の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板１１０１１１の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【０３８０】
なお、図５１（Ｃ）乃至（Ｇ）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板１１０１１１、絶縁膜１１０１１２、半導体層１１０１１３、１１０１１４、１１０１１５、絶縁膜１１０１１６、絶縁膜１１０１１８、又は絶縁膜１１０１１９の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。
【０３８１】
次に、基板１１０１１１上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて絶縁膜１１０１１２を形成する（図５１（Ｃ））。絶縁膜１１０１１２としては、酸化珪素（ＳｉＯｘ）又は酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）を用いることができる。
【０３８２】
ここで、絶縁膜１１０１１２の表面にプラズマ処理を行い、絶縁膜１１０１１２を酸化又は窒化することによって、絶縁膜１１０１１２の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜１１０１１２の表面を酸化することによって、絶縁膜１１０１１２の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。絶縁膜１１０１１２の表面を酸化することによって、Ｎ原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体層を設けた場合にプラズマ処理絶縁膜と半導体層界面特性が向上する。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。
【０３８３】
次に、絶縁膜１１０１１２上に島状の半導体層１１０１１３、１１０１１４を形成する（図５１（Ｄ））。島状の半導体層１１０１１３、１１０１１４は、絶縁膜１１０１１２上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばSi_xGe_{1-x}等）等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させ、半導体層を選択的にエッチングすることにより設けることができる。なお、非晶質半導体層の結晶化は、レーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法又はこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体層の端部を直角に近い形状（θ＝８５～１００°）で設ける。あるいは、低濃度ドレイン領域となる半導体層１１０１１４は、マスクを用いて不純物をドーピングすることによって形成されてもよい。
【０３８４】
ここで、半導体層１１０１１３、１１０１１４の表面にプラズマ処理を行い、半導体層１１０１１３、１１０１１４の表面を酸化又は窒化することによって、半導体層１１０１１３、１１０１１４の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体層１１０１１３、１１０１１４としてＳｉを用いた場合、プラズマ処理絶縁膜として、酸化珪素（ＳｉＯｘ）又は窒化珪素（ＳｉＮｘ）が形成される。あるいは、プラズマ処理により半導体層１１０１１３、１１０１１４を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体層１１０１１３、１１０１１４に接して酸化珪素（ＳｉＯｘ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）が形成される。なお、プラズマ処理により半導体層を酸化する場合には、酸素雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、あるいは、酸素と水素（H_2）と希ガス雰囲気下又は一酸化二窒素と希ガス雰囲気下）、でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、あるいは、窒素と水素と希ガス雰囲気下又はＮＨ３と希ガス雰囲気下）、でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。あるいは、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ

処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。

【０３８５】

次に、絶縁膜１１０１１６を形成する（図５１（Ｅ））。絶縁膜１１０１１６は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。なお、半導体層１１０１１３、１１０１１４の表面をプラズマ処理することにより、半導体層１１０１１３、１１０１１４の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜１１０１１６として用いることも可能である。

【０３８６】

ここで、絶縁膜１１０１１６の表面にプラズマ処理を行い、絶縁膜１１０１１６の表面を酸化又は窒化することによって、絶縁膜１１０１１６の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【０３８７】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜１１０１１６を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜１１０１１６にプラズマ処理を行い、絶縁膜１１０１１６の表面を酸化又は窒化することによって、絶縁膜１１０１１６の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、ＣＶＤ法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

【０３８８】

次に、ゲート電極１１０１１７を形成する（図５１（Ｆ））。ゲート電極１１０１１７は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて形成することができる。

【０３８９】

１１０１０１においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９０】

１１０１０２においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体層ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９１】

１１０１０３においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体層ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９２】

１１０１０４においては、ゲート電極１１０１１７の側面にサイドウォール１１０１２１を形成した後、不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体層ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９３】

なお、サイドウォール１１０１２１は、酸化珪素（ＳｉＯｘ）又は窒化珪素（ＳｉＮｘ）を用いることができる。サイドウォール１１０１２１をゲート電極１１０１１７の側面に

形成する方法としては、たとえば、ゲート電極１１０１１７を形成した後に、酸化珪素（ＳｉＯｘ）又は窒化珪素（ＳｉＮｘ）を公知の方法で成膜した後に、異方性エッチングによって酸化珪素（ＳｉＯｘ）又は窒化珪素（ＳｉＮｘ）膜をエッチングする方法を用いることができる。こうすることで、ゲート電極１１０１１７の側面にのみ酸化珪素（ＳｉＯｘ）又は窒化珪素（ＳｉＮｘ）膜を残すことができるので、ゲート電極１１０１１７の側面にサイドウォール１１０１２１を形成することができる。

【０３９４】

１１０１０５においては、ゲート電極１１０１１７を覆うようにマスク１１０１２２を形成した後、不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｆｆ）領域として用いる１１０１１４と、半導体層ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９５】

１１０１０６においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｖ）領域として用いる１１０１１４と、半導体層ソース領域及びドレイン領域として用いる半導体層１１０１１５を形成することができる。

【０３９６】

次に、絶縁膜１１０１１８を形成する（図５１（Ｇ））。絶縁膜１１０１１８は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、又はこれらの積層構造で設けることができる。

【０３９７】

ここで、絶縁膜１１０１１８の表面にプラズマ処理を行い、絶縁膜１１０１１８の表面を酸化又は窒化することによって、絶縁膜１１０１１８の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【０３９８】

次に、絶縁膜１１０１１９を形成する。絶縁膜１１０１１９は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、又はこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）が含まれており、例えばＡｒを用いた場合にはプラズマ処理絶縁膜中にＡｒが含まれている。

【０３９９】

絶縁膜１１０１１９としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜１１０１１９の表面をプラズマ処理により酸化又は窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜１１０１１９の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。絶縁膜１１０１１９の表面が改質されることによって、絶縁膜１１０１１９上に導電膜１１０１２３を形成する場合に導電膜との密着性が向上する。例えば、

絶縁膜１１０１１９としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素又は希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

【０４００】

次に、半導体層１１０１１５と電気的に接続された導電膜１１０１２３を形成するため、絶縁膜１１０１１９、絶縁膜１１０１１８、絶縁膜１１０１１６にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパー状であってもよい。こうすることで、導電膜１１０１２３のカバレッジを向上させることができる。

【０４０１】

図５５は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【０４０２】

基板１１０５０１上に第１の絶縁膜（絶縁膜１１０５０２）が全面に形成されている。第１の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第１の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第１の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４０３】

第１の絶縁膜上に、第１の導電層（導電層１１０５０３及び導電層１１０５０４）が形成されている。導電層１１０５０３は、トランジスタ１１０５２０のゲート電極として機能する部分を含む。導電層１１０５０４は、容量素子１１０５２１の第１の電極として機能する部分を含む。なお、第１の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４０４】

少なくとも第１の導電層を覆うように、第２の絶縁膜（絶縁膜１１０５０４）が形成されている。第２の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第２の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４０５】

なお、半導体層に接する部分の第２の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第２の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【０４０６】

なお、第２の絶縁膜がＭｏと接する場合、Ｍｏと接する部分の第２の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はＭｏを酸化させないからである。

【０４０７】

第２の絶縁膜上のうち第１の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第２の絶縁膜上のうち第１の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャネル形成領域（チャネル形成領域１１０５１０）、ＬＤＤ領域（ＬＤＤ領域１１０５０８、ＬＤＤ領域１１０５０９）、不純物領域（不純物領域１１０５０５、不純物領域１１０５０６、不純物領域１１０５０７）を有している。チャネル形成領域１１０５１０は、トランジスタ１１０５２０のチャネル形成領域として機能する。ＬＤＤ領域１１０５０８及びＬＤＤ領域１１０５０９は、トランジスタ１１０５２０のＬＤＤ領域とし機能する。なお、ＬＤＤ領域１１０５０８及びＬＤＤ領域１１０５０９は必ずしも必要ではない。不純物領域１１０５０５は、トランジスタ１１０５２０のソース電極及びドレイン電極の一方として機能する部分を含む。不純物領域１

００５０６は、トランジスタ１１０５２０のソース電極及びドレイン電極の他方として機能する部分を含む。不純物領域１１０５０７は、容量素子１１０５２１の第２の電極として機能する部分を含む。

【０４０８】

全面に、第３の絶縁膜（絶縁膜１１０５１１）が形成されている。第３の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜１１０５１１は、層間膜としての機能を有する。第３の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【０４０９】

第３の絶縁膜上に、第２の導電層（導電層１１０５１２及び導電層１１０５１３）が形成されている。導電層１１０５１２は、第３の絶縁膜に形成されたコンタクトホールを介してトランジスタ１１０５２０のソース電極及びドレイン電極の他方と接続されている。したがって、導電層１１０５１２は、トランジスタ１１０５２０のソース電極及びドレイン電極の他方として機能する部分を含む。導電層１１０５１３は、容量素子１１０５２１の第１の電極として機能する部分を含む。なお、第２の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４１０】

なお、第２の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【０４１１】

トランジスタの半導体層にアモルファスシリコン（ａ－Ｓｉ：Ｈ）膜を用いた場合のトランジスタ及び容量素子の構造について説明する。

【０４１２】

図５２は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【０４１３】

基板１１０２０１上に第１の絶縁膜（絶縁膜１１０２０２）が全面に形成されている。第１の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第１の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第１の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４１４】

なお、第１の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【０４１５】

第１の絶縁膜上に、第１の導電層（導電層１１０２０３、導電層１１０２０４及び導電層１１０２０５）が形成されている。導電層１１０２０３は、トランジスタ１１０２２０のソース電極及びドレイン電極の一方の電極として機能する部分を含む。導電層１１０２０４は、トランジスタ１１０２２０のソース電極及びドレイン電極の他方の電極として機能する部分を含む。導電層１１０２０５は、容量素子１１０２２１の第１の電極として機能する部分を含む。なお、第１の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなど、又はこれらの

合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４１６】

導電層１１０２０３及び導電層１１０２０４の上部に、第１の半導体層（半導体層１１０２０６及び半導体層１１０２０７）が形成されている。半導体層１１０２０６は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層１１０２０７は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第１の半導体層としては、リン等を含んだシリコン等を用いることができる。

【０４１７】

導電層１１０２０３と導電層１１０２０４との間であって、かつ第１の絶縁膜上に、第２の半導体層（半導体層１１０２０８）が形成されている。そして、半導体層１１０２０８の一部は、導電層１１０２０３上及び導電層１１０２０４上まで延長されている。半導体層１１０２０８は、トランジスタ１１０２２０のチャネル領域として機能する部分を含む。なお、第２の半導体層としては、アモルファスシリコン（ａ－Ｓｉ：Ｈ）等の非結晶性を有する半導体層、又は微結晶半導体（μ－Ｓｉ：Ｈ）等の半導体層などを用いることができる。

【０４１８】

少なくとも半導体層１１０２０８及び導電層１１０２０５を覆うように、第２の絶縁膜（絶縁膜１１０２０９及び絶縁膜１１０２１０）が形成されている。第２の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第２の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４１９】

なお、第２の半導体層に接する部分の第２の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第２の半導体層と第２の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【０４２０】

なお、第２の絶縁膜がＭｏと接する場合、Ｍｏと接する部分の第２の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はＭｏを酸化させないからである。

【０４２１】

第２の絶縁膜上に、第２の導電層（導電層１１０２１１及び導電層１１０２１２）が形成されている。導電層１１０２１１は、トランジスタ１１０２２０のゲート電極として機能する部分を含む。導電層１１０２１２は、容量素子１１０２２１の第２の電極、又は配線としての機能を有する。なお、第２の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４２２】

なお、第２の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【０４２３】

図５３は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図５３に示すトランジスタは、チャネルエッチ型と呼ばれる構造である。

【０４２４】

基板１１０３０１上に第１の絶縁膜（絶縁膜１１０３０２）が全面に形成されている。第１の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第１の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第１の絶

縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４２５】

なお、第１の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【０４２６】

第１の絶縁膜上に、第１の導電層（導電層１１０３０３及び導電層１１０３０４）が形成されている。導電層１１０３０３は、トランジスタ１１０３２０のゲート電極として機能する部分を含む。導電層１１０３０４は、容量素子１１０３２１の第１の電極として機能する部分を含む。なお、第１の導電層としては、Ｔｉ、Ｍｏ、ＴＢ、Ｃｒ、Ｗ、Ｂｌ、Ｎｄ、Ｃｕ、Ｂｇ、Ｂｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、ＢＢ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４２７】

少なくとも第１の導電層を覆うように、第２の絶縁膜（絶縁膜１１０３０２）が形成されている。第２の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第２の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４２８】

なお、半導体層に接する部分の第２の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第２の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【０４２９】

なお、第２の絶縁膜がＭｏと接する場合、Ｍｏと接する部分の第２の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はＭｏを酸化させないからである。

【０４３０】

第２の絶縁膜上のうち第１の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第１の半導体層（半導体層１１０３０６）が形成されている。そして、半導体層１１０３０８の一部は、第２の絶縁膜上のうち第１の導電層と重なって形成されていない部分まで延長されている。半導体層１１０３０６は、トランジスタ１１０３２０のチャネル領域として機能する部分を含む。なお、半導体層１１０３０６としては、アモルファスシリコン（Ａ－Ｓｉ：Ｈ）等の非結晶性を有する半導体層、又は微結晶半導体（μ－Ｓｉ：Ｈ）等の半導体層などを用いることができる。

【０４３１】

第１の半導体層上の一部に、第２の半導体層（半導体層１１０３０７及び半導体層１１０３０７）が形成されている。半導体層１１０３０７は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層１１０３０８は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第２の導体層としては、リン等を含んだシリコン等を用いることができる。

【０４３２】

第２の半導体層上及び第２の絶縁膜上に、第２の導電層（導電層１１０３０９、導電層１１０３１０及び導電層１１０３１１）が形成されている。導電層１１０３０９は、トランジスタ１１０３２０のソース電極とドレイン電極の一方として機能する部分を含む。導電層１１０３１０は、トランジスタ１１０３２０のソースとドレイン電極の他方として機能する部分を含む。導電層１１０３１２は、容量素子１１０３２１の第２の電極として機能する部分を含む。なお、第２の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＡ－Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなど、又はこれらの

合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４３３】

なお、第２の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【０４３４】

ここで、チャネルエッチ型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第１の半導体層及び第２の半導体層を形成することができる。具体的には、第１の半導体層と第２の半導体層とは連続して成膜される。そして、第１の半導体層及び第２の半導体層は、同じマスクを用いて形成される。

【０４３５】

チャネルエッチ型のトランジスタが特徴とする工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャネル領域を形成することができる。具体的には、第２の導電層が形成された後で、第２の導電層をマスクとして用いて第２の半導体層の一部を除去する。あるいは、第２の導電層と同じマスクを用いて第２の半導体層の一部を除去する。そして、除去された第２の半導体層の下部に形成されている第１の半導体層がトランジスタのチャネル領域となる。

【０４３６】

図５４は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図５４に示すトランジスタは、チャネル保護型（チャネルストップ型）と呼ばれる構造である。

【０４３７】

基板１１０４０１上に第１の絶縁膜（絶縁膜１１０４０２）が全面に形成されている。第１の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第１の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第１の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４３８】

なお、第１の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【０４３９】

第１の絶縁膜上に、第１の導電層（導電層１１０４０３及び導電層１１０４０４）が形成されている。導電層１１０４０３は、トランジスタ１１０４２０のゲート電極として機能する部分を含む。導電層１１０４０４は、容量素子１１０４２１の第１の電極として機能する部分を含む。なお、第１の導電層としては、Ｔｉ、Ｍｏ、ＴＣ、Ｃｒ、Ｗ、Ｃｌ、Ｎｄ、Ｃｕ、Ｃｇ、Ｃｕ、Ｐｔ、ＮＣ、Ｓｉ、Ｚｎ、Ｆｅ、ＣＣ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４４０】

少なくとも第１の導電層を覆うように、第２の絶縁膜（絶縁膜１１０４０２）が形成されている。第２の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第２の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４４１】

なお、半導体層に接する部分の第２の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第２の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【０４４２】

なお、第２の絶縁膜がＭｏと接する場合、Ｍｏと接する部分の第２の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はＭｏを酸化させないからである。

【０４４３】

第２の絶縁膜上のうち第１の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第１の半導体層（半導体層１１０４０６）が形成されている。そして、半導体層１１０４０８の一部は、第２の絶縁膜上のうち第１の導電層と重なって形成されていない部分まで延長されている。半導体層１１０４０６は、トランジスタ１１０４２０のチャネル領域として機能する部分を含む。なお、半導体層１１０４０６としては、アモルファスシリコン（Ｃ－Ｓｉ：Ｈ）等の非結晶性を有する半導体層、又は微結晶半導体（μ－Ｓｉ：Ｈ）等の半導体層などを用いることができる。

【０４４４】

第１の半導体層上の一部に、第３の絶縁膜（絶縁膜１１０４１２）が形成されている。絶縁膜１１０４１２は、トランジスタ１１０４２０のチャネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜１１０４１２は、チャネル保護膜（チャネルストップ膜）として機能する。なお、第３の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）などの単層、又はこれらの積層を用いることができる。

【０４４５】

第１の半導体層上の一部及び第３の絶縁膜上の一部に、第２の半導体層（半導体層１１０４０７及び半導体層１１０４０８）が形成されている。半導体層１１０４０７は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層１１０４０８は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第２の導体層としては、リン等を含んだシリコン等を用いることができる。

【０４４６】

第２の半導体層上に、第２の導電層（導電層１１０４０９、導電層１１０４１０及び導電層１１０４１１）が形成されている。導電層１１０４０９は、トランジスタ１１０４２０のソース電極とドレイン電極の一方として機能する部分を含む。導電層１１０４１０は、トランジスタ１１０４２０のソースとドレイン電極の他方として機能する部分を含む。導電層１１０４１２は、容量素子１１０４２１の第２の電極として機能する部分を含む。なお、第２の導電層としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、ＮＣ、Ｓｉ、Ｚｎ、Ｆｅ、Ｃａ、Ｇｅなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【０４４７】

なお、第２の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【０４４８】

ここで、チャネル保護型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第１の半導体層、第２の半導体層及び第２の導電層を形成することができる。同時に、チャネル領域を形成することができる。具体的には、第１の半導体層を成膜し、次に第３の絶縁膜（チャネル保護膜、チャネルストップ膜）をマスクを用いて形成し、次に第２の半導体層と第２の導電層とを連続して成膜する。そして、第２の導電層が成膜された後で、第１の半導体層、第２の半導体層及び第２の導電層が同じマスクを用いて形成される。ただし、第３の絶縁膜の下部の第１の半導体層は、第３の絶縁膜によって保護されるのでエッチングによって除去されない。この部分（第１の半導体層のうち上部に第３の絶縁膜が形成された部分）がチャネル領域となる。

【０４４９】

次に、トランジスタを製造するための基板として、半導体基板を用いた例について説明する。半導体基板を用いて製造されたトランジスタは、移動度が高いため、トランジスタ

サイズを小さくすることができる。その結果、単位面積当たりのトランジスタ数を増やす（集積度を上げる）ことができ、同一の回路構成では集積度が大きいほど基板サイズを小さくすることができるため、製造コストを低減できる。さらに、同一の基板サイズでは集積度が大きいほど回路規模を大きくすることができるため、製造コストはほぼ同等のままで、より高い機能を持たせることが可能となる。その上、特性のばらつきが少ないため、製造の歩留まりも高くすることができる。さらに、動作電圧が小さいので、消費電力を低減することができる。さらに、移動度が高いため、高速動作が可能である。

【０４５０】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、ＩＣチップ等の形態をとって装置に実装されることで、当該装置に様々な機能を持たせることができる。たとえば、表示装置の周辺駆動回路（データドライバ（ソースドライバ）、スキャンドライバ（ゲートドライバ）、タイミングコントローラ、画像処理回路、インターフェイス回路、電源回路、発振回路等）を、半導体基板を用いて製造されたトランジスタを集積して構成することで、サイズが小さく、消費電力が小さく、高速動作が可能な周辺駆動回路を、低コストで歩留まり高く製造することができる。なお、半導体基板を用いて製造されたトランジスタを集積して構成された回路は、単一の極性のトランジスタを有する構成であってもよい。こうすることで、製造プロセスを簡略化できるため、製造コストを低減できる。

【０４５１】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、その他には、たとえば、表示パネルに用いることができる。より詳細には、ＬＣＯＳ（Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ Ｏｎ Ｓｉｌｉｃｏｎ）等の反射型液晶パネル、微小ミラーを集積したＤＭＤ（Ｄｉｇｉｔａｌ Ｍｉｃｒｏｍｉｒｒｏｒ Ｄｅｖｉｃｅ）素子、ＥＬパネル等に用いることができる。これらの表示パネルを、半導体基板を用いて製造することで、サイズが小さく、消費電力が小さく、高速動作が可能な表示パネルを、低コストで歩留まり高く製造することができる。なお、表示パネルには、大規模集積回路（ＬＳＩ）など、表示パネルの駆動以外の機能を持った素子上に形成されたものも含む。

【０４５２】

以下に、半導体基板を用いてトランジスタを製造する方法について述べる。

【０４５３】

まず、半導体基板１１０６００に素子を分離した領域１１０６０４、１１０６０６（以下、領域１１０６０４、１１０６０６とも記す）を形成する（図５６（Ａ）参照）。半導体基板１１０６００に設けられた領域１１０６０４、１１０６０６は、それぞれ絶縁膜１１０６０２（フィールド酸化膜ともいう）によって分離されている。ここでは、半導体基板１１０６００としてｎ型の導電型を有する単結晶Ｓｉ基板を用い、半導体基板１１０６００の領域１１０６０６にｐウェル１１０６０７を設けた例を示している。

【０４５４】

基板１１０６００は、半導体基板であれば特に限定されず用いることができる。例えば、ｎ型又はｐ型の導電型を有する単結晶Ｓｉ基板、化合物半導体基板（ＧａＡｓ基板、ＩｎＰ基板、ＧａＮ基板、ＳｉＣ基板、サファイア基板、ＺｎＳｅ基板等）、貼り合わせ法またはＳＩＭＯＸ（Ｓｅｐａｒａｔｉｏｎ ｂｙ Ｉｍｐｌａｎｔｅｄ Ｏｘｙｇｅｎ）法を用いて作製されたＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）基板等を用いることができる。

【０４５５】

素子分離領域１１０６０４、１１０６０６は、選択酸化法（ＬＯＣＯＳ（Ｌｏｃａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）法）又はトレンチ分離法等を適宜用いることができる。

【０４５６】

半導体基板１１０６００の領域１１０６０６に形成されたｐウェルは、半導体基板１１０６００にｐ型の導電型を有する不純物元素を選択的に導入することによって形成するこ

とができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。

【０４５７】

なお、本実施例では、半導体基板１１０６００としてｎ型の導電型を有する半導体基板を用いているため、領域１１０６０４には不純物元素の導入を行っていないが、ｎ型を示す不純物元素を導入することにより領域１１０６０４にｎウェルを形成してもよい。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。一方、ｐ型の導電型を有する半導体基板を用いる場合には、領域１１０６０４にｎ型を示す不純物元素を導入してｎウェルを形成し、領域１１０６０６には不純物元素の導入を行わない構成としてもよい。

【０４５８】

次に、領域１１０６０４、１１０６０６を覆うように絶縁膜１１０６３２、１１０６３４をそれぞれ形成する（図５６（Ｂ）参照）。

【０４５９】

絶縁膜１１０６３２、１１０６３４は、例えば、熱処理を行い半導体基板１１０６００に設けられた領域１１０６０４、１１０６０６の表面を酸化させることにより酸化珪素膜で絶縁膜１１０６３２、１１０６３４を形成することができる。熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜（酸窒化珪素膜）との積層構造で形成してもよい。

【０４６０】

他にも、上述したように、プラズマ処理を用いて絶縁膜１１０６３２、１１０６３４を形成してもよい。例えば、半導体基板１１０６００に設けられた領域１１０６０４、１１０６０６の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜１１０６３２、１１０６３４として酸化珪素（ＳｉＯｘ）膜又は窒化珪素（ＳｉＮｘ）膜で形成することができる。別の例として高密度プラズマ処理により領域１１０６０４、１１０６０６の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域１１０６０４、１１０６０６の表面に接して酸化珪素膜が形成され、当該酸化珪素膜に（酸窒化珪素膜）が形成され、絶縁膜１１０６３２、１１０６３４は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。別の例として、熱酸化法により領域１１０６０４、１１０６０６の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【０４６１】

半導体基板１１０６００の領域１１０６０４、１１０６０６に形成された絶縁膜１１０６３２、１１０６３４は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【０４６２】

次に、領域１１０６０４、１１０６０６に形成された絶縁膜１１０６３２、１１０６３４を覆うように導電膜を形成する（図５６（Ｃ）参照）。ここでは、導電膜として、導電膜１１０６３６と導電膜１１０６３８を順に積層して形成した例を示している。もちろん、導電膜は、単層又は３層以上の積層構造で形成してもよい。

【０４６３】

導電膜１１０６３６、１１０６３８としては、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

【０４６４】

ここでは、導電膜１１０６３６として窒化タンタルを用い、さらに、導電膜１１０６３８としてタングステンを用いた積層構造とする。他にも、導電膜１１０６３６としては、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用いることができる。導電膜１１０６３８としては、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【０４６５】

次に、積層して設けられた導電膜１１０６３６、１１０６３８を選択的にエッチングして除去することによって、領域１１０６０４、１１０６０６の一部に導電膜１１０６３６、１１０６３８を残存させ、それぞれゲート電極１１０６４０、１１０６４２を形成する（図５７（Ａ）参照）。

【０４６６】

次に、領域１１０６０４を覆うようにレジストマスク１１０６４８を選択的に形成し、当該レジストマスク１１０６４８、ゲート電極１１０６４２をマスクとして領域１１０６０６に不純物元素を導入することによって不純物領域１１０６５２を形成する（図５７（Ｂ）参照）。不純物元素としては、ｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いる。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、不純物元素として、リン（Ｐ）を用いる。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【０４６７】

図５７（Ｂ）においては、不純物元素を導入することによって、領域１１０６０６にソース又はドレイン領域を形成する不純物領域１１０６５２とチャネル形成領域１１０６５０が形成される。

【０４６８】

次に、領域１１０６０６を覆うようにレジストマスク１１０６６６を選択的に形成し、当該レジストマスク１１０６６６、ゲート電極１１０６４０をマスクとして領域１１０６０４に不純物元素を導入することによって不純物領域１１０６７０を形成する（図５７（Ｃ）参照）。不純物元素としては、ｎ型を付与する不純物元素又はｐ型を付与する不純物元素を用いる。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、図５７（Ｃ）で領域１１０６０６に導入した不純物元素と異なる導電型を有する不純物元素（例えば、ボロン（Ｂ））を導入する。その結果、領域１１０６０４にソース又はドレイン領域を形成する不純物領域１１０６７０とチャネル形成領域１１０６６８が形成される。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【０４６９】

次に、絶縁膜１１０６３２、１１０６３４、ゲート電極１１０６４０、１１０６４２を覆うように第２の絶縁膜１１０６７２を形成する。さらに、領域１１０６０４、１１０６０６にそれぞれ形成された不純物領域１１０６５２、１１０６７０と電気的に接続する配線１１０６７４を形成する（図５７（Ｄ）参照）。

【０４７０】

第２の絶縁膜１１０６７２は、ＣＶＤ法やスパッタ法等により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Ｓｉ－Ｏ－Ｓｉ結合を含む材料に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えば

アルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【０４７１】

配線１１０６７４は、ＣＶＤ法やスパッタリング法等により、アルミニウム（Ａｌ）、タングステン（Ｗ）、チタン（Ｔｉ）、タンタル（Ｔａ）、モリブデン（Ｍｏ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、銅（Ｃｕ）、金（Ａｕ）、銀（Ａｇ）、マンガン（Ｍｎ）、ネオジウム（Ｎｄ）、炭素（Ｃ）、シリコン（Ｓｉ）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線１１０６７４は、例えば、バリア膜とアルミニウムシリコン（Ａｌ－Ｓｉ）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Ａｌ－Ｓｉ）膜と窒化チタン（ＴｉＮ）膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線１１０６７４を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元する。その結果、配線１１０６７４は、結晶質半導体膜と、電気的および物理的に良好に接続することができる。

【０４７２】

なお、トランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンＦＥＴ構造等の構造のトランジスタの構造を取り得る。フィンＦＥＴ構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【０４７３】

次に、トランジスタを製造するための基板として、半導体基板を用いた別の例について説明する。

【０４７４】

まず、基板１１０８００に絶縁膜を形成する。ここでは、ｎ型の導電型を有する単結晶Ｓｉを基板１１０８００として用い、当該基板１１０８００に絶縁膜１１０８０２と絶縁膜１１０８０４を形成する（図５８（Ａ）参照）。例えば、基板１１０８００に熱処理を行うことにより絶縁膜１１０８０２として酸化珪素（ＳｉＯｘ）を形成する。さらに、ＣＶＤ法等を用いて窒化珪素（ＳｉＮｘ）を成膜する。

【０４７５】

基板１１０８００は、半導体基板であれば特に限定されず用いることができる。例えば、ｎ型又はｐ型の導電型を有する単結晶Ｓｉ基板、化合物半導体基板（ＧａＡｓ基板、ＩｎＰ基板、ＧａＮ基板、ＳｉＣ基板、サファイア基板、ＺｎＳｅ基板等）、貼り合わせ法またはＳＩＭＯＸ（Ｓｅｐａｒａｔｉｏｎ ｂｙ ＩＭｐｌａｎｔｅｄ ＯＸｙｇｅｎ）法を用いて作製されたＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）基板等を用いることができる。

【０４７６】

絶縁膜１１０８０４は、絶縁膜１１０８０２を形成した後に高密度プラズマ処理により当該絶縁膜１１０８０２を窒化することにより設けてもよい。なお、絶縁膜は単層又は３層以上の積層構造であってもよい。

【０４７７】

次に、選択的にレジストマスク１１０８０６のパターンを形成し、当該レジストマスク１１０８０６をマスクとして選択的にエッチングを行うことによって、基板１１０８００に選択的に凹部１１０８０８を形成する（図５８（Ｂ）参照）。基板１１０８００、絶縁

膜１１０８０２、１１０８０４のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【０４７８】

次に、レジストマスク１１０８０６のパターンを除去した後、基板１１０８００に形成された凹部１１０８０８を充填するように絶縁膜１１０８１０を形成する（図５８（Ｃ）参照）。

【０４７９】

絶縁膜１１０８１０は、ＣＶＤ法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ＳｉＯｘＮｙ）（ｘ＞ｙ＞０）、窒化酸化シリコン（ＳｉＮｘＯｙ）（ｘ＞ｙ＞０）等の絶縁材料を用いて形成する。ここでは、絶縁膜１１０８１０として、常圧ＣＶＤ法または減圧ＣＶＤ法によりＴＥＯＳ（テトラエチルオルソシリケート）ガスを用いて酸化珪素膜を形成する。

【０４８０】

次に、研削処理、研磨処理又はＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）処理を行うことによって、基板１１０８００の表面を露出させる。すると、基板１１０８００の表面は、基板１１０８００の凹部１１０８０８に形成された絶縁膜１１０８１０によって分断される。（図５９（Ａ）参照）ここでは、分断された領域を、それぞれ領域１１０８１２、１１０８１３とする。なお、絶縁膜１１０８１１は、研削処理、研磨処理又はＣＭＰ処理によって、絶縁膜１１０８１０の一部が除去されることで得られたものである。

【０４８１】

続いて、ｐ型の導電型を有する不純物元素を選択的に導入することによって、基板１１０８００の領域１１０８１３にｐウェル１１０８１５を形成する。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、不純物元素として、ボロン（Ｂ）を領域１１０８１３に導入する。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【０４８２】

なお、基板１１０８００としてｎ型の導電型を有する半導体基板を用いた場合、領域１１０８１２には不純物元素の導入を行わなくてもよいが、ｎ型を示す不純物元素を導入することにより領域１１０８１２にｎウェルを形成してもよい。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。

【０４８３】

一方、ｐ型の導電型を有する半導体基板を用いる場合には、領域１１０８１２にｎ型を示す不純物元素を導入してｎウェルを形成し、領域１１０８１２、１１０８１３には不純物元素の導入を行わない構成としてもよい。

【０４８４】

次に、基板１１０８００の領域１１０８１２、１１０８１３の表面に絶縁膜１１０８３２、１１０８３４をそれぞれ形成する（図５９（Ｂ）参照）。

【０４８５】

絶縁膜１１０８３２、１１０８３４は、例えば、熱処理を行い基板１１０８００に設けられた領域１１０８１２、１１０８１３の表面を酸化させることにより酸化珪素膜で絶縁膜１１０８３２、１１０８３４を形成することができる。あるいは、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜（酸窒化珪素膜）との積層構造で形成してもよい。

【０４８６】

他にも、上述したように、プラズマ処理を用いて絶縁膜１１０８３２、１１０８３４を形成してもよい。例えば、基板１１０８００に設けられた領域１１０８１２、１１０８１３の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜１

１０８３２、１１０８３４として酸化珪素（ＳｉＯｘ）膜又は窒化珪素（ＳｉＮｘ）膜で形成することができる。別の例として、高密度プラズマ処理により領域１１０８１２、１１０８１３の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域１１０８１２、１１０８１３の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に（酸窒化珪素膜）が形成され、絶縁膜１１０８３２、１１０８３４は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。別の例として、熱酸化法により領域１１０８１２、１１０８１３の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【０４８７】

なお、基板１１０８００の領域１１０８１２、１１０８１３に形成された絶縁膜１１０８３２、１１０８３４は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【０４８８】

次に、基板１１０８００に設けられた領域１１０８１２、１１０８１３に形成された絶縁膜１１０８３２、１１０８３４を覆うように導電膜を形成する（図５９（Ｃ）参照）。ここでは、導電膜として、導電膜１１０８３６と導電膜１１０８３８を順に積層して形成した例を示している。もちろん、導電膜は、単層又は３層以上の積層構造で形成してもよい。

【０４８９】

導電膜１１０８３６、１１０８３８としては、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

【０４９０】

ここでは、導電膜１１０８３６として窒化タンタルを用い、さらに導電膜１１０８３８としてタングステンを用いた積層構造とする。他にも、導電膜１１０８３６としては、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用いることができる。導電膜１１０８３８としては、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【０４９１】

次に、積層して設けられた導電膜１１０８３６、１１０８３８を選択的にエッチングして除去することによって、基板１１０８００の領域１１０８１２、１１０８１３の一部に導電膜１１０８３６、１１０８３８を残存させ、それぞれゲート電極として機能する導電膜１１０８４０、１１０８４２を形成する（図５９（Ｄ）参照）。ここでは、導電膜１１０８４０、１１０８４２と重ならない領域において、基板１１０８００の表面が露出するようにする。

【０４９２】

具体的には、基板１１０８００の領域１１０８１２において、絶縁膜１１０８３２のうち導電膜１１０８４０と重ならない部分を選択的に除去し、導電膜１１０８４０と絶縁膜１１０８３２の端部が概略一致するように形成する。さらに、基板１１０８００の領域１１０８１３において、絶縁膜１１０８３４のうち導電膜１１０８４２と重ならない部分を選択的に除去し、導電膜１１０８４２と絶縁膜１１０８３４の端部が概略一致するように形成する。

【０４９３】

この場合、導電膜１１０８４０、１１０８４２の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜１１０８４０、１１０８４２を形成後残存したレジストマスク又は当該導電膜１１０８４０、１１０８４２をマスクとして重ならない部分の絶縁膜

等を除去してもよい。

【０４９４】

次に、基板１１０８００の領域１１０８１２、１１０８１３に不純物元素を選択的に導入する（図６０（Ａ）参照）。ここでは、領域１１０８１３に導電膜１１０８４２をマスクとしてｎ型を付与する低濃度の不純物元素を選択的に導入し、領域１１０８１２に導電膜１１０８４０をマスクとしてｐ型を付与する低濃度の不純物元素を選択的に導入する。ｎ型を付与する不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を付与する不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【０４９５】

次に、導電膜１１０８４０、１１０８４２の側面に接するサイドウォール１１０８５４を形成する。具体的には、プラズマＣＶＤ法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜１１０８４０、１１０８４２の側面に接するように形成することができる。なお、サイドウォール１１０８５４は、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　ｄｒａｉｎ）領域を形成する際のドーピング用のマスクとして用いる。ここでは、サイドウォール１１０８５４は、導電膜１１０８４０、１１０８４２の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

【０４９６】

続いて、当該サイドウォール１１０８５４、導電膜１１０８４０、１１０８４２をマスクとして基板１１０８００の領域１１０８１２、１１０８１３に不純物元素を導入することによって、ソース又はドレイン領域として機能する不純物領域を形成する（図６０（Ｂ）参照）。ここでは、基板１１０８００の領域１１０８１３にサイドウォール１１０８５４と導電膜１１０８４２をマスクとして高濃度のｎ型を付与する不純物元素を導入し、領域１１０８１２にサイドウォール１１０８５４と導電膜１１０８４０をマスクとして高濃度のｐ型を付与する不純物元素を導入する。

【０４９７】

その結果、基板１１０８００の領域１１０８１２には、ソース又はドレイン領域を形成する不純物領域１１０８５８と、ＬＤＤ領域を形成する低濃度不純物領域１１０８６０と、チャネル形成領域１１０８５６が形成される。そして、基板１１０８００の領域１１０８１３には、ソース又はドレイン領域を形成する不純物領域１１０８６４と、ＬＤＤ領域を形成する低濃度不純物領域１１０８６６と、チャネル形成領域１１０８６２が形成される。

【０４９８】

なお、ここでは、サイドウォールを用いてＬＤＤ領域を形成する例を示したが、これに限定されない。サイドウォールを用いずに、マスク等を用いてＬＤＤ領域を形成してもよいし、ＬＤＤ領域を形成しなくてもよい。ＬＤＤ領域を形成しない場合は、製造プロセスを簡単にすることができるため、製造コストを低減することができる。

【０４９９】

なお、ここでは、導電膜１１０８４０、１１０８４２と重ならない領域において基板１１０８００の表面を露出させた状態で不純物元素の導入を行っている。従って、基板１１０８００の領域１１０８１２、１１０８１３にそれぞれ形成されるチャネル形成領域１１０８５６、１１０８６２は導電膜１１０８４０、１１０８４２によって自己整合的に形成することができる。

【０５００】

次に、基板１１０８００の領域１１０８１２、１１０８１３に設けられた絶縁膜や導電膜等を覆うように第２の絶縁膜１１０８７７を形成し、当該絶縁膜１１０８７７に開口部１１０８７８を形成する（図６０（Ｃ）参照）。

【０５０１】
第２の絶縁膜１１０８７７は、ＣＶＤ法やスパッタ法等により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Ｓｉ－Ｏ－Ｓｉ結合を含む材料に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。
【０５０２】
次に、ＣＶＤ法を用いて開口部１１０８７８に導電膜１１０８８０を形成し、当該導電膜１１０８８０と電気的に接続するように絶縁膜１１０８７７上に導電膜１１０８８２ａ～１１０８８２ｄを選択的に形成する（図６０（Ｄ）参照）。
【０５０３】
導電膜１１０８８０、１１０８８２ａ～１１０８８２ｄは、ＣＶＤ法やスパッタリング法等により、アルミニウム（Ａｌ）、タングステン（Ｗ）、チタン（Ｔｉ）、タンタル（Ｔａ）、モリブデン（Ｍｏ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、銅（Ｃｕ）、金（Ａｕ）、銀（Ａｇ）、マンガン（Ｍｎ）、ネオジウム（Ｎｄ）、炭素（Ｃ）、シリコン（Ｓｉ）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜１１０８８０、１１０８８２ａ～１１０８８２ｄは、例えば、バリア膜とアルミニウムシリコン（Ａｌ－Ｓｉ）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Ａｌ－Ｓｉ）膜と窒化チタン（ＴｉＮ）膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜１１０８８０を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜１１０８８０はＣＶＤ法によりタングステン（Ｗ）を選択成長することにより形成することができる。
【０５０４】
以上の工程により、基板１１０８００の領域１１０８１２に形成されたｐ型のトランジスタと、領域１１０８１３に形成されたｎ型のトランジスタとを得ることができる。
【０５０５】
なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンＦＥＴ構造等の構造のトランジスタの構造を取り得る。フィンＦＥＴ構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。
【０５０６】
ここまで、トランジスタの構造及びトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム（Ａｌ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、ネオジウム（Ｎｄ）、クロム（Ｃｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、銀（Ａｇ）、銅（Ｃｕ）、マグネシウム（Ｍｇ）、スカンジウム（Ｓｃ）、コバルト（Ｃ

ｏ）、亜鉛（Ｚｎ）、ニオブ（Ｎｂ）、シリコン（Ｓｉ）、リン（Ｐ）、ボロン（Ｂ）、ヒ素（Ａｓ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）、錫（Ｓｎ）、酸素（Ｏ）で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化珪素を含むインジウム錫酸化物（ＩＴＳＯ）、酸化亜鉛（ＺｎＯ）、酸化錫（ＳｎＯ）、酸化錫カドミウム（ＣＴＯ）、アルミネオジウム（Ａｌ－Ｎｄ）、マグネシウム銀（Ｍｇ－Ａｇ）、モリブデンニオブ（Ｍｏ－Ｎｂ）など）で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

【０５０７】

なお、シリコン（Ｓｉ）には、ｎ型不純物（リンなど）またはｐ型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上したり、通常の導体と同様な振る舞いをすることが可能となる。従って、配線、電極などとして利用しやすくなる。

【０５０８】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、シリコンは非晶質（アモルファスシリコン）などの結晶性を有さないシリコンを用いることが出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【０５０９】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

【０５１０】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【０５１１】

なお、モリブデンまたはチタンは、酸化物半導体（ＩＴＯ、ＩＺＯなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【０５１２】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【０５１３】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【０５１４】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【０５１５】

なお、ＩＴＯ、ＩＺＯ、ＩＴＳＯ、酸化亜鉛（ＺｎＯ）、シリコン（Ｓｉ）、酸化錫（ＳｎＯ）、酸化錫カドミウム（ＣＴＯ）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【０５１６】

なお、ＩＺＯは、エッチングしやすく、加工しやすいため、望ましい。ＩＺＯは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてＩＺＯを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減出来る。

【０５１７】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

【０５１８】

ここで、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っていって、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ＩＴＯとアルミニウムとを接続させる場合は、ＩＴＯとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムとを接続させる場合は、ＩＴＯとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

【０５１９】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていても良いし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【０５２０】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどとして、カーボンナノチューブを用いても良い。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【０５２１】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０５２２】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０５２３】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【０５２４】
（実施の形態４）
本実施の形態においては、表示装置の構成について説明する。
【０５２５】
図６１（Ａ）を参照して、表示装置の構成について説明する。図６１（Ａ）は、表示装置の上面図である。
【０５２６】
画素部１７０１０１、走査線側入力端子１７０１０３及び信号線側入力端子１７０１０４が基板１７０１００上に形成され、走査線が走査線側入力端子１７０１０３から行方向に延在して基板１７０１００上に形成され、信号線が信号線側入力端子１７０１０４から列方向に延在して基板１７０１００上に形成されている。そして、画素１７０１０２が画素部１７０１０１に走査線と信号線とが交差するところで、マトリクス状に配置されている。
【０５２７】
走査線側入力端子１７０１０３は、基板１７０１００の行方向の両側に形成されている。そして、一方の走査線側入力端子１７０１０３から延在する走査線と、他方の走査線側入力端子１７０１０３から延在する走査線とは、交互に形成されている。この場合、画素１７０１０２を高密度に配置することができるため、高精細な表示装置を得ることができる。ただし、これに限定されず、走査線側入力端子１７０１０３が基板１７０１００の行方向の一方だけに形成されていてもよい。この場合、表示装置の額縁を小さくすることができる。画素部１７０１０１の領域の拡大を図ることができる。別の例として、一方の走査線側入力端子１７０１０３から延在する走査線と、他方の走査線側入力端子１７０１０３から延在する走査線とが共通になっていてもよい。この場合、大型の表示装置などの、走査線の負荷が大きい表示装置などに適している。なお、信号が外付けの駆動回路から走査線側入力端子１７０１０３を介して走査線に入力されている。
【０５２８】
信号線側入力端子１７０１０４は、基板１７０１００の列方向の一方に形成されている。この場合、表示装置の額縁を小さくすることができる。画素部１７０１０１の領域の拡大を図ることができる。ただし、これに限定されず、信号線側入力端子１７０１０４は、基板１７０１００の列方向の両側に形成されていてもよい。この場合、画素１７０１０２を高密度に配置することができる。なお、信号が外付けの駆動回路から信号線側入力端子１７０１０４を介して走査線に入力されている。
【０５２９】
画素１７０１０２は、スイッチング素子と画素電極を有している。画素１７０１０２それぞれにおいて、スイッチング素子の第１端子が信号線に接続され、スイッチング素子の第２端子が画素電極に接続されている。そして、スイッチング素子のオンとオフが走査線によって制御されている。ただし、これに限定されず、様々な構成を用いることができる。例えば、画素１７０１０２は、容量素子を有していてもよい。この場合、容量線を基板１７０１００上に形成することが望ましい。別の例として、画素１７０１０２は、駆動トランジスタなどの電流源を有していてもよい。この場合、電源線を基板１７０１００上に形成することが望ましい。
【０５３０】
なお、基板１７０１００として、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。
【０５３１】

なお、画素１７０１０２が有するスイッチング素子として、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、画素１７０１０２が有するスイッチング素子としてＭＯＳトランジスタを用いた場合、ゲート電極が走査線に接続され、第１端子が信号線に接続され、第２端子が画素電極に接続される。

【０５３２】

ここまで、外付けの駆動回路によって信号を入力する場合について説明した。ただし、これに限定されず、ＩＣチップを表示装置に実装することができる。

【０５３３】

例えば、図６２（Ａ）に示すように、ＣＯＧ（Ｃｈｉｐ　ｏｎ　Ｇｌａｓｓ）方式によって、ＩＣチップ１７０２０１を基板１７０１００に実装することができる。この場合、ＩＣチップ１７０２０１を基板１７０１００に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。なお、図６１（Ａ）の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５３４】

別の例として、図６２（Ｂ）に示すように、ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）方式によって、ＩＣチップ１７０２０１をＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）１７０２００に実装することができる。この場合、ＩＣチップ１７０２０１をＦＰＣ１７０２００に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。なお、図６１（Ａ）の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５３５】

ここで、ＩＣチップを基板１７０１００に実装するだけでなく、駆動回路を基板１７０１００上に形成することができる。

【０５３６】

例えば、図６１（Ｂ）に示すように、走査線駆動回路１７０１０５を基板１７０１００上に形成することができる。この場合、部品点数の削減によるコストの低減を図ることができる。回路部品との接続点数の低減による信頼性の向上を図ることができる。走査線駆動回路１７０１０５は駆動周波数が低いので、トランジスタの半導体層として非結晶シリコン又は微結晶シリコンを用いて走査線駆動回路１７０１０５を容易に形成することができる。なお、信号線に信号を出力するためのＩＣチップを基板１７０１００にＣＯＧ方式で実装してもよい。あるいは、信号線に信号を出力するためのＩＣチップをＴＡＢ方式で実装したＦＰＣを基板１７０１００に配置してもよい。なお、走査線駆動回路１７０１０５を制御するためのＩＣチップを基板１７０１００にＣＯＧ方式で実装してもよい。あるいは、走査線駆動回路１７０１０５を制御するためのＩＣチップをＴＡＢ方式で実装したＦＰＣを基板１７０１００に配置してもよい。なお、図６１（Ａ）の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５３７】

別の例として、図６１（Ｃ）に示すように、走査線駆動回路１７０１０５及び信号線駆動回路１７０１０６を基板１７０１００上に形成することができる。このため、部品点数の削減によるコストの低減を図ることができる。回路部品との接続点数の低減による信頼性の向上を図ることができる。なお、走査線駆動回路１７０１０５を制御するためのＩＣチップを基板１７０１００にＣＯＧ方式で実装してもよい。あるいは、走査線駆動回路１７０１０５を制御するためのＩＣチップをＴＡＢ方式で実装したＦＰＣを基板１７０１００に配置してもよい。信号線駆動回路１７０１０６を制御するためのＩＣチップを基板１７０１００にＣＯＧ方式で実装してもよい。あるいは、信号線駆動回路１７０１０６を制御

するためのＩＣチップをＴＡＢ方式で実装したＦＰＣを基板１７０１００に配置してもよい。なお、図６１（Ａ）の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５３８】

次に、図６３を参照して、別の表示装置の構成について説明する。具体的には、ＴＦＴ基板と、対向基板と、ＴＦＴ基板と対向基板との間に狭持された表示層とを有する表示装置について説明する。図６３は、表示装置の上面図である。

【０５３９】

基板１７０３００上に、画素部１７０３０１、走査線駆動回路１７０３０２ａ、走査線駆動回路１７０３０２ｂ及び信号線駆動回路１７０３０３が形成されている。そして、これらの画素部１７０３０１、走査線駆動回路１７０３０２ａ、走査線駆動回路１７０３０２ｂ及び信号線駆動回路１７０３０３は、シール材１７０３２１によって基板１７０３００と基板１７０３１０との間に封止されている。

【０５４０】

さらに、ＦＰＣ１０７３２０が基板１７０３００に配置されている。そして、ＩＣチップ１０７３２１がＦＰＣ１７０３２０にＴＡＢ方式で実装されている。

【０５４１】

画素部１７０３０１には、複数の画素がマトリクス状に配置されている。そして、走査線が走査線駆動回路１７０３０２ａから行方向に延在して基板１７０３００上に形成されている。走査線が走査線駆動回路１７０３０２ｂから行方向に延在して基板１７０３００上に形成されている。信号線が信号線駆動回路１７０３０３から列方向に延在して基板１７０３００上に形成されている。

【０５４２】

走査線駆動回路１７０３０２ａが基板１７０３００の行方向の一方に形成され、走査線駆動回路１７０３０２ｂが基板１７０３００の行方向の他方に形成されている。そして、走査線駆動回路１７０３０２ａから延在する走査線と、走査線駆動回路１７０３０２ｂから延在する走査線とは、交互に形成されている。したがって、高精細な表示装置を得ることができる。ただし、これに限定されず、走査線駆動回路１７０３０２ａと走査線駆動回路１７０３０２ｂのどちらか一方だけが、基板１７０３００上に形成されていてもよい。この場合、表示装置の額縁を小さくすることができる。画素部１７０３０１の領域の拡大を図ることができる。別の例として、走査線駆動回路１７０３０２ａから延在する走査線と、走査線駆動回路１７０３０２ｂから延在する走査線とが、共通になっていてもよい。この場合、大型の表示装置などの、走査線の負荷が大きい表示装置などに適している。

【０５４３】

信号線駆動回路１７０３０３は、基板１７０３００の列方向の一方に形成されている。このため、表示装置の額縁を小さくすることができる。画素部１７０３０１の領域の拡大を図ることができる。ただし、これに限定されず、信号線駆動回路１７０３０３が基板１７０３００上の列方向の両側に形成されていてもよい。この場合、高精細な表示装置を得ることができる。

【０５４４】

なお、基板１７０３００として、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

【０５４５】

なお、表示装置が有するスイッチング素子として、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮ

ダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。ただし、これに限定されず、様々なものを用いることができる。

【０５４６】

ここまで、駆動回路が画素部と同じ基板上に形成されている場合について説明した。ただし、これに限定されず、駆動回路の一部又は全部を形成した別の基板をＩＣチップとして、画素部が形成されている基板に実装してもよい。

【０５４７】

例えば、図６４（Ａ）に示すように、信号線駆動回路の代わりにＩＣチップ１７０４０１を基板１７０３００にＣＯＧ方式で実装することができる。この場合、信号線駆動回路の代わりにＩＣチップ１７０４０１を基板１７０３００にＣＯＧ方式で実装することによって、消費電力の増加を防ぐことができる。なぜなら、信号線駆動回路は駆動周波数が高いので、消費電力が大きいからである。ＩＣチップ１７０４０１を基板１７０３００に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。走査線駆動回路１７０３０２ａ及び走査線駆動回路１７０３０２ｂは駆動周波数が低いので、トランジスタの半導体層として非結晶シリコン又は微結晶シリコンを用いて走査線駆動回路１７０３０２ａ及び走査線駆動回路１７０３０２ｂを容易に形成することができる。よって、大型の基板を用いて表示装置を製造することができる。なお、図６３の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５４８】

別の例として、図６４（Ｂ）に示すように、信号線駆動回路の代わりにＩＣチップ１７０４０１を基板１７０３００にＣＯＧ方式で実装し、走査線駆動回路１７０３０２ａの代わりにＩＣチップ１７０５０１ａを基板１７０３００にＣＯＧ方式で実装し、走査線駆動回路１７０３０２ｂの代わりにＩＣチップ１７０５０１ｂを基板１７０３００にＣＯＧ方式で実装してもよい。この場合、ＩＣチップ１７０４０１、ＩＣチップ１７０５０１ａ及びＩＣチップ１７０５０１ｂを基板１７０３００に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。基板１７０３００に形成されるトランジスタの半導体層として非結晶シリコン又は微結晶シリコンを容易に用いることができる。よって、大型の基板を用いて表示装置を製造することができる。なお、図６３の構成と共通するところは共通の符号を用いて、その説明を省略する。

【０５４９】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０５５０】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０５５１】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【０５５２】

（実施の形態５）

本実施の形態においては、表示装置の動作について説明する。

【０５５３】

図６５は、表示装置の構成例を示す図である。

【０５５４】

表示装置１８０１００は、画素部１８０１０１、信号線駆動回路１８０１０３及び走査線駆動回路１８０１０４を有する。画素部１８０１０１には、複数の信号線Ｓ１乃至Ｓｍが信号線駆動回路１８０１０３から列方向に延伸して配置されている。画素部１８０１０１には、複数の走査線Ｇ１乃至Ｇｎが走査線駆動回路１８０１０４から行方向に延伸して配置されている。そして、複数の信号線Ｓ１乃至Ｓｍと複数の走査線Ｇ１乃至Ｇｎとがそれぞれ交差するところで、画素１８０１０２がマトリクス状に配置されている。

【０５５５】

なお、信号線駆動回路１８０１０３は、信号線Ｓ１乃至Ｓｎそれぞれに信号を出力する機能を有する。この信号をビデオ信号と呼んでもよい。なお、走査線駆動回路１８０１０４は、走査線Ｇ１乃至Ｇｍそれぞれに信号を出力する機能を有する。この信号を走査信号と呼んでもよい。

【０５５６】

なお、画素１８０１０２は、少なくとも信号線と接続されたスイッチング素子を有している。このスイッチング素子は、走査線の電位（走査信）によってオン、オフが制御される。そして、スイッチング素子がオンしている場合に画素１８０１０２は選択され、オフしている場合に画素１８０１０２は選択されない。

【０５５７】

画素１８０１０２が選択されている場合（選択状態）は、信号線から画素１８０１０２にビデオ信号が入力される。そして、画素１８０１０２の状態（例えば、輝度、透過率、保持容量の電圧など）は、この入力されたビデオ信号に応じて変化する。

【０５５８】

画素１８０１０２が選択されていない場合（非選択状態）は、ビデオ信号が画素１８０１０２に入力されない。ただし、画素１８０１０２は選択時に入力されたビデオ信号に応じた電位を保持しているため、画素１８０１０２はビデオ信号に応じた（例えば、輝度、透過率、保持容量の電圧など）を維持する。

【０５５９】

なお、表示装置の構成は、図６５に限定されない。例えば、画素１８０１０２の構成に応じて、新たに配線（走査線、信号線、電源線、容量線又はコモン線など）を追加してもよい。別の例として、様々な機能を有する回路を追加してもよい。

【０５６０】

図６６は、表示装置の動作を説明するためのタイミングチャートの一例を示す。

【０５６１】

図６６のタイミングチャートは、１画面分の画像を表示する期間に相当する１フレーム期間を示す。１フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも１／６０秒以下とすることが好ましい。

【０５６２】

図６６のタイミングチャートは、１行目の走査線Ｇ１、ｉ行目の走査線Ｇｉ（走査線Ｇ１乃至Ｇｍのうちいずれか一）、ｉ＋１行目の走査線Ｇｉ＋１及びｍ行目の走査線Ｇｍがそれぞれ選択されるタイミングを示している。

【０５６３】

なお、走査線が選択されると同時に、当該走査線に接続されている画素１８０１０２も選択される。例えば、ｉ行目の走査線Ｇｉが選択されていると、ｉ行目の走査線Ｇｉに接続されている画素１８０１０２も選択される。

【０５６４】

走査線Ｇ１乃至Ｇｍの走査線それぞれは、１行目の走査線Ｇ１からｍ行目の走査線Ｇｍまで順に選択される（以下、走査するともいう）。例えば、ｉ行目の走査線Ｇｉが選択され

ている期間は、ｉ行目の走査線Ｇｉ以外の走査線（Ｇ１乃至Ｇｉ－１、Ｇｉ＋１乃至Ｇｍ）は選択されない。そして、次の期間に、ｉ＋１行目の走査線Ｇｉ＋１が選択される。なお、１つの走査線が選択されている期間を１ゲート選択期間と呼ぶ。

【０５６５】

したがって、ある行の走査線が選択されると、当該走査線に接続された複数の画素１８０１０２に、信号線Ｇ１乃至信号線Ｇｍそれぞれからビデオ信号が入力される。例えば、ｉ行目の走査線Ｇｉが選択されている間、ｉ行目の走査線Ｇｉに接続されている複数の画素１８０１０２は、各々の信号線Ｓ１乃至Ｓｎから任意のビデオ信号をそれぞれ入力する。こうして、個々の複数の画素１８０１０２を走査信号及びビデオ信号によって、独立して制御することができる。

【０５６６】

次に、１ゲート選択期間を複数のサブゲート選択期間に分割した場合について説明する。図６７は、１ゲート選択期間を２つのサブゲート選択期間（第１のサブゲート選択期間及び第２のサブゲート選択期間）に分割した場合のタイミングチャートを示す。

【０５６７】

なお、１ゲート選択期間を３つ以上のサブゲート選択期間に分割することもできる。

【０５６８】

図６７のタイミングチャートは、１画面分の画像を表示する期間に相当する１フレーム期間を示す。１フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも１／６０秒以下とすることが好ましい。

【０５６９】

なお、１フレームは２つのサブフレーム（第１のサブフレーム及び第２のサブフレーム）に分割されている。

【０５７０】

図６７のタイミングチャートは、ｉ行目の走査線Ｇｉ、ｉ＋１行目の走査線Ｇｉ＋１、ｊ行目の走査線Ｇｊ（走査線Ｇｉ＋１乃至Ｇｍのうちいずれか一）、ｊ＋１行目の走査線及びＧｊ＋１行目の走査線Ｇｊ＋１がそれぞれ選択されるタイミングを示している。

【０５７１】

なお、走査線が選択されると同時に、当該走査線に接続されている画素１８０１０２も選択される。例えば、ｉ行目の走査線Ｇｉが選択されていると、ｉ行目の走査線Ｇｉに接続されている画素１８０１０２も選択される。

【０５７２】

なお、走査線Ｇ１乃至Ｇｍの走査線それぞれは、各サブゲート選択期間内で順に走査される。例えば、ある１ゲート選択期間において、第１のサブゲート選択期間ではｉ行目の走査線Ｇｉが選択され、第２のサブゲート選択期間ではｊ行目の走査線Ｇｊが選択される。すると、１ゲート選択期間において、あたかも同時に２行分の走査信号を選択したかのように動作させることが可能となる。このとき、第１のサブゲート選択期間と第２のサブゲート選択期間とで、別々のビデオ信号が信号線Ｓ１乃至Ｓｎに入力される。したがって、ｉ行目に接続されている複数の画素１８０１０２とｊ行目に接続されている複数の画素１８０１０２とには、別々のビデオ信号を入力することができる。

【０５７３】

次に、入力される画像データのフレームレート（入力フレームレートとも記す）と、表示のフレームレート（表示フレームレートとも記す）を変換する駆動方法について説明する。なお、フレームレートとは、１秒間あたりのフレームの数であり、単位はＨｚである。

【０５７４】

本実施の形態では、入力フレームレートは、表示のフレームレートと、必ずしも一致していなくてもよい。入力フレームレートと表示フレームレートが異なる場合は、画像データのフレームレートを変換する回路（フレームレート変換回路）によって、フレームレートを変換することができる。こうすることによって、入力フレームレートと表示フレームレートが異なっている場合でも、様々な表示フレームレートで表示を行なうことができる。

【０５７５】
入力フレームレートが表示フレームレートよりも大きい場合、入力される画像データの一部を破棄することで、様々な表示フレームレートに変換して表示を行なうことができる。この場合は、表示フレームレートを小さくできるため、表示するための駆動回路の動作周波数を小さくすることができ、消費電力を低減できる。一方、入力フレームレートが表示フレームレートよりも小さい場合、入力される画像データの全部または一部を複数回表示させる、入力される画像データから別の画像を生成する、入力される画像データとは関係のない画像を生成する、等の手段を用いることで、様々な表示フレームレートに変換して表示を行なうことができる。この場合は、表示フレームレートを大きくすることによって、動画の品質を向上することができる。
【０５７６】
本実施の形態においては、入力フレームレートが表示フレームレートよりも小さい場合のフレームレート変換方法について詳細に説明する。なお、入力フレームレートが表示フレームレートよりも大きい場合のフレームレート変換方法については、入力フレームレートが表示フレームレートよりも小さい場合のフレームレート変換方法の逆の手順を実行することによって実現することができる。
【０５７７】
本実施の形態においては、入力フレームレートと同じフレームレートで表示される画像のことを基本画像と呼ぶこととする。一方、基本画像とは異なるフレームレートで表示される画像であって、入力フレームレートと表示フレームレートの整合を取るために表示される画像のことを、補間画像と呼ぶこととする。基本画像には、入力される画像データと同じ画像を用いることができる。補間画像には、基本画像と同じ画像を用いることができる。さらに、基本画像とは異なる画像を作成し、作成した画像を補間画像とすることもできる。
【０５７８】
補間画像を作成する場合は、入力される画像データの時間的変化（画像の動き）を検出し、これらの中間状態の画像を補間画像とする方法、基本画像の輝度にある係数をかけた画像を補間画像とする方法、入力された画像データから、異なる複数の画像を作成し、当該複数の画像を時間的に連続して提示する（当該複数の画像のうちの１つを基本画像とし、残りを補間画像とする）ことで、入力された画像データに対応する画像が表示されたように観察者に知覚させる方法、等がある。入力された画像データから異なる複数の画像を作成する方法としては、入力された画像データのガンマ値を変換する方法、入力された画像データに含まれる階調値を分割する方法、等がある。
【０５７９】
なお、中間状態の画像（中間画像）とは、入力された画像データの時間的変化（画像の動き）を検出し、検出された動きを内挿して求められた画像である。このような方法によって中間画像を求めることを、動き補償と呼ぶこととする。
【０５８０】
次に、フレームレート変換方法の具体例について説明する。この方法によれば、任意の有理数（ｎ／ｍ）倍のフレームレート変換を実現することができる。ここで、ｎおよびｍは１以上の整数とする。本実施の形態におけるフレームレート変換方法は、第１のステップと、第２のステップに分けて取り扱うことができる。ここで、第１のステップは、任意の有理数（ｎ／ｍ）倍にフレームレート変換するステップである。ここでは、補間画像として基本画像を用いてもよいし、動き補償によって求めた中間画像を補間画像として用いてもよい。第２のステップは、入力された画像データまたは第１のステップにおいてフレームレート変換された各々の画像から、異なる複数の画像（サブ画像）を作成し、当該複数のサブ画像を時間的に連続して表示する方法を行なうためのステップである。第２のステップによる方法を用いることによって、実際は複数の異なる画像を表示しているのにもかかわらず、見た目上、元の画像が表示されたように人間の目に知覚させることもできる。
【０５８１】

なお、本実施の形態におけるフレームレート変換方法は、第１のステップおよび第２のステップを両方用いてもよいし、第１のステップを省略して第２のステップのみ用いてもよいし、第２のステップを省略して第１のステップのみを用いてもよい。

【０５８２】

まず、第１のステップとして、任意の有理数（ｎ／ｍ）倍のフレームレート変換について説明する。（図６８参照）図６８は、横軸は時間であり、縦軸は様々なｎおよびｍについて場合分けを行なって示したものである。図６８内の図形は、表示される画像の模式図を表しており、その横位置によって表示されるタイミングを表している。さらに、図形内に表示した点によって、画像の動きを模式的に表しているものとする。ただし、これは説明のための例であり、表示される画像はこれに限定されない。この方法は、様々な画像に対して適用することができる。

【０５８３】

期間Ｔｉｎは、入力画像データの周期を表している。入力画像データの周期は、入力フレームレートに対応している。たとえば、入力フレームレートが６０Ｈｚの場合は、入力画像データの周期は１／６０秒である。同様に、入力フレームレートが５０Ｈｚであれば、入力画像データの周期は１／５０秒である。このように、入力画像データの周期（単位：秒）は入力フレームレート（単位：Ｈｚ）の逆数となる。なお、入力フレームレートは様々なものを用いることができる。たとえば、２４Ｈｚ、５０Ｈｚ、６０Ｈｚ、７０Ｈｚ、４８Ｈｚ、１００Ｈｚ、１２０Ｈｚ、１４０Ｈｚ、等を挙げることができる。ここで、２４Ｈｚはフィルム映画等に用いられるフレームレートである。５０Ｈｚは、ＰＡＬ規格の映像信号等に用いられるフレームレートである。６０Ｈｚは、ＮＴＳＣ規格の映像信号等に用いられるフレームレートである。７０Ｈｚは、パーソナルコンピュータのディスプレイ入力信号等に用いられるフレームレートである。４８Ｈｚ、１００Ｈｚ、１２０Ｈｚ、１４０Ｈｚ、は、これらの２倍のフレームレートである。なお、２倍に限らず、様々な倍数のフレームレートであってもよい。このように、本実施の形態に示す方法によれば、様々な規格の入力信号に対してフレームレートの変換を実現することができる。

【０５８４】

第１のステップにおける任意の有理数（ｎ／ｍ）倍のフレームレート変換の手順は、以下のとおりである。

手順１として、第１の基本画像に対する第ｋの補間画像（ｋは１以上の整数；初期値は１）の表示タイミングを決定する。第ｋの補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍した期間が経過した時点であるとする。

手順２として、第ｋの補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。整数であった場合は、第ｋの補間画像の表示タイミングにおいて第（ｋ（ｍ／ｎ）＋１）の基本画像を表示し、第１のステップを終了する。整数でなかった場合は、手順３に進む。

手順３として、第ｋの補間画像として用いる画像を決定する。具体的には、第ｋの補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）を、ｘ＋ｙ／ｎの形に変換する。ここで、ｘおよびｙは整数であり、ｙはｎよりも小さい数であるとする。そして、第ｋの補間画像を動き補償によって求めた中間画像とする場合は、第ｋの補間画像は、第（ｘ＋１）の基本画像から第（ｘ＋２）の基本画像までの画像の動きを（ｙ／ｎ）倍した動きに相当する画像として求めた中間画像とする。第ｋの補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）の基本画像を用いることができる。なお、画像の動きを（ｙ／ｎ）倍した動きに相当する画像として中間画像を求める方法については、別の部分で詳細に述べる。

手順４として、対象とする補間画像を次の補間画像に移す。具体的には、ｋの値を１増加させ、手順１に戻る。

【０５８５】

次に、第１のステップにおける手順において、ｎおよびｍの値を具体的に示して詳細に説

明する。
【０５８６】
なお、第１のステップにおける手順を実行する仕組みは、装置に実装されたものであってもよいし、装置の設計段階であらかじめ決められたものであってもよい。第１のステップにおける手順を実行する仕組みが装置に実装されていれば、状況に応じた最適な動作が行われるように、駆動方法を切り替えることが可能となる。なお、ここでいう状況とは、画像データの内容、装置内外の環境（温度、湿度、気圧、光、音、磁界、電界、放射線量、高度、加速度、移動速度、等）、ユーザ設定、ソフトウエアバージョン、等を含む。一方、第１のステップにおける手順を実行する仕組みが装置の設計段階であらかじめ決められたものであれば、それぞれの駆動方法に最適な駆動回路を用いることができ、さらに、仕組みが決められていることによって、量産効果による製造コストの低減が期待できる。
【０５８７】
ｎ＝１，ｍ＝１、すなわち変換比（ｎ／ｍ）が１（図６８のｎ＝１，ｍ＝１の箇所）の場合は、第１のステップにおける動作は次のようになる。まず、ｋ＝１のとき、手順１では、第１の基本画像に対する第１の補間画像の表示タイミングを決定する。第１の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち１倍した期間が経過した時点である。
【０５８８】
次に、手順２では、第１の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は１であるので、整数である。したがって、第１の補間画像の表示タイミングにおいては第（ｋ（ｍ／ｎ）＋１）すなわち第２の基本画像を表示し、第１のステップを終了する。
【０５８９】
すなわち、変換比が１である場合は、第ｋの画像は基本画像であり、第ｋ＋１の画像は基本画像であり、画像表示周期は、入力画像データの周期の１倍であることを特徴とする。
【０５９０】
具体的な表現としては、変換比が１（ｎ／ｍ＝１）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、を、入力画像データの周期と等倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
【０５９１】
ここで、変換比が１である場合は、フレームレート変換回路を省略することができるため、製造コストを低減できるという利点を有する。さらに、変換比が１である場合は、変換比が１より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が１である場合は、変換比が１より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。
【０５９２】
ｎ＝２，ｍ＝１、すなわち変換比（ｎ／ｍ）が２（図６８のｎ＝２，ｍ＝１の箇所）の場合は、第１のステップにおける動作は次のようになる。まず、ｋ＝１のとき、手順１では、第１の基本画像に対する第１の補間画像の表示タイミングを決定する。第１の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち１／２倍した期間が経過した時点である。
【０５９３】
次に、手順２では、第１の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は１／２であるので、整数

ではない。したがって、手順３に進む。
【０５９４】
手順３では、第１の補間画像として用いる画像を決定する。そのために、係数１／２をｘ＋ｙ／ｎの形に変換する。係数１／２の場合は、ｘ＝０，ｙ＝１である。そして、第１の補間画像を動き補償によって求めた中間画像とする場合は、第１の補間画像は、第（ｘ＋１）すなわち第１の基本画像から第（ｘ＋２）すなわち第２の基本画像までの画像の動きをｙ／ｎ倍すなわち１／２倍した動きに相当する画像として求めた中間画像とする。第１の補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）すなわち第１の基本画像を用いることができる。
【０５９５】
ここまでの手順により、第１の補間画像の表示タイミングと、第１の補間画像として表示する画像を決定することができた。次に、手順４では、対象とする補間画像を、第１の補間画像から第２の補間画像へ移す。すなわち、ｋを１から２に変更し、手順１に戻る。
【０５９６】
ｋ＝２のとき、手順１では、第１の基本画像に対する第２の補間画像の表示タイミングを決定する。第２の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち１倍した期間が経過した時点である。
【０５９７】
次に、手順２では、第２の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は１であるので、整数である。したがって、第２の補間画像の表示タイミングにおいては第（ｋ（ｍ／ｎ）＋１）すなわち第２の基本画像を表示し、第１のステップを終了する。
【０５９８】
すなわち、変換比が２（ｎ／ｍ＝２）である場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、
第ｋ＋２の画像は基本画像であり、画像表示周期は、入力画像データの周期の１／２倍であることを特徴とする。
【０５９９】
具体的な表現としては、変換比が２（ｎ／ｍ＝２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、を、入力画像データの周期の１／２倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／２倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
【０６００】
さらに別の具体的な表現としては、変換比が２（ｎ／ｍ＝２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、を、入力画像データの周期の１／２倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、

前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。

【０６０１】

具体的には、変換比が２である場合は、２倍速駆動、または単に倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１２０Ｈｚ（１２０Ｈｚ駆動）である。そして、ひとつの入力画像に対し、画像を２回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、特に顕著な画質改善効果をもたらす。これは、液晶素子の静電容量が印加電圧によって変動してしまう、いわゆるダイナミックキャパシタンスによる書き込み電圧不足の問題に関係する。すなわち、表示フレームレートを入力フレームレートよりも大きくすることによって、画像データの書き込み動作の頻度を大きくできるので、ダイナミックキャパシタンスによる書き込み電圧不足に起因する、動画の尾引き、残像等の障害を低減することができる。さらに、液晶表示装置の交流駆動と１２０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１２０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、２４０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６０２】

ｎ＝３，ｍ＝１、すなわち変換比（ｎ／ｍ）が３（図６８のｎ＝３，ｍ＝１の箇所）の場合は、第１のステップにおける動作は次のようになる。まず、ｋ＝１のとき、手順１では、第１の基本画像に対する第１の補間画像の表示タイミングを決定する。第１の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち１／３倍した期間が経過した時点である。

【０６０３】

次に、手順２では、第１の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は１／３であるので、整数ではない。したがって、手順３に進む。

【０６０４】

手順３では、第１の補間画像として用いる画像を決定する。そのために、係数１／３をｘ＋ｙ／ｎの形に変換する。係数１／３の場合は、ｘ＝０，ｙ＝１である。そして、第１の補間画像を動き補償によって求めた中間画像とする場合は、第１の補間画像は、第（ｘ＋１）すなわち第１の基本画像から第（ｘ＋２）すなわち第２の基本画像までの画像の動きをｙ／ｎ倍すなわち１／３倍した動きに相当する画像として求めた中間画像とする。第１の補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）すなわち第１の基本画像を用いることができる。

【０６０５】

ここまでの手順により、第１の補間画像の表示タイミングと、第１の補間画像として表示する画像を決定することができた。次に、手順４では、対象とする補間画像を、第１の補間画像から第２の補間画像へ移す。すなわち、ｋを１から２に変更し、手順１に戻る。

【０６０６】

ｋ＝２のとき、手順１では、第１の基本画像に対する第２の補間画像の表示タイミングを決定する。第２の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち２／３倍した期間が経過した時点である。

【０６０７】

次に、手順２では、第２の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は２／３であるので、整数ではない。したがって、手順３に進む。

【０６０８】
手順３では、第２の補間画像として用いる画像を決定する。そのために、係数２／３をｘ＋ｙ／ｎの形に変換する。係数２／３の場合は、ｘ＝０，ｙ＝２である。そして、第２の補間画像を動き補償によって求めた中間画像とする場合は、第２の補間画像は、第（ｘ＋１）すなわち第１の基本画像から第（ｘ＋２）すなわち第２の基本画像までの画像の動きをｙ／ｎ倍すなわち２／３倍した動きに相当する画像として求めた中間画像とする。第２の補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）すなわち第１の基本画像を用いることができる。
【０６０９】
ここまでの手順により、第２の補間画像の表示タイミングと、第２の補間画像として表示する画像を決定することができた。次に、手順４では、対象とする補間画像を、第２の補間画像から第３の補間画像へ移す。すなわち、ｋを２から３に変更し、手順１に戻る。
【０６１０】
ｋ＝３のとき、手順１では、第１の基本画像に対する第３の補間画像の表示タイミングを決定する。第３の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち１倍した期間が経過した時点である。
【０６１１】
次に、手順２では、第３の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は１であるので、整数である。したがって、第３の補間画像の表示タイミングにおいては第（ｋ（ｍ／ｎ）＋１）すなわち第２の基本画像を表示し、第１のステップを終了する。
【０６１２】
すなわち、変換比が３（ｎ／ｍ＝３）である場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、
第ｋ＋２の画像は補間画像であり、
第ｋ＋３の画像は基本画像であり、画像表示周期は、入力画像データの周期の１／３倍であることを特徴とする。
【０６１３】
具体的な表現としては、変換比が３（ｎ／ｍ＝３）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、を、入力画像データの周期の１／３倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／３倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像から前記第ｉ＋１の画像までの動きを２／３倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
【０６１４】
さらに別の具体的な表現としては、変換比が３（ｎ／ｍ＝３）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、

第ｋ＋２の画像と、
第ｋ＋３の画像と、を、入力画像データの周期の１／３倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。

【０６１５】

ここで、変換比が３である場合は、変換比が３より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が３である場合は、変換比が３より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【０６１６】

具体的には、変換比が３である場合は、３倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１８０Ｈｚ（１８０Ｈｚ駆動）である。そして、ひとつの入力画像に対し、画像を３回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と１８０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１８０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、４５Ｈｚ、９０Ｈｚ、１８０Ｈｚ、３６０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６１７】

ｎ＝３，ｍ＝２、すなわち変換比（ｎ／ｍ）が３／２（図６８のｎ＝３，ｍ＝２の箇所）の場合は、第１のステップにおける動作は次のようになる。まず、ｋ＝１のとき、手順１では、第１の基本画像に対する第１の補間画像の表示タイミングを決定する。第１の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち２／３倍した期間が経過した時点である。

【０６１８】

次に、手順２では、第１の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は２／３であるので、整数ではない。したがって、手順３に進む。

【０６１９】

手順３では、第１の補間画像として用いる画像を決定する。そのために、係数２／３をｘ＋ｙ／ｎの形に変換する。係数２／３の場合は、ｘ＝０，ｙ＝２である。そして、第１の補間画像を動き補償によって求めた中間画像とする場合は、第１の補間画像は、第（ｘ＋１）すなわち第１の基本画像から第（ｘ＋２）すなわち第２の基本画像までの画像の動きをｙ／ｎ倍すなわち２／３倍した動きに相当する画像として求めた中間画像とする。第１の補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）すなわち第１の基本画像を用いることができる。

【０６２０】

ここまでの手順により、第１の補間画像の表示タイミングと、第１の補間画像として表示する画像を決定することができた。次に、手順４では、対象とする補間画像を、第１の補間画像から第２の補間画像へ移す。すなわち、ｋを１から２に変更し、手順１に戻る。

【０６２１】

ｋ＝２のとき、手順１では、第１の基本画像に対する第２の補間画像の表示タイミングを決定する。第２の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力

画像データの周期をｋ（ｍ／ｎ）倍すなわち４／３倍した期間が経過した時点である。
【０６２２】
次に、手順２では、第２の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は４／３であるので、整数ではない。したがって、手順３に進む。
【０６２３】
手順３では、第２の補間画像として用いる画像を決定する。そのために、係数４／３をｘ＋ｙ／ｎの形に変換する。係数４／３の場合は、ｘ＝１，ｙ＝１である。そして、第２の補間画像を動き補償によって求めた中間画像とする場合は、第２の補間画像は、第（ｘ＋１）すなわち第２の基本画像から第（ｘ＋２）すなわち第３の基本画像までの画像の動きをｙ／ｎ倍すなわち１／３倍した動きに相当する画像として求めた中間画像とする。第２の補間画像を基本画像と同じ画像とする場合は、第（ｘ＋１）すなわち第２の基本画像を用いることができる。
【０６２４】
ここまでの手順により、第２の補間画像の表示タイミングと、第２の補間画像として表示する画像を決定することができた。次に、手順４では、対象とする補間画像を、第２の補間画像から第３の補間画像へ移す。すなわち、ｋを２から３に変更し、手順１に戻る。
【０６２５】
ｋ＝３のとき、手順１では、第１の基本画像に対する第３の補間画像の表示タイミングを決定する。第３の補間画像の表示タイミングは、第１の基本画像が表示されてから、入力画像データの周期をｋ（ｍ／ｎ）倍すなわち２倍した期間が経過した時点である。
【０６２６】
次に、手順２では、第３の補間画像の表示タイミングの決定に用いた係数ｋ（ｍ／ｎ）が、整数であるかどうかを判別する。ここで、係数ｋ（ｍ／ｎ）は２であるので、整数である。したがって、第３の補間画像の表示タイミングにおいては第（ｋ（ｍ／ｎ）＋１）すなわち第３の基本画像を表示し、第１のステップを終了する。
【０６２７】
すなわち、変換比が３／２（ｎ／ｍ＝３／２）である場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、
第ｋ＋２の画像は補間画像であり、
第ｋ＋３の画像は基本画像であり、画像表示周期は、入力画像データの周期の２／３倍であることを特徴とする。
【０６２８】
具体的な表現としては、変換比が３／２（ｎ／ｍ＝３／２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、
第ｉ＋２の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、を、入力画像データの周期の２／３倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを２／３倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉ＋１の画像から前記第ｉ＋２の画像までの動きを１／３倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋２の画像データにしたがって表示される
ことを特徴とする。

【０６２９】
さらに別の具体的な表現としては、変換比が３／２（ｎ／ｍ＝３／２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、
第ｉ＋２の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、を、入力画像データの周期の２／３倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉ＋１の画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋２の画像データにしたがって表示される
ことを特徴とする。
【０６３０】
ここで、変換比が３／２である場合は、変換比が３／２より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が３／２である場合は、変換比が３／２より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。
【０６３１】
具体的には、変換比が３／２である場合は、３／２倍速駆動または１．５倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは９０Ｈｚ（９０Ｈｚ駆動）である。そして、２つの入力画像に対し、画像を３回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、１２０Ｈｚ駆動（倍速駆動）、１８０Ｈｚ駆動（３倍速駆動）等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と９０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を９０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、４５Ｈｚ、９０Ｈｚ、１８０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。
【０６３２】
上記以外の正の整数ｎおよびｍについては手順の詳細は省略するが、第１のステップにおけるフレームレート変換の手順にしたがうことで、変換比は任意の有理数（ｎ／ｍ）として設定することができる。なお、正の整数ｎおよびｍの組み合わせのうち、変換比（ｎ／ｍ）が約分できる組み合わせについては、約分した後の変換比と同様に取り扱うことができる。
【０６３３】
たとえば、ｎ＝４，ｍ＝１、すなわち変換比（ｎ／ｍ）が４（図６８のｎ＝４，ｍ＝１の箇所）の場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、
第ｋ＋２の画像は補間画像であり、
第ｋ＋３の画像は補間画像であり、
第ｋ＋４の画像は基本画像であり、画像表示周期は、入力画像データの周期の１／４倍であることを特徴とする。

【０６３４】
さらに具体的な表現としては、変換比が４（ｎ／ｍ＝４）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、を、入力画像データの周期の１／４倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／４倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／２倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを３／４倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
【０６３５】
さらに別の具体的な表現としては、変換比が４（ｎ／ｍ＝４）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、を、入力画像データの周期の１／４倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
【０６３６】
ここで、変換比が４である場合は、変換比が４より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が４である場合は、変換比が４より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。
【０６３７】
具体的には、変換比が４である場合は、４倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは２４０Ｈｚ（２４０Ｈｚ駆動）である。そして、１つの入力画像に対し、画像を４回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、１２０Ｈｚ駆動（倍速駆動）、１８０Ｈｚ駆動（３倍速駆動）等の駆動周波数の小さな駆動方法と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用いることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避で

きるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と２４０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を２４０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、４０Ｈｚ、６０Ｈｚ、１２０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６３８】

さらに、たとえば、ｎ＝４，ｍ＝３、すなわち変換比（ｎ／ｍ）が４／３（図６８のｎ＝４，ｍ＝３の箇所）の場合は、

第ｋの画像は基本画像であり、

第ｋ＋１の画像は補間画像であり、

第ｋ＋２の画像は補間画像であり、

第ｋ＋３の画像は補間画像であり、

第ｋ＋４の画像は基本画像であり、画像表示周期は、入力画像データの周期の３／４倍であることを特徴とする。

【０６３９】

さらに具体的な表現としては、変換比が４／３（ｎ／ｍ＝４／３）である場合は、

第ｉ（ｉは正の整数）の画像データと、

第ｉ＋１の画像データと、

第ｉ＋２の画像データと、

第ｉ＋３の画像データと、が、入力画像データとして一定の周期で順次入力され、

第ｋ（ｋは正の整数）の画像と、

第ｋ＋１の画像と、

第ｋ＋２の画像と、

第ｋ＋３の画像と、

第ｋ＋４の画像と、を、入力画像データの周期の３／４倍の間隔で順次表示する表示装置の駆動方法であって、

前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、

前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを３／４倍した動きに相当する画像データにしたがって表示され、

前記第ｋ＋２の画像は、前記第ｉ＋１の画像から前記第ｉ＋２の画像までの動きを１／２倍した動きに相当する画像データにしたがって表示され、

前記第ｋ＋３の画像は、前記第ｉ＋２の画像から前記第ｉ＋３の画像までの動きを１／４倍した動きに相当する画像データにしたがって表示され、

前記第ｋ＋４の画像は、前記第ｉ＋３の画像データにしたがって表示される

ことを特徴とする。

【０６４０】

さらに別の具体的な表現としては、変換比が４／３（ｎ／ｍ＝４／３）である場合は、

第ｉ（ｉは正の整数）の画像データと、

第ｉ＋１の画像データと、

第ｉ＋２の画像データと、

第ｉ＋３の画像データと、が、入力画像データとして一定の周期で順次入力され、

第ｋ（ｋは正の整数）の画像と、

第ｋ＋１の画像と、

第ｋ＋２の画像と、

第ｋ＋３の画像と、

第ｋ＋４の画像と、を、入力画像データの周期の３／４倍の間隔で順次表示する表示装置の駆動方法であって、

前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、

前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、

前記第ｋ＋２の画像は、前記第ｉ＋１の画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋２の画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉ＋３の画像データにしたがって表示される
ことを特徴とする。

【０６４１】

ここで、変換比が４／３である場合は、変換比が４／３より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が４／３である場合は、変換比が４／３より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【０６４２】

具体的には、変換比が４／３である場合は、４／３倍速駆動または１．２５倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは８０Ｈｚ（８０Ｈｚ駆動）である。そして、３つの入力画像に対し、画像を４回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、１２０Ｈｚ駆動（倍速駆動）、１８０Ｈｚ駆動（３倍速駆動）等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と８０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を８０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、４０Ｈｚ、８０Ｈｚ、１６０Ｈｚ、２４０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６４３】

さらに、たとえば、ｎ＝５，ｍ＝１、すなわち変換比（ｎ／ｍ）が５（図６８のｎ＝５，ｍ＝１の箇所）の場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、
第ｋ＋２の画像は補間画像であり、
第ｋ＋３の画像は補間画像であり、
第ｋ＋４の画像は補間画像であり、
第ｋ＋５の画像は基本画像であり、画像表示周期は、入力画像データの周期の１／５倍であることを特徴とする。

【０６４４】

さらに具体的な表現としては、変換比が５（ｎ／ｍ＝５）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、
第ｋ＋５の画像と、を、入力画像データの周期の１／５倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを２／５倍した動きに相当する画像データにしたがって表示され、

前記第ｋ＋３の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを３／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを４／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋５の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。

【０６４５】

さらに別の具体的な表現としては、変換比が５（ｎ／ｍ＝５）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、
第ｋ＋５の画像と、を、入力画像データの周期の１／５倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋５の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。

【０６４６】

ここで、変換比が５である場合は、変換比が５より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が５である場合は、変換比が５より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【０６４７】

具体的には、変換比が５である場合は、５倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは３００Ｈｚ（３００Ｈｚ駆動）である。そして、１つの入力画像に対し、画像を５回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、１２０Ｈｚ駆動（倍速駆動）、１８０Ｈｚ駆動（３倍速駆動）等の駆動周波数の小さな駆動方法と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用いることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と３００Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を３００Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、５０Ｈｚ、６０Ｈｚ、１００Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６４８】

さらに、たとえば、ｎ＝５，ｍ＝２、すなわち変換比（ｎ／ｍ）が５／２（図６８のｎ＝５，ｍ＝２の箇所）の場合は、
第ｋの画像は基本画像であり、
第ｋ＋１の画像は補間画像であり、

第ｋ＋２の画像は補間画像であり、
第ｋ＋３の画像は補間画像であり、
第ｋ＋４の画像は補間画像であり、
第ｋ＋５の画像は基本画像であり、画像表示周期は、入力画像データの周期の１／５倍であることを特徴とする。

【０６４９】

さらに具体的な表現としては、変換比が５／２（ｎ／ｍ＝５／２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、
第ｉ＋２の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、
第ｋ＋５の画像と、を、入力画像データの周期の１／５倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを２／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを４／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋１の画像データから前記第ｉ＋２の画像データまでの動きを１／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉ＋１の画像データから前記第ｉ＋２の画像データまでの動きを３／５倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋５の画像は、前記第ｉ＋２の画像データにしたがって表示される
ことを特徴とする。

【０６５０】

さらに別の具体的な表現としては、変換比が５／２（ｎ／ｍ＝５／２）である場合は、
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、
第ｉ＋２の画像データと、が、入力画像データとして一定の周期で順次入力され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、
第ｋ＋３の画像と、
第ｋ＋４の画像と、
第ｋ＋５の画像と、を、入力画像データの周期の１／５倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋３の画像は、前記第ｉ＋１の画像データにしたがって表示され、
前記第ｋ＋４の画像は、前記第ｉ＋１の画像データにしたがって表示され、
前記第ｋ＋５の画像は、前記第ｉ＋２の画像データにしたがって表示される
ことを特徴とする。

【０６５１】

ここで、変換比が５／２である場合は、変換比が５／２より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が５／２である場合は、変換比が５よ

り大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【０６５２】

具体的には、変換比が５である場合は、５／２倍速駆動または２．５倍速駆動とも呼ばれる。たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１５０Ｈｚ（１５０Ｈｚ駆動）である。そして、２つの入力画像に対し、画像を５回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、１２０Ｈｚ駆動（倍速駆動）等の駆動周波数の小さな駆動方法と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用いることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に向上させることが可能である。さらに、１８０Ｈｚ駆動（３倍速駆動）等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と１５０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１５０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、５０Ｈｚ、７５Ｈｚ、１５０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【０６５３】

このように、正の整数ｎおよびｍを様々に設定することによって、変換比は任意の有理数（ｎ／ｍ）として設定することができる。詳細な説明は省略するが、ｎが１０以下の範囲では、

ｎ＝１，ｍ＝１、すなわち変換比（ｎ／ｍ）＝１（１倍速駆動、６０Ｈｚ）、
ｎ＝２，ｍ＝１、すなわち変換比（ｎ／ｍ）＝２（２倍速駆動、１２０Ｈｚ）、
ｎ＝３，ｍ＝１、すなわち変換比（ｎ／ｍ）＝３（３倍速駆動、１８０Ｈｚ）、
ｎ＝３，ｍ＝２、すなわち変換比（ｎ／ｍ）＝３／２（３／２倍速駆動、９０Ｈｚ）、
ｎ＝４，ｍ＝１、すなわち変換比（ｎ／ｍ）＝４（４倍速駆動、２４０Ｈｚ）、
ｎ＝４，ｍ＝３、すなわち変換比（ｎ／ｍ）＝４／３（４／３倍速駆動、８０Ｈｚ）、
ｎ＝５，ｍ＝１、すなわち変換比（ｎ／ｍ）＝５／１（５倍速駆動、３００Ｈｚ）、
ｎ＝５，ｍ＝２、すなわち変換比（ｎ／ｍ）＝５／２（５／２倍速駆動、１５０Ｈｚ）、
ｎ＝５，ｍ＝３、すなわち変換比（ｎ／ｍ）＝５／３（５／３倍速駆動、１００Ｈｚ）、
ｎ＝５，ｍ＝４、すなわち変換比（ｎ／ｍ）＝５／４（５／４倍速駆動、７５Ｈｚ）、
ｎ＝６，ｍ＝１、すなわち変換比（ｎ／ｍ）＝６（６倍速駆動、３６０Ｈｚ）、
ｎ＝６，ｍ＝５、すなわち変換比（ｎ／ｍ）＝６／５（６／５倍速駆動、７２Ｈｚ）、
ｎ＝７，ｍ＝１、すなわち変換比（ｎ／ｍ）＝７（７倍速駆動、４２０Ｈｚ）、
ｎ＝７，ｍ＝２、すなわち変換比（ｎ／ｍ）＝７／２（７／２倍速駆動、２１０Ｈｚ）、
ｎ＝７，ｍ＝３、すなわち変換比（ｎ／ｍ）＝７／３（７／３倍速駆動、１４０Ｈｚ）、
ｎ＝７，ｍ＝４、すなわち変換比（ｎ／ｍ）＝７／４（７／４倍速駆動、１０５Ｈｚ）、
ｎ＝７，ｍ＝５、すなわち変換比（ｎ／ｍ）＝７／５（７／５倍速駆動、８４Ｈｚ）、
ｎ＝７，ｍ＝６、すなわち変換比（ｎ／ｍ）＝７／６（７／６倍速駆動、７０Ｈｚ）、
ｎ＝８，ｍ＝１、すなわち変換比（ｎ／ｍ）＝８（８倍速駆動、４８０Ｈｚ）、
ｎ＝８，ｍ＝３、すなわち変換比（ｎ／ｍ）＝８／３（８／３倍速駆動、１６０Ｈｚ）、
ｎ＝８，ｍ＝５、すなわち変換比（ｎ／ｍ）＝８／５（８／５倍速駆動、９６Ｈｚ）、
ｎ＝８，ｍ＝７、すなわち変換比（ｎ／ｍ）＝８／７（８／７倍速駆動、６８．６Ｈｚ）、
ｎ＝９，ｍ＝１、すなわち変換比（ｎ／ｍ）＝９（９倍速駆動、５４０Ｈｚ）、
ｎ＝９，ｍ＝２、すなわち変換比（ｎ／ｍ）＝９／２（９／２倍速駆動、２７０Ｈｚ）、
ｎ＝９，ｍ＝４、すなわち変換比（ｎ／ｍ）＝９／４（９／４倍速駆動、１３５Ｈｚ）、

ｎ＝９，ｍ＝５、すなわち変換比（ｎ／ｍ）＝９／５（９／５倍速駆動、１０８Ｈｚ）、
ｎ＝９，ｍ＝７、すなわち変換比（ｎ／ｍ）＝９／７（９／７倍速駆動、７７．１Ｈｚ）、
ｎ＝９，ｍ＝８、すなわち変換比（ｎ／ｍ）＝９／８（９／８倍速駆動、６７．５Ｈｚ）、
ｎ＝１０，ｍ＝１、すなわち変換比（ｎ／ｍ）＝１０（１０倍速駆動、６００Ｈｚ）、
ｎ＝１０，ｍ＝３、すなわち変換比（ｎ／ｍ）＝１０／３（１０／３倍速駆動、２００Ｈｚ）、
ｎ＝１０，ｍ＝７、すなわち変換比（ｎ／ｍ）＝１０／７（１０／７倍速駆動、８５．７Ｈｚ）、
ｎ＝１０，ｍ＝９、すなわち変換比（ｎ／ｍ）＝１０／９（１０／９倍速駆動、６６．７Ｈｚ）、
以上の組み合わせが考えられる。なお、周波数の表記は入力フレームレートが６０Ｈｚであるときの例であり、その他の入力フレームレートに対しては、それぞれの変換比を入力フレームレートと積算した値が駆動周波数となる。

【０６５４】

なお、ｎが１０より大きい整数である場合については、具体的なｎおよびｍの数字は挙げないが、様々なｎおよびｍに対し、この、第１のステップにおけるフレームレート変換の手順が適用できることは明らかである。

【０６５５】

なお、表示される画像のうち、入力される画像データに動き補償を行なうことなく表示できる画像がどの程度含まれているかによって、変換比を決定することができる。具体的には、ｍが小さいほど、入力される画像データに動き補償を行なうことなく表示できる画像の割合は大きくなる。動き補償を行なう頻度が小さいと、動き補償を行なう回路の動作頻度を減少させることができるため、消費電力を小さくでき、さらに、動き補償によってエラーが含まれる画像（画像の動きを正確に反映していない中間画像）が作成されてしまう可能性を低くすることができるため、画像の品質を向上させることができる。このような変換比としては、ｎが１０以下の範囲においては、たとえば、１，２，３，３／２，４，５，５／２，６，７，７／２，８，９，９／２，１０が挙げられる。このような変換比を用いると、特に補間画像として動き補償によって求められた中間画像を用いる場合において、画像の品質を高くすることができ、かつ、消費電力を低減することができる。なぜならば、ｍが２である場合は、入力される画像データに動き補償を行なうことなく表示できる画像の数が比較的多く（入力される画像データの総数に対して１／２だけ存在する）、動き補償を行う頻度が減少するためである。さらに、ｍが１である場合は、入力される画像データに動き補償を行なうことなく表示できる画像の数が多く（入力される画像データの総数に等しい）、動き補償を行うことがないためである。一方、ｍは大きいほど、精度の高い動き補償によって作成された中間画像を用いることができるので、画像の動きをより滑らかにできるという利点を有する。

【０６５６】

なお、表示装置が液晶表示装置である場合は、液晶素子の応答時間にしたがって変換比を決定することができる。ここでは、液晶素子の応答時間とは、液晶素子に印加する電圧を変化させてから液晶素子が応答するまでの時間である。液晶素子の応答時間が、液晶素子に印加する電圧の変化量によって異なる場合は、複数の代表的な電圧変化における応答時間の平均値とすることができる。または、液晶素子の応答時間は、ＭＰＲＴ（Ｍｏｖｉｎｇ　Ｐｉｃｔｕｒｅ　Ｒｅｓｐｏｎｓｅ　Ｔｉｍｅ）で定義されるものであってもよい。そして、フレームレート変換によって、画像表示周期が液晶素子の応答時間に近くなるように、変換比を決定できる。具体的には、液晶素子の応答時間は、入力画像データの周期と変換比の逆数を積算した値から、この値の半分程度の値までの時間であることが好ましい。こうすることで、液晶素子の応答時間に合った画像表示周期とすることができるので、画質を向上することができる。たとえば、液晶素子の応答時間が４ミリ秒以上８ミリ秒

以下の場合に、倍速駆動（１２０Ｈｚ駆動）とすることができる。これは、１２０Ｈｚ駆動の画像表示周期が約８ミリ秒であり、１２０Ｈｚ駆動の画像表示周期の半分が約４ミリ秒であることによる。同様に、たとえば、液晶素子の応答時間が３ミリ秒以上６ミリ秒以下の場合に、３倍速駆動（１８０Ｈｚ駆動）とすることができ、液晶素子の応答時間が５ミリ秒以上１１ミリ秒以下の場合に、１．５倍速駆動（９０Ｈｚ駆動）とすることができ、液晶素子の応答時間が２ミリ秒以上４ミリ秒以下の場合に、４倍速駆動（２４０Ｈｚ駆動）とすることができ、液晶素子の応答時間が６ミリ秒以上１２ミリ秒以下の場合に、１．２５倍速駆動（８０Ｈｚ駆動）とすることができる。なお、他の駆動周波数についても同様である。

【０６５７】

なお、変換比は、動画の品質と、消費電力および製造コストのトレードオフによっても決定することができる。つまり、変換比を大きくすることによって動画の品質を上げることができる一方で、変換比を小さくすることによって消費電力および製造コストを低減できる。すなわち、ｎが１０以下の範囲における各々の変換比は、以下のような利点を有する。

【０６５８】

変換比が１である場合は、変換比が１より小さい場合よりも動画の品質を向上でき、変換比が１より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６５９】

変換比が２である場合は、変換比が２より小さい場合よりも動画の品質を向上でき、変換比が２より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／２倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６６０】

変換比が３である場合は、変換比が３より小さい場合よりも動画の品質を向上でき、変換比が３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／３倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６６１】

変換比が３／２である場合は、変換比が３／２より小さい場合よりも動画の品質を向上でき、変換比が３／２より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の２／３倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６６２】

変換比が４である場合は、変換比が４より小さい場合よりも動画の品質を向上でき、変換比が４より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／４倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６６３】

変換比が４／３である場合は、変換比が４／３より小さい場合よりも動画の品質を向上でき、変換比が４／３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の３／４倍程度である液晶表示装置に適用することで、画質を向上

することができる。
【０６６４】
変換比が５である場合は、変換比が５より小さい場合よりも動画の品質を向上でき、変換比が５より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／５倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６６５】
変換比が５／２である場合は、変換比が５／２より小さい場合よりも動画の品質を向上でき、変換比が５／２より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の２／５倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６６６】
変換比が５／３である場合は、変換比が５／３より小さい場合よりも動画の品質を向上でき、変換比が５／３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の３／５倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６６７】
変換比が５／４である場合は、変換比が５／４より小さい場合よりも動画の品質を向上でき、変換比が５／４より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の４／５倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６６８】
変換比が６である場合は、変換比が６より小さい場合よりも動画の品質を向上でき、変換比が６より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／６倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６６９】
変換比が６／５である場合は、変換比が６／５より小さい場合よりも動画の品質を向上でき、変換比が６／５より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の５／６倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６７０】
変換比が７である場合は、変換比が７より小さい場合よりも動画の品質を向上でき、変換比が７より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／７倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６７１】
変換比が７／２である場合は、変換比が７／２より小さい場合よりも動画の品質を向上でき、変換比が７／２より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の２／７倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６７２】

変換比が７／３である場合は、変換比が７／３より小さい場合よりも動画の品質を向上でき、変換比が７／３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の３／７倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７３】

変換比が７／４である場合は、変換比が７／４より小さい場合よりも動画の品質を向上でき、変換比が７／４より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の４／７倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７４】

変換比が７／５である場合は、変換比が７／５より小さい場合よりも動画の品質を向上でき、変換比が７／５より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の５／７倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７５】

変換比が７／６である場合は、変換比が７／６より小さい場合よりも動画の品質を向上でき、変換比が７／６より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の６／７倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７６】

変換比が８である場合は、変換比が８より小さい場合よりも動画の品質を向上でき、変換比が８より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７７】

変換比が８／３である場合は、変換比が８／３より小さい場合よりも動画の品質を向上でき、変換比が８／３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の３／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７８】

変換比が８／５である場合は、変換比が８／５より小さい場合よりも動画の品質を向上でき、変換比が８／５より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の５／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６７９】

変換比が８／７である場合は、変換比が８／７より小さい場合よりも動画の品質を向上でき、変換比が８／７より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の７／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８０】

変換比が９である場合は、変換比が９より小さい場合よりも動画の品質を向上でき、変換比が９より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さ

いので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８１】

変換比が９／２である場合は、変換比が９／２より小さい場合よりも動画の品質を向上でき、変換比が９／２より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の２／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８２】

変換比が９／４である場合は、変換比が９／４より小さい場合よりも動画の品質を向上でき、変換比が９／４より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の４／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８３】

変換比が９／５である場合は、変換比が９／５より小さい場合よりも動画の品質を向上でき、変換比が９／５より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の５／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８４】

変換比が９／７である場合は、変換比が９／７より小さい場合よりも動画の品質を向上でき、変換比が９／７より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の７／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８５】

変換比が９／８である場合は、変換比が９／８より小さい場合よりも動画の品質を向上でき、変換比が９／８より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の８／９倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８６】

変換比が１０である場合は、変換比が１０より小さい場合よりも動画の品質を向上でき、変換比が１０より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の１／１０倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８７】

変換比が１０／３である場合は、変換比が１０／３より小さい場合よりも動画の品質を向上でき、変換比が１０／３より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の３／１０倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０６８８】

変換比が１０／７である場合は、変換比が１０／７より小さい場合よりも動画の品質を向上でき、変換比が１０／７より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の７／１０倍程度である液晶表示装置に適用することで、画

質を向上することができる。
【０６８９】
変換比が１０／９である場合は、変換比が１０／９より小さい場合よりも動画の品質を向上でき、変換比が１０／９より大きい場合よりも消費電力および製造コストを低減できる。さらに、ｍが大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の９／１０倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０６９０】
なお、ｎが１０より大きい範囲における各々の変換比においても、同様な利点を有するのは明らかである。
【０６９１】
次に、第２のステップとして、入力された画像データにしたがった画像または第１のステップにおいて任意の有理数（ｎ／ｍ）倍にフレームレート変換された各々の画像（元画像と呼ぶこととする）から、異なる複数の画像（サブ画像）を作成し、当該複数のサブ画像を時間的に連続して提示する方法について説明する。こうすることによって、実際は複数の画像を提示しているのにもかかわらず、見た目上、１つの元画像が表示されたように人間の目に知覚させることもできる。
【０６９２】
なお、ここでは、１つの元画像から作成されたサブ画像のうち、先に表示されるサブ画像を、第１のサブ画像と呼ぶこととする。ここで、第１のサブ画像を表示するタイミングは、第１のステップで決められた元画像を表示するタイミングと同じであるとする。一方、その後に表示されるサブ画像を、第２のサブ画像と呼ぶこととする。第２のサブ画像を表示するタイミングは、第１のステップで決められた元画像を表示するタイミングに関わらず、任意に決めることができる。なお、実際に表示させる画像は、第２のステップにおける方法により元画像から作成された画像である。なお、サブ画像を作成するための元画像も、様々な画像を用いることができる。なお、サブ画像の数は２つに限定されず、２つより大きくてもよい。第２のステップにおいては、サブ画像の数をＪ個（Ｊは２以上の整数）と表記する。このとき、第１のステップで決められた元画像を表示するタイミングと同じタイミングで表示されるサブ画像を、第１のサブ画像と呼び、それ以降に続いて表示されるサブ画像を、表示される順番にしたがって第２のサブ画像、第３のサブ画像、・・・、第Ｊのサブ画像、と呼ぶこととする。
【０６９３】
１つの元画像から複数のサブ画像を作成する方法としては、様々なものがあるが、主なものとしては次のような方法を挙げることができる。１つは、元画像をそのままサブ画像として用いる方法である。１つは、元画像の明るさを複数のサブ画像に分配する方法である。１つは、動き補償によって求めた中間画像をサブ画像として用いる方法である。
【０６９４】
ここで、元画像の明るさを複数のサブ画像に分配する方法は、さらに複数の方法に分けることができる。主なものとしては次のような方法を挙げることができる。１つは、少なくとも１つのサブ画像を黒画像とする方法（黒挿入法と呼ぶこととする）である。１つは、元画像の明るさを複数の範囲に分割し、当該範囲における明るさを制御するときは、全てのサブ画像のうち唯１つのサブ画像によって行なう方法（時分割階調制御法と呼ぶこととする）である。１つは、一方のサブ画像を、元画像のガンマ値を変更した明るい画像とし、他方のサブ画像を、元画像のガンマ値を変更した暗い画像とする方法（ガンマ補完法と呼ぶこととする）である。
【０６９５】
上に挙げたいくつかの方法を、それぞれ簡単に説明する。元画像をそのままサブ画像として用いる方法は、第１のサブ画像として、元画像をそのまま用いる。さらに、第２のサブ画像として、元画像をそのまま用いる。この方法を用いると、サブ画像を新たに作成する回路を動作させることがない、または当該回路そのものを用いる必要がなくなるため、消

費電力および製造コストを低減することができる。特に、液晶表示装置においては、第１のステップにおいて、動き補償によって求めた中間画像を補間画像としたフレームレート変換を行なった後にこの方法を用いることが好ましい。なぜならば、動き補償によって求めた中間画像を補間画像とすることで、動画の動きを滑らかにしつつ、同じ画像を繰り返し表示することで、液晶素子のダイナミックキャパシタンスによる書き込み電圧不足に起因する、動画の尾引き、残像等の障害を低減することができるからである。

【０６９６】

次に、元画像の明るさを複数のサブ画像に分配する方法における、画像の明るさおよびサブ画像が表示される期間の長さの設定方法について詳細に説明する。なお、Ｊはサブ画像の数を表し、２以上の整数であるとする。小文字のｊは大文字のＪとは区別される。ｊは１以上Ｊ以下の整数であるとする。

通常のホールド駆動における画素の明るさをＬ、元画像データの周期をＴ、

第ｊのサブ画像における画素の明るさをL_j、第ｊのサブ画像が表示される期間の長さをT_j、とすると、L_jとT_jについて積をとり、これのｊ＝１からｊ＝Ｊまでの総和（$L_1T_1+L_2T_2+\cdots+L_JT_J$）が、ＬとＴの積（ＬＴ）と等しくなっていること（明るさが不変であること）が好ましい。さらに、T_jの、ｊ＝１からｊ＝Ｊまでの総和（$T_1+T_2+\cdots+T_J$）が、Ｔと等しくなっていること（元画像の表示周期が維持されること）が好ましい。ここで、明るさが不変であり、かつ、元画像の表示周期が維持されることを、サブ画像分配条件と呼ぶこととする。

【０６９７】

元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法は、少なくとも１つのサブ画像を黒画像とする方法である。こうすることによって、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。ここで、黒画像の挿入に伴う、表示画像の明るさの低下を防ぐために、サブ画像分配条件に従うことが好ましい。しかし、表示画像の明るさの低下が許容できるような状況（周囲が暗い等）である場合、ユーザによって表示画像の明るさの低下が許容する設定になっている場合などであれば、サブ画像分配条件に従わなくてもよい。たとえば、１つのサブ画像は元画像と同じものとし、他のサブ画像を黒画像としてもよい。この場合は、サブ画像分配条件にしたがったときと比べて、消費電力を低減できる。さらに、液晶表示装置においては、一方のサブ画像を、明るさの最大値に制限をつけずに元画像の全体的な明るさを大きくしたものとするとき、バックライトの明るさを大きくすることで、サブ画像分配条件を実現してもよい。この場合は、画素に書き込む電圧値を制御することなく、サブ画像分配条件を満足することができるため、画像処理回路の動作を省略でき、消費電力を低減できる。

【０６９８】

なお、黒挿入法は、いずれか１つのサブ画像において、全ての画素のL_jを０とすることを特徴とする。こうすることにより、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。

【０６９９】

元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法は、元画像の明るさを複数の範囲に分割し、当該範囲における明るさを制御するときは、全てのサブ画像のうち唯１つのサブ画像によって行なう方法である。こうすることによって、明るさを低下させることなく、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。

【０７００】

元画像の明るさを複数の範囲に分割する方法としては、明るさの最大値（L_{max}）を、サブ画像の数だけ分割する方法がある。これは、たとえば、０からL_{max}までの明るさが２５６段階（階調０から階調２５５）で調節できる表示装置において、サブ画像の数を２としたとき、階調０から階調１２７までを表示するときは、一方のサブ画像の明るさを

階調０から階調２５５の範囲で調節する一方で、他方のサブ画像の明るさを階調０とし、階調１２８から階調２５５までを表示するときは、一方のサブ画像の明るさを階調２５５とする一方で、他方のサブ画像の明るさを階調０から階調２５５の範囲で調節する方法である。こうすることによって、元画像が表示されたように人間の目に知覚させることができ、かつ、擬似的にインパルス型とすることができるので、ホールド型であることに起因する動画の品質の低下を防ぐことができる。なお、サブ画像の数は２より大きくてもよい。たとえば、サブ画像の数を３としたときは、元画像の明るさの段階（階調０から階調２５５）を、３つに分割する。なお、元画像の明るさの段階の数とサブ画像の数によっては、明るさの段階の数がサブ画像の数で割り切れない場合もあるが、分割後のそれぞれの明るさの範囲に含まれる明るさの段階の数は、ちょうど同じでなくても、適宜振り分ければよい。

【０７０１】

なお、時分割階調制御法においても、サブ画像分配条件を満たすことによって、明るさの低下などがおこらず、元画像と同様な画像を表示することができるため、好ましい。

【０７０２】

元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法は、一方のサブ画像を、元画像のガンマ特性を変更した明るい画像とし、他方のサブ画像を、元画像のガンマ特性を変更した暗い画像とする方法である。こうすることによって、明るさを低下させることなく、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。ここで、ガンマ特性とは、明るさの段階（階調）に対する明るさの程度のことである。通常、ガンマ特性は線形に近くなるように調整される。これは、明るさの段階である階調に対する明るさの変化が比例するようにすれば、滑らかな階調を得ることができるからである。ガンマ補完法では、一方のサブ画像のガンマ特性を線形からずらして、中間の明るさ（中間調）の領域において、線形よりも明るくなるように調整する（中間調が本来よりも明るい画像となる）。そして、他方のサブ画像のガンマ特性も線形からずらして、同じく中間調の領域において、線形よりも暗くなるように調整する（中間調が本来よりも暗い画像となる）。ここで、一方のサブ画像を線形より明るくした量と、他方のサブ画像を線形より暗くした量を、全ての階調において概等しくすることが好ましい。こうすることで、元画像が表示されたように人間の目に知覚させることができ、かつ、ホールド型であることに起因する動画の品質の低下を防ぐことができる。なお、サブ画像の数は２より大きくてもよい。たとえば、サブ画像の数を３としたときは、３つのサブ画像について、それぞれガンマ特性を調整し、線形から明るくした量の合計と、線形から暗くした量の合計が概等しくなるようにすればよい。

【０７０３】

なお、ガンマ補完法においても、サブ画像分配条件を満たすことによって、明るさの低下などがおこらず、元画像と同様な画像を表示することができるため、好ましい。さらに、ガンマ補完法においては、階調に対するそれぞれのサブ画像の明るさL_jの変化がガンマ曲線にしたがっているため、それぞれのサブ画像がそれ自体で階調を滑らかに表示でき、最終的に人間の目で知覚される画像の品質も向上するという利点を有する。

【０７０４】

動き補償によって求めた中間画像をサブ画像として用いる方法は、一方のサブ画像を、前後の画像から動き補償によって求めた中間画像とする方法である。こうすることで、画像の動きを滑らかにすることができるので、動画の品質を向上できる。

【０７０５】

次に、サブ画像を表示するタイミングと、サブ画像を作成する方法との関係について説明する。第１のサブ画像を表示するタイミングは、第１のステップで決められた元画像を表示するタイミングと同じであり、第２のサブ画像を表示するタイミングは、第１のステップで決められた元画像を表示するタイミングに関わらず、任意に決めることができるとしたが、第２のサブ画像を表示するタイミングにしたがって、サブ画像自体を変化させても

よい。こうすることで、第２のサブ画像を表示するタイミングを様々に変化させたとしても、元画像が表示されたように人間の目に知覚させることができる。具体的には、第２のサブ画像を表示するタイミングを早くした場合は、第１のサブ画像はより明るくし、第２のサブ画像はより暗くすることができる。さらに、第２のサブ画像を表示するタイミングを遅くした場合は、第１のサブ画像はより暗くし、第２のサブ画像はより明るくすることができる。これは、人間の目が知覚する明るさは、画像を表示する期間の長さによって変わるためである。より詳細には、人間の目が知覚する明るさは、画像を表示する期間が長いほど明るくなり、画像を表示する期間が短いほど暗くなる。すなわち、第２のサブ画像を表示するタイミングを早くすることによって、第１のサブ画像を表示する期間の長さが短くなり、第２のサブ画像を表示する期間の長さが長くなるため、そのままでは第１のサブ画像は暗く、第２のサブ画像は明るく、人間の目に知覚されてしまう。その結果、元画像とは異なる画像が人間の目に知覚されてしまうことになるが、これを防ぐために、第１のサブ画像はより明るくし、第２のサブ画像はより暗くすることができる。同様に、第２のサブ画像を表示するタイミングを遅くすることによって、第１のサブ画像を表示する期間の長さが長くなり、第２のサブ画像を表示する期間の長さが短くなる場合は、第１のサブ画像はより暗くし、第２のサブ画像はより明るくすることができる。

【０７０６】

上記の説明に基づいて、第２のステップにおける処理手順を、以下に示す。

手順１として、１つの元画像から複数のサブ画像を作成する方法を決定する。より詳細には、複数のサブ画像を作成する方法は、元画像をそのままサブ画像として用いる方法、元画像の明るさを複数のサブ画像に分配する方法、動き補償によって求めた中間画像をサブ画像として用いる方法、から選択することができる。

手順２として、サブ画像の数Ｊを決定する。なお、Ｊは２以上の整数である。

手順３として、第ｊのサブ画像における画素の明るさ$Ｌ_{ｊ}$、第ｊのサブ画像が表示される期間の長さ$Ｔ_{ｊ}$を、手順１で選択した方法にしたがって決定する。手順３により、それぞれのサブ画像が表示される期間の長さと、それぞれのサブ画像に含まれる個々の画素の明るさが具体的に決められる。

手順４として、手順１乃至手順３のそれぞれで決定された事項にしたがって、元画像を処理し、実際に表示する。

手順５として、対象とする元画像を次の元画像に移す。そして、手順１に戻る。

【０７０７】

なお、第２のステップにおける手順を実行する仕組みは、装置に実装されたものであってもよいし、装置の設計段階であらかじめ決められたものであってもよい。第２のステップにおける手順を実行する仕組みが装置に実装されていれば、状況に応じた最適な動作が行われるように、駆動方法を切り替えることが可能となる。なお、ここでいう状況とは、画像データの内容、装置内外の環境（温度、湿度、気圧、光、音、磁界、電界、放射線量、高度、加速度、移動速度、等）、ユーザ設定、ソフトウエアバージョン、等を含む。一方、第２のステップにおける手順を実行する仕組みが装置の設計段階であらかじめ決められたものであれば、それぞれの駆動方法に最適な駆動回路を用いることができ、さらに、仕組みが決められていることによって、量産効果による製造コストの低減が期待できる。

【０７０８】

次に、第２のステップにおける手順によって決められる様々な駆動方法を、それぞれ、第１のステップにおけるｎおよびｍの値を具体的に示して詳細に説明する。

【０７０９】

第２のステップにおける手順１において、元画像をそのままサブ画像として用いる方法が選択された場合、駆動方法は次のようになる。

【０７１０】

第ｉ（ｉは正の整数）の画像データと、

第ｉ＋１の画像データと、が、一定の周期Ｔで順次用意され、

前記周期Ｔは、Ｊ（Ｊは２以上の整数）個のサブ画像表示期間に分割され、

前記第ｉの画像データは、複数の画素にそれぞれ固有の明るさＬを持たせることができるデータであり、
第ｊ（ｊは１以上Ｊ以下の整数）のサブ画像は、それぞれ固有の明るさ$Ｌ_{j}$を持つ画素が複数並置されることによって構成され、第ｊのサブ画像表示期間$Ｔ_{j}$だけ表示される画像であり、
前記Ｌ、前記Ｔ、前記$Ｌ_{j}$、前記$Ｔ_{j}$、を、サブ画像分配条件を満たす表示装置の駆動方法であって、
全てのｊにおいて、第ｊのサブ画像に含まれるそれぞれの画素の明るさ$Ｌ_{j}$が、それぞれの画素に対し$Ｌ_{j}$＝Ｌであることを特徴とする。
ここで、一定の周期Ｔで順次用意される画像データとしては、第１のステップにおいて作成された元画像データを用いることができる。すなわち、第１のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【０７１１】

そして、第２のステップにおける手順２において、サブ画像の数Ｊが２と決定され、手順３において、$Ｔ_{1}$＝$Ｔ_{2}$＝Ｔ／２と決定された場合、上記駆動方法は、図６９に示すようなものとなる。
図６９において、横軸は時間であり、縦軸は第１のステップにおいて用いた様々なｎおよびｍについて場合分けを行なって示したものである。

【０７１２】

たとえば、第１のステップにおいて、ｎ＝１，ｍ＝１、すなわち変換比（ｎ／ｍ）が１であるときは、図６９のｎ＝１，ｍ＝１の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの２倍（２倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１２０Ｈｚ（１２０Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を２回連続して表示することになる。ここで、２倍速駆動である場合は、フレームレートが２倍速より小さい場合よりも動画の品質を向上でき、２倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と１２０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１２０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、２４０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／２倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１３】

さらに、たとえば、第１のステップにおいて、ｎ＝２，ｍ＝１、すなわち変換比（ｎ／ｍ）が２であるときは、図６９のｎ＝２，ｍ＝１の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの４倍（４倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは２４０Ｈｚ（２４０Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を４回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、４倍速駆動である場合は、フレームレートが４倍速より小さい場合よりも動画の品質を向上でき、４倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２の

ステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と２４０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を２４０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、２４０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／４倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１４】

さらに、たとえば、第１のステップにおいて、ｎ＝３，ｍ＝１、すなわち変換比（ｎ／ｍ）が３であるときは、図６９のｎ＝３，ｍ＝１の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの６倍（６倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは３６０Ｈｚ（３６０Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を６回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、６倍速駆動である場合は、フレームレートが６倍速より小さい場合よりも動画の品質を向上でき、６倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と３６０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を３６０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、１８０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／６倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１５】

さらに、たとえば、第１のステップにおいて、ｎ＝３，ｍ＝２、すなわち変換比（ｎ／ｍ）が３／２であるときは、図６９のｎ＝３，ｍ＝２の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの３倍（３倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１８０Ｈｚ（１８０Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を３回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、３倍速駆動である場合は、フレームレートが３倍速より小さい場合よりも動画の品質を向上でき、３倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合

は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と１８０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１８０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、１８０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／３倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１６】

さらに、たとえば、第１のステップにおいて、ｎ＝４，ｍ＝１、すなわち変換比（ｎ／ｍ）が４であるときは、図６９のｎ＝４，ｍ＝１の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの８倍（８倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは４８０Ｈｚ（４８０Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を８回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、８倍速駆動である場合は、フレームレートが８倍速より小さい場合よりも動画の品質を向上でき、８倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と４８０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を４８０Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１２０Ｈｚ、２４０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１７】

さらに、たとえば、第１のステップにおいて、ｎ＝４，ｍ＝３、すなわち変換比（ｎ／ｍ）が４／３であるときは、図６９のｎ＝４，ｍ＝３の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの８／３倍（８／３倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは１６０Ｈｚ（１６０Ｈｚ駆動）である。そして、３つの入力される画像データに対し、画像を８回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、８／３倍速駆動である場合は、フレームレートが８／３倍速より小さい場合よりも動画の品質を向上でき、８／３倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と１６０Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を１６０Ｈｚとしつつ、交流駆動の周波数をその整数

倍または整数分の一（たとえば、４０Ｈｚ、８０Ｈｚ、１６０Ｈｚ、３２０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の３／８倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１８】

さらに、たとえば、第１のステップにおいて、ｎ＝５，ｍ＝１、すなわち変換比（ｎ／ｍ）が５であるときは、図６９のｎ＝５，ｍ＝１の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの１０倍（１０倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは６００Ｈｚ（６００Ｈｚ駆動）である。そして、ひとつの入力される画像データに対し、画像を１０回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、１０倍速駆動である場合は、フレームレートが１０倍速より小さい場合よりも動画の品質を向上でき、１０倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と６００Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を６００Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、６０Ｈｚ、１００Ｈｚ、１２０Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／１０倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７１９】

さらに、たとえば、第１のステップにおいて、ｎ＝５，ｍ＝２、すなわち変換比（ｎ／ｍ）が５／２であるときは、図６９のｎ＝５，ｍ＝２の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの５倍（５倍速駆動）となる。具体的には、たとえば、入力フレームレートが６０Ｈｚであれば、表示フレームレートは３００Ｈｚ（３００Ｈｚ駆動）である。そして、１つの入力される画像データに対し、画像を５回連続して表示することになる。このとき、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、５倍速駆動である場合は、フレームレートが５倍速より小さい場合よりも動画の品質を向上でき、５倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と３００Ｈｚ駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を３００Ｈｚとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、３０Ｈｚ、５０Ｈｚ、６０Ｈｚ、１００Ｈｚ等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の１／５倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７２０】
このように、第２のステップにおける手順１において、元画像をそのままサブ画像として用いる方法が選択され、
第２のステップにおける手順２において、サブ画像の数が２と決定され、
第２のステップにおける手順３において、Ｔ１＝Ｔ２＝Ｔ／２と決定された場合は、第１のステップにおけるｎおよびｍの値によって決められる変換比のフレームレート変換に対し、表示フレームレートをさらに２倍のフレームレートとすることができるため、動画の品質をさらに向上させることが可能となる。さらに、当該表示フレームレートより小さい表示フレームレートである場合よりも動画の品質を向上でき、当該表示フレームレートより大きい表示フレームレートである場合よりも消費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の駆動周波数を大きくしつつ、交流駆動の周波数をその整数倍または整数分の一とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の（１／（変換比の２倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７２１】
なお、詳細な説明が省略したが、上に上げた変換比以外の場合においても、同様な利点を有するのは明らかである。たとえば、ｎが１０以下の範囲においては、上に挙げたもののほかに、
ｎ＝５，ｍ＝３、すなわち変換比（ｎ／ｍ）＝５／３（１０／３倍速駆動、２００Ｈｚ）、
ｎ＝５，ｍ＝４、すなわち変換比（ｎ／ｍ）＝５／４（５／２倍速駆動、１５０Ｈｚ）、
ｎ＝６，ｍ＝１、すなわち変換比（ｎ／ｍ）＝６（１２倍速駆動、７２０Ｈｚ）、
ｎ＝６，ｍ＝５、すなわち変換比（ｎ／ｍ）＝６／５（１２／５倍速駆動、１４４Ｈｚ）、
ｎ＝７，ｍ＝１、すなわち変換比（ｎ／ｍ）＝７（１４倍速駆動、８４０Ｈｚ）、
ｎ＝７，ｍ＝２、すなわち変換比（ｎ／ｍ）＝７／２（７倍速駆動、４２０Ｈｚ）、
ｎ＝７，ｍ＝３、すなわち変換比（ｎ／ｍ）＝７／３（１４／３倍速駆動、２８０Ｈｚ）、
ｎ＝７，ｍ＝４、すなわち変換比（ｎ／ｍ）＝７／４（７／２倍速駆動、２１０Ｈｚ）、
ｎ＝７，ｍ＝５、すなわち変換比（ｎ／ｍ）＝７／５（１４／５倍速駆動、１６８Ｈｚ）、
ｎ＝７，ｍ＝６、すなわち変換比（ｎ／ｍ）＝７／６（７／３倍速駆動、１４０Ｈｚ）、
ｎ＝８，ｍ＝１、すなわち変換比（ｎ／ｍ）＝８（１６倍速駆動、９６０Ｈｚ）、
ｎ＝８，ｍ＝３、すなわち変換比（ｎ／ｍ）＝８／３（１６／３倍速駆動、３２０Ｈｚ）、
ｎ＝８，ｍ＝５、すなわち変換比（ｎ／ｍ）＝８／５（１６／５倍速駆動、１９２Ｈｚ）、
ｎ＝８，ｍ＝７、すなわち変換比（ｎ／ｍ）＝８／７（１６／７倍速駆動、１３７Ｈｚ）、
ｎ＝９，ｍ＝１、すなわち変換比（ｎ／ｍ）＝９（１８倍速駆動、１０８０Ｈｚ）、
ｎ＝９，ｍ＝２、すなわち変換比（ｎ／ｍ）＝９／２（９倍速駆動、５４０Ｈｚ）、
ｎ＝９，ｍ＝４、すなわち変換比（ｎ／ｍ）＝９／４（９／２倍速駆動、２７０Ｈｚ）、
ｎ＝９，ｍ＝５、すなわち変換比（ｎ／ｍ）＝９／５（１８／５倍速駆動、２１６Ｈｚ）

、
ｎ＝９，ｍ＝７、すなわち変換比（ｎ／ｍ）＝９／７（１８／７倍速駆動、１５４Ｈｚ）、
ｎ＝９，ｍ＝８、すなわち変換比（ｎ／ｍ）＝９／８（９／４倍速駆動、１３５Ｈｚ）、
ｎ＝１０，ｍ＝１、すなわち変換比（ｎ／ｍ）＝１０（２０倍速駆動、１２００Ｈｚ）、
ｎ＝１０，ｍ＝３、すなわち変換比（ｎ／ｍ）＝１０／３（２０／３倍速駆動、４００Ｈｚ）、
ｎ＝１０，ｍ＝７、すなわち変換比（ｎ／ｍ）＝１０／７（２０／７倍速駆動、１７１Ｈｚ）、
ｎ＝１０，ｍ＝９、すなわち変換比（ｎ／ｍ）＝１０／９（２０／９倍速駆動、１３３Ｈｚ）、
以上の組み合わせが考えられる。なお、周波数の表記は入力フレームレートが６０Ｈｚであるときの例であり、その他の入力フレームレートに対しては、それぞれの変換比の２倍を入力フレームレートと積算した値が駆動周波数となる。

【０７２２】
なお、ｎが１０より大きい整数である場合については、具体的なｎおよびｍの数字は挙げないが、様々なｎおよびｍに対し、この、第２のステップにおける手順が適用できることは明らかである。

【０７２３】
なお、Ｊ＝２とする場合、第１のステップにおける変換比が２より大きいと、特に効果的である。なぜならば、第２のステップにおいて、サブ画像の数をＪ＝２のように比較的小さくすれば、その分、第１のステップにおける変換比を大きくすることができるからである。このような変換比は、ｎが１０以下の範囲においては、３、４、５、５／２、６、７、７／２、７／３、８、８／３、９、９／２、９／４、１０、１０／３、が挙げられる。第１のステップ後の表示フレームレートがこのような値の場合、Ｊ＝３以上とすることによって、第２のステップにおけるサブ画像の数が小さいことによる利点（消費電力および製造コストの低減等）と、最終的な表示フレームレートが大きいことによる利点（動画の品質向上、フリッカの低減等）を、両立させることが可能となる。

【０７２４】
なお、ここでは、手順２においてサブ画像の数Ｊが２と決定され、手順３において$T_1 = T_2 = T/2$と決定された場合について説明したが、これに限定されないのは明らかである。

【０７２５】
たとえば、第２のステップにおける手順３において、$T_1 < T_2$と決定された場合は、第１のサブ画像をより明るく、第２のサブ画像をより暗くすることができる。さらに、第２のステップにおける手順３において、$T_1 > T_2$と決定された場合は、第１のサブ画像をより暗く、第２のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。ただし、上記の駆動方法のように、手順１において、元画像をそのままサブ画像として用いる方法が選択された場合は、サブ画像の明るさを変化させずに、そのまま表示してもよい。なぜならば、この場合はサブ画像として用いる画像が同じであるため、サブ画像の表示タイミングに関わらず、元画像をきちんと表示することができるからである。

【０７２６】
さらに、手順２において、サブ画像の数Ｊが２ではなく、それ以外の値に決定されてもよいことは明らかである。この場合、第１のステップにおけるｎおよびｍの値によって決められる変換比のフレームレート変換に対し、表示フレームレートをさらにＪ倍のフレームレートとすることができるため、動画の品質をさらに向上させることが可能となる。さらに、当該表示フレームレートより小さい表示フレームレートである場合よりも動画の品質を向上でき、当該表示フレームレートより大きい表示フレームレートである場合よりも消

費電力および製造コストを低減できる。さらに、第２のステップの手順１において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の駆動周波数を大きくしつつ、交流駆動の周波数をその整数倍または整数分の一とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の（１／（変換比のＪ倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７２７】

たとえば、Ｊ＝３である場合は、特に、サブ画像の数が３より小さい場合よりも動画の品質を向上でき、サブ画像の数が３より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の（１／（変換比の３倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７２８】

さらに、たとえば、Ｊ＝４である場合は、特に、サブ画像の数が４より小さい場合よりも動画の品質を向上でき、サブ画像の数が４より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の（１／（変換比の４倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７２９】

さらに、たとえば、Ｊ＝５である場合は、特に、サブ画像の数が５より小さい場合よりも動画の品質を向上でき、サブ画像の数が５より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の（１／（変換比の５倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７３０】

さらに、Ｊが上に挙げたもの以外であっても、同様な利点を有する。

【０７３１】

なお、Ｊ＝３以上とする場合、第１のステップにおける変換比は様々な値をとることができるが、特に、第１のステップにおける変換比が比較的小さい場合（２以下）に、Ｊ＝３以上とするのが効果的である。なぜならば、第１のステップ後の表示フレームレートが比較的小さければ、その分、第２のステップにおいて、Ｊを大きくすることができるからである。このような変換比は、ｎが１０以下の範囲においては、１、２、３／２、４／３、５／３、５／４、６／５、７／４、７／５、７／６、８／７、９／５、９／７、９／８、１０／７、１０／９、が挙げられる。このうち、変換比が１、２、３／２、４／３、５／３、５／４の場合については、図７０に図示する。このように、第１のステップ後の表示フレームレートが比較的小さな値の場合、Ｊ＝３以上とすることによって、第１のステップにおける表示フレームレートが小さいことによる利点（消費電力および製造コストの低減等）と、最終的な表示フレームレートが大きいことによる利点（動画の品質向上、フリッカの低減等）を、両立させることが可能となる。

【０７３２】

次に、第２のステップにおける手順によって決められる駆動方法の別の例について説明する。

【０７３３】

第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合、駆動方法は次のようになる。

【０７３４】
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、一定の周期Ｔで順次用意され、
前記周期Ｔは、Ｊ（Ｊは２以上の整数）個のサブ画像表示期間に分割され、
前記第ｉの画像データは、複数の画素にそれぞれ固有の明るさＬを持たせることができるデータであり、
第ｊ（ｊは１以上Ｊ以下の整数）のサブ画像は、それぞれ固有の明るさ$Ｌ_{j}$を持つ画素が複数並置されることによって構成され、第ｊのサブ画像表示期間$Ｔ_{j}$だけ表示される画像であり、
前記Ｌ、前記Ｔ、前記$Ｌ_{j}$、前記$Ｔ_{j}$、を、サブ画像分配条件を満たす表示装置の駆動方法であって、
少なくとも１つのｊにおいて、第ｊのサブ画像に含まれる全て画素の明るさ$Ｌ_{j}$が、$Ｌ_{j}＝０$である
ことを特徴とする。
ここで、一定の周期Ｔで順次用意される画像データとしては、第１のステップにおいて作成された元画像データを用いることができる。すなわち、第１のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。
【０７３５】
なお、上記の駆動方法は、第１のステップにおいて用いた様々なｎおよびｍについて、それぞれ組み合わせて実施できることは明らかである。
【０７３６】
そして、第２のステップにおける手順２において、サブ画像の数Ｊが２と決定され、手順３において、$Ｔ_{1}＝Ｔ_{2}＝Ｔ／２$と決定された場合、上記駆動方法は、図６９に示すようなものとなる。
図６９に示す駆動方法（様々なｎおよびｍにおける表示タイミング）の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる
【０７３７】
第２のステップの手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、画像データに含まれる階調値によらずに擬似的にインパルス型の表示方法とすることができるため、動画の品質を向上できる。
【０７３８】
なお、ここでは、手順２においてサブ画像の数Ｊが２と決定され、手順３において$Ｔ_{1}＝Ｔ_{2}＝Ｔ／２$と決定された場合について説明したが、これに限定されないのは明らかである。
【０７３９】
たとえば、第２のステップにおける手順３において、$Ｔ_{1}＜Ｔ_{2}$と決定された場合は、第１のサブ画像をより明るく、第２のサブ画像をより暗くすることができる。さらに、第２

のステップにおける手順３において、$T_1 > T_2$と決定された場合は、第１のサブ画像をより暗く、第２のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。ただし、上記の駆動方法のように、手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合は、サブ画像の明るさを変化させずに、そのまま表示してもよい。なぜならば、この場合はサブ画像の明るさを変えない場合は、元画像の全体の明るさが暗くなって表示されるだけであるからである。すなわち、この方法を表示装置の明るさの制御に積極的に用いることで、動画の品質を向上させつつ、明るさの制御も可能となる。

【０７４０】

さらに、手順２において、サブ画像の数Ｊが２ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の（１／（変換比のＪ倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７４１】

次に、第２のステップにおける手順によって決められる駆動方法の別の例について説明する。

【０７４２】

第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合、駆動方法は次のようになる。

【０７４３】

第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、一定の周期Ｔで順次用意され、
前記周期Ｔは、Ｊ（Ｊは２以上の整数）個のサブ画像表示期間に分割され、
前記第ｉの画像データは、複数の画素にそれぞれ固有の明るさＬを持たせることができるデータであり、
前記固有の明るさＬは、最大値がL_{max}であり、
第ｊ（ｊは１以上Ｊ以下の整数）のサブ画像は、それぞれ固有の明るさL_jを持つ画素が複数並置されることによって構成され、第ｊのサブ画像表示期間T_jだけ表示される画像であり、
前記Ｌ、前記Ｔ、前記L_j、前記T_j、を、サブ画像分配条件を満たす表示装置の駆動方法であって、
前記固有の明るさＬを表示するにあたって、$(j-1) \times L_{max}$／Ｊから$J \times L_{max}$／Ｊの明るさの範囲における明るさの調節は、前記Ｊ個のサブ画像表示期間のうち唯１つのサブ画像表示期間における明るさの調節によって行なう
ことを特徴とする。
ここで、一定の周期Ｔで順次用意される画像データとしては、第１のステップにおいて作成された元画像データを用いることができる。すなわち、第１のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【０７４４】

なお、上記の駆動方法は、第１のステップにおいて用いた様々なｎおよびｍについて、それぞれ組み合わせて実施できることは明らかである。

【０７４５】

そして、第２のステップにおける手順２において、サブ画像の数Ｊが２と決定され、手順３において、$T_1 = T_2 = T/2$と決定された場合、上記駆動方法は、図６９に示すようなものとなる。
図６９に示す駆動方法（様々なｎおよびｍにおける表示タイミング）の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１にお

いて、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる

【０７４６】

第２のステップの手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、擬似的にインパルス型の表示方法とすることができるため、動画の品質が向上でき、かつ、表示装置の明るさが小さくなってしまうことがないため、さらに消費電力を低減できる。

【０７４７】

なお、ここでは、手順２においてサブ画像の数Ｊが２と決定され、手順３において$T_1 = T_2 = T/2$と決定された場合について説明したが、これに限定されないのは明らかである。

【０７４８】

たとえば、第２のステップにおける手順３において、$T_1 < T_2$と決定された場合は、第１のサブ画像をより明るく、第２のサブ画像をより暗くすることができる。さらに、第２のステップにおける手順３において、$T_1 > T_2$と決定された場合は、第１のサブ画像をより暗く、第２のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。

【０７４９】

さらに、手順２において、サブ画像の数Ｊが２ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の（１／（変換比のＪ倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７５０】

次に、第２のステップにおける手順によって決められる駆動方法の別の例について説明する。

【０７５１】

第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択された場合、駆動方法は次のようになる。

【０７５２】

第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、一定の周期Ｔで順次用意され、
前記周期Ｔは、Ｊ（Ｊは２以上の整数）個のサブ画像表示期間に分割され、
前記第ｉの画像データは、複数の画素にそれぞれ固有の明るさＬを持たせることができるデータであり、

第ｊ（ｊは１以上Ｊ以下の整数）のサブ画像は、それぞれ固有の明るさ$Ｌ_{j}$を持つ画素が複数並置されることによって構成され、第ｊのサブ画像表示期間$Ｔ_{j}$だけ表示される画像であり、
前記Ｌ、前記Ｔ、前記$Ｌ_{j}$、前記$Ｔ_{j}$、を、サブ画像分配条件を満たす表示装置の駆動方法であって、
それぞれのサブ画像において、階調に対する明るさの変化の特性を、線形からずらし、線形から明るい方へずらした明るさの量の合計と、線形から暗い方へずらした明るさの量の合計が、全ての階調において概等しい
ことを特徴とする。
ここで、一定の周期Ｔで順次用意される画像データとしては、第１のステップにおいて作成された元画像データを用いることができる。すなわち、第１のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。
【０７５３】
なお、上記の駆動方法は、第１のステップにおいて用いた様々なｎおよびｍについて、それぞれ組み合わせて実施できることは明らかである。
【０７５４】
そして、第２のステップにおける手順２において、サブ画像の数Ｊが２と決定され、手順３において、$Ｔ_{1}＝Ｔ_{2}＝Ｔ／２$と決定された場合、上記駆動方法は、図６９に示すようなものとなる。
図６９に示す駆動方法（様々なｎおよびｍにおける表示タイミング）の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第１のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる
【０７５５】
第２のステップの手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、画像データに含まれる階調値によらずに擬似的にインパルス型の表示方法とすることができるため、動画の品質を向上できる。さらに、画像データを直接ガンマ変換することによってサブ画像を求めてもよい。この場合は、動画の動きの大きさなどによって、様々にガンマ値を制御できる利点を有する。さらに、画像データは直接ガンマ変換せず、デジタルアナログ変換回路（ＤＡＣ）の参照電圧を変えることによって、ガンマ値を変化させたサブ画像を求める構成であってもよい。この場合は、画像データを直接ガンマ変換することがないので、ガンマ変換を行なう回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、ガンマ補完法においては、階調に対するそれぞれのサブ画像の明るさ$Ｌ_{j}$の変化がガンマ曲線にしたがっているため、それぞれのサブ画像がそれ自体で階調を滑らかに表示でき、最終的に人間の目で知覚される画像の品質も向上するという利点を有する。
【０７５６】
なお、ここでは、手順２においてサブ画像の数Ｊが２と決定され、手順３において$Ｔ_{1}＝Ｔ_{2}＝Ｔ／２$と決定された場合について説明したが、これに限定されないのは明らかであ

る。
【０７５７】
たとえば、第２のステップにおける手順３において、$T_1 < T_2$と決定された場合は、第１のサブ画像をより明るく、第２のサブ画像をより暗くすることができる。さらに、第２のステップにおける手順３において、$T_1 > T_2$と決定された場合は、第１のサブ画像をより暗く、第２のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。なお、上記の駆動方法のように、手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ法が選択された場合は、サブ画像の明るさを変化させる場合に、ガンマ値を変化させてもよい。すなわち、第２のサブ画像の表示タイミングにしたがって、ガンマ値を決めてもよい。こうすることで、画像全体の明るさを変化させる回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。
【０７５８】
さらに、手順２において、サブ画像の数Ｊが２ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の（１／（変換比のＪ倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。
【０７５９】
次に、第２のステップにおける手順によって決められる駆動方法の別の例について、詳細に説明する。
【０７６０】
第２のステップにおける手順１において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択され、
第２のステップにおける手順２において、サブ画像の数が２と決定され、
第２のステップにおける手順３において、Ｔ１＝Ｔ２＝Ｔ／２と決定された場合は、第２のステップにおける手順によって決められる駆動方法は、次のようになる。
【０７６１】
第ｉ（ｉは正の整数）の画像データと、
第ｉ＋１の画像データと、が、一定の周期Ｔで順次用意され、
第ｋ（ｋは正の整数）の画像と、
第ｋ＋１の画像と、
第ｋ＋２の画像と、を、元画像データの周期の１／２倍の間隔で順次表示する表示装置の駆動方法であって、
前記第ｋの画像は、前記第ｉの画像データにしたがって表示され、
前記第ｋ＋１の画像は、前記第ｉの画像データから前記第ｉ＋１の画像データまでの動きを１／２倍した動きに相当する画像データにしたがって表示され、
前記第ｋ＋２の画像は、前記第ｉ＋１の画像データにしたがって表示される
ことを特徴とする。
ここで、一定の周期Ｔで順次用意される画像データとしては、第１のステップにおいて作成された元画像データを用いることができる。すなわち、第１のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。
【０７６２】
なお、上記の駆動方法は、第１のステップにおいて用いた様々なｎおよびｍについて、それぞれ組み合わせて実施できることは明らかである。
【０７６３】
第２のステップにおける手順１において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択されることによる特徴的な利点は、第１のステップにおける手順に

おいて、動き補償によって求めた中間画像を補間画像とする場合に、第１のステップにおいて用いた中間画像を求める方法が、第２のステップでもそのままの方法で用いることができる点である。すなわち、動き補償によって中間画像を求める回路を、第１のステップだけではなく、第２のステップでも利用することができるので、回路を有効に利用できるようになり、処理効率を向上できる。また、画像の動きをさらに滑らかにすることができるため、動画の品質をさらに向上させることができる。

【０７６４】

なお、ここでは、手順２においてサブ画像の数Ｊが２と決定され、手順３において$T_1 = T_2 = T/2$と決定された場合について説明したが、これに限定されないのは明らかである。

【０７６５】

たとえば、第２のステップにおける手順３において、$T_1 < T_2$と決定された場合は、第１のサブ画像をより明るく、第２のサブ画像をより暗くすることができる。さらに、第２のステップにおける手順３において、$T_1 > T_2$と決定された場合は、第１のサブ画像をより暗く、第２のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。なお、上記の駆動方法のように、手順２において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択された場合は、サブ画像の明るさを変化させなくてもよい。なぜならば、中間状態の画像はそれ自体で画像として完結しているため、第２のサブ画像の表示タイミングが変化しても、人間の目に知覚される画像としては変化しないためである。この場合は、画像全体の明るさを変化させる回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。

【０７６６】

さらに、手順２において、サブ画像の数Ｊが２ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第２のステップにおける手順１において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の（１／（変換比のＪ倍））倍程度である液晶表示装置に適用することで、画質を向上することができる。

【０７６７】

次に、図７１を参照して、入力フレームレートと表示フレームレートが異なる場合の、フレームレート変換方法の具体例について説明する。図７１（Ａ）乃至（Ｃ）に示す方法においては、画像上の円形の領域がフレームによって位置が変化する領域であり、画像上の三角形の領域がフレームによって位置がほぼ変化しない領域であるとしている。ただし、これは説明のための例であり、表示される画像はこれに限定されない。図７１（Ａ）乃至（Ｃ）の方法は、様々な画像に対して適用することができる。

【０７６８】

図７１（Ａ）は、表示フレームレートが入力フレームレートの２倍（変換比が２）である場合を表している。変換比が２である場合は、変換比が２より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が２である場合は、変換比が２より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。図７１（Ａ）は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。ここで、注目している画像のことを、第ｐの画像（ｐは正の整数）と表記することとする。そして、注目している画像の次に表示される画像を、第（ｐ＋１）の画像、注目している画像の前に表示される画像を、第（ｐ－１）の画像、というように、注目している画像からどれだけ離れて表示されるかということを、便宜的に表記することとする。そして、画像１８０７０１は第ｐの画像、画像１８０７０２は第（ｐ＋１）の画像、画

像１８０７０３は第（ｐ＋２）の画像、画像１８０７０４は第（ｐ＋３）の画像、画像１８０７０５は第（ｐ＋４）の画像であるとする。期間Ｔｉｎは、入力画像データの周期を表している。なお、図７１（Ａ）は変換比が２である場合を表しているため、期間Ｔｉｎは、第ｐの画像が表示されてから第（ｐ＋１）の画像が表示されるまで期間の２倍の長さとなる。

【０７６９】

ここで、第（ｐ＋１）の画像１８０７０２は、第ｐの画像１８０７０１から第（ｐ＋２）の画像１８０７０３までの画像の変化量を検出することで、第ｐの画像１８０７０１および第（ｐ＋２）の画像１８０７０３の中間状態となるように作成された画像であってもよい。図７１（Ａ）では、フレームによって位置が変化する領域（円形の領域）と、フレームによって位置がほぼ変化しない領域（三角形の領域）と、によって、中間状態の画像の様子を表している。すなわち、第（ｐ＋１）の画像１８０７０２における円形の領域の位置は、第ｐの画像１８０７０１における位置と、第（ｐ＋２）の画像１８０７０３における位置の中間の位置としている。つまり、第（ｐ＋１）の画像１８０７０２は、動き補償を行なって画像データを補間したものである。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することによって、なめらかな表示を行なうことができる。

【０７７０】

さらに、第（ｐ＋１）の画像１８０７０２は、第ｐの画像１８０７０１および第（ｐ＋２）の画像１８０７０３の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図７１（Ａ）のように、第ｐの画像１８０７０１の代表的な輝度をＬ、第（ｐ＋１）の画像１８０７０２の代表的な輝度をＬｃとしたとき、ＬとＬｃで、Ｌ＞Ｌｃという関係があってもよい。望ましくは、０．１Ｌ＜Ｌｃ＜０．８Ｌという関係があってもよい。さらに望ましくは、０．２Ｌ＜Ｌｃ＜０．５Ｌという関係があってもよい。または、逆にＬとＬｃで、Ｌ＜Ｌｃという関係があってもよい。望ましくは、０．１Ｌｃ＜Ｌ＜０．８Ｌｃという関係があってもよい。さらに望ましくは、０．２Ｌｃ＜Ｌ＜０．５Ｌｃという関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。

【０７７１】

なお、画像の代表的な輝度については、後に図７２を参照して詳しく述べる。

【０７７２】

このように、動画ボケに対する２つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【０７７３】

さらに、第（ｐ＋３）の画像１８０７０４についても、第（ｐ＋２）の画像１８０７０３および第（ｐ＋４）の画像１８０７０５から同様な方法を用いて作成されてもよい。すなわち、第（ｐ＋３）の画像１８０７０４は、第（ｐ＋２）の画像１８０７０３から第（ｐ＋４）の画像１８０７０５までの画像の変化量を検出することで、第（ｐ＋２）の画像１８０７０３および第（ｐ＋４）の画像１８０７０５の中間状態となるように作成された画像であって、さらに、画像の輝度を一定の規則で制御した画像であってもよい。

【０７７４】

図７１（Ｂ）は、表示フレームレートが、入力フレームレートの３倍（変換比が３）である場合を表している。図７１（Ｂ）は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。画像１８０７１１は第ｐの画像、画像１８０７１２は第（ｐ＋１）の画像、画像１８０７１３は第（ｐ＋２）の画像、画像１８０７１４は第（ｐ＋３）の画像、画像１８０７１５は第（ｐ＋４）の画像、画像１８０７１６は第（ｐ＋５）の画像、画像１８０７１７は第（ｐ＋６）の画像であるとする。期間Ｔｉｎは、入力画像データの周期を表している。なお、図７１（Ｂ）は変換比が３である場合を表

しているため、期間Ｔｉｎは、第ｐの画像が表示されてから第（ｐ＋１）の画像が表示されるまで期間の３倍の長さとなる。

【０７７５】

ここで、第（ｐ＋１）の画像１８０７１２および第（ｐ＋２）の画像１８０７１３は、第ｐの画像１８０７１１から第（ｐ＋３）の画像１８０７１４までの画像の変化量を検出することで、第ｐの画像１８０７１１および第（ｐ＋３）の画像１８０７１４の中間状態となるように作成された画像であってもよい。図７１（Ｂ）では、フレームによって位置が変化する領域（円形の領域）と、フレームによって位置がほぼ変化しない領域（三角形の領域）と、によって、中間状態の画像の様子を表している。すなわち、第（ｐ＋１）の画像１８０７１２および第（ｐ＋２）の画像１８０７１３における円形の領域の位置は、第ｐの画像１８０７１１における位置と、第（ｐ＋３）の画像１８０７１４における位置の中間の位置としている。具体的には、第ｐの画像１８０７１１および第（ｐ＋３）の画像１８０７１４から検出した、円形の領域が移動する量をＸとしたとき、第（ｐ＋１）の画像１８０７１２における円形の領域の位置は、第ｐの画像１８０７１１における位置から、（１／３）Ｘ程度変位した位置であっても良い。さらに、第（ｐ＋２）の画像１８０７１３における円形の領域の位置は、第ｐの画像１８０７１１における位置から、（２／３）Ｘ程度変位した位置であっても良い。つまり、第（ｐ＋１）の画像１８０７１２および第（ｐ＋２）の画像１８０７１３は、動き補償を行なって画像データを補間したものである。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することにより、なめらかな表示を行なうことができる。

【０７７６】

さらに、第（ｐ＋１）の画像１８０７１２および第（ｐ＋２）の画像１８０７１３は、第ｐの画像１８０７１１および第（ｐ＋３）の画像１８０７１４の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図７１（Ｂ）のように、第ｐの画像１８０７１１の代表的な輝度をＬ、第（ｐ＋１）の画像１８０７１２の代表的な輝度をＬｃ１、第（ｐ＋２）の画像１８０７１３の代表的な輝度をＬｃ２としたとき、Ｌ、Ｌｃ１、Ｌｃ２において、Ｌ＞Ｌｃ１またはＬ＞Ｌｃ２またはＬｃ１＝Ｌｃ２という関係があってもよい。望ましくは、０．１Ｌ＜Ｌｃ１＝Ｌｃ２＜０．８Ｌという関係があってもよい。さらに望ましくは、０．２Ｌ＜Ｌｃ＝Ｌｃ２＜０．５Ｌという関係があってもよい。または、逆にＬ、Ｌｃ１、Ｌｃ２において、Ｌ＜Ｌｃ１またはＬ＜Ｌｃ２またはＬｃ１＝Ｌｃ２という関係があってもよい。望ましくは、０．１Ｌｃ１＝０．１Ｌｃ２＜Ｌ＜０．８Ｌｃ１＝０．８Ｌｃ２という関係があってもよい。さらに望ましくは、０．２Ｌｃ１＝０．２Ｌｃ２＜Ｌ＜０．５Ｌｃ１＝０．５Ｌｃ２という関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。または、輝度を変化させる画像が交互に現れるようにしてもよい。こうすることで、輝度が変化する周期を短くすることができるので、フリッカを低減することができる。

【０７７７】

このように、動画ボケに対する２つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【０７７８】

さらに、第（ｐ＋４）の画像１８０７１５および第（ｐ＋５）の画像１８０７１６についても、第（ｐ＋３）の画像１８０７１４および第（ｐ＋６）の画像１８０７１７から同様な方法を用いて作成されてもよい。すなわち、第（ｐ＋４）の画像１８０７１５および第（ｐ＋５）の画像１８０７１６は、第（ｐ＋３）の画像１８０７１４から第（ｐ＋６）の画像１８０７１７までの画像の変化量を検出することで、第（ｐ＋３）の画像１８０７１４および第（ｐ＋６）の画像１８０７１７の中間状態となるように作成された画像であって、さらに、画像の輝度を一定の規則で制御した画像であってもよい。

【０７７９】

なお、図７１（Ｂ）の方法を用いると、表示フレームレートが大きいので、画像の動きが目の動きによく追従できるようになり、画像の動きをなめらかに表示することができるため、動画ボケを大幅に低減することができる。

【０７８０】

図７１（Ｃ）は、表示フレームレートが、入力フレームレートの１．５倍（変換比１．５）である場合を表している。図７１（Ｃ）は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。画像１８０７２１は第ｐの画像、画像１８０７２２は第（ｐ＋１）の画像、画像１８０７２３は第（ｐ＋２）の画像、画像１８０７２４は第（ｐ＋３）の画像であるとする。なお、実際には表示されなくてもよいが、画像１８０７２５は入力画像データであり、第（ｐ＋１）の画像１８０７２２および第（ｐ＋２）の画像１８０７２３が作成されるために用いられていてもよい。期間Ｔｉｎは、入力画像データの周期を表している。なお、図７１（Ｃ）は変換比が１．５である場合を表しているため、期間Ｔｉｎは、第ｐの画像が表示されてから第（ｐ＋１）の画像が表示されるまで期間の１．５倍の長さとなる。

【０７８１】

ここで、第（ｐ＋１）の画像１８０７２２および第（ｐ＋２）の画像１８０７２３は、第ｐの画像１８０７２１から画像１８０７２５を経由して第（ｐ＋３）の画像１８０７２４までの画像の変化量を検出することで、第ｐの画像１８０７２１および第（ｐ＋３）の画像１８０７２４の中間状態となるように作成された画像であってもよい。図７１（Ｃ）では、フレームによって位置が変化する領域（円形の領域）と、フレームによって位置がほぼ変化しない領域（三角形の領域）と、によって、中間状態の画像の様子を表している。すなわち、第（ｐ＋１）の画像１８０７２２および第（ｐ＋２）の画像１８０７２３における円形の領域の位置は、第ｐの画像１８０７２１における位置と、第（ｐ＋３）の画像１８０７２４における位置の中間の位置としている。つまり、第（ｐ＋１）の画像１８０７２２および第（ｐ＋２）の画像１８０７２３は、動き補償を行なって画像データを補間したものである。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することにより、なめらかな表示を行なうことができる。

【０７８２】

さらに、第（ｐ＋１）の画像１８０７２２および第（ｐ＋２）の画像１８０７２３は、第ｐの画像１８０７２１および第（ｐ＋３）の画像１８０７２４の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図７１（Ｃ）のように、第ｐの画像１８０７２１の代表的な輝度をＬ、第（ｐ＋１）の画像１８０７２２の代表的な輝度をＬｃ１、第（ｐ＋２）の画像１８０７２３の代表的な輝度をＬｃ２としたとき、Ｌ、Ｌｃ１、Ｌｃ２において、Ｌ＞Ｌｃ１またはＬ＞Ｌｃ２またはＬｃ１＝Ｌｃ２という関係があってもよい。望ましくは、０．１Ｌ＜Ｌｃ１＝Ｌｃ２＜０．８Ｌという関係があってもよい。さらに望ましくは、０．２Ｌ＜Ｌｃ＝Ｌｃ２＜０．５Ｌという関係があってもよい。または、逆にＬ、Ｌｃ１、Ｌｃ２において、Ｌ＜Ｌｃ１またはＬ＜Ｌｃ２またはＬｃ１＝Ｌｃ２という関係があってもよい。望ましくは、０．１Ｌｃ１＝０．１Ｌｃ２＜Ｌ＜０．８Ｌｃ１＝０．８Ｌｃ２という関係があってもよい。さらに望ましくは、０．２Ｌｃ１＝０．２Ｌｃ２＜Ｌ＜０．５Ｌｃ１＝０．５Ｌｃ２という関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。または、輝度を変化させる画像が交互に現れるようにしてもよい。こうすることで、輝度が変化する周期を短くすることができるので、フリッカを低減することができる。

【０７８３】

このように、動画ボケに対する２つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【０７８４】

なお、図７１（Ｃ）の方法を用いると、表示フレームレートが小さいので、表示装置に信

号を書き込む時間を長くすることができる。そのため、表示装置のクロック周波数を小さくできるので、消費電力を低減することができる。また、動き補償を行なう処理速度を遅くできるので、消費電力を低減することができる。

【０７８５】

次に、図７２を参照して、画像の代表的な輝度について説明する。図７２（Ａ）乃至（Ｄ）に示す図は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。図７２（Ｅ）は、ある領域内の画像の輝度を測定する方法の一例である。

【０７８６】

画像の輝度を測定する方法としては、画像を構成するそれぞれの画素に対し、個別に輝度を測定する方法がある。この方法を用いると、画像の細部まで厳密に輝度を測定することができる。

【０７８７】

ただし、画像を構成するそれぞれの画素に対し、個別に輝度を測定する方法は、非常に労力を要するため、別の方法を用いてもよい。画像の輝度を測定する別の方法としては、画像内のある領域に注目し、その領域の平均的な輝度を測定する方法がある。この方法によって、簡易に画像の輝度を測定することができる。本実施の形態においては、画像内のある領域の平均的な輝度を測定する方法によって求めた輝度を、便宜的に、画像の代表的な輝度と呼ぶこととする。

【０７８８】

そして、画像の代表的な輝度を求めるために、画像内のどの領域に注目するかという点について、以下で説明する。

【０７８９】

図７２（Ａ）は、画像の変化に対し、位置がほぼ変化しない領域（三角形の領域）の輝度を、画像の代表的な輝度とする方法の例を表している。期間Ｔｉｎは入力画像データの周期、画像１８０８０１は第ｐの画像、画像１８０８０２は第（ｐ＋１）の画像、画像１８０８０３は第（ｐ＋２）の画像、第１の領域１８０８０４は第ｐの画像１８０８０１における輝度測定領域、第２の領域１８０８０５は第（ｐ＋１）の画像１８０８０２における輝度測定領域、第３の領域１８０８０６は第（ｐ＋２）の画像１８０８０３における輝度測定領域を、それぞれ表している。ここで、第１乃至第３の領域は、装置内の空間的な位置としては、概同じであるとしてよい。つまり、第１乃至第３の領域で画像の代表的な輝度を測定することによって、画像の代表的な輝度の時間変化を求めることができる。

【０７９０】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第１の領域１８０８０４で測定される輝度をＬ、第２の領域１８０８０５で測定される輝度をＬｃとしたとき、Ｌｃ＜Ｌであれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

【０７９１】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第１の領域１８０８０４と第２の領域１８０８０５、第２の領域１８０８０５と第３の領域１８０８０６、第１の領域１８０８０４と第３の領域１８０８０６のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が０であるとき、相対輝度は１００％となる。そして、相対輝度が８０％以下であれば、動画の品質を向上できる。特に、相対輝度が５０％以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が１０％以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が２０％以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が１０％以上８０％以下であれば、動画の品質を向上させ、かつ、消費電力およ

びフリッカを低減することができる。さらに、相対輝度が２０％以上５０％以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

【０７９２】

図７２（Ｂ）は、タイル状に分割された領域の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間Ｔｉｎは入力画像データの周期、画像１８０８１１は第ｐの画像、画像１８０８１２は第（ｐ＋１）の画像、画像１８０８１３は第（ｐ＋２）の画像、第１の領域１８０８１４は第ｐの画像１８０８１１における輝度測定領域、第２の領域１８０８１５は第（ｐ＋１）の画像１８０８１２における輝度測定領域、第３の領域１８０８１６は第（ｐ＋２）の画像１８０８１３における輝度測定領域を、それぞれ表している。ここで、第１乃至第３の領域は、装置内の空間的な位置としては、概同じであるとしてよい。つまり、第１乃至第３の領域で画像の代表的な輝度を測定することによって、画像の代表的な輝度の時間変化を求めることができる。

【０７９３】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第１の領域１８０８１４で測定される輝度の全ての領域における平均値をＬ、第２の領域１８０８１５で測定される輝度の全ての領域における平均値をＬｃとしたとき、Ｌｃ＜Ｌであれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

【０７９４】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第１の領域１８０８１４と第２の領域１８０８１５、第２の領域１８０８１５と第３の領域１８０８１６、第１の領域１８０８１４と第３の領域１８０８１６のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が０であるとき、相対輝度は１００％となる。そして、相対輝度が８０％以下であれば、動画の品質を向上できる。特に、相対輝度が５０％以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が１０％以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が２０％以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が１０％以上８０％以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が２０％以上５０％以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

【０７９５】

図７２（Ｃ）は、画像の中央の領域の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間Ｔｉｎは入力画像データの周期、画像１８０８２１は第ｐの画像、画像１８０８２２は第（ｐ＋１）の画像、画像１８０８２３は第（ｐ＋２）の画像、第１の領域１８０８２４は第ｐの画像１８０８２１における輝度測定領域、第２の領域１８０８２５は第（ｐ＋１）の画像１８０８２２における輝度測定領域、第３の領域１８０８２６は第（ｐ＋２）の画像１８０８２３における輝度測定領域を、それぞれ表している。

【０７９６】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第１の領域１８０８２４で測定される輝度をＬ、第２の領域１８０８２５で測定される輝度をＬｃとしたとき、Ｌｃ＜Ｌであれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

【０７９７】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝

度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第１の領域１８０８２４と第２の領域１８０８２５、第２の領域１８０８２５と第３の領域１８０８２６、第１の領域１８０８２４と第３の領域１８０８２６のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が０であるとき、相対輝度は１００％となる。そして、相対輝度が８０％以下であれば、動画の品質を向上できる。特に、相対輝度が５０％以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が１０％以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が２０％以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が１０％以上８０％以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が２０％以上５０％以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

【０７９８】

図７２（Ｄ）は、画像全体からサンプリングした複数の点の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間Ｔｉｎは入力画像データの周期、画像１８０８３１は第ｐの画像、画像１８０８３２は第（ｐ＋１）の画像、画像１８０８３３は第（ｐ＋２）の画像、第１の領域１８０８３４は第ｐの画像１８０８３１における輝度測定領域、第２の領域１８０８３５は第（ｐ＋１）の画像１８０８３２における輝度測定領域、第３の領域１８０８３６は第（ｐ＋２）の画像１８０８３３における輝度測定領域を、それぞれ表している。

【０７９９】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第１の領域１８０８３４で測定される輝度の全ての領域における平均値をＬ、第２の領域１８０８３５で測定される輝度の全ての領域における平均値をＬｃとしたとき、Ｌｃ＜Ｌであれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

【０８００】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第１の領域１８０８３４と第２の領域１８０８３５、第２の領域１８０８３５と第３の領域１８０８３６、第１の領域１８０８３４と第３の領域１８０８３６のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が０であるとき、相対輝度は１００％となる。そして、相対輝度が８０％以下であれば、動画の品質を向上できる。特に、相対輝度が５０％以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が１０％以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が２０％以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が１０％以上８０％以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が２０％以上５０％以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

【０８０１】

図７２（Ｅ）は、図７２（Ａ）乃至（Ｄ）に示す図における、輝度測定領域内の測定方法を示した図である。領域１８０８４１は注目している輝度測定領域、点１８０８４２は領域１８０８４１内の輝度測定点である。時間分解能の高い輝度計測機器は、その測定対象範囲が小さい場合があるため、領域１８０８４１が大きい場合は、領域全てを測定するのではなく、図７２（Ｅ）のように、領域１８０８４１内を点状で偏り無く、複数の点で測定し、その平均値をもって領域１８０８４１の輝度であるとしてもよい。

【０８０２】

なお、画像がＲ、Ｇ、Ｂの３原色の組み合わせを持つ場合は、測定される輝度は、Ｒ、Ｇ、Ｂを合わせた輝度であってもよいし、ＲおよびＧを合わせた輝度、ＧおよびＢを合わせた輝度、ＢおよびＲを合わせた輝度であってもよいし、Ｒ、Ｇ、Ｂそれぞれの輝度であってもよい。

【０８０３】

次に、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する方法、および入力画像データに含まれる画像の動き等に従って駆動方法を制御する方法について説明する。

【０８０４】

図７３を参照して、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する方法の例について説明する。図７３（Ａ）は、表示フレームレートが、入力フレームレートの２倍（変換比が２）である場合を表したものである。図７３（Ａ）は、横軸を時間として、画像の動きを検出する方法を、模式的に表したものである。期間Ｔｉｎは入力画像データの周期、画像１８０９０１は第ｐの画像、画像１８０９０２は第（ｐ＋１）の画像、画像１８０９０３は第（ｐ＋２）の画像を、それぞれ表している。また、画像中に、時間に依存しない領域として、第１の領域１８０９０４、第２の領域１８０９０５および第３の領域１８０９０６を設ける。

【０８０５】

まず、第（ｐ＋２）の画像１８０９０３においては、画像をタイル状の複数の領域に分割し、そのうちの１つの領域である第３の領域１８０９０６内の画像データに着目する。

【０８０６】

次に、第ｐの画像１８０９０１において、第３の領域１８０９０６を中心とした第３の領域１８０９０６よりも大きな範囲に着目する。ここで、第３の領域１８０９０６を中心とした第３の領域１８０９０６よりも大きな範囲は、データ検索範囲である。データ検索範囲は、水平方向（Ｘ方向）の範囲を１８０９０７、垂直方向（Ｙ方向）の範囲を１８０９０８とする。なお、データ検索範囲の水平方向の範囲１８０９０７および垂直方向の範囲１８０９０８は、第３の領域１８０９０６の水平方向の範囲および垂直方向の範囲を、それぞれ１５画素分程度拡大した範囲であってもよい。

【０８０７】

そして、データ検索範囲内において、前記第３の領域１８０９０６内の画像データと最も類似した画像データを持つ領域を検索する。検索方法は、最小二乗法などを用いることができる。検索の結果、最も類似した画像データを持つ領域として、第１の領域１８０９０４が導出されたとする。

【０８０８】

次に、導出された第１の領域１８０９０４と、第３の領域１８０９０６との位置の違いを表す量として、ベクトル１８０９０９を導出する。なお、ベクトル１８０９０９を、動きベクトルと呼ぶことにする。

【０８０９】

そして、第（ｐ＋１）の画像１８０９０２においては、動きベクトル１８０９０９から求めたベクトルと、第（ｐ＋２）の画像１８０９０３における第３の領域１８０９０６内の画像データと、第ｐの画像１８０９０１における第１の領域１８０９０４内の画像データと、によって、第２の領域１８０９０５を形成する。

【０８１０】

ここで、動きベクトル１８０９０９から求めたベクトルを変位ベクトル１８０９１０と呼ぶことにする。変位ベクトル１８０９１０は、第２の領域１８０９０５を形成する位置を決める役割を持つ。第２の領域１８０９０５は、第３の領域１８０９０６から変位ベクトル１８０９１０だけ離れた位置に形成される。なお、変位ベクトル１８０９１０は、動きベクトル１８０９０９に係数（１／２）をかけた量であってもよい。

【０８１１】

第（ｐ＋１）の画像１８０９０２における第２の領域１８０９０５内の画像データは、第

（ｐ＋２）の画像１８０９０３における第３の領域１８０９０６内の画像データと、第ｐの画像１８０９０１における第１の領域１８０９０４内の画像データによって決められるとしてもよい。たとえば、第（ｐ＋１）の画像１８０９０２における第２の領域１８０９０５内の画像データは、第（ｐ＋２）の画像１８０９０３における第３の領域１８０９０６内の画像データと、第ｐの画像１８０９０１における第１の領域１８０９０４内の画像データの平均値であってもよい。

【０８１２】

このようにして、第（ｐ＋２）の画像１８０９０３における第３の領域１８０９０６に対応する、第（ｐ＋１）の画像１８０９０２における第２の領域１８０９０５を形成することができる。なお、以上の処理を、第（ｐ＋２）の画像１８０９０３における他の領域にも行なうことで、第（ｐ＋２）の画像１８０９０３と第ｐの画像１８０９０１の中間状態となる、第（ｐ＋１）の画像１８０９０２を形成することができる。

【０８１３】

図７３（Ｂ）は、表示フレームレートが、入力フレームレートの３倍（変換比が３）である場合を表したものである。図７３（Ｂ）は、横軸を時間として、画像の動きを検出する方法を、模式的に表したものである。期間Ｔｉｎは入力画像データの周期、画像１８０９１１は第ｐの画像、画像１８０９１２は第（ｐ＋１）の画像、画像１８０９１３は第（ｐ＋２）の画像、画像１８０９１４は第（ｐ＋３）の画像を、それぞれ表している。また、画像中に、時間に依存しない領域として、第１の領域１８０９１５、第２の領域１８０９１６、第３の領域１８０９１７および第４の領域１８０９１８を設ける。

【０８１４】

まず、第（ｐ＋３）の画像１８０９１４においては、画像をタイル状の複数の領域に分割し、そのうちの１つの領域である第４の領域１８０９１８内の画像データに着目する。

【０８１５】

次に、第ｐの画像１８０９１１において、第４の領域１８０９１８を中心とした第４の領域１８０９１８よりも大きな範囲に着目する。ここで、第４の領域１８０９１８を中心とした第４の領域１８０９１８よりも大きな範囲は、データ検索範囲である。データ検索範囲は、水平方向（Ｘ方向）の範囲を１８０９１９、垂直方向（Ｙ方向）の範囲を１８０９２０とする。なお、データ検索範囲の水平方向の範囲１８０９１９および垂直方向の範囲１８０９２０は、第４の領域１８０９１８の水平方向の範囲および垂直方向の範囲を、それぞれ１５画素分程度拡大した範囲であってもよい。

【０８１６】

そして、データ検索範囲内において、前記第４の領域１８０９１８内の画像データと最も類似した画像データを持つ領域を検索する。検索方法は、最小二乗法などを用いることができる。検索の結果、最も類似した画像データを持つ領域として、第１の領域１８０９１５が導出されたとする。

【０８１７】

次に、導出された第１の領域１８０９１５と、第４の領域１８０９１８との位置の違いを表す量として、ベクトルを導出する。なお、このベクトルを、動きベクトル１８０９２１と呼ぶことにする。

【０８１８】

そして、第（ｐ＋１）の画像１８０９１２および、第（ｐ＋２）の画像１８０９１３においては、動きベクトル１８０９２１から求めた第１のベクトルおよび第２のベクトルと、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８内の画像データと、第ｐの画像１８０９１１における第１の領域１８０９１５内の画像データと、によって、第２の領域１８０９１６および第３の領域１８０９１７を形成する。

【０８１９】

ここで、動きベクトル１８０９２１から求めた第１のベクトルを第１の変位ベクトル１８０９２２と呼ぶことにする。また、第２のベクトルを第２の変位ベクトル１８０９２３と呼ぶことにする。第１の変位ベクトル１８０９２２は、第２の領域１８０９１６を形成す

る位置を決める役割を持つ。第２の領域１８０９１６は、第４の領域１８０９１８から第１の変位ベクトル１８０９２２だけ離れた位置に形成される。なお、第１の変位ベクトル１８０９２２は、動きベクトル１８０９２１に（１／３）をかけた量であってもよい。また、第２の変位ベクトル１８０９２３は、第３の領域１８０９１７を形成する位置を決める役割を持つ。第３の領域１８０９１７は、第４の領域１８０９１８から第２の変位ベクトル１８０９２３だけ離れた位置に形成される。なお、第２の変位ベクトル１８０９２３は、動きベクトル１８０９２１に（２／３）をかけた量であってもよい。

【０８２０】

第（ｐ＋１）の画像１８０９１２における第２の領域１８０９１６内の画像データは、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８内の画像データと、第ｐの画像１８０９１１における第１の領域１８０９１５内の画像データによって決められるとしてもよい。たとえば、第（ｐ＋１）の画像１８０９１２における第２の領域１８０９１６内の画像データは、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８内の画像データと、第ｐの画像１８０９１１における第１の領域１８０９１５内の画像データの平均値であってもよい。

【０８２１】

第（ｐ＋２）の画像１８０９１３における第３の領域１８０９１７内の画像データは、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８内の画像データと、第ｐの画像１８０９１１における第１の領域１８０９１５内の画像データによって決められるとしてもよい。たとえば、第（ｐ＋２）の画像１８０９１３における第３の領域１８０９１７内の画像データは、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８内の画像データと、第ｐの画像１８０９１１における第１の領域１８０９１５内の画像データの平均値であってもよい。

【０８２２】

このようにして、第（ｐ＋３）の画像１８０９１４における第４の領域１８０９１８に対応する、第（ｐ＋１）の画像１８０９０２における第２の領域１８０９１６、および第（ｐ＋２）の画像１８０９１３における第３の領域１８０９１７を形成することができる。なお、以上の処理を、第（ｐ＋３）の画像１８０９１４における他の領域にも行なうことで、第（ｐ＋３）の画像１８０９１４と第ｐの画像１８０９１１の中間状態となる、第（ｐ＋１）の画像１８０９１２および第（ｐ＋２）の画像１８０９１３を形成することができる。

【０８２３】

次に、図７４を参照して、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する回路の例について説明する。図７４（Ａ）は、表示領域に画像を表示するためのソースドライバ、ゲートドライバを含む周辺駆動回路と、周辺駆動回路を制御する制御回路の接続関係を表した図である。図７４（Ｂ）は、前記制御回路の詳細な回路構成の一例を表した図である。図７４（Ｃ）は、前記制御回路に含まれる画像処理回路の詳細な回路構成の一例を表した図である。図７４（Ｄ）は、前記制御回路に含まれる画像処理回路の詳細な回路構成の別の例を表した図である。

【０８２４】

図７４（Ａ）のように、本実施の形態における装置は、制御回路１８１０１１と、ソースドライバ１８１０１２と、ゲートドライバ１８１０１３と、表示領域１８１０１４と、を含んでいてもよい。

【０８２５】

なお、制御回路１８１０１１、ソースドライバ１８１０１２およびゲートドライバ１８１０１３は、表示領域１８１０１４が形成されている基板と同一の基板上に形成されていてもよい。

【０８２６】

なお、制御回路１８１０１１、ソースドライバ１８１０１２およびゲートドライバ１８１０１３は、これらのうち一部が、表示領域１８１０１４が形成されている基板と同一の基

板上に形成され、その他の回路は、表示領域１８１０１４が形成されている基板とは異なる基板上に形成されていてもよい。たとえば、ソースドライバ１８１０１２およびゲートドライバ１８１０１３が、表示領域１８１０１４が形成されている基板と同一の基板上に形成され、制御回路１８１０１１は異なる基板上に外付けＩＣとして形成されていてもよい。同様に、ゲートドライバ１８１０１３が、表示領域１８１０１４が形成されている基板と同一の基板上に形成され、その他の回路は異なる基板上に外付けＩＣとして形成されていてもよい。同様に、ソースドライバ１８１０１２、ゲートドライバ１８１０１３および制御回路１８１０１１の一部が、表示領域１８１０１４が形成されている基板と同一の基板上に形成され、その他の回路は異なる基板上に外付けＩＣとして形成されていてもよい。

【０８２７】

制御回路１８１０１１は、外部画像信号１８１０００と、水平同期信号１８１００１と、垂直同期信号１８１００２と、が入力され、画像信号１８１００３と、ソーススタートパルス１８１００４と、ソースクロック１８１００５と、ゲートスタートパルス１８１００６と、ゲートクロック１８１００７と、が出力される構成であってもよい。

【０８２８】

ソースドライバ１８１０１２は、画像信号１８１００３と、ソーススタートパルス１８１００４と、ソースクロック１８１００５と、が入力され、画像信号１８１００３に従った電圧または電流を表示領域１８１０１４に出力する構成であってもよい。

【０８２９】

ゲートドライバ１８１０１３は、ゲートスタートパルス１８１００６と、ゲートクロック１８１００７と、が入力され、ソースドライバ１８１０１２から出力される信号を表示領域１８１０１４に書き込むタイミングを指定する信号が出力される構成であってもよい。

【０８３０】

外部画像信号１８１０００の周波数と、画像信号１８１００３の周波数が異なっている場合、ソースドライバ１８１０１２およびゲートドライバ１８１０１３を駆動するタイミングを制御する信号も、入力される水平同期信号１８１００１および垂直同期信号１８１００２とは異なる周波数を持つことになる。そのため、画像信号１８１００３の処理に加えて、ソースドライバ１８１０１２およびゲートドライバ１８１０１３を駆動するタイミングを制御する信号も処理する必要がある。制御回路１８１０１１は、そのための機能を持った回路であってもよい。たとえば、外部画像信号１８１０００の周波数に対して画像信号１８１００３の周波数が倍であった場合、制御回路１８１０１１は、外部画像信号１８１０００に含まれる画像信号を補間して倍の周波数の画像信号１８１００３を生成し、かつ、タイミングを制御する信号も倍の周波数になるように制御する。

【０８３１】

また、制御回路１８１０１１は、図７４（Ｂ）のように、画像処理回路１８１０１５と、タイミング発生回路１８１０１６と、を含んでいてもよい。

【０８３２】

画像処理回路１８１０１５は、外部画像信号１８１０００と、周波数制御信号１８１００８と、が入力され、画像信号１８１００３が出力される構成であってもよい。

【０８３３】

タイミング発生回路１８１０１６は、水平同期信号１８１００１と、垂直同期信号１８１００２と、が入力され、ソーススタートパルス１８１００４と、ソースクロック１８１００５と、ゲートスタートパルス１８１００６と、ゲートクロック１８１００７と、周波数制御信号１８１００８と、が出力される構成であってもよい。なお、タイミング発生回路１８１０１６は、周波数制御信号１８１００８の状態を指定するためのデータを保持するメモリまたはレジスタ等を含んでいてもよい。また、タイミング発生回路１８１０１６は、外部から周波数制御信号１８１００８の状態を指定する信号が入力される構成であってもよい。

【０８３４】

画像処理回路１８１０１５は、図７４（Ｃ）のように、動き検出回路１８１０２０と、第１のメモリ１８１０２１と、第２のメモリ１８１０２２と、第３のメモリ１８１０２３と、輝度制御回路１８１０２４と、高速処理回路１８１０２５と、を含んでいてもよい。

【０８３５】

動き検出回路１８１０２０は、複数の画像データが入力され、画像の動きが検出され、前記複数の画像データの中間状態である画像データが出力される構成であってもよい。

【０８３６】

第１のメモリ１８１０２１は、外部画像信号１８１０００が入力され、前記外部画像信号１８１０００を一定期間保持しつつ、動き検出回路１８１０２０と第２のメモリ１８１０２２に前記外部画像信号１８１０００を出力する構成であってもよい。

【０８３７】

第２のメモリ１８１０２２は、第１のメモリ１８１０２１から出力された画像データが入力され、前記画像データを一定期間保持しつつ、動き検出回路１８１０２０と高速処理回路１８１０２５に前記画像データを出力する構成であってもよい。

【０８３８】

第３のメモリ１８１０２３は、動き検出回路１８１０２０から出力された画像データが入力され、前記画像データを一定期間保持しつつ、輝度制御回路１８１０２４に前記画像データを出力する構成であってもよい。

【０８３９】

高速処理回路１８１０２５は、第２のメモリ１８１０２２から出力された画像データと、輝度制御回路１８１０２４から出力された画像データと、周波数制御信号１８１００８と、が入力され、前記画像データを、画像信号１８１００３として出力する構成であってもよい。

【０８４０】

外部画像信号１８１０００の周波数と、画像信号１８１００３の周波数が異なっている場合、画像処理回路１８１０１５によって、外部画像信号１８１０００に含まれる画像信号を補間して画像信号１８１００３を生成してもよい。入力された外部画像信号１８１０００は、一旦第１のメモリ１８１０２１に保持される。そのとき、第２のメモリ１８１０２２には、１つ前のフレームで入力された画像データが保持されている。動き検出回路１８１０２０は、第１のメモリ１８１０２１および第２のメモリ１８１０２２に保持された画像データを適宜読み込み、両者の画像データの違いから動きベクトルを検出し、さらに、中間状態の画像データを生成してもよい。生成された中間状態の画像データは、第３のメモリ１８１０２３によって保持される。

【０８４１】

動き検出回路１８１０２０が中間状態の画像データを生成しているとき、高速処理回路１８１０２５は、第２のメモリ１８１０２２に保持されている画像データを、画像信号１８１００３として出力する。その後、第３のメモリ１８１０２３に保持された画像データを輝度制御回路１８１０２４を通じて画像信号１８１００３として出力する。このとき、第２のメモリ１８１０２２および第３のメモリ１８１０２３が更新される周波数は外部画像信号１８１０００の周波数と同じだが、高速処理回路１８１０２５を通じて出力される画像信号１８１００３の周波数は、外部画像信号１８１０００の周波数と異なっていてもよい。具体的には、たとえば、画像信号１８１００３の周波数は外部画像信号１８１０００の周波数の１．５倍、２倍、３倍が挙げられる。しかし、これに限定されるものではなく、様々な周波数とすることができる。なお、画像信号１８１００３の周波数は、周波数制御信号１８１００８によって指定されてもよい。

【０８４２】

図７４（Ｄ）に示した画像処理回路１８１０１５の構成は、図７４（Ｃ）に示した画像処理回路１８１０１５の構成に、第４のメモリ１８１０２６を加えたものである。このように、第１のメモリ１８１０２１から出力された画像データと、第２のメモリ１８１０２２から出力された画像データに加えて、第４のメモリ１８１０２６から出力された画像デー

タも動き検出回路１８１０２０に出力することで、正確に画像の動きを検出することが可能になる。

【０８４３】

なお、入力される画像データが、データ圧縮等のために、すでに動きベクトルを含んでいるような場合、たとえばＭＰＥＧ（Ｍｏｖｉｎｇ　Ｐｉｃｔｕｒｅ　Ｅｘｐｅｒｔ　Ｇｒｏｕｐ）の規格に基づく画像データである場合は、これを用いて中間状態の画像を補間画像として生成すればよい。このとき、動き検出回路１８１０２０に含まれる、動きベクトルを生成する部分は不要となる。また、画像信号１８１００３に係るエンコードおよびデコード処理も簡単なものとなるため、消費電力を低減できる。

【０８４４】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０８４５】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０８４６】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【０８４７】

（実施の形態６）

本実施の形態においては、液晶パネルの周辺部について説明する。

【０８４８】

図７５は、エッジライト式と呼ばれるバックライトユニット２０１０１と、液晶パネル２０１０７とを有している液晶表示装置の一例を示す。エッジライト式とは、バックライトユニットの端部に光源を配置し、その光源の蛍光を発光面全体から放射する方式である。エッジライト式のバックライトユニットは、薄型で省電力化を図ることができる。

【０８４９】

バックライトユニット２０１０１は、拡散板２０１０２、導光板２０１０３、反射板２０１０４、ランプリフレクタ２０１０５及び光源２０１０６によって構成される。

【０８５０】

光源２０１０６は必要に応じて発光する機能を有している。例えば、光源２０１０６としては冷陰極管、熱陰極管、発光ダイオード、無機ＥＬ又は有機ＥＬなどが用いられる。ランプリフレクタ２０１０５は、光源２０１０６からの蛍光を効率よく導光板２０１０３に導く機能を有する。導光板２０１０３は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板２０１０２は、明度のムラを低減する機能を有する。反射板２０１０４は、導光板２０１０３から下方向（液晶パネル２０１０７と反対方向）に漏れた光を反射して再利用する機能を有する。

【０８５１】

なお、バックライトユニット２０１０１には、光源２０１０６の輝度を調整するための制御回路が接続されている。この制御回路によって、光源２０１０６の輝度を調整することができる。

【０８５２】

図７６（Ａ）、（Ｂ）、（Ｃ）及び（Ｄ）は、エッジライト式のバックライトユニットの詳細な構成を示す図である。なお、拡散板、導光板及び反射板などはその説明を省略する。

【０８５３】

図７６（Ａ）に示すバックライトユニット２０２０１は、光源として冷陰極管２０２０３を用いた構成である。そして、冷陰極管２０２０３からの光を効率よく反射させるため、ランプリフレクタ２０２０２が設けられている。このような構成は、冷陰極管からの輝度の強度のため、大型表示装置に用いることが多い。

【０８５４】

図７６（Ｂ）に示すバックライトユニット２０２１１は、光源として発光ダイオード（ＬＥＤ）２０２１３を用いた構成である。例えば、白色に発する発光ダイオード（ＬＥＤ）２０２１３は所定の間隔に配置される。そして、発光ダイオード（ＬＥＤ）２０２１３からの光を効率よく反射させるため、ランプリフレクタ２０２１２が設けられている。

【０８５５】

発光ダイオードの輝度は高いので、発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。ＬＥＤはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

【０８５６】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【０８５７】

図７６（Ｃ）に示すバックライトユニット２０２２１は、光源として各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２２３、発光ダイオード（ＬＥＤ）２０２２４、発光ダイオード（ＬＥＤ）２０２２５を用いた構成である。各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２２３、発光ダイオード（ＬＥＤ）２０２２４、発光ダイオード（ＬＥＤ）２０２２５は、それぞれ所定の間隔に配置される。各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２２３、発光ダイオード（ＬＥＤ）２０２２４、発光ダイオード（ＬＥＤ）２０２２５を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ２０２２２が設けられている。

【０８５８】

発光ダイオードの輝度は高いので、光源として各色ＲＧＢの発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。ＬＥＤはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

【０８５９】

なお、時間に応じてＲＧＢの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわいるフィールドシーケンシャルモードである。

【０８６０】

なお、白色を発する発光ダイオードと、各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２２３、発光ダイオード（ＬＥＤ）２０２２４、発光ダイオード（ＬＥＤ）２０２２５とを組み合わせることができる。

【０８６１】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【０８６２】

図７７（Ｄ）に示すバックライトユニット２０２３１は、光源として各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２３３、発光ダイオード（ＬＥＤ）２０２３４、発光ダイオード（ＬＥＤ）２０２３５を用いた構成である。例えば、各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２３３、発光ダイオード（ＬＥＤ）２０２３４、発光ダイオード（ＬＥＤ）２０２３５のうち発光強度の低い色（例えば緑）は複数配置されている。各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２３３、発光ダイオード（ＬＥＤ）２０２３４、発光ダイオード（ＬＥＤ）２０２３５を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ２０２３２が設けられている。

【０８６３】

発光ダイオードの輝度は高いので、光源として各色ＲＧＢの発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。ＬＥＤはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

【０８６４】

なお、時間に応じてＲＧＢの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわいるフィールドシーケンシャルモードである。

【０８６５】

なお、白色を発する発光ダイオードと、各色ＲＧＢの発光ダイオード（ＬＥＤ）２０２３３、発光ダイオード（ＬＥＤ）２０２３４、発光ダイオード（ＬＥＤ）２０２３５とを組み合わせることができる。

【０８６６】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【０８６７】

図７９（Ａ）は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【０８６８】

バックライトユニット２０５００は、拡散板２０５０１、遮光板２０５０２、ランプリフレクタ２０５０３及び光源２０５０４によって構成される。

【０８６９】

光源２０５０４から発せられた光は、ランプリフレクタ２０５０３によってバックライトユニット２０５００の一方の面に集められる。すなわち、バックライトユニット２０５００は、強く発光する面とほとんど発光しない面を有することになる。このとき、バックライトユニット２０５００の強く発光する面側に液晶パネル２０５０５を配置することによって、光源２０５０４から発せられた光を効率よく液晶パネル２０５０５に照射することができる。

【０８７０】

光源２０５０４は、必要に応じて発光する機能を有している。例えば、光源２０５０４としては、冷陰極管、熱陰極管、発光ダイオード、無機ＥＬ又は有機ＥＬなどが用いられる。ランプリフレクタ２０５０３は、光源２０５０４の蛍光を効率よく拡散板２０５０１及び遮光板２０５０２に導く機能を有する。遮光板２０５０２は、光源２０５０４の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板２０５０１は、さらに明度のムラを低減する機能を有する。

【０８７１】

なお、バックライトユニット２０５００には、光源２０５０４の輝度を調整するための制

御回路が接続されている。この制御回路によって、光源２０５０４の輝度を調整することができる。

【０８７２】

図７９（Ｂ）は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【０８７３】

バックライトユニット２０５１０は、拡散板２０５１１、遮光板２０５１２、ランプリフレクタ２０５１３、各色ＲＧＢの光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃによって構成される。

【０８７４】

光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃから発せられた光は、ランプリフレクタ２０５１３によってバックライトユニット２０５１０の一方の面に集められる。すなわち、バックライトユニット２０５１０は、強く発光する面とほとんど発光しない面を有することになる。このとき、バックライトユニット２０５１０の強く発光する面側に液晶パネル２０５１５を配置することによって、光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃから発せられた光を効率よく液晶パネル２０５１５に照射することができる。

【０８７５】

各色ＲＧＢの光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃは、必要に応じて発光する機能を有する。例えば、光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃとしては、冷陰極管、熱陰極管、発光ダイオード、無機ＥＬ又は有機ＥＬなどが用いられる。ランプリフレクタ２０５１３は、光源２０５１４の蛍光を効率よく拡散板２０５１１及び遮光板２０５１２に導く機能を有する。遮光板２０５１２は、光源２０５１４の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板２０５１１は、さらに明度のムラを低減する機能を有する。

【０８７６】

なお、バックライトユニット２０５１０には、各色ＲＧＢの光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃの輝度を調整するための制御回路が接続されている。この制御回路によって、各色ＲＧＢの光源（Ｒ）２０５１４ａ、光源（Ｇ）２０５１４ｂ及び光源（Ｂ）２０５１４ｃの輝度を調整することができる。

【０８７７】

図７７は、偏光板（偏光フィルムともいう）の構成の一例を示す図である。

【０８７８】

偏光フィルム２０３００は、保護フィルム２０３０１、基板フィルム２０３０２、ＰＶＡ偏光フィルム２０３０３、基板フィルム２０３０４、粘着剤層２０３０５及び離型フィルム２０３０６を有する。

【０８７９】

ＰＶＡ偏光フィルム２０３０３は、ある振動方向だけの光（直線偏光）を作り出す機能を有する。具体的には、ＰＶＡ偏光フィルム２０３０３は、電子の密度が縦と横で大きく異なる分子（偏光子）を含んでいる。ＰＶＡ偏光フィルム２０３０３は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。

【０８８０】

一例として、ＰＶＡ偏光フィルム２０３０３は、ポリビニールアルコール（Ｐｏｌｙ　Ｖｉｎｙｌ　Ａｌｃｏｈｏｌ）の高分子フィルムに、ヨウ素化合物をドープし、ＰＶＡフィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。なお、高耐久用途及び高耐熱用途として、ヨウ素の代わりに２色性の染料が用いてもよい。なお、染

料は、車載用ＬＣＤ又はプロジェクタ用ＬＣＤなどの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。

【０８８１】

ＰＶＡ偏光フィルム２０３０３は、両側を基材となるフィルム（基板フィルム２０３０２及び基板フィルム２０３０４）で挟むことで、信頼性を増すことができる。なお、ＰＶＡ偏光フィルム２０３０３は、高透明性、高耐久性のトリアセチルロース（ＴＡＣ）フィルムによって挟まれていてもよい。なお、基板フィルム及びＴＡＣフィルムは、ＰＶＡ偏光フィルム２０３０３が有する偏光子の保護層として機能する。

【０８８２】

一方の基板フィルム（基板フィルム２０３０４）には、液晶パネルのガラス基板に貼るための粘着剤層２０３０５が貼られている。なお、粘着剤層２０３０５は、粘着剤を片側の基板フィルム（基板フィルム２０３０４）に塗布することで形成される。粘着剤層２０３０５には、離形フィルム２０３０６（セパレートフィルム）が備えられている。

【０８８３】

他方の基板フィルム（基板フィルム２０３０２）には、保護フィルム２０３０１が備えられている。

【０８８４】

なお、偏光フィルム２０３００表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、ＡＧ処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みを防ぐことができる。表面反射を防ぐことができる。

【０８８５】

なお、偏光フィルム２０３００表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくはＡＲ処理ともいう）してもよい。多層化された複数の屈折率のことなる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

【０８８６】

図７８は、液晶表示装置のシステムブロックの一例を示す図である。

【０８８７】

画素部２０４０５には、信号線２０４１２が信号線駆動回路２０４０３から延伸して配置されている。画素部２０４０５には、走査線２０４１０が走査線駆動回路２０４０４から延伸して配置されている。そして、信号線２０４１２と走査線２０４１０との交差領域に、複数の画素がマトリクス状に配置されている。なお、複数の画素それぞれはスイッチング素子を有している。したがって、複数の画素それぞれに液晶分子の傾きを制御するための電圧を独立して入力することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。ただし、このようなアクティブ型に限定されず、パッシブ型の構成でもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

【０８８８】

駆動回路部２０４０８は、制御回路２０４０２、信号線駆動回路２０４０３及び走査線駆動回路２０４０４を有する。制御回路２０４０２には映像信号２０４０１が入力されている。制御回路２０４０２は、この映像信号２０４０１に応じて、信号線駆動回路２０４０３及び走査線駆動回路２０４０４を制御する。そのため、映像信号２０４０１は、信号線駆動回路２０４０３及び走査線駆動回路２０４０４に、それぞれ制御信号を入力する。そして、この制御信号に応じて、信号線駆動回路２０４０３はビデオ信号を信号線２０４１２に入力し、走査線駆動回路２０４０４は走査信号を走査線２０４１０に入力する。そして、画素が有するスイッチング素子が走査信号に応じて選択され、画素の画素電極にビデオ信号が入力される。

【０８８９】

なお、制御回路２０４０２は、映像信号２０４０１に応じて電源２０４０７も制御してい

る。電源２０４０７は、照明手段２０４０６へ電力を供給する手段を有している。照明手段２０４０６としては、エッジライト式のバックライトユニット、又は直下型のバックライトユニットを用いることができる。ただし、照明手段２０４０６としては、フロントライトを用いてもよい。フロントライトとは、画素部の前面側に取りつけ、全体を照らす発光体及び導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【０８９０】

図７８（Ｂ）に示すように走査線駆動回路２０４０４は、シフトレジスタ２０４４１、レベルシフタ２０４４２、バッファ２０４４３として機能する回路を有する。シフトレジスタ２０４４１にはゲートスタートパルス（ＧＳＰ）、ゲートクロック信号（ＧＣＫ）等の信号が入力される。

【０８９１】

図７８（Ｃ）に示すように信号線駆動回路２０４０３は、シフトレジスタ２０４３１、第１のラッチ２０４３２、第２のラッチ２０４３３、レベルシフタ２０４３４、バッファ２０４３５として機能する回路を有する。バッファ２０４３５として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ２０４３４には、スタートパルス（ＳＳＰ）等の信号が、第１のラッチ２０４３２にはビデオ信号等のデータ（ＤＡＴＡ）が入力される。第２のラッチ２０４３３にはラッチ（ＬＡＴ）信号を一時保持することができ、一斉に画素部２０４０５へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第２のラッチは不要とすることができる。

【０８９２】

なお、本実施の形態において、液晶パネルは、公知のものを用いることができる。例えば、液晶パネルとして、２つの基板の間に液晶層が封止された構成を用いることができる。一方の基板上には、トランジスタ、容量素子、画素電極又は配向膜などが形成されている。なお、一方の基板の上面と反対側には、偏光板、位相差板又はプリズムシートが配置されていてもよい。他方の基板上には、カラーフィルタ、ブラックマトリクス、対向電極又は配向膜などが形成されている。なお、他方の基板の上面と反対側には、偏光板又は位相差板が配置されていてもよい。なお、カラーフィルタ及びブラックマトリクスは、一方の基板の上面に形成されてもよい。なお、一方の基板の上面側又はその反対側にスリット（格子）を配置することで、３次元表示を行うことができる。

【０８９３】

なお、偏光板、位相差板及びプリズムシートをそれぞれ、２つの基板の間に配置することが可能である。あるいは、２つの基板のうちのいずれかと一体とすることが可能である。

【０８９４】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０８９５】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０８９６】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合

わせ、又は置き換えを自由に行うことができる。

【０８９７】

（実施の形態７）

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【０８９８】

なお、本実施の形態において、液晶の動作モードとして、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）などを用いることができる。

【０８９９】

図１３１（Ａ）は、液晶表示装置に適用できる画素構成の一例を示す図である。

【０９００】

画素４０１００は、トランジスタ４０１０１、液晶素子４０１０２及び容量素子４０１０３を有している。トランジスタ４０１０１のゲートは配線４０１０５に接続されている。トランジスタ４０１０１の第１端子は配線４０１０４に接続されている。トランジスタ４０１０１の第２端子は液晶素子４０１０２の第１電極及び容量素子４０１０３の第１電極に接続される。液晶素子４０１０２の第２電極は対向電極４０１０７に相当する。容量素子４０１０３の第２の電極が配線４０１０６に接続されている。

【０９０１】

配線４０１０４は、信号線として機能する。配線４０１０５は走査線として機能する。配線４０１０６は容量線として機能する。トランジスタ４０１０１は、スイッチとして機能する。容量素子４０１０３は、保持容量として機能する。

【０９０２】

トランジスタ４０１０１はスイッチとして機能すればよく、トランジスタ４０１０１の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０９０３】

なお、配線４０１０４にはビデオ信号が入力されている。配線４０１０５には走査信号が入力されている。配線４０１０６はある一定の電位が供給されている。なお、走査信号はＨレベル又はＬレベルのデジタル電圧信号である。トランジスタ４０１０１がＮチャネル型の場合、走査信号のＨレベルはトランジスタ４０１０１をオンできる電位、走査信号のＬレベルはトランジスタ４０１０１をオフできる電位である。あるいは、トランジスタ４０１０１がＰチャネル型の場合、走査信号のＨレベルはトランジスタ４０１０１をオフできる電位、走査信号のＬレベルはトランジスタ４０１０１をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。なお、配線４０１０６に供給されている一定の電位は対向電極４０１０７の電位と等しいことが好ましい。

【０９０４】

画素４０１００の動作について、トランジスタ４０１０１がオンしている場合とトランジスタ４０１０１がオフしている場合に分けて説明する。

【０９０５】

トランジスタ４０１０１がオンしている場合は、配線４０１０４と、液晶素子４０１０２の第１電極（画素電極）及び容量素子４０１０３の第１電極とが電気的に接続される。し

たがって、ビデオ信号は、配線４０１０４からトランジスタ４０１０１を介して、液晶素子４０１０２の第１電極（画素電極）及び容量素子４０１０３の第１電極に入力される。そして、容量素子４０１０３はビデオ信号と配線４０１０６に供給されている電位との電位差を保持する。

【０９０６】

トランジスタ４０１０１がオフしている場合は、配線４０１０４と、液晶素子４０１０２の第１電極（画素電極）及び容量素子４０１０３の第１電極とが電気的に遮断される。したがって、液晶素子４０１０２の第１電極及び容量素子４０１０３の第１電極は浮遊状態となる。容量素子４０１０３はビデオ信号と配線４０１０６に供給されている電位との電位差を保持しているため、液晶素子４０１０２の第１電極及び容量素子４０１０３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０１０２は、ビデオ信号に応じた透過率となる。

【０９０７】

図１３１（Ｂ）は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図１３１（Ｂ）は、横電界モード（ＩＰＳモード、ＦＦＳモードを含む）に適した液晶表示装置に適用できる画素構成の一例を示す図である。

【０９０８】

画素４０１１０は、トランジスタ４０１１１、液晶素子４０１１２及び容量素子４０１１３を有している。トランジスタ４０１１１のゲートは配線４０１１５に接続されている。トランジスタ４０１１１の第１端子は配線４０１１４に接続されている。トランジスタ４０１１１の第２端子は液晶素子４０１１２の第１電極及び容量素子４０１１３の第１電極に接続される。液晶素子４０１１２の第２電極は配線４０１１６と接続されている。容量素子４０１１３の第２の電極が配線４０１１６に接続されている。

【０９０９】

配線４０１１４は、信号線として機能する。配線４０１１５は走査線として機能する。配線４０１１６は容量線として機能する。トランジスタ４０１１１は、スイッチとして機能する。容量素子４０１１３は、保持容量として機能する。

【０９１０】

トランジスタ４０１１１はスイッチとして機能すればよく、トランジスタ４０１１１の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０９１１】

なお、配線４０１１４にはビデオ信号が入力されている。配線４０１１５には走査信号が入力されている。配線４０１１６はある一定の電位が供給されている。なお、走査信号はＨレベル又はＬレベルのデジタル電圧信号である。トランジスタ４０１１１がＮチャネル型の場合、走査信号のＨレベルはトランジスタ４０１１１をオンできる電位、走査信号のＬレベルはトランジスタ４０１１１をオフできる電位である。あるいは、トランジスタ４０１１１がＰチャネル型の場合、走査信号のＨレベルはトランジスタ４０１１１をオフできる電位、走査信号のＬレベルはトランジスタ４０１１１をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。

【０９１２】

画素４０１１０の動作について、トランジスタ４０１１１がオンしている場合とトランジスタ４０１１１がオフしている場合に分けて説明する。

【０９１３】

トランジスタ４０１１１がオンしている場合は、配線４０１１４と、液晶素子４０１１２の第１電極（画素電極）及び容量素子４０１１３の第１電極とが電気的に接続される。したがって、ビデオ信号は、配線４０１１４からトランジスタ４０１１１を介して、液晶素子４０１１２の第１電極（画素電極）及び容量素子４０１１３の第１電極に入力される。

そして、容量素子４０１１３はビデオ信号と配線４０１１６に供給されている電位との電位差を保持する。

【０９１４】

トランジスタ４０１１１がオフしている場合は、配線４０１１４と、液晶素子４０１１２の第１電極（画素電極）及び容量素子４０１１３の第１電極とが電気的に遮断される。したがって、液晶素子４０１１２の第１電極及び容量素子４０１１３の第１電極は浮遊状態となる。容量素子４０１１３はビデオ信号と配線４０１１６に供給されている電位との電位差を保持しているため、液晶素子４０１１２の第１電極及び容量素子４０１１３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０１１２は、ビデオ信号に応じた透過率となる。

【０９１５】

図１３２は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図１３２は、配線数を減らして画素の開口率を大きくできる画素構成の一例である。

【０９１６】

図１３２は、同じ列方向に配置された二つの画素（画素４０２００及び画素４０２１０）を示す。例えば、画素４０２００がＮ行目に配置されている場合、画素４０２１０はＮ＋１行目に配置されている。

【０９１７】

画素４０２００は、トランジスタ４０２０１、液晶素子４０２０２及び容量素子４０２０３を有している。トランジスタ４０２０１のゲートは配線４０２０５に接続されている。トランジスタ４０２０１の第１端子は配線４０２０４に接続されている。トランジスタ４０２０１の第２端子は液晶素子４０２０２の第１電極及び容量素子４０２０３の第１電極に接続される。液晶素子４０２０２の第２電極は対向電極４０２０７に相当する。容量素子４０２０３の第２電極は、前行のトランジスタのゲートと同じ配線に接続されている。

【０９１８】

画素４０２１０は、トランジスタ４０２１１、液晶素子４０２１２及び容量素子４０２１３を有している。トランジスタ４０２１１のゲートは配線４０２１５に接続されている。トランジスタ４０２１１の第１端子は配線４０２０４に接続されている。トランジスタ４０２１１の第２端子は液晶素子４０２１２の第１電極及び容量素子４０２１３の第１電極に接続される。液晶素子４０２１２の第２電極は対向電極４０２１７に相当する。容量素子４０２１３の第２電極は、前行のトランジスタのゲートと同じ配線（配線４０２０５）に接続されている。

【０９１９】

配線４０２０４は、信号線として機能する。配線４０２０５はＮ行目の走査線として機能する。配線４０２０６はＮ行目の容量線として機能する。トランジスタ４０２０１は、スイッチとして機能する。容量素子４０２０３は、保持容量として機能する。

【０９２０】

配線４０２１４は、信号線として機能する。配線４０２１５はＮ＋１行目の走査線として機能する。配線４０２１６はＮ＋１行目の容量線として機能する。トランジスタ４０２１１は、スイッチとして機能する。容量素子４０２１３は、保持容量として機能する。

【０９２１】

トランジスタ４０２０１及びトランジスタ４０２１１はスイッチとして機能すればよく、トランジスタ４０２０１の極性及びトランジスタ４０２１１の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０９２２】

なお、配線４０２０４にはビデオ信号が入力されている。配線４０２０５には走査信号（Ｎ行目）が入力されている。配線４０２１５には走査信号（Ｎ＋１行目）が入力されている。

【０９２３】

走査信号はＨレベル又はＬレベルのデジタル電圧信号である。トランジスタ４０２０１（

又はトランジスタ４０２１１）がＮチャネル型の場合、走査信号のＨレベルはトランジスタ４０２０１（又はトランジスタ４０２１１）をオンできる電位、走査信号のＬレベルはトランジスタ４０２０１（又はトランジスタ４０２１１）をオフできる電位である。あるいは、トランジスタ４０２０１（又はトランジスタ４０２１１）がＰチャネル型の場合、走査信号のＨレベルはトランジスタ４０２０１（又はトランジスタ４０２１１）をオフできる電位、走査信号のＬレベルはトランジスタ４０２０１（又はトランジスタ４０２１１）をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。

【０９２４】

画素４０２００の動作について、トランジスタ４０２０１がオンしている場合とトランジスタ４０２０１がオフしている場合に分けて説明する。

【０９２５】

トランジスタ４０２０１がオンしている場合は、配線４０２０４と、液晶素子４０２０２の第１電極（画素電極）及び容量素子４０２０３の第１電極とが電気的に接続される。したがって、ビデオ信号は、配線４０２０４からトランジスタ４０２０１を介して、液晶素子４０２０２の第１電極（画素電極）及び容量素子４０２０３の第１電極に入力される。そして、容量素子４０２０３はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持する。

【０９２６】

トランジスタ４０２０１がオフしている場合は、配線４０２０４と、液晶素子４０２０２の第１電極（画素電極）及び容量素子４０２０３の第１電極とが電気的に遮断される。したがって、液晶素子４０２０２の第１電極及び容量素子４０２０３の第１電極は浮遊状態となる。容量素子４０２０３はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持しているため、液晶素子４０２０２の第１電極及び容量素子４０２０３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０２０２は、ビデオ信号に応じた透過率となる。

【０９２７】

画素４０２１０の動作について、トランジスタ４０２１１がオンしている場合とトランジスタ４０２１１がオフしている場合に分けて説明する。

【０９２８】

トランジスタ４０２１１がオンしている場合は、配線４０２０４と、液晶素子４０２１２の第１電極（画素電極）及び容量素子４０２１３の第１電極とが電気的に接続される。したがって、ビデオ信号は、配線４０２０４からトランジスタ４０２１１を介して、液晶素子４０２１２の第１電極（画素電極）及び容量素子４０２１３の第１電極に入力される。そして、容量素子４０２１３はビデオ信号と前行のトランジスタのゲートと同じ配線（配線４０２０５）に供給されている電位との電位差を保持する。

【０９２９】

トランジスタ４０２１１がオフしている場合は、配線４０２０４と、液晶素子４０２１２の第１電極（画素電極）及び容量素子４０２１３の第１電極とが電気的に遮断される。したがって、液晶素子４０２１２の第１電極及び容量素子４０２１３の第１電極は浮遊状態となる。容量素子４０２１３はビデオ信号と前行のトランジスタのゲートと同じ配線（配線４０２０５）に供給されている電位との電位差を保持しているため、液晶素子４０２１２の第１電極及び容量素子４０２１３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０２１２は、ビデオ信号に応じた透過率となる。

【０９３０】

図１３３は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図１３３は、サブ画素を用いることで視野角を向上できる画素構成の一例である。

【０９３１】

画素４０３２０は、サブ画素４０３００とサブ画素４０３１０を有している。画素４０３２０が２つのサブ画素を有している場合について説明するが、画素４０３２０は３つ以上のサブ画素を有していてもよい。

【０９３２】

サブ画素４０３００は、トランジスタ４０３０１、液晶素子４０３０２及び容量素子４０３０３を有している。トランジスタ４０３０１のゲートは配線４０３０５に接続されている。トランジスタ４０３０１の第１端子は配線４０３０４に接続されている。トランジスタ４０３０１の第２端子は液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極に接続される。液晶素子４０３０２の第２電極は対向電極４０３０７に相当する。容量素子４０３０３の第２の電極が配線４０３０６に接続されている。

【０９３３】

サブ画素４０３１０は、トランジスタ４０３１１、液晶素子４０３１２及び容量素子４０３１３を有している。トランジスタ４０３１１のゲートは配線４０３１５に接続されている。トランジスタ４０３０１の第１端子は配線４０３０４に接続されている。トランジスタ４０３１１の第２端子は液晶素子４０３１２の第１電極及び容量素子４０３１３の第１電極に接続される。液晶素子４０３１２の第２電極は対向電極４０３１７に相当する。容量素子４０３１３の第２の電極が配線４０３０６に接続されている。

【０９３４】

配線４０３０４は、信号線として機能する。配線４０３０５は走査線として機能する。配線４０３１５は信号線として機能する。配線４０３０６は容量線として機能する。トランジスタ４０３０１は、スイッチとして機能する。トランジスタ４０３１１は、スイッチとして機能する。容量素子４０３０３は、保持容量として機能する。容量素子４０３１３は、保持容量として機能する。

【０９３５】

トランジスタ４０３０１はスイッチとして機能すればよく、トランジスタ４０３０１の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。トランジスタ４０３１１はスイッチとして機能すればよく、トランジスタ４０３１１の極性はＰチャネル型でもよいし、Ｎチャネル型でもよい。

【０９３６】

なお、配線４０３０４にはビデオ信号が入力されている。配線４０３０５には走査信号が入力されている。配線４０３１５には走査信号が入力されている。配線４０３０６はある一定の電位が供給されている。

【０９３７】

なお、走査信号はＨレベル又はＬレベルのデジタル電圧信号である。トランジスタ４０３０１（又はトランジスタ４０３１１）がＮチャネル型の場合、走査信号のＨレベルはトランジスタ４０３０１（又はトランジスタ４０３１１）をオンできる電位、走査信号のＬレベルはトランジスタ４０３０１（又はトランジスタ４０３１１）をオフできる電位である。あるいは、トランジスタ４０３０１（又はトランジスタ４０３１１）がＰチャネル型の場合、走査信号のＨレベルはトランジスタ４０３０１（又はトランジスタ４０３１１）をオフできる電位、走査信号のＬレベルはトランジスタ４０３０１（又はトランジスタ４０３１１）をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のＨレベルよりも低く、走査信号のＬレベルよりも高い電位である。なお、配線４０３０６に供給されている一定の電位は対向電極４０３０７の電位又は対向電極４０３１７の電位と等しいことが好ましい。

【０９３８】

画素４０３２０の動作について、トランジスタ４０３０１がオンしトランジスタ４０３１１がオフしている場合と、トランジスタ４０３０１がオフしトランジスタ４０３１１がオンしている場合と、トランジスタ４０３０１及びトランジスタ４０３１１がオフしている

場合とに分けて説明する。

【０９３９】

トランジスタ４０３０１がオンしトランジスタ４０３１１がオフしている場合は、サブ画素４０３００において、配線４０３０４と、液晶素子４０３０２の第１電極（画素電極）及び容量素子４０３０３の第１電極とが電気的に接続される。したがって、ビデオ信号は、配線４０３０４からトランジスタ４０３０１を介して、液晶素子４０３０２の第１電極（画素電極）及び容量素子４０３０３の第１電極に入力される。そして、容量素子４０３０３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持する。このとき、サブ画素４０３１０において、配線４０３０４と、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極とが電気的に遮断される。したがって、ビデオ信号は、サブ画素４０３１０には入力されない。

【０９４０】

トランジスタ４０３０１がオフし、トランジスタ４０３１１がオンしている場合は、サブ画素４０３００において、配線４０３０４と、液晶素子４０３０２の第１電極（画素電極）及び容量素子４０３０３の第１電極とが電気的に遮断される。したがって、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は浮遊状態となる。容量素子４０３０３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持しているため、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。このとき、サブ画素４０３１０において、配線４０３０４と、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極とが電気的に接続される。したがって、ビデオ信号は、配線４０３０４からトランジスタ４０３１１を介して、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極に入力される。そして、容量素子４０３１３はビデオ信号と配線４０３１６に供給されている電位との電位差を保持する。

【０９４１】

トランジスタ４０３０１及びトランジスタ４０３１１がオフしている場合は、サブ画素４０３００において、配線４０３０４と、液晶素子４０３０２の第１電極（画素電極）及び容量素子４０３０３の第１電極とが電気的に遮断される。したがって、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は浮遊状態となる。容量素子４０３０３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持しているため、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０３０２は、ビデオ信号に応じた透過率となる。このとき、このとき、サブ画素４０３１０において、配線４０３０４と、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極とが電気的に遮断される。したがって、液晶素子４０３１２の第１電極及び容量素子４０３１３の第１電極は浮遊状態となる。容量素子４０３１３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持しているため、液晶素子４０３１２の第１電極及び容量素子４０３１３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０３１２は、ビデオ信号に応じた透過率となる。

【０９４２】

サブ画素４０３００に入力するビデオ信号は、サブ画素４０３１０に入力するビデオ信号と異なる値としてもよい。この場合、液晶素子４０３０２の液晶分子の配向を液晶素子４０３１２の液晶分子の配向と異ならせることができるため、視野角を広くすることができる。

【０９４３】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０９４４】
同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０９４５】
なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。
【０９４６】
（実施の形態８）
本実施形態においては、表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。
【０９４７】
本実施形態において説明する液晶表示装置に用いることのできる液晶パネルは、液晶材料を２枚の基板によって挟んだ構造であるとする。２枚の基板は、それぞれ、液晶材料に印加する電界を制御するための電極を備えている。液晶材料は、外部から印加される電界によって、光学的および電気的な性質が変化する材料である。したがって、液晶パネルは、基板が有する電極を用いて液晶材料に印加する電圧を制御することによって、所望の光学的および電気的な性質を得ることができるデバイスである。そして、多数の電極を平面的に並置することでそれぞれを画素とし、画素に印加する電圧を個別に制御することにより、精細な画像を表示できる液晶パネルとすることができる。
【０９４８】
ここで、電界の変化に対する液晶材料の応答時間は、２枚の基板の間隔（セルギャップ）および液晶材料の種類等に依存するが、一般的に数ミリ秒から数十ミリ秒である。さらに、電界の変化量が小さい場合は、液晶材料の応答時間はさらに長くなる。この性質は、液晶パネルによって動きのある画像を表示する場合に、残像、尾引き、コントラストの低下といった画像表示上の障害を引き起こし、特に中間調から別の中間調へ変化する場合（電界の変化が小さい）場合に、前述の障害の程度が著しくなる。
【０９４９】
一方、アクティブマトリクスを用いた液晶パネルに特有の問題として、定電荷駆動による書き込み電圧の変化がある。以下に、本実施形態における定電荷駆動について説明する。
【０９５０】
アクティブマトリクスにおける画素回路は、書き込みを制御するスイッチと、電荷を保持する容量素子を含む。アクティブマトリクスにおける画素回路の駆動方法は、スイッチをオン状態として所定の電圧を画素回路に書き込んだ後、直ちにスイッチをオフ状態として画素回路内の電荷を保持する（ホールド状態）というものである。ホールド状態時、画素回路の内部と外部には電荷のやり取りが行なわれない（定電荷）。通常、スイッチがオン状態となっている期間に比べて、オフ状態となっている期間は数百（走査線本数）倍程度長い。そのため、画素回路のスイッチは、ほとんどオフ状態となっていると考えてよい。以上より、本実施形態における定電荷駆動とは、液晶パネルの駆動時、画素回路はほとんどの期間においてホールド状態である駆動方法であるとする。
【０９５１】
次に、液晶材料の電気的特性について説明する。液晶材料は、外部から印加される電界が変化すると、光学的性質が変化するのと同時に、誘電率も変化する。すなわち、液晶パネルの各画素を２枚の電極に挟まれた容量素子（液晶素子）として考えたとき、当該容量素子は、印加される電圧によって静電容量が変化する容量素子である。この現象を、ダイナミックキャパシタンスと呼ぶこととする。

【０９５２】
このように、印加される電圧によって静電容量が変化する容量素子を、上述した定電荷駆動によって駆動する場合、次のような問題が生じる。すなわち、電荷の移動が行なわれないホールド状態において、液晶素子の静電容量が変化すると、印加される電圧も変化してしまうという問題である。これは、（電荷量）＝（静電容量）×（印加電圧）という関係式において、電荷量が一定であるということから理解できる。
【０９５３】
以上の理由により、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまう。その結果、液晶素子の透過率は、ホールド状態を取らない駆動法における変化とは異なったものとなる。この様子を示したのが、図８３である。図８３（Ａ）は、横軸に時間、縦軸に電圧の絶対値をとり、画素回路に書き込む電圧の制御例を表したものである。図８３（Ｂ）は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図８３（Ｃ）は、横軸に時間、縦軸に液晶素子の透過率をとり、図８３（Ａ）または図８３（Ｂ）によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図８３（Ａ）乃至（Ｃ）において、期間Ｆは電圧の書き換え周期を表し、電圧を書き換える時刻をt_1、t_2、t_3、t_4、・・・として説明する。
【０９５４】
ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻０における書き換えでは｜V_1｜、時刻t_1、t_2、t_3、t_4、・・・における書き換えでは｜V_2｜であるとする。（図８３（Ａ）参照）
【０９５５】
なお、液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい。（反転駆動：図８３（Ｂ）参照）この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつき等を防ぐことができる。なお、極性を入れ替える周期（反転周期）は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。
【０９５６】
そして、図８３（Ａ）または図８３（Ｂ）に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図８３（Ｃ）に示す。ここで、液晶素子に電圧｜V_1｜が印加され、十分時間が経過した後の液晶素子の透過率をTR_1とする。同様に、液晶素子に電圧｜V_2｜が印加され、十分時間が経過した後の液晶素子の透過率をTR_2とする。時刻t_1において、液晶素子に印加される電圧が｜V_1｜から｜V_2｜に変化すると、液晶素子の透過率は、破線３０４０１に示したように、すぐにTR_2とはならず、ゆっくりと変化する。たとえば、電圧の書き換え周期が、６０Ｈｚの画像信号のフレーム周期（１６．７ミリ秒）と同じであるとき、透過率がTR_2に変化するまでは、数フレーム程度の時間が必要となる。
【０９５７】
ただし、破線３０４０１に示したような、滑らかな透過率の時間変化は、液晶素子に正確に電圧｜V_2｜が印加されたときのものである。実際の液晶パネル、たとえば、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまうため、液晶素子の透過率は破線３０４０１に示したような時間変化とはならず、かわりに、実線３０４０１に示したような、段階的な時間変化となる。これは、定電荷駆動であることによって電圧が変化してしまうため、１回の書き込みでは目的の電圧に到達することができないためである。その結果、液晶素子の透過率の応答時間は、本来の応答時間（破線３０４０１）よりも、見

かけ上、さらに長くなってしまい、残像、尾引き、コントラストの低下といった画像表示上の障害を顕著に引き起こしてしまうということになる。

【０９５８】

オーバードライブ駆動を用いることによって、液晶素子の本来の応答時間の長さと、ダイナミックキャパシタンスおよび定電荷駆動による書き込み不足に起因する見かけ上の応答時間がさらに長くなる現象を、同時に解決することができる。この様子を示したのが、図８４である。図８４（Ａ）は、横軸に時間、縦軸に電圧の絶対値をとり、画素回路に書き込む電圧の制御例を表したものである。図８４（Ｂ）は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図８４（Ｃ）は、横軸に時間、縦軸に液晶素子の透過率をとり、図８４（Ａ）または図８４（Ｂ）によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図８４（Ａ）乃至（Ｃ）において、期間Ｆは電圧の書き換え周期を表し、電圧を書き換える時刻をt_1、t_2、t_3、t_4、・・・として説明する。

【０９５９】

ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻０における書き換えでは｜V_1｜、時刻t_1における書き換えでは｜V_3｜、時刻t_2、t_3、t_4、・・・における書き換えでは｜V_2｜であるとする。（図８４（Ａ）参照）

【０９６０】

なお、液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい。（反転駆動：図８４（Ｂ）参照）この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつき等を防ぐことができる。なお、極性を入れ替える周期（反転周期）は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。

【０９６１】

そして、図８４（Ａ）または図８４（Ｂ）に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図８４（Ｃ）に示す。ここで、液晶素子に電圧｜V_1｜が印加され、十分時間が経過した後の液晶素子の透過率をTR_1とする。同様に、液晶素子に電圧｜V_2｜が印加され、十分時間が経過した後の液晶素子の透過率をTR_2とする。同様に、液晶素子に電圧｜V_3｜が印加され、十分時間が経過した後の液晶素子の透過率をTR_3とする。時刻t_1において、液晶素子に印加される電圧が｜V_1｜から｜V_3｜に変化すると、液晶素子の透過率は、破線３０５０１に示したように、数フレームをかけて透過率をTR_3まで変化しようとする。しかし、電圧｜V_3｜の印加は時刻t_2で終わり、時刻t_2より後は、電圧｜V_2｜が印加される。そのため、液晶素子の透過率は破線３０５０１に示したようにはならず、実線３０５０２に示したようになる。ここで、時刻t_2の時点において、透過率が概ねTR_2となっているように、電圧｜V_3｜の値を設定するのが好ましい。ここで、電圧｜V_3｜を、オーバードライブ電圧とも呼ぶこととする。

【０９６２】

つまり、オーバードライブ電圧である｜V_3｜を変化させれば、液晶素子の応答時間をある程度制御することができる。なぜならば、液晶の応答時間は、電界の強さによって変化するからである。具体的には、電界が強いほど、液晶素子の応答時間は短くなり、電界が弱いほど、液晶素子の応答時間は長くなる。

【０９６３】

なお、オーバードライブ電圧である｜V_3｜は、電圧の変化量、すなわち、目的とする透過率TR_1およびTR_2を与える電圧｜V_1｜および｜V_2｜、にしたがって変化させるのが好ましい。なぜならば、液晶素子の応答時間が電圧の変化量によって変わってしまっても、オーバードライブ電圧である｜V_3｜をそれに合わせて変化させれば、常に最適な

応答時間を得ることができるからである。

【０９６４】

なお、オーバードライブ電圧である｜V_3｜は、ＴＮ、ＶＡ、ＩＰＳ、ＯＣＢ等の液晶のモードによって変化させるのが好ましい。なぜならば、液晶の応答速度が液晶のモードによって異なってしまっても、オーバードライブ電圧である｜V_3｜をそれに合わせて変化させれば、常に最適な応答時間を得ることができるからである。

【０９６５】

なお、電圧書き換え周期Ｆは、入力信号のフレーム周期と同じでもよい。この場合は、液晶表示装置の周辺駆動回路を簡単にできるため、製造コストの低い液晶表示装置を得ることができる。

【０９６６】

なお、電圧書き換え周期Ｆは、入力信号のフレーム周期よりも短くてもよい。たとえば、電圧書き換え周期Ｆは入力信号のフレーム周期の１／２倍でもよいし、１／３倍でもよいし、それ以下でもよい。この方法は、黒挿入駆動、バックライト点滅、バックライトスキャン、動き補償による中間画像挿入駆動等、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法と合わせて用いるのが効果的である。すなわち、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法は、要求される液晶素子の応答時間が短いため、本実施形態で説明したオーバードライブ駆動法を用いることで、比較的容易に液晶素子の応答時間を短くすることができる。液晶素子の応答時間は、セルギャップ、液晶材料および液晶モード等によって本質的に短くすることは可能ではあるが、技術的に困難である。そのため、オーバードライブのような、駆動方法から液晶素子の応答時間を短くする方法を用いることは、非常に重要である。

【０９６７】

なお、電圧書き換え周期Ｆは、入力信号のフレーム周期よりも長くてもよい。たとえば、電圧書き換え周期Ｆは入力信号のフレーム周期の２倍でもよいし、３倍でもよいし、それ以上でもよい。この方法は、長期間電圧の書き換えが行なわれないか否かを判断する手段（回路）と合わせて用いるのが効果的である。すなわち、長期間電圧の書き換えが行なわれない場合は、電圧の書き換え動作自体を行わないことによって、回路の動作をその期間中は停止させることができるので、消費電力の低い液晶表示装置を得ることができる。

【０９６８】

次に、オーバードライブ電圧｜V_3｜を、目的とする透過率TR_1およびTR_2を与える電圧｜V_1｜および｜V_2｜、にしたがって変化させるための具体的な方法について説明する。

【０９６９】

オーバードライブ回路は、目的とする透過率TR_1およびTR_2を与える電圧｜V_1｜および｜V_2｜にしたがって、オーバードライブ電圧｜V_3｜を適切に制御するための回路であるため、オーバードライブ回路に入力される信号は、透過率TR_1を与える電圧｜V_1｜に関係する信号と、透過率TR_2を与える電圧｜V_2｜に関係する信号であり、オーバードライブ回路から出力される信号は、オーバードライブ電圧｜V_3｜に関係する信号となる。ここで、これらの信号としては、液晶素子に印加する電圧（｜V_1｜、｜V_2｜、｜V_3｜）のようなアナログの電圧値であってもよいし、液晶素子に印加する電圧を与えるためのデジタル信号であってもよい。ここでは、オーバードライブ回路に関係する信号はデジタル信号であるとして説明する。

【０９７０】

まず、図８０の（Ａ）を参照して、オーバードライブ回路の全体的な構成について説明する。ここでは、オーバードライブ電圧を制御するための信号として、入力画像信号３０１０１ａおよび３０１０１ｂを用いる。これらの信号を処理した結果、オーバードライブ電圧を与える信号として、出力画像信号３０１０４が出力されるとする。

【０９７１】

ここで、目的とする透過率TR_1およびTR_2を与える電圧｜V_1｜および｜V_2｜は、

互いに隣り合ったフレームにおける画像信号であるため、入力画像信号３０１０１ａおよび３０１０１ｂも、同様に互いに隣り合ったフレームにおける画像信号であることが好ましい。このような信号を得るためには、入力画像信号３０１０１ａを、図８０の（Ａ）における遅延回路３０１０２に入力し、その結果出力される信号を、入力画像信号３０１０１ｂとすることができる。遅延回路３０１０２としては、たとえば、メモリが挙げられる。すなわち、入力画像信号３０１０１ａを１フレーム分遅延させるために、メモリに当該入力画像信号３０１０１ａを記憶させておき、同時に、１つ前のフレームにおいて記憶させておいた信号を、入力画像信号３０１０１ｂとしてメモリから取り出し、入力画像信号３０１０１ａと、入力画像信号３０１０１ｂを、同時に補正回路３０１０３に入力することで、互いに隣り合ったフレームにおける画像信号を扱えるようにすることができる。そして、互いに隣り合ったフレームにおける画像信号を、補正回路３０１０３に入力することで、出力画像信号３０１０４を得ることができる。なお、遅延回路３０１０２としてメモリを用いたときは、１フレーム分遅延させるために、１フレーム分の画像信号を記憶できる容量を持ったメモリ（すなわち、フレームメモリ）とすることができる。こうすることで、メモリ容量の過不足なく、遅延回路としての機能を有することができる。

【０９７２】

次に、メモリの容量を削減することを主な目的として構成された遅延回路３０１０２について説明する。遅延回路３０１０２としてこのような回路を用いることで、メモリの容量を削減することができるため、製造コストを低減することができる。

【０９７３】

このような特徴を持つ遅延回路３０１０２として、具体的には、図８０の（Ｂ）に示すようなものを用いることができる。図８０の（Ｂ）に示す遅延回路３０１０２は、エンコーダ３０１０５と、メモリ３０１０６と、デコーダ３０１０７を有する。

【０９７４】

図８０の（Ｂ）に示す遅延回路３０１０２の動作としては、次のようなものとなる。まず、入力画像信号３０１０１ａをメモリ３０１０６に記憶させる前に、エンコーダ３０１０５によって、圧縮処理を行なう。これによって、メモリ３０１０６に記憶させるべきデータのサイズを減らすことができる。その結果、メモリの容量を削減することができるため、製造コストを低減することができる。そして、圧縮処理を施された画像信号は、デコーダ３０１０７に送られ、ここで伸張処理を行なう。これによって、エンコーダ３０１０５によって圧縮処理された前の信号を復元することができる。ここで、エンコーダ３０１０５およびデコーダ３０１０７によって行なわれる圧縮伸張処理は、可逆的な処理であってもよい。こうすることで、圧縮伸張処理を行なった後でも画像信号の劣化がないため、最終的に装置に表示される画像の品質を落とすことなく、メモリの容量を削減することができる。さらに、エンコーダ３０１０５およびデコーダ３０１０７によって行なわれる圧縮伸張処理は、非可逆的な処理であってもよい。こうすることで、圧縮後の画像信号のデータのサイズを非常に小さくすることができるため、メモリの容量を大幅に削減することができる。

【０９７５】

なお、メモリの容量を削減するための方法としては、上に挙げたもの以外にも、様々な方法を用いることができる。エンコーダによって画像圧縮するのではなく、画像信号が有する色情報を削減する（たとえば、２６万色から６万５千色に減色する）、またはデータ数を削減する（解像度を小さくする）、などの方法を用いることができる。

【０９７６】

次に、補正回路３０１０３の具体例について、図８０の（Ｃ）乃至（Ｅ）を参照して説明する。補正回路３０１０３は、２つの入力画像信号から、ある値の出力画像信号を出力するための回路である。ここで、２つの入力画像信号と出力画像信号の関係が非線形であり、簡単な演算で求めることが難しい場合には、補正回路３０１０３として、ルックアップテーブル（ＬＵＴ）を用いてもよい。ＬＵＴには、２つの入力画像信号と出力画像信号の関係が、測定によってあらかじめ求められているため、２つの入力画像信号に対応する出

力画像信号を、ＬＵＴを参照するだけで求めることができる。（図８０の（Ｃ）参照）補正回路３０１０３としてＬＵＴ３０１０８を用いることで、複雑な回路設計等を行なうことなく、補正回路３０１０３を実現することができる。

【０９７７】

ここで、ＬＵＴはメモリの１つであるため、メモリ容量をできるだけ削減することが、製造コストを低減する上で、好ましい。それを実現するための補正回路３０１０３の例として、図８０の（Ｄ）に示す回路が考えられる。図８０の（Ｄ）に示す補正回路３０１０３は、ＬＵＴ３０１０９と、加算器３０１１０を有する。ＬＵＴ３０１０９には、入力画像信号３０１０１ａと、出力するべき出力画像信号３０１０４の差分データが格納されている。つまり、入力画像信号３０１０１ａおよび入力画像信号３０１０１ｂから、対応する差分データをＬＵＴ３０１０９から取り出し、取り出した差分データと入力画像信号３０１０１ａを、加算器３０１１０によって加算することで、出力画像信号３０１０４を得ることができる。なお、ＬＵＴ３０１０９に格納するデータを差分データとすることで、ＬＵＴのメモリ容量の削減が実現できる。なぜならば、そのままの出力画像信号３０１０４よりも、差分データの方がデータサイズが小さいため、ＬＵＴ３０１０９に必要なメモリ容量を小さくできるからである。

【０９７８】

さらに、出力画像信号が、２つの入力画像信号の四則演算等の簡単な演算によって求められるならば、加算器、減算器、乗算器等の簡単な回路の組み合わせによって実現できる。その結果、ＬＵＴを用いる必要が無くなり、製造コストを大幅に低減することができる。このような回路としては、図８０の（Ｅ）に示す回路を挙げることができる。図８０の（Ｅ）に示す補正回路３０１０３は、減算器３０１１１と、乗算器３０１１２と、加算器３０１１３、を有する。まず、入力画像信号３０１０１ａと、入力画像信号３０１０１ｂの差分を、減算器３０１１１によって求める。その後、乗算器３０１１２によって、適切な係数を差分値に乗ずる。そして、入力画像信号３０１０１ａに、適切な係数を乗じた差分値を、加算器３０１１３によって加算することで、出力画像信号３０１０４を得ることができる。このような回路を用いることによって、ＬＵＴを用いる必要が無くなり、製造コストを大幅に低減することができる。

【０９７９】

なお、ある条件の下で、図８０の（Ｅ）に示す補正回路３０１０３を用いることによって、不適切な出力画像信号３０１０４を出力することを防止することができる。その条件とは、オーバードライブ電圧を与える出力画像信号３０１０４と、入力画像信号３０１０１ａおよび入力画像信号３０１０１ｂの差分値に、線形性があることである。そして、この線形性の傾きを、乗算器３０１１２によって乗ずる係数とする。すなわち、このような性質を持つ液晶素子に、図８０の（Ｅ）に示す補正回路３０１０３を用いることが好ましい。このような性質を持つ液晶素子としては、応答速度の階調依存性の小さい、ＩＰＳモードの液晶素子が挙げられる。このように、たとえば、ＩＰＳモードの液晶素子に図８０の（Ｅ）に示す補正回路３０１０３を用いることによって、製造コストを大幅に低減でき、かつ、不適切な出力画像信号３０１０４を出力することを防止することができるオーバードライブ回路を得ることができる。

【０９８０】

なお、図８０の（Ａ）乃至（Ｅ）に示した回路と同等の働きを、ソフトウェア処理によって実現してもよい。遅延回路に用いるメモリについては、液晶表示装置が有する他のメモリ、液晶表示装置に表示する画像を送り出す側の装置（たとえば、パーソナルコンピュータやそれに準じた装置が有するビデオカード等）が有するメモリ等を流用することができる。こうすることで、製造コストを低減できるだけでなく、オーバードライブの強さや利用する状況などを、ユーザが好みに応じて選択できるようにすることができる。

【０９８１】

次に、コモン線の電位を操作する駆動について、図８１を参照して説明する。図８１の（Ａ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査

線一本に対し、コモン線が一本配置されているときの、複数の画素回路を表した図である。図８１の（Ａ）に示す画素回路は、トランジスタ３０２０１、補助容量３０２０２、表示素子３０２０３、映像信号線３０２０４、走査線３０２０５、コモン線３０２０６、を備えている。

【０９８２】

トランジスタ３０２０１のゲート電極は、走査線３０２０５に電気的に接続され、トランジスタ３０２０１のソース電極及びドレイン電極の一方は、映像信号線３０２０４に電気的に接続され、トランジスタ３０２０１のソース電極及びドレイン電極の他方は、補助容量３０２０２の一方の電極、及び表示素子３０２０３の一方の電極に電気的に接続されている。

また、補助容量３０２０２の他方の電極は、コモン線３０２０６に電気的に接続されている。

【０９８３】

まず、走査線３０２０５によって選択された画素は、トランジスタ３０２０１がオンとなるため、それぞれ、映像信号線３０２０４を介して、表示素子３０２０３及び補助容量３０２０２に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線３０２０６に接続された全ての画素に対して最低階調を表示させるものだった場合、あるいは、コモン線３０２０６に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線３０２０４を介して映像信号を書き込む必要はない。映像信号線３０２０４を介して映像信号を書き込む代わりに、コモン線３０２０６の電位を動かすことで、表示素子３０２０３にかかる電圧を変えることができる。

【０９８４】

次に、図８１の（Ｂ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が２本配置されているときの、複数の画素回路を表した図である。図８１の（Ｂ）に示す画素回路は、トランジスタ３０２１１、補助容量３０２１２、表示素子３０２１３、映像信号線３０２１４、走査線３０２１５、第１のコモン線３０２１６、第２のコモン線３０２１７、を備えている。

【０９８５】

トランジスタ３０２１１のゲート電極は、走査線３０２１５に電気的に接続され、トランジスタ３０２１１のソース電極及びドレイン電極の一方は、映像信号線３０２１４に電気的に接続され、トランジスタ３０２１１のソース電極及びドレイン電極の他方は、補助容量３０２１２の一方の電極、及び表示素子３０２１３の一方の電極に電気的に接続されている。

また、補助容量３０２１２の他方の電極は、第１のコモン線３０２１６に電気的に接続されている。

また、当該画素と隣接する画素においては、補助容量３０２１２の他方の電極は、第２のコモン線３０２１７に電気的に接続されている。

【０９８６】

図８１の（Ｂ）に示す画素回路は、コモン線一本に対し電気的に接続されている画素が少ないため、映像信号線３０２１４を介して映像信号を書き込む代わりに、第１のコモン線３０２１６又は第２のコモン線３０２１７の電位を動かすことで、表示素子３０２１３にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動又はドット反転駆動が可能になる。ソース反転駆動又はドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

【０９８７】

次に、走査型バックライトについて、図８２を参照して説明する。図８２の（Ａ）は、冷陰極管を並置した走査型バックライトを示す図である。図８２の（Ａ）に示す走査型バックライトは、拡散板３０３０１と、Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎと、を備える。Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎを、拡散板３０３０１の後ろに並置することで、Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎは、その輝度

を変化させて走査することができる。

【０９８８】

走査するときの各冷陰極管の輝度の変化を、図８２の（Ｃ）を用いて説明する。まず、冷陰極管３０３０２－１の輝度を、一定時間変化させる。そして、その後に、冷陰極管３０３０２－１の隣に配置された冷陰極管３０３０２－２の輝度を、同じ時間だけ変化させる。このように、冷陰極管３０３０２－１から３０３０２－Ｎまで、輝度を順に変化させる。なお、図８２の（Ｃ）においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管３０３０２－１から３０３０２－Ｎまで走査するとしたが、逆方向に冷陰極管３０３０２－Ｎから３０３０２－１まで走査してもよい。

【０９８９】

図８２のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

【０９９０】

なお、走査型バックライトの光源として、ＬＥＤを用いてもよい。その場合の走査型バックライトは、図８２の（Ｂ）のようになる。図８２の（Ｂ）に示す走査型バックライトは、拡散板３０３１１と、ＬＥＤを並置した光源３０３１２－１から３０３１２－Ｎと、を備える。走査型バックライトの光源として、ＬＥＤを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、ＬＥＤを並置した光源３０３１２－１から３０３１２－Ｎのそれぞれに並置したＬＥＤも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

【０９９１】

なお、バックライトの光源としてＬＥＤを用いた場合も、図８２の（Ｃ）に示すように輝度を変化させて駆動することができる。

【０９９２】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０９９３】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０９９４】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【０９９５】

（実施の形態９）

本実施の形態においては、各種液晶モードについて説明する。

【０９９６】

まず、断面図を用いて各種液晶モードについて説明する。

【０９９７】

図１３４（Ａ）、（Ｂ）は、ＴＮモードの断面の模式図を示す。

【０９９８】
互いに対向するように配置された第１の基板５０１０１及び第２の基板５０１０２に、液晶層５０１００が挟持されている。第１の基板５０１０１の上面には、第１の電極５０１０５が形成されている。第２の基板５０１０２の上面には、第２の電極５０１０６が形成されている。第１の基板５０１０１の液晶層と反対側には、第１の偏光板５０１０３が配置されている。第２の基板５０１０２の液晶層と反対側には、第２の偏光板５０１０４が配置されている。なお、第１の偏光板５０１０３と第２の偏光板５０１０４とは、クロスニコルになるように配置されている。
【０９９９】
第１の偏光板５０１０３は、第１の基板５０１０１の上面に配置されてもよい。第２の偏光板５０１０４は、第２の基板５０１０２の上面に配置されてもよい。
【１０００】
第１の電極５０１０５及び第２の電極５０１０６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。
【１００１】
図１３４（Ａ）は、第１の電極５０１０５及び第２の電極５０１０６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０１０３と第２の偏光板５０１０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過できない。したがって、黒色表示が行われる。
【１００２】
なお、第１の電極５０１０５及び第２の電極５０１０６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。
【１００３】
図１３４（Ｂ）は、第１の電極５０１０５及び第２の電極５０１０６に電圧が印加されていない場合の断面の模式図である。液晶分子が横に並び、平面内で回転している状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０１０３と第２の偏光板５０１０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。
【１００４】
図１３４（Ａ）、（Ｂ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０１０１側又は第２の基板５０１０２側に設けることができる。
【１００５】
ＴＮモードに使用される液晶材料は、公知のものを使用すればよい。
【１００６】
図１３５（Ａ）、（Ｂ）は、ＶＡモードの断面の模式図を示す。ＶＡモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。
【１００７】
互いに対向するように配置された第１の基板５０２０１及び第２の基板５０２０２に、液晶層５０２００が挟持されている。第１の基板５０２０１の上面には、第１の電極５０２０５が形成されている。第２の基板５０２０２の上面には、第２の電極５０２０６が形成されている。第１の基板５０２０１の液晶層と反対側には、第１の偏光板５０２０３が配置されている。第２の基板５０２０２の液晶層と反対側には、第２の偏光板５０２０４が配置されている。なお、第１の偏光板５０２０３と第２の偏光板５０２０４とは、クロスニコルになるように配置されている。
【１００８】

第１の偏光板５０２０３は、第１の基板５０２０１の上面に配置されてもよい。第２の偏光板５０２０４は、第２の基板５０２０２の上面に配置されてもよい。

【１００９】

第１の電極５０２０５及び第２の電極５０２０６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【１０１０】

図１３５（Ａ）は、第１の電極５０２０５及び第２の電極５０２０６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０２０３と第２の偏光板５０２０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【１０１１】

なお、第１の電極５０２０５及び第２の電極５０２０６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【１０１２】

図１３５（Ｂ）は、第１の電極５０２０５及び第２の電極５０２０６に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０２０３と第２の偏光板５０２０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【１０１３】

図１３５（Ａ）、（Ｂ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０２０１側又は第２の基板５０２０２側に設けることができる。

【１０１４】

ＶＡモードに使用される液晶材料は、公知のものを使用すればよい。

【１０１５】

図１３５（Ｃ）、（Ｄ）は、ＭＶＡモードの断面の模式図を示す。ＭＶＡモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【１０１６】

互いに対向するように配置された第１の基板５０２１１及び第２の基板５０２１２に、液晶層５０２１０が挟持されている。第１の基板５０２１１の上面には、第１の電極５０２１５が形成されている。第２の基板５０２１２の上面には、第２の電極５０２１６が形成されている。第１の電極５０２１５上には、配向制御用に第１の突起物５０２１１７が形成されている。第２の電極５０２１６上には、配向制御用に第２の突起物５０２１１８が形成されている。第１の基板５０２１１の液晶層と反対側には、第１の偏光板５０２１３が配置されている。第２の基板５０２１２の液晶層と反対側には、第２の偏光板５０２１４が配置されている。なお、第１の偏光板５０２１３と第２の偏光板５０２１４とは、クロスニコルになるように配置されている。

【１０１７】

第１の偏光板５０２１３は、第１の基板５０２１１の上面に配置されてもよい。第２の偏光板５０２１４は、第２の基板５０２１２の上面に配置されてもよい。

【１０１８】

第１の電極５０２１５及び第２の電極５０２１６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【１０１９】

図１３５（Ｃ）は、第１の電極５０２１５及び第２の電極５０２１６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が第１の突起物５０２１１７及び第２の突起物５０２１１８に対して倒れて並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０２１３と第２の偏光板５０２１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【１０２０】

なお、第１の電極５０２１５及び第２の電極５０２１６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【１０２１】

図１３５（Ｄ）は、第１の電極５０２１５及び第２の電極５０２１６に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０２１３と第２の偏光板５０２１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【１０２２】

図１３５（Ｃ）、（Ｄ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０２１１側又は第２の基板５０２１２側に設けることができる。

【１０２３】

ＭＶＡモードに使用される液晶材料は、公知のものを使用すればよい。

【１０２４】

図１３６（Ａ）、（Ｂ）は、ＯＣＢモードの断面の模式図を示す。ＯＣＢモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、視野角依存が少ない。この液晶分子の状態は、ベンド配向と呼ばれる。

【１０２５】

互いに対向するように配置された第１の基板５０３０１及び第２の基板５０３０２に、液晶層５０３００が挟持されている。第１の基板５０３０１の上面には、第１の電極５０３０５が形成されている。第２の基板５０３０２の上面には、第２の電極５０３０６が形成されている。第１の基板５０３０１の液晶層と反対側には、第１の偏光板５０３０３が配置されている。第２の基板５０３０２の液晶層と反対側には、第２の偏光板５０３０４が配置されている。なお、第１の偏光板５０３０３と第２の偏光板５０３０４とは、クロスニコルになるように配置されている。

【１０２６】

第１の偏光板５０３０３は、第１の基板５０３０１の上面に配置されてもよい。第２の偏光板５０３０４は、第２の基板５０３０２の上面に配置されてもよい。

【１０２７】

第１の電極５０３０５及び第２の電極５０３０６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【１０２８】

図１３６（Ａ）は、第１の電極５０３０５及び第２の電極５０３０６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０３０３と第２の偏光板５０３０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。

【１０２９】

なお、第１の電極５０３０５及び第２の電極５０３０６に印加する電圧を制御することで

、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【１０３０】

図１３６（Ｂ）は、第１の電極５０３０５及び第２の電極５０３０６に電圧が印加されていない場合の断面の模式図である。液晶分子がベンド配向の状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０３０３と第２の偏光板５０３０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。

【１０３１】

図１３６（Ａ）、（Ｂ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０３０１側又は第２の基板５０３０２側に設けることができる。

【１０３２】

ＯＣＢモードに使用される液晶材料は、公知のものを使用すればよい。

【１０３３】

図１３６（Ｃ）、（Ｄ）は、ＦＬＣモード又はＡＦＬＣモードの断面の模式図を示す。

【１０３４】

互いに対向するように配置された第１の基板５０３１１及び第２の基板５０３１２に、液晶層５０３１０が挟持されている。第１の基板５０３１１の上面には、第１の電極５０３１５が形成されている。第２の基板５０３１２の上面には、第２の電極５０３１６が形成されている。第１の基板５０３１１の液晶層と反対側には、第１の偏光板５０３１３が配置されている。第２の基板５０３１２の液晶層と反対側には、第２の偏光板５０３１４が配置されている。なお、第１の偏光板５０３１３と第２の偏光板５０３１４とは、クロスニコルになるように配置されている。

【１０３５】

第１の偏光板５０３１３は、第１の基板５０３１１の上面に配置されてもよい。第２の偏光板５０３１４は、第２の基板５０３１２の上面に配置されてもよい。

【１０３６】

第１の電極５０３１５及び第２の電極５０３１６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【１０３７】

図１３６（Ｃ）は、第１の電極５０３１５及び第２の電極５０３１６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた方向で横に並んでいる状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０３１３と第２の偏光板５０３１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【１０３８】

なお、第１の電極５０３１５及び第２の電極５０３１６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【１０３９】

図１３６（Ｄ）は、第１の電極５０３１５及び第２の電極５０３１６に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０３１３と第２の偏光板５０３１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【１０４０】
図１３６（Ｃ）、（Ｄ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０３１１側又は第２の基板５０３１２側に設けることができる。
【１０４１】
ＦＬＣモード又はＡＦＬＣモードに使用される液晶材料は、公知のものを使用すればよい。
【１０４２】
図１３７（Ａ）、（Ｂ）は、ＩＰＳモードの断面の模式図を示す。ＩＰＳモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。
【１０４３】
互いに対向するように配置された第１の基板５０４０１及び第２の基板５０４０２に、液晶層５０４００が挟持されている。第１の基板５０４０１の上面には、第１の電極５０４０５及び第２の電極５０４０６が形成されている。第１の基板５０４０１の液晶層と反対側には、第１の偏光板５０４０３が配置されている。第２の基板５０４０２の液晶層と反対側には、第２の偏光板５０４０４が配置されている。なお、第１の偏光板５０４０３と第２の偏光板５０４０４とは、クロスニコルになるように配置されている。
【１０４４】
第１の偏光板５０４０３は、第１の基板５０４０１の上面に配置されてもよい。第２の偏光板５０４０４は、第２の基板５０４０２の上面に配置されてもよい。
【１０４５】
第１の電極５０４０５及び第２の電極５０４０６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。
【１０４６】
図１３７（Ａ）は、第１の電極５０４０５及び第２の電極５０４０６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０４０３と第２の偏光板５０４０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。
【１０４７】
なお、第１の電極５０４０５及び第２の電極５０４０６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。
【１０４８】
図１３７（Ｂ）は、第１の電極５０４０５及び第２の電極５０４０６に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０４０３と第２の偏光板５０４０４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。
【１０４９】
図１３７（Ａ）、（Ｂ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０４０１側又は第２の基板５０４０２側に設けることができる。
【１０５０】
ＩＰＳモードに使用される液晶材料は、公知のものを使用すればよい。

【１０５１】
図１３７（Ｃ）、（Ｄ）は、ＦＦＳモードの断面の模式図を示す。ＦＦＳモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。
【１０５２】
互いに対向するように配置された第１の基板５０４１１及び第２の基板５０４１２に、液晶層５０４１０が挟持されている。第１の基板５０４１１の上面には、第２の電極５０４１６が形成されている。第２の電極５０４１６の上面には、絶縁膜５０４１７が形成されている。絶縁膜５０４１７上には、第２の電極５０４１６が形成されている。第１の基板５０４１１の液晶層と反対側には、第１の偏光板５０４１３が配置されている。第２の基板５０４１２の液晶層と反対側には、第２の偏光板５０４１４が配置されている。なお、第１の偏光板５０４１３と第２の偏光板５０４１４とは、クロスニコルになるように配置されている。
【１０５３】
第１の偏光板５０４１３は、第１の基板５０４１１の上面に配置されてもよい。第２の偏光板５０４１４は、第２の基板５０４１２の上面に配置されてもよい。
【１０５４】
第１の電極５０４１５及び第２の電極５０４１６のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。
【１０５５】
図１３７（Ｃ）は、第１の電極５０４１５及び第２の電極５０４１６に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第１の偏光板５０４１３と第２の偏光板５０４１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。
【１０５６】
なお、第１の電極５０４１５及び第２の電極５０４１６に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。
【１０５７】
図１３７（Ｄ）は、第１の電極５０４１５及び第２の電極５０４１６に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第１の偏光板５０４１３と第２の偏光板５０４１４とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。
【１０５８】
図１３７（Ｃ）、（Ｄ）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第１の基板５０４１１側又は第２の基板５０４１２側に設けることができる。
【１０５９】
ＦＦＳモードに使用される液晶材料は、公知のものを使用すればよい。
【１０６０】
次に、上面図を用いて各種液晶モードを説明する。
【１０６１】
図１３８は、ＭＶＡモードを適用した画素部の上面図を示す。ＭＶＡモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【１０６２】
図１３８は、第１の画素電極５０５０１、第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）、及び突起物５０５０３を示している。第１の画素電極５０５０１は、対向基板の全面に形成されている。形状がくの字型となるように、第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）が形成されている。形状が第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）と対応するように、第１の画素電極５０５０１上に第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）が形成されている。
【１０６３】
第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）の開口部は、突起物のように機能する。
【１０６４】
第１の画素電極５０５０１及び第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）に電圧が印加（縦電界方式と呼ぶ）された場合、液晶分子が第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）の開口部及び突起物５０５０３に対して倒れて並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。
【１０６５】
なお、第１の画素電極５０５０１及び第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。
【１０６６】
第１の画素電極５０５０１及び第２の画素電極（５０５０２ａ、５０５０２ｂ、５０５０２ｃ）に電圧が印加されていない場合、液晶分子が縦に並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光がパネルを通過しないため、黒色表示が行われる。いわゆる、ノーマリーブラックモードである。
【１０６７】
ＭＶＡモードに使用される液晶材料は、公知のものを使用すればよい。
【１０６８】
図１３９（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）は、ＩＰＳモードを適用した画素部の上面図を示す。ＩＰＳモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。
【１０６９】
ＩＰＳモードでは、一対の電極が異なる形状となるように形成される。
【１０７０】
図１３９（Ａ）は、第１の画素電極５０６０１及び第２の画素電極５０６０２を示している。第１の画素電極５０６０１及び第２の画素電極５０６０２は、波状形状である。
【１０７１】
図１３９（Ｂ）は、第１の画素電極５０６１１及び第２の画素電極５０６１２を示している。第１の画素電極５０６１１及び第２の画素電極５０６１２は、同心円状の開口部を有する形状である。
【１０７２】
図１３９（Ｃ）は、第１の画素電極５０６３１及び第２の画素電極５０６３２を示している。第１の画素電極５０６３１及び第２の画素電極５０６３２は、櫛場状であり一部重なっている形状で
【１０７３】
図１３９（Ｄ）は、第１の画素電極５０６４１及び第２の画素電極５０６４２を示している。第１の画素電極５０６４１及び第２の画素電極５０６４２は、櫛場状であり電極同士

がかみ合うような形状である。

【１０７４】

第１の電極（５０６０１、５０６１１、５０６２１、５０６３１）及び第２の電極（５０６０２、５０６１２、５０６２２、５０６３２）に電圧が印加（縦電界方式と呼ぶ）された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【１０７５】

なお、第１の電極（５０６０１、５０６１１、５０６２１、５０６３１）及び第２の電極（５０６０２、５０６１２、５０６２２、５０６３２）に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【１０７６】

第１の電極（５０６０１、５０６１１、５０６２１、５０６３１）及び第２の電極（５０６０２、５０６１２、５０６２２、５０６３２）に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわいるノーマリーブラックモードである。

【１０７７】

ＩＰＳモードに使用される液晶材料は、公知のものを使用すればよい。

【１０７８】

図１４０（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）は、ＦＦＳモードを適用した画素部の上面図を示す。ＦＦＳモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【１０７９】

ＦＦＳモードでは、第２の電極の上面に、第１の電極が様々な形状となるように形成される。

【１０８０】

図１４０（Ａ）は、第１の画素電極５０７０１及び第２の画素電極５０７０２を示している。第１の画素電極５０７０１は、屈曲したくの字形状である。第２の画素電極５０７０２は、パターン形成されていなくてもよい。

【１０８１】

図１４０（Ｂ）は、第１の画素電極５０７１１及び第２の画素電極５０７１２を示している。第１の画素電極５０７１１は、同心円状の形状である。第２の画素電極５０７１２は、パターン形成されていなくてもよい。

【１０８２】

図１４０（Ｃ）は、第１の画素電極５０７３１及び第２の画素電極５０７３２を示している。第１の画素電極５０７３１は、櫛場状で電極同士がかみ合うような形状である。第２の画素電極５０７３２は、パターン形成されていなくてもよい。

【１０８３】

図１４０（Ｄ）は、第１の画素電極５０７４１及び第２の画素電極５０７４２を示している。第１の画素電極５０７４１は、櫛場状の形状である。第２の画素電極５０７４２は、パターン形成されていなくてもよい。

【１０８４】

第１の電極（５０７０１、５０７１１、５０７２１、５０７３１）及び第２の電極（５０７０２、５０７１２、５０７２２、５０７３２）に電圧が印加（縦電界方式と呼ぶ）された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【１０８５】
なお、第１の電極（５０７０１、５０７１１、５０７２１、５０７３１）及び第２の電極（５０７０２、５０７１２、５０７２２、５０７３２）に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。
【１０８６】
第１の電極（５０７０１、５０７１１、５０７２１、５０７３１）及び第２の電極（５０７０２、５０７１２、５０７２２、５０７３２）に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわいるノーマリーブラックモードである。
【１０８７】
ＩＰＳモードに使用される液晶材料は、公知のものを使用すればよい。
【１０８８】
なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【１０８９】
同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【１０９０】
なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。
【１０９１】
（実施の形態１０）
本実施の形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。
【１０９２】
各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の断面図を参照して説明する。
【１０９３】
なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ（ＴＦＴ）などを用いることが出来る。
【１０９４】
なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。なお、ボトムゲート型のトランジスタとしては、チャネルエッチ型又はチャネル保護型などを用いることができる。
【１０９５】
図８５は、ＴＮ方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図８５に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。
【１０９６】

図８５に示す画素構造の特徴について説明する。図８５に示した液晶分子１０１１８は、長軸と短軸を持った細長い分子である。液晶分子１０１１８の向きを示すため、図８５においては、その長さによって表現している。すなわち、長く表現された液晶分子１０１１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０１１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図８５に示した液晶分子１０１１８は、第１の基板１０１０１に近いものと、第２の基板１０１１６に近いものとでは、その長軸の向きが９０度異なっており、これらの中間に位置する液晶分子１０１１８の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図８５に示した液晶分子１０１１８は、第１の基板１０１０１と第２の基板１０１１６の間で、９０度ねじれているような配向状態となっている。

【１０９７】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【１０９８】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図８５において、２枚の基板は、第１の基板１０１０１及び第２の基板１０１１６である。第１の基板には、トランジスタ及び画素電極が形成される。第２の基板には、遮光膜１０１１４、カラーフィルタ１０１１５、第４の導電層１０１１３、スペーサ１０１１７、及び第２の配向膜１０１１２が形成される。

【１０９９】

なお、第２の基板１０１１６に遮光膜１０１１４が形成されていなくてもよい。遮光膜１０１１４を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜１０１１４を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【１１００】

なお、第２の基板１０１１６にカラーフィルタ１０１１５が形成されていなくてもよい。カラーフィルタ１０１１５を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ１０１１５を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０１１５を形成する場合は、カラー表示ができる表示装置を得ることができる。

【１１０１】

なお、スペーサ１０１１７の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、スペーサ１０１１７を形成する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【１１０２】

第１の基板１０１０１に施す加工について説明する。

【１１０３】

まず、第１の基板１０１０１上に、第１の絶縁膜１０１０２がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第１の絶縁膜１０１０２は成膜されていなくてもよい。第１の絶縁膜１０１０２は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１０４】

次に、第１の絶縁膜１０１０２上に、第１の導電層１０１０３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１０５】
次に、第２の絶縁膜１０１０４がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第２の絶縁膜１０１０４は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。
【１１０６】
次に、第１の半導体層１０１０５及び第２の半導体層１０１０６が形成される。なお、第１の半導体層１０１０５及び第２の半導体層１０１０６は連続して成膜され、同時にその形状が加工される。
【１１０７】
次に、第２の導電層１０１０７がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第２の導電層１０１０７の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第２の導電層１０１０７としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。
【１１０８】
次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第２の半導体層１０１０６は、第２の導電層１０１０７をマスクとして用いてエッチングされる。あるいは、第２の導電層１０１０７の形状を加工するためのマスクを用いてエッチングされる。そして、第２の半導体層１０１０６が除去された部分の第１の導電層１０１０３がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。
【１１０９】
次に、第３の絶縁膜１０１０８が形成され、第３の絶縁膜１０１０８には選択的にコンタクトホールが形成されている。なお、第３の絶縁膜１０１０８にコンタクトホールを形成すると同時に、第２の絶縁膜１０１０４にもコンタクトホールを形成してもよい。なお、第３の絶縁膜１０１０８の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。
【１１１０】
次に、第３の導電層１０１０９がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。
【１１１１】
次に、第１の配向膜１０１１０が形成される。なお、第１の配向膜１０１１０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。
【１１１２】
以上のように作製した第１の基板１０１０１と、遮光膜１０１１４、カラーフィルタ１０１１５、第４の導電層１０１１３、スペーサ１０１１７及び第２の配向膜１０１１２が形成された第２の基板１０１１６とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、２枚の基板間に液晶材料が注入される。なお、ＴＮ方式では、第４の導電層１０１１３は、第２の基板１０１１６の全面に形成される。
【１１１３】
図８６（Ａ）は、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図８６（Ａ）に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。
【１１１４】
図８６（Ａ）に示す画素構造の特徴について説明する。ＭＶＡ方式の液晶パネルの画素構造の特徴について説明する。図８６（Ａ）に示した液晶分子１０２１８は、長軸と短軸を持った細長い分子である。液晶分子１０２１８の向きを示すため、図８６（Ａ）において

は、その長さによって表現している。すなわち、長く表現された液晶分子１０２１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０２１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図８６（Ａ）に示した液晶分子１０２１８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起１０２１９のある部分の液晶分子１０２１８は、配向制御用突起１０２１９を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【１１１５】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【１１１６】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図８６（Ａ）において、２枚の基板は、第１の基板１０２０１及び第２の基板１０２１６である。第１の基板には、トランジスタ及び画素電極が形成されている。第２の基板には、遮光膜１０２１４、カラーフィルタ１０２１５、第４の導電層１０２１３、スペーサ１０２１７、第２の配向膜１０２１２、及び配向制御用突起１０２１９が形成されている。

【１１１７】

なお、第２の基板１０２１６に遮光膜１０２１４が形成されていなくてもよい。遮光膜１０２１４を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜１０２１４を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【１１１８】

なお、第２の基板１０２１６にカラーフィルタ１０２１５が形成されていなくてもよい。カラーフィルタ１０２１５を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ１０２１５を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０２１５を形成する場合は、カラー表示ができる表示装置を得ることができる。

【１１１９】

なお、第２の基板１０２１６にスペーサ１０２１７の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０２１７を形成する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【１１２０】

第１の基板１０２０１に施す加工について説明する。

【１１２１】

まず、第１の基板１０２０１上に、第１の絶縁膜１０２０２がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第１の絶縁膜１０２０２は成膜されていなくてもよい。第１の絶縁膜１０２０２は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１２２】

次に、第１の絶縁膜１０２０２上に、第１の導電層１０２０３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１２３】

次に、第２の絶縁膜１０２０４がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第２の絶縁膜１０２０４は、基板からの不純物が半導体層に影響を及ぼし、

トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１２４】

次に、第１の半導体層１０２０５及び第２の半導体層１０２０６が形成される。なお、第１の半導体層１０２０５及び第２の半導体層１０２０６は連続して成膜され、同時にその形状が加工される。

【１１２５】

次に、第２の導電層１０２０７がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第２の導電層１０２０７の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第２の導電層１０２０７としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【１１２６】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第２の半導体層１０２０６は、第２の導電層１０２０７をマスクとして用いてエッチングされる。あるいは、第２の導電層１０２０７の形状を加工するためのマスクを用いてエッチングされる。そして、第２の半導体層１０２０６が除去された部分の第１の導電層１０２０３がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【１１２７】

次に、第３の絶縁膜１０２０８が形成され、第３の絶縁膜１０２０８には選択的にコンタクトホールが形成されている。なお、第３の絶縁膜１０２０８にコンタクトホールを形成すると同時に、第２の絶縁膜１０２０４にもコンタクトホールを形成してもよい。

【１１２８】

次に、第３の導電層１０２０９がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１２９】

次に、第１の配向膜１０２１０が形成される。なお、第１の配向膜１０２１０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【１１３０】

以上のように作製した第１の基板１０２０１と、遮光膜１０２１４、カラーフィルタ１０２１５、第４の導電層１０２１３、スペーサ１０２１７、及び第２の配向膜１０２１２を作製した第２の基板１０２１６とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、２枚の基板間に液晶材料が注入される。なお、ＭＶＡ方式では、第４の導電層１０２１３は、第２の基板１０２１６の全面に形成されている。なお、第４の導電層１０２１３に接して、配向制御用突起１０２１９が形成されている。配向制御用突起１０２１９の形状は、滑らかな曲面を持った形状であることが好ましい。こうすることで、近接する液晶分子１０２１８の配向が極近いものとなるため、配向不良を低減することができる。配向膜の段切れによって起こる配向膜の不良を低減することができる。

【１１３１】

図８６（Ｂ）は、ＰＶＡ（Ｐａｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図８６（Ｂ）に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【１１３２】

図８６（Ｂ）に示す画素構造の特徴について説明する。図８６（Ｂ）に示した液晶分子１０２４８は、長軸と短軸を持った細長い分子である。液晶分子１０２４８の向きを示すため、図８６（Ｂ）においては、その長さによって表現している。すなわち、長く表現され

た液晶分子１０２４８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０２４８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図８６（Ｂ）に示した液晶分子１０２４８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部１０２４９のある部分の液晶分子１０２４８は、電極切り欠き部１０２４９と第４の導電層１０２４３の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【１１３３】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【１１３４】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図８６（Ｂ）において、２枚の基板は、第１の基板１０２３１、及び第２の基板１０２４６である。第１の基板には、トランジスタ及び画素電極が形成されている。第２の基板には、遮光膜１０２４４、カラーフィルタ１０２４５、第４の導電層１０２４３、スペーサ１０２４７、及び第２の配向膜１０２４２が形成されている。

【１１３５】

なお、第２の基板１０２４６に遮光膜１０２４４が形成されていなくてもよい。遮光膜１０２４４を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜１０２４４を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【１１３６】

なお、第２の基板１０２４６にカラーフィルタ１０２４５が形成されていなくてもよい。カラーフィルタ１０２４５を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ１０２４５を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０２４５を形成する場合は、カラー表示ができる表示装置を得ることができる。

【１１３７】

なお、第２の基板１０２４６にスペーサ１０２４７の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０２４７を形成する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【１１３８】

第１の基板１０２３１に施す加工について説明する。

【１１３９】

まず、第１の基板１０２３１上に、第１の絶縁膜１０２３２がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第１の絶縁膜１０２３２は成膜されていなくてもよい。第１の絶縁膜１０２３２は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１４０】

次に、第１の絶縁膜１０２３２上に、第１の導電層１０２３３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１４１】

次に、第２の絶縁膜１０２３４がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第２の絶縁膜１０２３４は、基板からの不純物が半導体層に影響を及ぼし、

トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１４２】

次に、第１の半導体層１０２３５及び第２の半導体層１０２３６が形成される。なお、第１の半導体層１０２３５及び第２の半導体層１０２３６は連続して成膜され、同時にその形状が加工される。

【１１４３】

次に、第２の導電層１０２３７がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第２の導電層１０２３７の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第２の導電層１０２３７としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【１１４４】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第２の半導体層１０２３６は、第２の導電層１０２３７をマスクとして用いてエッチングされる。あるいは、第２の導電層１０２３７の形状を加工するためのマスクを用いてエッチングされる。そして、第２の半導体層１０２３６が除去された部分の第１の導電層１０２３３がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【１１４５】

次に、第３の絶縁膜１０２３８が形成され、第３の絶縁膜１０２３８には選択的にコンタクトホールが形成されている。なお、第３の絶縁膜１０２３８にコンタクトホールを形成すると同時に、第２の絶縁膜１０２３４にもコンタクトホールを形成してもよい。なお、第３の絶縁膜１０２３８の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【１１４６】

次に、第３の導電層１０２３９がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１４７】

次に、第１の配向膜１０２４０が形成される。なお、第１の配向膜１０２４０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【１１４８】

以上のように作製した第１の基板１０２３１と、遮光膜１０２４４、カラーフィルタ１０２４５、第４の導電層１０２４３、スペーサ１０２４７、及び第２の配向膜１０２４２を作製した第２の基板１０２４６とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、２枚の基板間に液晶材料が注入される。なお、ＰＶＡ方式では、第４の導電層１０２４３にパターン加工が施され、電極切り欠き部１０２４９が形成される。なお、電極切り欠き部１０２４９の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。なお、電極切り欠き部１０２４９と第４の導電層１０２４３の境界における第４の導電層１０２４３の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子１０２４８の配向が極近いものとなるため、配向不良が低減する。第２の配向膜１０２４２が、電極切り欠き部１０２４９によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【１１４９】

図８７（Ａ）は、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図８７（Ａ）に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小

さい液晶表示装置を得ることができる。

【１１５０】

図８７（Ａ）に示す画素構造の特徴について説明する。図８７（Ａ）に示した液晶分子１０３１８は、長軸と短軸を持った細長い分子である。液晶分子１０３１８の向きを示すため、図８７（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０３１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０３１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図８７（Ａ）に示した液晶分子１０３１８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図８７（Ａ）においては、電界のない状態における配向を表しているが、液晶分子１０３１８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【１１５１】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【１１５２】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図８７（Ａ）において、２枚の基板は、第１の基板１０３０１、及び第２の基板１０３１６である。第１の基板には、トランジスタ及び画素電極が形成されている。第２の基板には、遮光膜１０３１４、カラーフィルタ１０３１５、スペーサ１０３１７、及び第２の配向膜１０３１２が形成されている。

【１１５３】

なお、第２の基板１０３１６に遮光膜１０３１４が形成されていなくてもよい。遮光膜１０３１４を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜１０３１４を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【１１５４】

なお、第２の基板１０３１６にカラーフィルタ１０３１５が形成されていなくてもよい。カラーフィルタ１０３１５を形成しない場合は、工程数が減少するため、製造コストを低減することができる。ただし、カラーフィルタ１０３１５を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、カラーフィルタ１０３１５を形成する場合は、カラー表示ができる表示装置を得ることができる。

【１１５５】

なお、第２の基板１０３１６にスペーサ１０３１７の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０３１７を形成する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【１１５６】

第１の基板１０３０１に施す加工について説明する。

【１１５７】

まず、第１の基板１０３０１上に、第１の絶縁膜１０３０２がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第１の絶縁膜１０３０２は成膜されていなくてもよい。第１の絶縁膜１０３０２は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１５８】

次に、第１の絶縁膜１０３０２上に、第１の導電層１０３０３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１５９】

次に、第２の絶縁膜１０３０４がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第２の絶縁膜１０３０４は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１６０】

次に、第１の半導体層１０３０５及び第２の半導体層１０３０６が形成される。なお、第１の半導体層１０３０５及び第２の半導体層１０３０６は連続して成膜され、同時にその形状が加工される。

【１１６１】

次に、第２の導電層１０３０７がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第２の導電層１０３０７の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第２の導電層１０３０７としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【１１６２】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第２の半導体層１０３０６は、第２の導電層１０３０７をマスクとして用いてエッチングされる。あるいは、第２の導電層１０３０７の形状を加工するためのマスクを用いてエッチングされる。そして、第２の半導体層１０３０６が除去された部分の第１の導電層１０３０３がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【１１６３】

次に、第３の絶縁膜１０３０８が形成され、第３の絶縁膜１０３０８には選択的にコンタクトホールが形成されている。なお、第３の絶縁膜１０３０８にコンタクトホールを形成すると同時に、第２の絶縁膜１０３０４にもコンタクトホールを形成してもよい。

【１１６４】

次に、第３の導電層１０３０９がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第３の導電層１０３０９の形状は、互いにかみ合った２つの櫛歯状とする。一方の櫛歯状の電極がトランジスタのソース電極及びドレイン電極の一方と電気的に接続され、他方の櫛歯状の電極が共通電極と電気的に接続される。こうすることで、液晶分子１０３１８に効果的に横方向の電界をかけることができる。

【１１６５】

次に、第１の配向膜１０３１０が形成される。なお、第１の配向膜１０３１０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【１１６６】

以上のように作製した第１の基板１０３０１と、遮光膜１０３１４、カラーフィルタ１０３１５、スペーサ１０３１７、及び第２の配向膜１０３１２とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、２枚の基板間に液晶材料が注入される。

【１１６７】

図８７（Ｂ）は、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図８７（Ｂ）に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【１１６８】

図８９（Ｂ）に示す画素構造の特徴について説明する。図８９（Ｂ）に示した液晶分子１

０３４８は、長軸と短軸を持った細長い分子である。液晶分子１０３４８の向きを示すため、図８９（Ｂ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０３４８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０３４８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図８９（Ｂ）に示した液晶分子１０３４８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図８９（Ｂ）においては、電界のない状態における配向を表しているが、液晶分子１０３４８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【１１６９】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【１１７０】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図８９（Ｂ）において、２枚の基板は、第１の基板１０３３１及び第２の基板１０３４６である。第１の基板には、トランジスタ及び画素電極が形成され、第２の基板には、遮光膜１０３４４、カラーフィルタ１０３４５、スペーサ１０３４７、及び第２の配向膜１０３４２が形成されている。

【１１７１】

なお、第２の基板１０３４６に遮光膜１０３４４が形成されていなくてもよい。遮光膜１０３４４を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜１０３４４を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【１１７２】

なお、第２の基板１０３４６にカラーフィルタ１０３４５を形成されていなくてもよい。カラーフィルタ１０３４５を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ１０３４５を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０３４５を形成する場合は、カラー表示ができる表示装置を得ることができる。

【１１７３】

なお、第２の基板１０３４６にスペーサ１０３４７の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０３４７を形成する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【１１７４】

第１の基板１０３３１に施す加工について説明する。

【１１７５】

まず、第１の基板１０３３１上に、第１の絶縁膜１０３３２がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第１の絶縁膜１０３３２は成膜されていなくてもよい。第１の絶縁膜１０３３２は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１７６】

次に、第１の絶縁膜１０３３２上に、第１の導電層１０３３３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【１１７７】

次に、第２の絶縁膜１０３３４がスパッタ法、印刷法又は塗布法などによって全面に成膜

されている。第２の絶縁膜１０３３４は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【１１７８】

次に、第１の半導体層１０３３５及び第２の半導体層１０３３６が形成される。なお、第１の半導体層１０３３５及び第２の半導体層１０３３６は連続して成膜され、同時にその形状が加工される。

【１１７９】

次に、第２の導電層１０３３７がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第２の導電層１０３３７の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第２の導電層１０３３７としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【１１８０】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第２の半導体層１０３３６は、第２の導電層１０３３７をマスクとして用いてエッチングされる。あるいは、第２の導電層１０３３７の形状を加工するためのマスクを用いてエッチングされる。そして、第２の半導体層１０３３６が除去された部分の第１の導電層１０３３３がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【１１８１】

次に、第３の絶縁膜１０３３８が形成され、第３の絶縁膜１０３３８には選択的にコンタクトホールが形成されている。

【１１８２】

次に、第４の導電層１０３４３がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成されている。

【１１８３】

次に、第４の絶縁膜１０３４９が形成され、第４の絶縁膜１０３４９には選択的にコンタクトホールが形成されている。なお、第４の絶縁膜１０３４９の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【１１８４】

次に、第３の導電層１０３３９がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第３の導電層１０３３９の形状は、櫛歯状とする。

【１１８５】

次に、第１の配向膜１０３４０が形成される。なお、第１の配向膜１０３４０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【１１８６】

以上のように作製した第１の基板１０３３１と、遮光膜１０３４４、カラーフィルタ１０３４５、スペーサ１０３４７、及び第２の配向膜１０３４２を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。

【１１８７】

ここで、各導電層又は各絶縁膜に用いることができる材料について説明する。

【１１８８】

図８５の第１の絶縁膜１０１０２、図８６（Ａ）の第１の絶縁膜１０２０２、図８６（Ｂ）の第１の絶縁膜１０２３２、図８７（Ａ）の第１の絶縁膜１０３０２、図８７（Ｂ）の第１の絶縁膜１０３３２としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコ

ン膜（ＳｉＯｘＮｙ）等の絶縁膜を用いることができる。あるいは、第１の絶縁膜１０１０２は、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ＳｉＯｘＮｙ）等のうちの２つ以上の膜を組み合わせた積層構造の絶縁膜を用いることができる。

【１１８９】

図８５の第１の導電層１０１０３、図８６（Ａ）の第１の導電層１０２０３、図８６（Ｂ）の第１の導電層１０２３３、図８７（Ａ）の第１の導電層１０３０３、図８７（Ａ）の第１の導電層１０３０３、図８７（Ｂ）の第１の導電層１０３３３としては、Ｍｏ、Ｔｉ、Ａｌ、Ｎｄ、Ｃｒなどを用いることができる。あるいは、Ｍｏ、Ｔｉ、Ａｌ、Ｎｄ、Ｃｒなどのうちの２つ以上を組み合わせた積層構造を用いることもできる。

【１１９０】

図８５の第２の絶縁膜１０１０４、図８６（Ａ）の第２の絶縁膜１０２０４、図８６（Ｂ）の第２の絶縁膜１０２３４、図８７（Ａ）の第２の絶縁膜１０３０４、図８７（Ｂ）の第２の絶縁膜１０３３４としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などを用いることができる。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などのうち２以上を組み合わせた積層構造などを用いることができる。なお、半導体層と接する部分では、酸化シリコン膜であることが好ましい。なぜなら、酸化シリコン膜にすると半導体層との界面におけるトラップ準位が少なくなるからである。なお、Ｍｏと接する部分では、窒化シリコン膜であることが好ましい。なぜなら、窒化シリコン膜はＭｏを酸化させないからである。

【１１９１】

図８５の第１の半導体層１０１０５、図８６（Ａ）の第１の半導体層１０２０５、図８６（Ｂ）の第１の半導体層１０２３５、図８７（Ａ）の第１の半導体層１０３０５、図８７（Ｂ）の第１の半導体層１０３３５としては、シリコン又はシリコンゲルマニウム（ＳｉＧｅ）などを用いることができる。

【１１９２】

図８５の第２の半導体層１０１０６、図８６（Ａ）の第２の半導体層１０２０６、図８６（Ｂ）の第２の半導体層１０２３６、図８７（Ａ）の第２の半導体層１０３０６、図８７（Ｂ）の第２の半導体層１０３３６としては、リン等を含んだシリコン等を用いることができる。

【１１９３】

図８５の第２の導電層１０１０７及び第３の導電層１０１０９、図８６（Ａ）の第２の導電層１０２０７及び第３の導電層１０２０９、図８６（Ｂ）の第２の導電層１０２３７及び第２の導電層１０２３９、図８７（Ａ）の第２の導電層１０３０７及び第２の導電層１０３０９、もしくは図８７（Ｂ）の第２の導電層１０３３７、第２の導電層１０３３９及び第４の導電層１０３４３の透明性を有する材料としては、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜又は酸化スズ膜などを用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。

【１１９４】

図８５の第２の導電層１０１０７及び第３の導電層１０１０９、図８６（Ａ）の第２の導電層１０２０７及び第３の導電層１０２０９、図８６（Ｂ）の第２の導電層１０２３７及び第２の導電層１０２３９、図８７（Ａ）の第２の導電層１０３０７及び第２の導電層１０３０９、もしくは図８７（Ｂ）の第２の導電層１０３３７、第２の導電層１０３３９及び第４の導電層１０３４３の反射性を有する材料としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌなどを用いることができる。あるいは、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としてもよい。

【１１９５】

図８５の第３の絶縁膜１０１０８、図８６（Ａ）の第３の絶縁膜１０２０８、図８６（Ｂ）の第３の絶縁膜１０２３８、図８６（Ｂ）の第３の導電層１０２３９、図８７（Ａ）の第３の絶縁膜１０３０８、図８７（Ｂ）の第３の絶縁膜１０３３８及び第４の絶縁膜１０３４９としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【１１９６】

図８５の第１の配向膜１０１１０、図８６（Ａ）の第１の配向膜１０２１０、図８６（Ｂ）の第１の配向膜１０２４０、図８６（Ｂ）の第１の配向膜１０３１０、図８７（Ｂ）の第１の配向膜１０３４０としては、ポリイミドなどの高分子膜を用いることができる。

【１１９７】

次に、各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の上面図（レイアウト図）を参照して説明する。

【１１９８】

なお、液晶モードとしては、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）などを用いることができる。

【１１９９】

なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ（ＴＦＴ）などを用いることが出来る。

【１２００】

なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。ボトムゲート型のトランジスタとしては、チャネルエッチ型又はチャネル保護型などを用いることができる。

【１２０１】

図８８は、ＴＮ方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図８８に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【１２０２】

図８８に示す画素は、走査線１０４０１と、映像信号線１０４０２と、容量線１０４０３と、トランジスタ１０４０４と、画素電極１０４０５と、画素容量１０４０６と、を有している。

【１２０３】

走査線１０４０１は、信号（走査信号）を画素に伝達する機能を有する。映像信号線１０４０２は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線１０４０１と映像信号線１０４０２とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線１０４０１と。映像信号線１０４０２との交差部に、半導体層が配置されていてもよい。こうすることで、走査線１０４０１と。映像信号線１０４０２と交差容量を低減することができる。

【１２０４】
容量線１０４０３は、画素電極１０４０５と平行に配置されている。容量線１０４０３と画素電極１０４０５とが重なって配置されている部分が画素容量１０４０６となる。なお、容量線１０４０３の一部は、映像信号線１０４０２に沿って、映像信号線１０４０２を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線１０４０２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象のことである。なお、容量線１０４０３と映像信号線１０４０２との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線１０４０３は、走査線１０４０１と同様な材料で構成されている。
【１２０５】
トランジスタ１０４０４は、映像信号線１０４０２と画素電極１０４０５を導通させるスイッチとしての機能を有する。なお、トランジスタ１０４０４のソース領域及びドレイン領域の一方は、トランジスタ１０４０４のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ１０４０４のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ１０４０４のゲート電極は、半導体層を囲むように配置されている。
【１２０６】
画素電極１０４０５は、トランジスタ１０４０４のソース電極及びドレイン電極の一方に電気的に接続される。画素電極１０４０５は、映像信号線１０４０２によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極１０４０５は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極１０４０５としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、画素電極１０４０５に用いてもよい。
【１２０７】
図８９（Ａ）は、ＭＶＡ方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図８９（Ａ）に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。
【１２０８】
図８９（Ａ）に示す画素は、走査線１０５０１と、映像信号線１０５０２と、容量線１０５０３と、トランジスタ１０５０４と、画素電極１０５０５と、画素容量１０５０６と、配向制御用突起１０５０７と、を有する。
【１２０９】
走査線１０５０１は、信号（走査信号）を画素に伝達する機能を有する。映像信号線１０５０２は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線１０５０１と映像信号線１０５０２とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線１０５０１と。映像信号線１０５０２との交差部に、半導体層が配置されていてもよい。こうすることで、走査線１０５０１と。映像信号線１０５０２と交差容量を低減することができる。
【１２１０】
容量線１０５０３は、画素電極１０５０５と平行に配置されている。容量線１０５０３と画素電極１０５０５とが重なって配置されている部分が画素容量１０５０６となる。なお、容量線１０５０３の一部は、映像信号線１０５０２に沿って、映像信号線１０５０２を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線１０５０２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象のことである。なお、容量線１０５０３と映像信号線１０５０２との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線１０５０３は、走査線１０５０１と同様な材料で構成されている。
【１２１１】
トランジスタ１０５０４は、映像信号線１０５０２と画素電極１０５０５を導通させるス

イッチとしての機能を有する。なお、トランジスタ１０５０４のソース領域及びドレイン領域の一方は、トランジスタ１０５０４のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ１０５０４のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ１０５０４のゲート電極は、半導体層を囲むように配置されている。

【１２１２】

画素電極１０５０５は、トランジスタ１０５０４のソース電極及びドレイン電極の一方に電気的に接続される。画素電極１０５０５は、映像信号線１０５０２によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極１０５０５は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極１０５０５としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、画素電極１０５０５に用いてもよい。

【１２１３】

配向制御用突起１０５０７は、対向基板に形成されている。配向制御用突起１０５０７は、液晶分子を放射状に配向させる機能を有する。なお、配向制御用突起１０５０７の形状に限定はない。例えば、配向制御用突起１０５０７の形状は、くの字型となっていてもよい。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。

【１２１４】

図８９（Ｂ）は、ＰＶＡ方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図８９（Ｂ）に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【１２１５】

図８９（Ｂ）に示す画素は、走査線１０５１１と、映像信号線１０５１２と、容量線１０５１３と、トランジスタ１０５１４と、画素電極１０５１５と、画素容量１０５１６と、電極切り欠き部１０５１７、を有する。

【１２１６】

走査線１０５１１は、信号（走査信号）を画素に伝達する機能を有する。映像信号線１０５１２は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線１０５１１と映像信号線１０５１２とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線１０５１１と。映像信号線１０５１２との交差部に、半導体層が配置されていてもよい。こうすることで、走査線１０５１１と。映像信号線１０５１２と交差容量を低減することができる。

【１２１７】

容量線１０５１３は、画素電極１０５１５と平行に配置されている。容量線１０５１３と画素電極１０５１５とが重なって配置されている部分が画素容量１０５１６となる。なお、容量線１０５１３の一部は、映像信号線１０５１２に沿って、映像信号線１０５１２を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線１０５１２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象のことである。なお、容量線１０５１３と映像信号線１０５１２との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線１０５１３は、走査線１０５１１と同様な材料で構成されている。

【１２１８】

トランジスタ１０５１４は、映像信号線１０５１２と画素電極１０５１５を導通させるスイッチとしての機能を有する。なお、トランジスタ１０５１４のソース領域及びドレイン領域の一方は、トランジスタ１０５１４のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ１０５１４のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ１０５１４のゲート電極は、半導体層を囲むように配置されている。

【１２１９】
画素電極１０５１５は、トランジスタ１０５１４のソース電極及びドレイン電極の一方に電気的に接続される。画素電極１０５１５は、映像信号線１０５１２によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極１０５１５は、電極切り欠き部１０５１７の形状に合わせた形状である。具体的には、電極切り欠き部１０５１７のない部分に、画素電極１０５１５を切り欠いた部分を形成したような形状である。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極１０５１５としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、画素電極１０５１５に用いてもよい。
【１２２０】
図９０（Ａ）は、ＩＰＳ方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図９０（Ａ）に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。
【１２２１】
図９０（Ａ）に示す画素は、走査線１０６０１と、映像信号線１０６０２と、共通電極１０６０３と、トランジスタ１０６０４と、画素電極１０６０５と、を有する。
【１２２２】
走査線１０６０１は、信号（走査信号）を画素に伝達する機能を有する。映像信号線１０６０２は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線１０６０１と映像信号線１０６０２とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線１０６０１と映像信号線１０６０２との交差部に、半導体層が配置されていてもよい。こうすることで、走査線１０６０１と。映像信号線１０６０２と交差容量を低減することができる。なお、映像信号線１０６０２は、画素電極１０６０５の形状に合わせて形成されている。
【１２２３】
共通電極１０６０３は、画素電極１０６０５と平行に配置されている。共通電極１０６０３は、横方向の電界を発生させるための電極である。なお、共通電極１０６０３の形状は、屈曲した櫛歯状である。なお、共通電極１０６０３の一部は、映像信号線１０６０２に沿って、映像信号線１０６０２を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線１０６０２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象のことである。なお、共通電極１０６０３と映像信号線１０６０２との間に半導体層を配置することによって、交差容量を低減することができる。なお、共通電極１０６０３の走査線１０６０１と平行に配置されている部分では、走査線１０６０１と同様な材料で構成されている。共通電極１０６０３の画素電極１０６０５と平行に配置されている部分では、画素電極１０６０５と同様な材料で構成されている。
【１２２４】
トランジスタ１０６０４は、映像信号線１０６０２と画素電極１０６０５を導通させるスイッチとしての機能を有する。なお、トランジスタ１０６０４のソース領域及びドレイン領域の一方は、トランジスタ１０６０４のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ１０６０４のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ１０６０４のゲート電極は、半導体層を囲むように配置されている。
【１２２５】
画素電極１０６０５は、トランジスタ１０６０４のソース電極及びドレイン電極の一方に電気的に接続される。画素電極１０５０５は、映像信号線１０６０２によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極１０６０５の形状は、屈曲した櫛歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることが

できる。なお、画素電極１０６０５としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、画素電極１０６０５に用いてもよい。

【１２２６】

なお、共通電極１０６０３のうち櫛歯状の部分と画素電極１０６０５とは、別々の導電層で形成されていてもよい。例えば、共通電極１０６０３のうち櫛歯状の部分は、走査線１０６０１又は映像信号線１０６０２と同じ導電層で形成されていてもよい。同様に、画素電極１０６０５は、走査線１０６０１又は映像信号線１０６０２と同じ導電層で形成されていてもよい。

【１２２７】

図９０（Ｂ）は、ＦＦＳ方式とトランジスタとを組み合わせた場合の画素の上面図である。図９０（Ｂ）に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【１２２８】

図９０（Ｂ）に示す画素は、走査線１０６１１と、映像信号線１０６１２と、共通電極１０６１３と、トランジスタ１０６１４と、画素電極１０６１５と、を備えていてもよい。

【１２２９】

走査線１０６１１は、信号（走査信号）を画素に伝達する機能を有する。映像信号線１０６１２は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線１０６１１と映像信号線１０６１２とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線１０６１１と。映像信号線１０６１２との交差部に、半導体層が配置されていてもよい。こうすることで、走査線１０６１１と。映像信号線１０６１２と交差容量を低減することができる。なお、映像信号線１０６１２は、画素電極１０６１５の形状に合わせて形成されている。

【１２３０】

共通電極１０６０１３は、画素電極１０６１５の下部、及び画素電極１０６１５と画素電極１０６１５との間の下部に一様に形成されている。なお、共通電極１０６０１３としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、共通電極１０６０１３に用いてもよい。

【１２３１】

トランジスタ１０６１４は、映像信号線１０６１２と画素電極１０６１５を導通させるスイッチとしての機能を有する。なお、トランジスタ１０６０４のソース領域及びドレイン領域の一方は、トランジスタ１０６１４のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ１０６１４のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ１０６１４のゲート電極は、半導体層を囲むように配置されている。

【１２３２】

画素電極１０６１５は、トランジスタ１０６１４のソース電極及びドレイン電極の一方に電気的に接続される。画素電極１０５１５は、映像信号線１０６１２によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極１０６１５の形状は、屈曲した櫛歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。なお、櫛歯状の画素電極１０６１５は、共通電極１０６１３の一様な部分よりも液晶層に近いところに配置される。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極１０６１５としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせて、画素電極１０６１５に用いてもよい。

【１２３３】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、

又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１２３４】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１２３５】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１２３６】

（実施の形態１１）

本実施の形態では、液晶セル（液晶パネルともいう）の作製工程を説明する。

【１２３７】

液晶の充填方法として真空注入法を用いた場合の液晶セルの作製工程について、図９１（Ａ）乃至（Ｅ）、及び図９２（Ａ）乃至（Ｃ）を参照して説明する。

【１２３８】

図９２（Ｃ）は、液晶セルを示す断面図である。第１の基板７０１０１と第２の基板７０１０７とが、スペーサ７０１０６及びシール材７０１０５を介して貼り付けられている。そして、液晶７０１０９が第１の基板７０１０１と第２の基板７０１０７との間に配置されている。なお、配向膜７０１０２が第１の基板７０１０１上に形成され、配向膜７０１０８が第２の基板７０１０７上に形成されている。

【１２３９】

第１の基板７０１０１には、複数の画素がマトリクス状に形成されている。そして、複数の画素それぞれは、トランジスタを有していてもよい。なお、第１の基板７０１０１をＴＦＴ基板、アレイ基板、ＴＦＴアレイ基板と呼んでもよい。第１の基板７０１０１としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

【１２４０】

第２の基板７０１０７には、共通電極、カラーフィルタ、ブラックマトリクスなどが形成されている。なお、第２の基板７０１０７を対向基板又はカラーフィルタ基板と呼んでもよい。

【１２４１】

配向膜７０１０２は、液晶分子を一定方向に配向させる機能を有する。配向膜７０１０２としては、ポリイミド樹脂などを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、配向膜７０１０８は、配向膜７０１０２と同様である。

【１２４２】

シール材７０１０５は、液晶７０１０９が漏れないように、第１の基板７０１０１と第２の基板７０１０７を接着する機能を有する。つまり、封止材として機能する。

【１２４３】

スペーサ７０１０６は、第１の基板７０１０１と第２の基板７０１０７との間の空間（液晶のセルギャップ）を一定に保つための機能を有する。スペーサ７０１０６としては、粒状スペーサ又は柱状スペーサを用いることができる。粒状スペーサとしては、ファイバ状のものと球状のもとがある。そして、粒状スペーサの材料としては、プラスチック又はガラスなどがある。なお、プラスチックで形成された球状スペーサは、プラスチックビーズと呼ばれ、広く利用されている。なお、ガラスで形成されたファイバ状のスペーサは、ガラスファイバと呼ばれ、シール材に混入されて利用される。

【１２４４】

図９１（Ａ）は、第１の基板７０１０１上に配向膜７０１０２を形成する工程を示した断面図である。配向膜７０１０２は、ローラ７０１０３を用いたローラーコート法によって第１の基板７０１０１上に形成される。ただし、第１の基板７０１０１上に配向膜７０１０２を形成する方法としては、ローラーコート法の他に、オフセット印刷法、ディップコート法、エアーナイフコート法、カーテンコート法、ワイヤーバーコート法、グラビアコート法、エクストルージョンコート法などを用いることができる。その後、仮焼成、本焼成が配向膜７０１０２に順に施される。

【１２４５】

図９１（Ｂ）は、配向膜７０１０２にラビング処理を施す工程を示した断面図である。ラビング処理は、ドラムに布を巻きつけたラビング用ローラ７０１０４を回転させて配向膜７０１０２を擦ることによって行われる。このラビング処理が配向膜７０１０２に施されると、液晶分子を一定方向に配向させるための溝が、配向膜７０１０２に形成される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。その後、水洗浄処理が第１の基板７０１０１に施される。こうすることで、第１の基板７０１０１の表面の異物又は汚れなどを除去することができる。

【１２４６】

なお、図示はしないが、第１の基板７０１０１と同様に、配向膜７０１０８が第２の基板７０１０７に形成され、ラビング処理が配向膜７０１０８に施される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。

【１２４７】

図９１（Ｃ）は、シール材７０１０５を配向膜７０１０２上に形成する工程を示した断面図である。シール材７０１０５は描画装置又はスクリーン印刷などによって塗布され、シールパターンが形成される。このシールパターンは第１の基板７０１０１の外周に沿って形成され、シールパターンの一部に液晶注入口が設けられている。そして、仮止め用のＵＶ樹脂が第１の基板７０１０１の表示領域外にディスペンサなどでスポット塗布される。

【１２４８】

なお、シール材７０１０５は、第２の基板７０１０７に形成されてもよい。

【１２４９】

図９１（Ｄ）は、スペーサ７０１０６を第１の基板７０１０１に散布する工程を示した断面図である。スペーサ７０１０６は、圧縮された気体とともにのノズルから噴出して散布される（乾式散布）。あるいは、スペーサ７０１０６は、揮発性の液体に混合され、この液体を噴路露するようにして散布される（湿式散布）。このような乾式散布又は湿式散布によって、スペーサ７０１０６を第１の基板７０１０１に均一に散布することができる。

【１２５０】

ここで、スペーサ７０１０６として、球状の粒状スペーサを用いた場合について説明した。ただし、これに限定されず、柱状スペーサを用いることもできる。柱状スペーサは、第１の基板７０１０１に形成されていてもよいし、第２の基板７０１０７に形成されていてもよい。あるいは、スペーサの一部が第１の基板７０１０１に形成され、残りが第２の基板７０１０７に形成されていてもよい。

【１２５１】

なお、スペーサがシール材の中に混入していてもよい。こうすることで、液晶のセルギャップを一定に保ちやすくできる。

【１２５２】
図９１（Ｅ）は、第１の基板７０１０１と第２の基板７０１０７とを張り合わせる工程を示した断面図である。第１の基板７０１０１と第２の基板７０１０７とは、大気中で張り合わされる。そして、第１の基板７０１０１と第２の基板７０１０７と間のギャップが一定となるように、両基板が加圧される。その後、紫外線照射又は熱処理がシール材７０１０５に施されることによって、シール材７０１０５が硬化する。
【１２５３】
図９２（Ａ）及び（Ｂ）は、液晶を充填する工程を示した上面図である。第１の基板７０１０１と第２の基板７０１０７とが張り合わされたセル（空セルともいう）が真空槽内に入れられる。その後、真空槽内が減圧された後に、空セルの液晶注入口７０１１３が液晶に浸漬される。そして、真空槽内が大気に開放されると、液晶７０１０９が差圧と毛細管現象によって空セル内に充填される。
【１２５４】
必要な量の液晶７０１０９が空セルに充填されると、液晶注入口が樹脂７０１１０によって封口される。そして、空セルに余分に付着した液晶が洗浄される。その後、アニール処理によって、再配向処理が液晶７０１０９に施される。こうして、液晶セルが完成する。
【１２５５】
次に、液晶の充填方法として滴下法を用いた場合の液晶セルの作製工程について、図９３（Ａ）乃至（Ｄ）、及び図９４（Ａ）乃至（Ｃ）を参照して説明する。
【１２５６】
図９４（Ｃ）は、液晶セルを示す断面図である。第１の基板７０３０１と第２の基板７０３０７とが、スペーサ７０３０６及びシール材７０３０５を介して貼り付けられている。そして、液晶７０３０９が第１の基板７０３０１と第２の基板７０３０７との間に配置されている。なお、配向膜７０３０２が第１の基板７０３０１上に形成され、配向膜７０３０８が第２の基板７０３０７上に形成されている。
【１２５７】
第１の基板７０３０１には、複数の画素がマトリクス状に形成されている。そして、複数の画素それぞれは、トランジスタを有していてもよい。なお、第１の基板７０３０１をＴＦＴ基板、アレイ基板、ＴＦＴアレイ基板と呼んでもよい。第１の基板７０３０１としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。
【１２５８】
第２の基板７０３０７には、共通電極、カラーフィルタ、ブラックマトリクスなどが形成されている。なお、第２の基板７０３０７を対向基板又はカラーフィルタ基板と呼んでもよい。
【１２５９】
配向膜７０３０２は、液晶分子を一定方向に配向させる機能を有する。配向膜７０３０２としては、ポリイミド樹脂などを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、配向膜７０３０８は、配向膜７０３０２と同様である。
【１２６０】
シール材７０３０５は、液晶７０３０９が漏れないように、第１の基板７０３０１と第２の基板７０３０７を接着する機能を有する。つまり、封止材として機能する。
【１２６１】
スペーサ７０３０６は、第１の基板７０３０１と第２の基板７０３０７との間の空間（液

晶のセルギャップ）を一定に保つための機能を有する。スペーサ７０３０６としては、粒状スペーサ又は柱状スペーサを用いることができる。粒状スペーサとしては、ファイバ状のものと球状のものとがある。そして、粒状スペーサの材料としては、プラスチック又はガラスなどがある。なお、プラスチックで形成された球状スペーサは、プラスチックビーズと呼ばれ、広く利用されている。なお、ガラスで形成されたファイバ状のスペーサは、ガラスファイバと呼ばれ、シール材に混入されて利用される。

【１２６２】

図９３（Ａ）は、第１の基板７０３０１上に配向膜７０３０２を形成する工程を示した断面図である。配向膜７０３０２は、ローラ７０３０３を用いたローラーコート法によって第１の基板７０３０１上に形成される。ただし、第１の基板７０３０１上に配向膜７０３０２を形成する方法としては、ローラーコート法の他に、オフセット印刷法、ディップコート法、エアーナイフコート法、カーテンコート法、ワイヤーバーコート法、グラビアコート法、エクストルージョンコート法などを用いることもできる。その後、仮焼成、本焼成が配向膜７０３０２に順に施される。

【１２６３】

図９３（Ｂ）は、配向膜７０３０２にラビング処理を施す工程を示した断面図である。ラビング処理は、ドラムに布を巻きつけたラビング用ローラ７０３０４を回転させて配向膜７０３０２を擦ることによって行われる。このラビング処理が配向膜７０３０２に施されると、液晶分子を一定方向に配向させるための溝が、配向膜７０３０２に形成される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。その後、水洗浄処理が第１の基板７０３０１に施される。こうすることで、第１の基板７０３０１の表面の異物又は汚れなどを除去することができる。

【１２６４】

なお、図示はしないが、第１の基板７０３０１と同様に、配向膜７０３０８が第２の基板７０３０７に形成され、ラビング処理が配向膜７０３０８に施される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。

【１２６５】

図９３（Ｃ）は、シール材７０３０５を配向膜７０３０２上に形成する工程を示した断面図である。シール材７０３０５は描画装置又はスクリーン印刷などによって塗布され、シールパターンが形成される。このシールパターンは第１の基板７０３０１の外周に沿って形成される。ここで、シール材７０３０５は、ラジカル型のＵＶ樹脂又はカチオン型のＵＶ樹脂を用いる。そして、導電性樹脂がスポット的にディスペンサで塗布される。

【１２６６】

なお、シール材７０３０５は、第２の基板７０３０７に形成されてもよい。

【１２６７】

図９３（Ｄ）は、スペーサ７０３０６を第１の基板７０３０１に散布する工程を示した断面図である。スペーサ７０３０６は、圧縮された気体とともにのノズルから噴出して散布される（乾式散布）。あるいは、スペーサ７０３０６は、揮発性の液体に混合され、この液体を噴路露するようにして散布される（湿式散布）。このような乾式散布又は湿式散布によって、スペーサ７０３０６を第１の基板７０３０１に均一に散布することができる。

【１２６８】

ここで、スペーサ７０３０６として、球状の粒状スペーサを用いた場合について説明した。ただし、これに限定されず、柱状スペーサを用いることもできる。柱状スペーサは、第１の基板７０３０１に形成されていてもよいし、第２の基板７０３０７に形成されていてもよい。あるいは、スペーサの一部が第１の基板７０３０１に形成され、残りが第２の基板７０３０７に形成されていてもよい。

【１２６９】

なお、スペーサがシール材の中に混入していてもよい。こうすることで、液晶のセルギャップを一定に保ちやすくできる。

【１２７０】

図９４（Ａ）は、液晶７０３０９を滴下する工程を示した断面図である。脱泡処理が液晶７０３０９に施された後に、液晶７０３０９がシール材７０３０５の内側に滴下される。

【１２７１】

なお、図９４（Ｂ）は、液晶７０３０９を滴下した後の上面図である。シール材７０３０５が第１の基板７０３０１の外周に沿って形成されているため、液晶７０３０９が漏れることはない。

【１２７２】

図９４（Ｃ）は、第１の基板７０３０１と第２の基板７０３０７とを張り合わせる工程を示した断面図である。第１の基板７０３０１と第２の基板７０３０７とは、真空槽内で張り合わされる。そして、第１の基板７０３０１と第２の基板７０３０７と間のギャップが一定となるように、両基板が加圧される。その後、紫外線照射がシール材７０３０５に施されることによって、シール材７０３０５が硬化する。ここで、表示部をマスクで隠して、紫外線照射をシール材７０３０５に施すことが望ましい。なぜなら、液晶７０３０９が紫外線によって劣化することを防止できるからである。その後、アニール処理によって、再配向処理が液晶７０３０９に施される。こうして、液晶セルが完成する。

【１２７３】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１２７４】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１２７５】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１２７６】

（実施の形態１２）

本実施の形態においては、表示装置の画素の構成及び画素の動作について説明する。

【１２７７】

図９５（Ａ）、（Ｂ）は、デジタル時間階調駆動の一例を示すタイミングチャートである。図９５（Ａ）のタイミングチャートは、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されている場合の駆動方法を示す。

【１２７８】

なお、１表示領域分の画像を完全に表示するための期間を１フレーム期間という。１フレーム期間は複数のサブフレーム期間を有し、１サブフレーム期間はアドレス期間とサステイン期間とを有する。アドレス期間Ｔａ１～Ｔａ４は、全行分の画素への信号書き込みにかかかる時間を示し、期間Ｔｂ１～Ｔｂ４は一行分の画素（又は一画素分）への信号書き込みにかかる時間を示している。サステイン期間Ｔｓ１～Ｔｓ４は、画素へ書き込まれたビデオ信号にしたがって点灯又は非点灯状態を維持する時間を示し、その長さの比をＴｓ１：Ｔｓ２：Ｔｓ３：Ｔｓ４＝2^3：2^2：2^1：2^0＝８：４：２：１としている。どのサステイン期間で発光するかによって階調を表現している。

【１２７９】

動作について説明する。まず、アドレス期間Ｔａ１において、１行目から順に走査線に画

素選択信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間Ｔｓ１における各画素の点灯、非点灯が制御される。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間Ｔｓ２、Ｔｓ３、Ｔｓ４における各画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【１２８０】

ここで、図９５（Ｂ）を参照して、ｉ行目の画素行に着目して説明する。まず、アドレス期間Ｔａ１において、１行目から順に走査線に画素選択信号が入力され、アドレス期間Ｔａ１のうち期間Ｔｂ１（ｉ）においてｉ行目の画素が選択される。そして、ｉ行目の画素が選択されているときに、信号線からｉ行目の画素へビデオ信号が入力される。そして、ｉ行目の画素にビデオ信号が書き込まれると、ｉ行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間Ｔｓ１におけるｉ行目の画素の点灯、非点灯が制御される。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４においてｉ行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間Ｔｓ２、Ｔｓ３、Ｔｓ４におけるｉ行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【１２８１】

なお、ここでは４ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。なお、点灯の順番はＴｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。なお、Ｔｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４の点灯時間は、２のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、２のべき乗からすこしだけずらしてもよい。

【１２８２】

続いて、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されていない場合の駆動方法について説明する。つまり、ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号の書き込み（又は消去）が行われるまで、信号を保持する。書き込み動作から次にこの画素へ信号の書き込みが行われるまでの期間をデータ保持時間という。そして、このデータ保持時間中は画素に書き込まれたビデオ信号に従って、画素が点灯又は非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。

【１２８３】

このように、信号書き込み動作が完了しデータ保持時間となると、直ちに画素へ書き込まれたビデオ信号に従って画素が点灯又は非点灯となる駆動方法の場合には、データ保持時間をアドレス期間より短くしようとしても、同時に２行に信号を入力できないため、アドレス期間を重ならないようにしなければならないので、データ保持時間を短くすることができない。よって、その結果、高階調表示を行うことが困難になる。

【１２８４】

よって、消去期間を設けることによって、アドレス期間より短いデータ保持時間を設定する。消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図９６（Ａ）を用いて説明する。

【１２８５】

まず、アドレス期間Ｔａ１において、１行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号

が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間Ｔｓ１における各画素の点灯、非点灯が制御される。ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間Ｔａ１が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間Ｔｓ２、Ｔｓ３、Ｔｓ４における各画素の点灯、非点灯が制御される。そして、サステイン期間ＴＳ４はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間Ｔｅに画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間Ｔｅが始まった行の画素からデータ保持時間が終了する。

【１２８６】

ここで、図９６（Ｂ）を参照して、ｉ行目の画素行に着目して説明する。ｉ行目の画素行において、アドレス期間Ｔａ１において、１行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、期間Ｔｂ１（ｉ）においてｉ行目の画素が選択されているときに、ｉ行目の画素にビデオ信号が入力される。そして、ｉ行目の画素にビデオ信号が書き込まれると、ｉ行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サステイン期間Ｔｓ１（ｉ）におけるｉ行目の画素の点灯、非点灯が制御される。つまり、ｉ行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれたビデオ信号にしたがって、ｉ行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４においてｉ行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間Ｔｓ２、Ｔｓ３、Ｔｓ４におけるｉ行目の画素の点灯、非点灯が制御される。そして、サステイン期間Ｔｓ４（ｉ）はその終期を消去動作の開始によって設定される。なぜなら、ｉ行目の消去時間Ｔｓ（ｉ）にｉ行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間Ｔｅ（ｉ）が始まるとｉ行目の画素のデータ保持時間が終了する。

【１２８７】

よって、アドレス期間とサステイン期間とを分離せずに、アドレス期間より短い高階調且つデューティー比（１フレーム期間中の点灯期間の割合）の高い表示装置を提供することができる。瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。

【１２８８】

なお、ここでは４ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番はＴｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、Ｔｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４の点灯時間は、２のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、２のべき乗からすこしだけずらしてもよい。

【１２８９】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。

【１２９０】

図９７は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【１２９１】

画素８０３００は、スイッチング用トランジスタ８０３０１、駆動用トランジスタ８０３０２、発光素子８０３０４及び容量素子８０３０３を有している。スイッチング用トランジスタ８０３０１はゲートが走査線８０３０６に接続され、第１電極（ソース電極及びドレイン電極の一方）が信号線８０３０５に接続され、第２電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ８０３０２のゲートに接続されている。駆動用トランジスタ８０３０２は、ゲートが容量素子８０３０３を介して電源線８０３０７に接続され

、第１電極が電源線８０３０７に接続され、第２電極が発光素子８０３０４の第１電極（画素電極）に接続されている。発光素子８０３０４の第２電極は共通電極８０３０８に相当する。

【１２９２】

なお、発光素子８０３０４の第２電極（共通電極８０３０８）には低電源電位が設定されている。なお、低電源電位とは、電源線８０３０７に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子８０３０４に印加して、発光素子８０３０４に電流を流して発光素子８０３０４を発光させるため、高電源電位と低電源電位との電位差が発光素子８０３０４の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【１２９３】

なお、容量素子８０３０３は駆動用トランジスタ８０３０２のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０３０２のゲート容量については、ソース領域、ドレイン領域又はＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【１２９４】

走査線８０３０６で画素が選択されているとき、つまりスイッチング用トランジスタ８０３０１がオンになっているときに信号線８０３０５から画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子８０３０３に蓄積され、容量素子８０３０３はその電圧を保持する。この電圧は駆動用トランジスタ８０３０２のゲートと第１電極間の電圧であり、駆動用トランジスタ８０３０２のゲートソース間電圧Ｖｇｓに相当する。

【１２９５】

一般に、トランジスタの動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレインソース間電圧をＶｄｓ、ゲートソース間電圧をＶｇｓ、しきい値電圧をＶｔｈとすると、（Ｖｇｓ－Ｖｔｈ）＝Ｖｄｓの時になる。（Ｖｇｓ－Ｖｔｈ）＞Ｖｄｓの場合は、線形領域であり、Ｖｄｓ、Ｖｇｓの大きさによって電流値が決まる。一方、（Ｖｇｓ－Ｖｔｈ）＜Ｖｄｓの場合は飽和領域になり、理想的には、Ｖｄｓが変化しても、電流値はほとんど変わらない。つまり、Ｖｇｓの大きさだけによって電流値が決まる。

【１２９６】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ８０３０２のゲートには、駆動用トランジスタ８０３０２が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ８０３０２は線形領域で動作させる。

【１２９７】

よって、駆動用トランジスタ８０３０２がオンするビデオ信号であるときには、理想的には電源線８０３０７に設定されている電源電位ＶＤＤをそのまま発光素子８０３０４の第１の電極に設定する。

【１２９８】

つまり、理想的には発光素子８０３０４に印加する電圧を一定にし、発光素子８０３０４から得られる輝度を一定にする。そして、１フレーム期間内に複数のサブフレーム期間を設け、サブフレーム期間毎に画素へのビデオ信号の書き込みを行い、サブフレーム期間毎に画素の点灯又は非点灯を制御し、その点灯しているサブフレーム期間の合計によって、階調を表現する。

【１２９９】

なお、駆動用トランジスタ８０３０２が飽和領域で動作するようなビデオ信号を入力することで、発光素子８０３０４に電流を流すことができる。発光素子８０３０４が電流に応じて輝度を決定するような素子であれば、発光素子８０３０４の劣化による輝度の低下を

抑制することができる。さらに、ビデオ信号をアナログとすることで、発光素子８０３０４にビデオ信号に応じた電流を流すことができる。この場合、アナログ階調駆動を行うことができる。

【１３００】

図９８は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【１３０１】

画素８０４００は、スイッチング用トランジスタ８０４０１、駆動用トランジスタ８０４０２、容量素子８０４０３、発光素子８０４０４及び整流素子８０４０９を有している。スイッチング用トランジスタ８０４０１はゲートが第２の走査線８０４０６に接続され、第１電極（ソース電極及びドレイン電極の一方）が信号線８０４０５に接続され、第２電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ８０４０２のゲートに接続されている。駆動用トランジスタ８０４０２は、ゲートが容量素子８０４０３を介して電源線８０４０７に接続され、ゲートが整流素子８０３０９を介して第２の走査線８０４１０に接続され、第１電極が電源線８０４０７に接続され、第２電極が発光素子８０４０４の第１電極（画素電極）に接続されている。発光素子８０４０４の第２電極は共通電極８０４０８に相当する。

【１３０２】

なお、発光素子８０４０４の第２電極（共通電極８０４０８）には低電源電位が設定されている。なお、低電源電位とは、電源線８０４０７に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子８０４０４に印加して、発光素子８０４０４に電流を流して発光素子８０４０４を発光させるため、高電源電位と低電源電位との電位差が発光素子８０４０４の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【１３０３】

なお、容量素子８０４０３は駆動用トランジスタ８０４０２のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０４０２のゲート容量については、ソース領域、ドレイン領域又はＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【１３０４】

なお、整流素子８０４０９として、ダイオード接続したトランジスタを用いることが可能である。ダイオード接続したトランジスタの他にも、ＰＮ接合のダイオード、ＰＩＮ接合のダイオード、ショットキー型のダイオード又はカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続されたトランジスタの極性は、Ｎチャネル型でもよいし、Ｐチャネル型でもよい。

【１３０５】

画素８０４００は、図９７に示した画素に、整流素子８０４０９と第２の走査線８０４１０を追加したものである。よって、図９８に示すスイッチング用トランジスタ８０４０１、駆動用トランジスタ８０４０２、容量素子８０４０３、発光素子８０４０４、信号線８０４０５、第１の走査線８０４０６、電源線８０４０７及び共通電極８０４０８は、それぞれ図９７に示したスイッチング用トランジスタ８０３０１、駆動用トランジスタ８０３０２、容量素子８０３０３、発光素子８０３０４、信号線８０３０５、走査線８０３０６、電源線８０３０７及び共通電極８０３０８に相当する。したがって、図９８の書き込みの動作及び発光動作は、図９７で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

【１３０６】

消去動作について説明する。消去動作時には、第２の走査線８０４１０にＨレベルの信号を入力する。すると、整流素子８０４０９に電流が流れ、容量素子８０４０３によって保持されていた駆動用トランジスタ８０４０２のゲート電位をある電位に設定することがで

きる。つまり、駆動用トランジスタ８０４０２のゲートの電位を、ある電位に設定し、画素へ書き込まれたビデオ信号に関わらず、駆動用トランジスタ８０４０２を強制的にオフすることができる。

【１３０７】

なお、第２の走査線８０４１０に入力するＬレベルの信号は、画素に非点灯となるビデオ信号が書き込まれているときに整流素子８０４０９に電流が流れないような電位とする。第２の走査線８０４１０に入力するＨレベルの信号は、画素に書き込まれたビデオ信号に関わらず、駆動用トランジスタ８０４０２がオフするような電位をゲートに設定することができるような電位とする。

【１３０８】

なお、整流素子８０４０９として、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、ＰＮ接合のダイオード、ＰＩＮ接合のダイオード、ショットキー型のダイオード又はカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続されたトランジスタの極性は、Ｎチャネル型でもよいし、Ｐチャネル型でもよい。

【１３０９】

図９９は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【１３１０】

画素８０５００は、スイッチング用トランジスタ８０５０１、駆動用トランジスタ８０５０２、容量素子８０５０３、発光素子８０５０４及び消去用トランジスタ８０５０９を有している。スイッチング用トランジスタ８０５０１はゲートが第２の走査線８０５０６に接続され、第１電極（ソース電極及びドレイン電極の一方）が信号線８０５０５に接続され、第２電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ８０５０２のゲートに接続されている。駆動用トランジスタ８０５０２は、ゲートが容量素子８０５０３を介して電源線８０５０７に接続され、ゲートが消去用トランジスタ８０５０９の第１電極に接続され、第１電極が電源線８０５０７に接続され、第２電極が発光素子８０５０４の第１電極（画素電極）に接続されている。消去用トランジスタは、ゲートが第２の走査線８０５１０に接続され、第２電極が電源線８０５０７に接続されている。発光素子８０５０４の第２電極は共通電極８０５０８に相当する。

【１３１１】

なお、発光素子８０５０４の第２電極（共通電極８０５０８）には低電源電位が設定されている。なお、低電源電位とは、電源線８０５０７に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子８０５０４に印加して、発光素子８０５０４に電流を流して発光素子８０５０４を発光させるため、高電源電位と低電源電位との電位差が発光素子８０５０４の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【１３１２】

なお、容量素子８０５０３は駆動用トランジスタ８０５０２のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０５０２のゲート容量については、ソース領域、ドレイン領域又はＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【１３１３】

画素８０５００は、図９７に示した画素に、消去用トランジスタ８０５０９と第２の走査線８０５１０を追加したものである。よって、図９９に示すスイッチング用トランジスタ８０５０１、駆動用トランジスタ８０５０２、容量素子８０５０３、発光素子８０５０４、信号線８０５０５、第１の走査線８０５０６、電源線８０５０７及び共通電極８０５０８は、それぞれ図９７に示したスイッチング用トランジスタ８０３０１、駆動用トランジスタ８０３０２、容量素子８０３０３、発光素子８０３０４、信号線８０３０５、走査線

８０３０６、電源線８０３０７及び共通電極８０３０８に相当する。したがって、図９９の書き込みの動作及び発光動作は、図９７で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

【１３１４】

消去動作について説明する。消去動作時には、第２の走査線８０５１０にＨレベルの信号を入力する。すると、消去用トランジスタ８０５０９がオンして、駆動用トランジスタのゲートと第１電極を同電位にすることができる。つまり、駆動用トランジスタ８０５０２のＶｇｓを０Ｖにすることができる。こうして、駆動用トランジスタ８０５０２を強制的にオフすることができる。

【１３１５】

しきい値電圧補正型と呼ばれる画素の構成及び動作について説明する。しきい値電圧補正型の画素は、デジタル時間階調駆動及びアナログ階調駆動に適用することができる。

【１３１６】

図１００は、しきい値電圧補正型と呼ばれる画素の構成の一例を示す図である。

【１３１７】

図１００に示す画素は、駆動用トランジスタ８０６００、第１のスイッチ８０６０１、第２のスイッチ８０６０２、第３のスイッチ８０６０３、第１の容量素子８０６０４、第２の容量素子８０６０５及び発光素子８０６２０を有している。駆動用トランジスタ８０６００のゲートは、第１の容量素子８０６０４と第１のスイッチ８０６０１とを順に介して信号線８０６１１と接続されている。駆動用トランジスタ８０６００のゲートは、第２の容量素子８０６０５を介して電源線８０６１２と接続されている。駆動用トランジスタ８０６００の第１電極は、電源線８０６１２と接続されている。駆動用トランジスタ８０６００の第２電極は、第３のスイッチ８０６０３を介して発光素子８０６２０の第１の電極と接続されている。駆動用トランジスタ８０６００の第２電極は、第２のスイッチ８０６０２を介して駆動用トランジスタ８０６００のゲートと接続されている。発光素子８０６２０の第２の電極は、共通電極８０６２１に相当する。

【１３１８】

発光素子８０６２０の第２の電極には低電源電位が設定されている。なお、低電源電位とは、電源線８０６１２に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子８０６２０に印加して、発光素子８０６２０に電流を流して発光素子８０６２０を発光させるため、高電源電位と低電源電位との電位差が発光素子８０６２０の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、第２の容量素子８０６０５は駆動用トランジスタ８０６００のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０６００のゲート容量については、ソース領域、ドレイン領域又はＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。なお、第１のスイッチ８０６０１、第２のスイッチ８０６０２、第３のスイッチ８０６０３は、それぞれ第１の走査線８０６１３、第２の走査線８０６１４、第３の走査線８０６１４によってオンとオフが制御される。

【１３１９】

図１００に示す画素の駆動方法について、動作期間を初期化期間、データ書き込み期間、しきい値取得期間、発光期間に分割して説明する。

【１３２０】

初期化期間では、第２のスイッチ８０６０２及び第３のスイッチ８０６０３がオンする。そして、駆動用トランジスタ８０６００のゲートの電位が少なくとも電源線８０６１２の電位よりも低くなる。このとき、第１のスイッチ８０６０１は、オンしていても、オフしていてもよい。なお、初期化期間は必ずしも必要ではない。

【１３２１】

しきい値取得期間では、第１の走査線８０６１３によって画素が選択される。つまり、第

１のスイッチ８０６０１がオンし、信号線８０６１１からある一定電圧が入力される。このとき、第２のスイッチ８０６０２がオンし、第３のスイッチ８０６０３がオフしている。したがって、駆動用トランジスタ８０６００はダイオード接続され、駆動用トランジスタ８０６００の第２電極及びゲートが浮遊状態（フローティング状態）となる。そして、駆動用トランジスタ８０６００のゲートの電位は、電源線８０６１２の電位から駆動用トランジスタ８０６００のしきい値電圧を引いた値となる。よって、第１の容量素子８０６０４には駆動用トランジスタ８０６００のしきい値電圧が保持される。第２の容量素子８０６０５には、駆動用トランジスタ８０６００のゲートの電位と信号線８０６１１から入力されている一定電圧との電位差が保持される。

【１３２２】

データ書き込み期間では、信号線８０６１１からビデオ信号（電圧）が入力される。このとき、第１のスイッチ８０６０１はオンのままであり、第２のスイッチ８０６０２はオフし、第３のスイッチ８０６０３がオフのままである。そして、駆動用トランジスタ８０６００のゲートは浮遊状態（フローティング状態）となっているので、駆動用トランジスタ８０６００のゲートの電位は、しきい値取得期間において信号線８０６１１入力される一定電圧と、データ書き込み期間において信号線８０６１１入力されるビデオ信号との電位差に応じて変化する。例えば、第１の容量素子８０６０４の容量値＜＜第２の容量素子８０６０５の容量値であれば、データ書き込み期間における駆動用トランジスタ８０６００のゲートの電位は、しきい値取得期間における信号線８０６１１の電位とデータ書込み期間における信号線８０６１１の電位と電位差（変化量）と、電源線８０６１２の電位から駆動用トランジスタ８０６００のしきい値電圧を引いた値との和とおおむね等しくなる。つまり、駆動用トランジスタ８０６００のゲートの電位は、駆動用トランジスタ８０６００のしきい値電圧を補正した電位となる。

【１３２３】

発光期間では、駆動用トランジスタ８０６００のゲートと電源線８０６１２との電位差（Ｖｇｓ）に応じた電流が発光素子８０６２０に流れる。このとき、第１のスイッチ８０６０１がオフし、第２のスイッチ８０６０２がオフのままであり、第３のスイッチ８０６０３がオンする。なお、発光素子８０６２０に流れる電流は、駆動用トランジスタ８０６００のしきい値電圧によらず一定である。

【１３２４】

なお、図１００に示す画素構成は、これに限定されない。例えば、図１００に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第２のスイッチ８０６０２をＰチャネル型トランジスタ又はＮチャネル型のトランジスタで構成し、第３のスイッチ８０６０３を第２のスイッチ８０６０２とは別の極性のトランジスタで構成し、第２のスイッチ８０６０２及び第３のスイッチ８０６０３を同じ走査線で制御してもよい。

【１３２５】

電流入力型と呼ばれる画素の構成及び動作について説明する。電流入力正型の画素は、デジタル階調駆動及びアナログ階調駆動に適用することができる。

【１３２６】

図１０１は、電流入力型と呼ばれる画素の構成の一例を示す図である。

【１３２７】

図１０１に示す画素は、駆動用トランジスタ８０７００、第１のスイッチ８０７０１、第２のスイッチ８０７０２、第３のスイッチ８０７０３、容量素子８０７０４及び発光素子８０７３０を有している。駆動用トランジスタ８０７００のゲートは、第２のスイッチ８０７０２と第１のスイッチ８０７０１とを順に介して信号線８０７１１に接続されている。駆動用トランジスタ８０７００のゲートは、容量素子８０７０４を介して電源線８０７１２に接続されている。駆動用トランジスタ８０７００の第１電極は、電源線８０７１２に接続されている。駆動用トランジスタ８０７００の第２電極は、第１のスイッチ８０７０１を介して電源線８０７１２に接続されている。駆動用トランジスタ８０７００の第２

電極は、第３のスイッチ８０７０３を介して発光素子８０７３０の第１の電極に接続されている。発光素子８０７３０の第２の電極は、共通電極８０７３１に相当する。

【１３２８】

発光素子８０７３０の第２の電極には低電源電位が設定されている。なお、低電源電位とは、電源線８０７１２に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子８０７３０に印加して、発光素子８０７３０に電流を流して発光素子８０７３０を発光させるため、高電源電位と低電源電位との電位差が発光素子８０７３０の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子８０７０４は駆動用トランジスタ８０７００のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０７００のゲート容量については、ソース領域、ドレイン領域又はＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。なお、第１のスイッチ８０７０１、第２のスイッチ８０７０２、第３のスイッチ８０７０３は、それぞれ第１の走査線８０７１３、第２の走査線８０７１４、第３の走査線８０７３４によってオンとオフが制御される。

【１３２９】

図１０１に示す画素の駆動方法について、動作期間をデータ書き込み期間、発光期間に分割して説明する。

【１３３０】

データ書き込み期間では、第１の走査線８０７１３によって画素が選択される。つまり、第１のスイッチ８０７０１がオンし、信号線８０７１１からビデオ信号として電流が入力される。このとき、第２のスイッチ８０７０２がオンし、第３のスイッチ８０７０３がオフする。したがって、駆動用トランジスタ８０７００のゲートの電位は、ビデオ信号に応じた電位となる。つまり、容量素子８０７０４には、駆動用トランジスタ８０７００がビデオ信号と同じ電流を流すような駆動用トランジスタ８０７００のゲート電極とソース電極との間の電圧が保持される。

【１３３１】

次に、発光期間では、第１のスイッチ８０７０１及び第２のスイッチ８０７０２がオフし、第３のスイッチ８０７０３がオンする。したがって、発光素子８０７３０にはビデオ信号と同じ値の電流が流れる。

【１３３２】

なお、図１０１に示す画素構成は、これに限定されない。例えば、図１０１に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第１のスイッチ８０７０１をＰチャネル型トランジスタ又はＮチャネル型トランジスタで構成し、第２のスイッチ８０７０２を第１のスイッチ８０７０１と同じ極性のトランジスタで構成し、第１のスイッチ８０７０１及び第２のスイッチ８０７０２を同じ走査線で制御してもよい。第２のスイッチ８０７０２は駆動用トランジスタ８０７００のゲートと信号線８０７１１との間に配置されていてもよい。

【１３３３】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１３３４】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１３３５】
なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。
【１３３６】
（実施の形態１３）
本実施形態においては、表示装置の画素構造について説明する。特に、有機ＥＬ素子を用いた表示装置の画素構造について説明する。
【１３３７】
図１０２（Ａ）は、１つの画素に２つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図１０２（Ｂ）は、図１０２（Ａ）に示すＸ－Ｘ’の部分の断面図の一例である。
【１３３８】
図１０２（Ａ）は、第１のトランジスタ６０１０５、第１の配線６０１０６、第２の配線６０１０７、第２のトランジスタ６０１０８、第３の配線６０１１１、対向電極６０１１２、コンデンサ６０１１３、画素電極６０１１５、隔壁６０１１６、有機導電体膜６０１１７、有機薄膜６０１１８及び基板６０１１９を示している。なお、第１のトランジスタ６０１０５はスイッチング用トランジスタとして、第１の配線６０１０６はゲート信号線として、第２の配線６０１０７はソース信号線として、第２のトランジスタ６０１０８は駆動用トランジスタとして、第３の配線６０１１１は電流供給線として、それぞれ用いられるのが好適である。
【１３３９】
第１のトランジスタ６０１０５のゲート電極は、第１の配線６０１０６と電気的に接続され、第１のトランジスタ６０１０５のソース電極及びドレイン電極の一方は、第２の配線６０１０７と電気的に接続され、第１のトランジスタ６０１０５のソース電極及びドレイン電極の他方は、第２のトランジスタ６０１０８のゲート電極及びコンデンサ６０１１３の一方の電極と電気的に接続されている。なお、第１のトランジスタ６０１０５のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第１のトランジスタ６０１０５のオフ状態におけるリーク電流を低減することができる。
【１３４０】
第２のトランジスタ６０１０８のソース電極及びドレイン電極の一方は、第３の配線６０１１１と電気的に接続され、第２のトランジスタ６０１０８のソース電極及びドレイン電極の他方は、画素電極６０１１５と電気的に接続されている。こうすることで、画素電極６０１１５に流れる電流を、第２のトランジスタ６０１０８によって制御することができる。
【１３４１】
画素電極６０１１５上には、有機導電体膜６０１１７が設けられ、さらに有機薄膜６０１１８（有機化合物層）が設けられている。有機薄膜６０１１８（有機化合物層）上には、対向電極６０１１２が設けられている。なお、対向電極６０１１２は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。
【１３４２】
有機薄膜６０１１８（有機化合物層）から発せられた光は、画素電極６０１１５又は対向電極６０１１２のうちいずれかを透過して発せられる。
【１３４３】
図１０２（Ｂ）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。
【１３４４】

下面放射の場合、画素電極６０１１５は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０１１２は透明導電膜によって形成されるのが好適である。

【１３４５】

カラー表示の発光装置においては、Ｒ，Ｇ，Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ，Ｇ，Ｂの発光を得るようにしても良い。

【１３４６】

なお、図１０２に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図１０２に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【１３４７】

図１０３（Ａ）は、１つの画素に３つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図１０３（Ｂ）は、図１０３（Ａ）　に示すＸ－Ｘ’の部分の断面図の一例である。

【１３４８】

図１０３（Ａ）は、基板６０２００、第１の配線６０２０１、第２の配線６０２０２、第３の配線６０２０３、第４の配線６０２０４、第１のトランジスタ６０２０５、第２のトランジスタ６０２０６、第３のトランジスタ６０２０７、画素電極６０２０８、隔壁６０２１１、有機導電体膜６０２１２、有機薄膜６０２１３及び対向電極６０２１４を示す。なお、第１の配線６０２０１はソース信号線として、第２の配線６０２０２は書込用ゲート信号線として、第３の配線６０２０３は消去用ゲート信号線として、第４の配線６０２０４は電流供給線として、第１のトランジスタ６０２０５はスイッチング用トランジスタとして、第２のトランジスタ６０２０６は消去用トランジスタとして、第３のトランジスタ６０２０７は駆動用トランジスタとして、それぞれ用いられるのが好適である。

【１３４９】

第１のトランジスタ６０２０５のゲート電極は、第２の配線６０２０２と電気的に接続され、第１のトランジスタ６０２０５のソース電極及びドレイン電極の一方は、第１の配線６０２０１と電気的に接続され、第１のトランジスタ６０２０５のソース電極及びドレイン電極の他方は、第３のトランジスタ６０２０７のゲート電極と電気的に接続されている。なお、第１のトランジスタ６０２０５のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第１のトランジスタ６０２０５のオフ状態におけるリーク電流を低減することができる。

【１３５０】

第２のトランジスタ６０２０６のゲート電極は、第３の配線６０２０３と電気的に接続され、第２のトランジスタ６０２０６のソース電極及びドレイン電極の一方は、第４の配線６０２０４と電気的に接続され、第２のトランジスタ６０２０６のソース電極及びドレイン電極の他方は、第３のトランジスタ６０２０７のゲート電極と電気的に接続されている。なお、第２のトランジスタ６０２０６のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第２のトランジスタ６０２０６のオフ状態におけるリーク電流を低減することができる。

【１３５１】

第３のトランジスタ６０２０７のソース電極及びドレイン電極の一方は、第４の配線６０２０４と電気的に接続され、第３のトランジスタ６０２０７のソース電極及びドレイン電極の他方は、画素電極６０２０８と電気的に接続されている。こうすることで、画素電極６０２０８に流れる電流を、第３のトランジスタ６０２０７によって制御することができる。

【１３５２】

画素電極６０２０８上には、有機導電体膜６０２１２が設けられ、さらに有機薄膜６０２

１３（有機化合物層）が設けられている。有機薄膜６０２１３（有機化合物層）上には、対向電極６０２１４が設けられている。なお、対向電極６０２１４は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【１３５３】

有機薄膜６０２１３（有機化合物層）から発せられた光は、画素電極６０２０８もしくは対向電極６０２１４のうちいずれかを透過して発せられる。

【１３５４】

図１０３（Ｂ）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【１３５５】

下面放射の場合、画素電極６０２０８は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０２１４は透明導電膜によって形成されるのが好適である。

【１３５６】

カラー表示の発光装置においては、Ｒ，Ｇ，Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ，Ｇ，Ｂの発光を得るようにしても良い。

【１３５７】

なお、図１０３に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図１０３に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【１３５８】

図１０４（Ａ）は、１つの画素に４つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図１０４（Ｂ）は、図１０４（Ａ）　に示すＸ－Ｘ’の部分の断面図の一例である。

【１３５９】

図１０４（Ａ）は、基板６０３００、第１の配線６０３０１、第２の配線６０３０２、第３の配線６０３０３、第４の配線６０３０４、第１のトランジスタ６０３０５、第２のトランジスタ６０３０６、第３のトランジスタ６０３０７、第４のトランジスタ６０３０８、画素電極６０３０９、第５の配線６０３１１、第６の配線６０３１２、隔壁６０３２１、有機導電体膜６０３２２、有機薄膜６０３２３及び対向電極６０３２４を示している。なお、第１の配線６０３０１はソース信号線として、第２の配線６０３０２は書込用ゲート信号線として、第３の配線６０３０３は消去用ゲート信号線として、第４の配線６０３０４は逆方向バイアス用信号線として、第１のトランジスタ６０３０５はスイッチング用トランジスタとして、第２のトランジスタ６０３０６は消去用トランジスタとして、第３のトランジスタ６０３０７は駆動用トランジスタとして、第４のトランジスタ６０３０８は逆方向バイアス用トランジスタとして、第５の配線６０３１１は電流供給線として、第６の配線６０３１２は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

【１３６０】

第１のトランジスタ６０３０５のゲート電極は、第２の配線６０３０２と電気的に接続され、第１のトランジスタ６０３０５のソース電極及びドレイン電極の一方は、第１の配線６０３０１と電気的に接続され、第１のトランジスタ６０３０５のソース電極及びドレイン電極の他方は、第３のトランジスタ６０３０７のゲート電極と電気的に接続されている。なお、第１のトランジスタ６０３０５のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第１のトランジスタ６０３０５のオフ状態におけるリーク電流を低減することができる。

【１３６１】

第２のトランジスタ６０３０６のゲート電極は、第３の配線６０３０３と電気的に接続され、第２のトランジスタ６０３０６のソース電極及びドレイン電極の一方は、第５の配線６０３１１と電気的に接続され、第２のトランジスタ６０３０６のソース電極及びドレイン電極の他方は、第３のトランジスタ６０３０７のゲート電極と電気的に接続されている。なお、第２のトランジスタ６０３０６のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第２のトランジスタ６０３０６のオフ状態におけるリーク電流を低減することができる。

【１３６２】

第３のトランジスタ６０３０７のソース電極及びドレイン電極の一方は、第５の配線６０３１１と電気的に接続され、第３のトランジスタ６０３０７のソース電極及びドレイン電極の他方は、画素電極６０３０９と電気的に接続されている。こうすることで、画素電極６０３０９に流れる電流を、第３のトランジスタ６０３０７によって制御することができる。

【１３６３】

第４のトランジスタ６０３０８のゲート電極は、第４の配線６０３０４と電気的に接続され、第４のトランジスタ６０３０８のソース電極及びドレイン電極の一方は、第６の配線６０３１２と電気的に接続され、第４のトランジスタ６０３０８のソース電極及びドレイン電極の他方は、画素電極６０３０９と電気的に接続されている。こうすることで、画素電極６０３０９の電位を、第４のトランジスタ６０３０８によって制御することができるので、有機導電体膜６０３２２及び有機薄膜６０３２３に、逆方向のバイアスを印加することができる。有機導電体膜６０３２２及び有機薄膜６０３２３などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

【１３６４】

画素電極６０３０９上には、有機導電体膜６０３２２が設けられ、さらに有機薄膜６０３２３（有機化合物層）が設けられている。有機薄膜６０３２３（有機化合物層）上には、対向電極６０３２４が設けられている。なお、対向電極６０３２４は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【１３６５】

有機薄膜６０３２３（有機化合物層）から発せられた光は、画素電極６０３０９もしくは対向電極６０３２４のうちいずれかを透過して発せられる。

【１３６６】

図１０４（Ｂ）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【１３６７】

下面放射の場合、画素電極６０３０９は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０３２４は透明導電膜によって形成されるのが好適である。

【１３６８】

カラー表示の発光装置においては、Ｒ，Ｇ，Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ，Ｇ，Ｂの発光を得るようにしても良い。

【１３６９】

なお、図１０４に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図１０４に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【１３７０】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（

一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１３７１】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１３７２】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１３７３】

（実施の形態１４）

本実施の形態においては、ＥＬ素子の構造について説明する。特に、有機ＥＬ素子の構造について説明する。

【１３７４】

混合接合型のＥＬ素子の構成について説明する。その一例として、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のＥＬ素子と表記する）について説明する。

【１３７５】

図１０５（Ａ）、（Ｂ）、（Ｃ）及び（Ｄ）は、混合接合型のＥＬ素子の構造を示す模式図である。なお、陽極１９０１０１と陰極１９０１０２の間に挟まれた層が、ＥＬ層に相当する。

【１３７６】

図１０５（Ａ）に、ＥＬ層が正孔輸送材料からなる正孔輸送領域１９０１０３と、電子輸送材料からなる電子輸送領域１９０１０４とを含み、正孔輸送領域１９０１０３は電子輸送領域１９０１０４よりも陽極側に位置し、且つ、正孔輸送領域１９０１０３と、電子輸送領域１９０１０４の間に、正孔輸送材料及び電子輸送材料の両方を含む混合領域１９０１０５が設けられた構成を示す。

【１３７７】

なお、陽極１９０１０１から陰極１９０１０２の方向に、混合領域１９０１０５内の正孔輸送材料の濃度が減少し、混合領域１９０１０５内の電子輸送材料の濃度が増加することを特徴とする。

【１３７８】

なお、濃度勾配の設定の仕方は、自由に設定することが可能である。例えば、正孔輸送材料のみからなる正孔輸送領域１９０１０３が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域１９０１０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、正孔輸送材料のみからなる正孔輸送領域１９０１０３及び電子輸送材料のみからなる電子輸送領域１９０１０４が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域１９０１０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、濃度の割合は、陽極又は陰極からの距離に依存して変化する構成であってもよい。なお、濃度の割合の変化は連続的であってもよい。

【１３７９】
混合領域１９０１０５内に、発光材料が添加された領域１９０１０６を有する。発光材料によって、ＥＬ素子の発光色を制御することができる。発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、ＥＬ素子の発光色を制御することができる。
【１３８０】
陽極１９０１０１としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム（ＩＴＯ）、亜鉛ドープ酸化インジウム（ＩＺＯ）、ＺｎＯ、SnO_2又はIn_2O_3等の透明電極を用いることができる。あるいは、透光性を有する必要が無いならば、陽極１９０１０１は、不透明の金属材料でもよい。
【１３８１】
正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。
【１３８２】
電子輸送材料としては、キノリン誘導体、８－キノリノール又はその誘導体を配位子とする金属錯体（特に、トリス（８－キノリノライト）アルミニウム（Alq_3））等を用いることができる。
【１３８３】
陰極１９０１０２としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。あるいは、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。
【１３８４】
図１０５（Ａ）とは異なる構成のＥＬ素子の模式図を図１０５（Ｂ）に示す。なお、図１０５（Ａ）と同じ部分は同じ符号を用いて示し、説明は省略する。
【１３８５】
図１０５（Ｂ）では、発光材料が添加された領域を有さない。しかし、電子輸送領域１９０１０４に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（８－キノリノライト）アルミニウム（Alq_3）を用いる構成とし、発光を行うことができる。
【１３８６】
あるいは、正孔輸送領域１９０１０３に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。
【１３８７】
図１０５（Ａ）及び図１０５（Ｂ）とは異なる構成のＥＬ素子の模式図を図１０５（Ｃ）に示す。なお、図１０５（Ａ）及び図１０５（Ｂ）と同じ部分は同じ符号を用いて示し、説明は省略する。
【１３８８】
図１０５（Ｃ）において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域１９０１０５内に添加された領域１９０１０７を有する。正孔ブロッキング性材料が添加された領域１９０１０７を、混合領域１９０１０５内の発光材料が添加された領域１９０１０６より陰極１９０１０２側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域１９０１０７を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。
【１３８９】
図１０５（Ａ）、図１０５（Ｂ）及び図１０５（Ｃ）とは異なる構成のＥＬ素子の模式図を図１０５（Ｄ）に示す。なお、図１０５（Ａ）、図１０５（Ｂ）及び図１０５（Ｃ）と

同じ部分は同じ符号を用いて示し、説明は省略する。

【１３９０】

図１０５（Ｄ）において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域１９０１０５内に添加された領域１９０１０８を有する。電子ブロッキング性材料が添加された領域１９０１０８を、混合領域１９０１０５内の発光材料が添加された領域１９０１０６より陽極１９０１０１側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域１９０１０８を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。

【１３９１】

図１０５（Ｅ）は、図１０５（Ａ）、図１０５（Ｂ）、図１０５（Ｃ）及び図１０５（Ｄ）とは異なる混合接合型のＥＬ素子の構成を示す模式図である。図１０５（Ｅ）では、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した領域１９０１０９を有する構成の例を示す。図１０５（Ｅ）において、図１０５（Ａ）～図１０５（Ｄ）と同じ部分は同じ符号を用いて示し説明は省略する。図１０５（Ｅ）に示す構成は、たとえば、陰極１９０１０２としてＭｇＡｇ（Ｍｇ－Ａｇ合金）を用い、電子輸送材料が添加された電子輸送領域１９０１０４の、陰極１９０１０２に接する領域にＡｌ（アルミニウム）合金を添加した領域１９０１０９を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。駆動電圧も低くすることができる。

【１３９２】

上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。

【１３９３】

図１０５（Ａ）～図１０５（Ｅ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。駆動電圧も低くすることができる。

【１３９４】

なお、図１０５（Ａ）～図１０５（Ｅ）に示した構成は、自由に組み合わせて実施することが可能である。

【１３９５】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【１３９６】

なお、ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。あるいは、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合では、高分子材料を溶媒に溶かし、スピン塗布法又はインクジェット方式で成膜することができる。

【１３９７】

ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合では、インクジェット方式等で成膜することができる。

【１３９８】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

【１３９９】

ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【１４００】

次に、表示装置を製造するための蒸着装置について、図面を参照して説明する。

【１４０１】
表示装置は、ＥＬ層を形成して製造されてもよい。ＥＬ層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。ＥＬ層は機能の異なる複数の層で構成されても良い。その場合、ＥＬ層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。
【１４０２】
トランジスタが形成された素子基板に、ＥＬ層を形成するための蒸着装置の構成を図１０６に示す。この蒸着装置は、搬送室１９０２６０、１９０２６１に複数の処理室を連結している。処理室には、基板を供給するロード室１９０２６２、基板を回収するアンロード室１９０２６３、その他、加熱処理室１９０２６８、プラズマ処理室１９０２７２、ＥＬ材料を蒸着する成膜処理室１９０２６９～１９０２７５、ＥＬ素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室１９０２７６を含んでいる。搬送室と各処理室の間にはゲートバルブ１９０２７７ａ～１９０２７７ｍが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。
【１４０３】
ロード室１９０２６２から搬送室１９０２６０に導入された基板は、回転自在に設けられたアーム方式の搬送手段１９０２６６により、所定の処理室へ搬入される。基板は搬送手段１９０２６６により、ある処理室から他の処理室へ搬送される。搬送室１９０２６０と搬送室１９０２６１とは成膜処理室１９０２７０で連結され、ここで搬送手段１９０２６６と搬送手段１９０２６７により基板の受け渡しが行う。
【１４０４】
搬送室１９０２６０及び搬送室１９０２６１に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してＥＬ層の成膜処理が行われる。ＥＬ層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室１９０２６５が搬送室１９０２６１に連結されている。封止処理室１９０２６５は大気圧若しくはそれに近い減圧下におかれているので、搬送室１９０２６１と封止処理室１９０２６５の間にも中間処理室１９０２６４が備えられている。中間処理室１９０２６４は基板の受け渡しと、室間の圧力を緩衝するために設けられている。
【１４０５】
ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。
【１４０６】
図１０６の蒸着装置において、搬送室１９０２６０及び搬送室１９０２６１に連結される処理室の数及びその構成は、ＥＬ素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。
【１４０７】
加熱処理室１９０２６８は、最初に下部電極又は絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室１９０２７２は、下地電極表面を希ガス又は酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。
【１４０８】
成膜処理室１９０２６９は、ＥＬ素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、ＥＬ素子の短絡又は暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が５×１０^{4}～１×１０^{6}Ωｃｍであり、３０～３００ｎｍの厚さに形成される。なお、成膜室１９０２７１は正孔輸送層を成膜する処理室である。

【１４０９】
ＥＬ素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のＥＬ素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室１９０２７０を第１の発光層の成膜用として、成膜処理室１９０２７３を第２の発光層の成膜用として、成膜処理室１９０２７４を第３の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。
【１４１０】
なお、成膜処理室１９０２７０、成膜処理室１９０２７３、成膜処理室１９０２７４のそれぞれで、発光色が異なる三種類のＥＬ材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。
【１４１１】
白色発光するＥＬ素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。あるいは、同じ成膜処理室で異なる発光層を連続して成膜することもできる。
【１４１２】
成膜処理室１９０２７６では、ＥＬ層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法又はスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。
【１４１３】
電極の形成まで終了した素子基板は、中間処理室１９０２６４を経て封止処理室１９０２６５に搬入される。封止処理室１９０２６５は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のＥＬ層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室１９０２６５には、シール材を描画するディスペンサー、又は素子基板に対向して封止板を固定する固定ステージ又はアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピンコーターなどが備えられている。
【１４１４】
図１０７は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図１０７では天板１９０３９１と底板１９０３９２で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。
【１４１５】
処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合、又は異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図１０７では、蒸発源１９０３８１ａ、１９０３８１ｂ、１９０３８１ｃが蒸発源ホルダ１９０３８０に装着されている。蒸発源ホルダ１９０３８０は多関節アーム１９０３８３によって保持されている。多関節アーム１９０３８３は関節の伸縮によって、蒸発源ホルダ１９０３８０の位置をその可動範囲内で自在に移動可能としている。あるいは、蒸発源ホルダ１９０３８０に距離センサー１９０３８２を設け、蒸発源１９０３８１ａ～１９０３８１ｃと基板１９０３８９との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向（Ｚ方向）にも変位する多関節アームとしても良い。
【１４１６】
基板ステージ１９０３８６と基板チャック１９０３８７は一対となって基板１９０３８９を固定する。基板ステージ１９０３８６はヒータを内蔵させて基板１９０３８９を加熱できるように構成しても良い。基板１９０３８９は、基板チャック１９０３８７の禁緩により、基板ステージ１９０３８６に固定されまた搬出入される。蒸着に際しては、必要に応

じて蒸着するパターンに対応して開口部を備えたシャドーマスク１９０３９０を用いることもできる。その場合、シャドーマスク１９０３９０は、基板１９０３８９と蒸発源１９０３８１ａ～１９０３８１ｃの間に配置されるようにする。シャドーマスク１９０３９０はマスクチャック１９０３８８により、基板１９０３８９と密着若しくは一定の間隔を持って固定される。シャドーマスク１９０３９０のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック１９０３８８にＸ－Ｙ－θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【１４１７】

蒸発源１９０３８１には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源１９０３８１と離れた位置に配置される材料供給源１９０３８５ａ、１９０３８５ｂ、１９０３８５ｃと、その両者の間を繋ぐ材料供給管１９０３８４を有している。典型的には、材料供給源１９０３８５ａ、１９０３８５ｂ、１９０３８５ｃは蒸発源１９０３８１に対応して設けられている。図１０７の場合は、材料供給源１９０３８５ａと蒸発源１９０３８１ａが対応している。材料供給源１９０３８５ｂと蒸発源１９０３８１ｂ、材料供給源１９０３８５ｃと蒸発源１９０３８１ｃについても同様である。

【１４１８】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源１９０３８１に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解又は分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源１９０３８１には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板１９０３８９に成膜する。図１０７の場合、材料供給管１９０３８４は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【１４１９】

気流搬送方式又はエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは１３３Ｐａ～１３３００Ｐａの減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、又は当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。なお、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。あるいは、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気にしておいても良い。

【１４２０】

その他の蒸着材料の供給方法として、材料供給管１９０３８４の中にスクリューを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【１４２１】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【１４２２】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４２３】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の

形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４２４】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１４２５】

（実施の形態１５）

本実施の形態においては、ＥＬ素子の構造について説明する。特に、無機ＥＬ素子の構造について説明する。

【１４２６】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ＥＬではドナーアクセプター再結合型発光、薄膜型無機ＥＬ素子では局在型発光である場合が多い。

【１４２７】

発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法又は液相法（共沈法）などの様々な方法を用いることができる。あるいは、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法又はこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【１４２８】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【１４２９】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

【１４３０】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ＺｎＳ）、硫化カドミウム（ＣｄＳ）、硫化カルシウム（ＣａＳ）、硫化イットリウム（$Ｙ_2Ｓ_3$）、硫化ガリウム（$Ｇａ_2Ｓ_3$）、硫化ストロンチウム（ＳｒＳ）、硫化バリウム（ＢａＳ）等を用いることができる。酸化物としては、例えば、酸化亜鉛（ＺｎＯ）、酸化イットリウム（$Ｙ_2Ｏ_3$）等を用いることができる。窒化物としては、例えば、窒化アルミニウム（ＡｌＮ）、窒化ガリウム（ＧａＮ）、窒化インジウム（ＩｎＮ）等を用いることができる。さらに、セレン化亜鉛（ＺｎＳｅ）、テルル化亜鉛（ＺｎＴｅ）等も用いることができ、硫化カルシウムガリウム（$ＣａＧａ_2Ｓ_4$）、硫化ストロンチウムガリウム（$ＳｒＧａ_2Ｓ_4$）、硫化バリウムガリウム（$ＢａＧａ_2Ｓ_4$）、等の３元系の混晶であってもよい。

【１４３１】

局在型発光の発光中心として、マンガン（Ｍｎ）、銅（Ｃｕ）、サマリウム（Ｓｍ）、テ

ルビウム（Ｔｂ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、ユーロピウム（Ｅｕ）、セリウム（Ｃｅ）、プラセオジウム（Ｐｒ）などを用いることができる。なお、電荷補償として、フッ素（Ｆ）、塩素（Ｃｌ）などのハロゲン元素が添加されていてもよい。

【１４３２】

一方、ドナー－アクセプター再結合型発光の発光中心として、ドナー準位を形成する第１の不純物元素及びアクセプター準位を形成する第２の不純物元素を含む発光材料を用いることができる。第１の不純物元素は、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、アルミニウム（Ａｌ）等を用いることができる。第２の不純物元素としては、例えば、銅（Ｃｕ）、銀（Ａｇ）等を用いることができる。

【１４３３】

ドナー－アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第１の不純物元素又は第１の不純物元素を含む化合物と、第２の不純物元素又は第２の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第１の不純物元素又は第１の不純物元素を含む化合物としては、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、硫化アルミニウム（Al_2S_3）等を用いることができ、第２の不純物元素又は第２の不純物元素を含む化合物としては、例えば、銅（Ｃｕ）、銀（Ａｇ）、硫化銅（Cu_2S）、硫化銀（Ag_2S）等を用いることができる。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

【１４３４】

固相反応を利用する場合の不純物元素として、第１の不純物元素と第２の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料が得ることができる。第１の不純物元素と第２の不純物元素で構成される化合物としては、例えば、塩化銅（ＣｕＣｌ）、塩化銀（ＡｇＣｌ）等を用いることができる。

【１４３５】

なお、これらの不純物元素の濃度は、母体材料に対して０．０１～１０ａｔｏｍ％であればよく、好ましくは０．０５～５ａｔｏｍ％の範囲である。

【１４３６】

薄膜型無機ＥＬの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（ＥＢ蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（ＰＶＤ）、有機金属ＣＶＤ法、ハイドライド輸送減圧ＣＶＤ法等の化学気相成長法（ＣＶＤ）、原子エピタキシ法（ＡＬＥ）等を用いて形成することができる。

【１４３７】

図１０８（Ａ）乃至（Ｃ）に発光素子として用いることのできる薄膜型無機ＥＬ素子の一例を示す。図１０８（Ａ）乃至（Ｃ）において、発光素子は、第１の電極層１２０１００、電界発光層１２０１０２、第２の電極層１２０１０３を含む。

【１４３８】

図１０８（Ｂ）及び図１０８（Ｃ）に示す発光素子は、図１０８（Ａ）の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図１０８（Ｂ）に示す発光素子は、第１の電極層１２０１００と電界発光層１２０１０２との間に絶縁膜１２０１０４を有し、図１０８（Ｃ）に示す発光素子は、第１の電極層１２０１００と電界発光層１２０１０２との間に絶縁膜１２０１０５、第２の電極層１２０１０３と電界発光層１２０１０２との間に絶縁膜１２０１０６とを有している。このように絶縁膜は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は単層でもよいし複数層を有する積層でもよい。

【１４３９】

なお、図１０８（Ｂ）では第１の電極層１２０１００に接するように絶縁膜１２０１０４が設けられているが、絶縁膜と電界発光層の順番を逆にして、第２の電極層１２０１０３に接するように絶縁膜１２０１０４を設けてもよい。

【１４４０】

分散型無機ＥＬの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉砕などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【１４４１】

分散型無機ＥＬの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法、印刷法（スクリーン印刷やオフセット印刷など）、又はスピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、１０～１０００ｎｍの範囲である。発光材料及びバインダを含む電界発光層において、発光材料の割合は５０ｗｔ％以上８０ｗｔ％以下とするよい。

【１４４２】

図１０９（Ａ）乃至（Ｃ）に発光素子として用いることのできる分散型無機ＥＬ素子の一例を示す。図１０９（Ａ）における発光素子は、第１の電極層１２０２００、電界発光層１２０２０２、第２の電極層１２０２０３の積層構造を有し、電界発光層１２０２０２中にバインダによって保持された発光材料１２０２０１を含む。

【１４４３】

バインダは、絶縁材料を用いることができる。絶縁材料としては、有機材料及び無機材料を用いることができる。あるいは、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマー、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、又はフッ化ビニリデンなどの樹脂を用いることができる。あるいは、芳香族ポリアミド、又はポリベンゾイミダゾール（ｐｏｌｙｂｅｎｚｉｍｉｄａｚｏｌｅ）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。又は置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。あるいは、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム（$BaTiO_3$）、又はチタン酸ストロンチウム（$SrTiO_3$）などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【１４４４】

バインダに含まれる無機絶縁材料としては、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸素及び窒素を含む珪素、窒化アルミニウム（ＡｌＮ）、酸素及び窒素を含むアルミニウム、酸素及び窒素を含む酸化アルミニウム（Al_2O_3）、酸化チタン（TiO_2）、$BaTiO_3$、$SrTiO_3$、チタン酸鉛（$PbTiO_3$）、ニオブ酸カリウム（$KNbO_3$）、ニオブ酸鉛（$PbNbO_3$）、酸化タンタル（Ta_2O_5）、タンタル酸バリウム（$BaTa_2O_6$）、タンタル酸リチウム（$LiTaO_3$）、酸化イットリウム（Y_2O_3）、酸化ジルコニウム（ZrO_2）、ＺｎＳその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【１４４５】

作製工程において、発光材料はバインダを含む溶液中に分散される。バインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウエットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。たとえば、溶媒として有機溶媒等を用いることができる。バインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（ＰＧＭＥＡともいう）、３－メトシキ－３メチル－１－ブタノール（ＭＭＢともいう）などを溶媒として用いることができる。

【１４４６】

図１０９（Ｂ）及び図１０９（Ｃ）に示す発光素子は、図１０９（Ａ）の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図１０９（Ｂ）に示す発光素子は、第１の電極層１２０２００と電界発光層１２０２０２との間に絶縁膜１２０２０４を有し、図１０９（Ｃ）に示す発光素子は、第１の電極層１２０２００と電界発光層１２０２０２との間に絶縁膜１２０２０５、第２の電極層１２０２０３と電界発光層１２０２０２との間に絶縁膜１２０２０６とを有している。このように絶縁膜は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は、単層でもよいし複数層を有する積層でもよい。

【１４４７】

図１０９（Ｂ）では第１の電極層１２０２００に接するように絶縁膜１２０２０４が設けられているが、絶縁膜と電界発光層の順番を逆にして、第２の電極層１２０２０３に接するように絶縁膜１２０２０４を設けてもよい。

【１４４８】

図１０８における絶縁膜１２０１０４、図１０９における絶縁膜１２０２０４のような絶縁膜に用いることのできる材料は、絶縁耐性が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン（SiO_2）、酸化イットリウム（Y_2O_3）、酸化チタン（TiO_2）、酸化アルミニウム（Al_2O_3）、酸化ハフニウム（HfO_2）、酸化タンタル（Ta_2O_5）、チタン酸バリウム（$BaTiO_3$）、チタン酸ストロンチウム（$SrTiO_3$）、チタン酸鉛（$PbTiO_3$）、窒化シリコン（Si_3N_4）又は酸化ジルコニウム（ZrO_2）等、若しくはこれらの混合膜又は２種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、ＣＶＤ等により成膜することができる。絶縁膜はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは１０～１０００ｎｍの範囲である。

【１４４９】

なお、発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【１４５０】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４５１】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４５２】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、

詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１４５３】

（実施の形態１６）

本実施の形態においては、表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

【１４５４】

図１１０（Ａ）及び（Ｂ）に示す背面投影型表示装置１３０１００は、プロジェクタユニット１３０１１１、ミラー１３０１１２、スクリーンパネル１３０１０１を備えている。その他に、スピーカ１３０１０２、操作スイッチ類１３０１０４を備えていてもよい。このプロジェクタユニット１３０１１１は、背面投影型表示装置１３０１００の筐体１３０１１０の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー１３０１１２に向けて投射する。背面投影型表示装置１３０１００はスクリーンパネル１３０１０１の背面から投影される映像を表示する構成となっている。

【１４５５】

一方、図１１１は、前面投影型表示装置１３０２００を示している。前面投影型表示装置１３０２００は、プロジェクタユニット１３０１１１と投射光学系１３０２０１を備えている。この投射光学系１３０２０１は前面に配設するスクリーン等に映像を投影する構成となっている。

【１４５６】

図１１０に示す背面投影型表示装置１３０１００、図１１１に示す前面投影型表示装置１３０２００に適用されるプロジェクタユニット１３０１１１の構成を以下に説明する。

【１４５７】

図１１２は、プロジェクタユニット１３０１１１の一構成例を示している。このプロジェクタユニット１３０１１１は、光源ユニット１３０３０１及び変調ユニット１３０３０４を備えている。光源ユニット１３０３０１は、レンズ類を含んで構成される光源光学系１３０３０３と、光源ランプ１３０３０２を備えている。光源ランプ１３０３０２は迷光が拡散しないように筐体内に収納されている。光源ランプ１３０３０２としては、大光量の光を放射可能な、例えば、高圧水銀ランプ又はキセノンランプなどが用いられる。光源光学系１３０３０３は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、ＩＲフィルム等を適宜設けて構成される。そして、光源ユニット１３０３０１は、放射光が変調ユニット１３０３０４に入射するように配設されている。変調ユニット１３０３０４は、複数の表示パネル１３０３０８、カラーフィルター、ダイクロイックミラー１３０３０５、全反射ミラー１３０３０６、プリズム１３０３０９、投射光学系１３０３１０を備えている。光源ユニット１３０３０１から放射された光は、ダイクロイックミラー１３０３０５で複数の光路に分離される。

【１４５８】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルターと、表示パネル１３０３０８が備えられている。透過型である表示パネル１３０３０８は映像信号に基づいて透過光を変調する。表示パネル１３０３０８を透過した各色の光は、プリズム１３０３０９に入射し投射光学系１３０３１０を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラー及びスクリーンの間に配設されていてもよい。そして、プロジェクタユニット１３０１１１によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。

【１４５９】

図１１３で示すプロジェクタユニット１３０１１１は、反射型表示パネル１３０４０７、１３０４０８、１３０４０９を備えた構成を示している。

【１４６０】

図１１３で示すプロジェクタユニット１３０１１１は、光源ユニット１３０３０１と変調

ユニット１３０４００を備えている。光源ユニット１３０３０１は、図１１２と同様の構成であってもよい。光源ユニット１３０３０１からの光は、ダイクロイックミラー１３０４０１、１３０４０２、全反射ミラー１３０４０３により、複数の光路に分けられて、偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６に入射する。偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６は、各色に対応する反射型表示パネル１３０４０７、１３０４０８、１３０４０９に対応して設けられている。反射型表示パネル１３０４０７、１３０４０８、１３０４０９は、映像信号に基づいて反射光を変調する。反射型表示パネル１３０４０７、１３０４０８、１３０４０９で反射された各色の光は、プリズム１３０３０９に入射することで合成されて、投射光学系１３０４１１を通して投射される。

【１４６１】

光源ユニット１３０３０１から放射された光は、ダイクロイックミラー１３０４０１で赤の波長領域の光のみを透過し、緑及び青の波長領域の光を反射する。さらに、ダイクロイックミラー１３０４０２では、緑の波長領域の光のみが反射される。ダイクロイックミラー１３０４０１を透過した赤の波長領域の光は、全反射ミラー１３０４０３で反射され、偏光ビームスプリッタ１３０４０４へ入射し、青の波長領域の光は偏光ビームスプリッタ１３０４０５へ入射し、緑の波長領域の光は偏光ビームスプリッタ１３０４０６に入射する。偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６は、入射光をＰ偏光とＳ偏光とに分離する機能を有し、且つＰ偏光のみを透過させる機能を有している。反射型表示パネル１３０４０７、１３０４０８、１３０４０９は、映像信号に基づいて、入射した光を偏光する。

【１４６２】

各色に対応する反射型表示パネル１３０４０７、１３０４０８、１３０４０９には各色に対応するＳ偏光のみが入射する。なお、反射型表示パネル１３０４０７、１３０４０８、１３０４０９は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード（ＥＣＢ）で動作する。そして、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル１３０４０７、１３０４０８、１３０４０９は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。そして、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【１４６３】

図１１３に示すプロジェクタユニット１３０１１１は、図１１０に示す背面投影型表示装置１３０１００及び、図１１１に示す前面投影型表示装置１３０２００に適用することができる。

【１４６４】

図１１４で示すプロジェクタユニットは単板式の構成を示している。図１１４（Ａ）に示したプロジェクタユニット１３０１１１は、光源ユニット１３０３０１、表示パネル１３０５０７、投射光学系１３０５１１、位相差板１３０５０４を備えている。投射光学系１３０５１１は一つ又は複数のレンズにより構成されている。表示パネル１３０５０７にはカラーフィルターが備えられていてもよい。

【１４６５】

図１１４（Ｂ）は、フィールドシーケンシャル方式で動作するプロジェクタユニット１３０１１１の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらせて順次表示パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図１１４（Ｂ）では、光源ユニット１３０３０１と表示パネル１３０５０８の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板１３０５０５を備えている。

【１４６６】

図１１４（Ｃ）で示すプロジェクタユニット１３０１１１は、カラー表示の方式として、

マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ１３０５０６を表示パネル１３０５０９の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット１３０１１１は、カラーフィルターによる光の損失が少ないので、光源ユニット１３０３０１からの光を有効に利用することができるという特徴を有している。図１１４（Ｃ）に示すプロジェクタユニット１３０１１１は、表示パネル１３０５０９に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー１３０５０１、ダイクロイックミラー１３０５０２、赤色光用ダイクロイックミラー１３０５０３を備えている。

【１４６７】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４６８】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１４６９】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【１４７０】

（実施の形態１７）

本実施形態においては、電子機器の例について説明する。

【１４７１】

図１１５は表示パネル９００１０１と、回路基板９００１１１を組み合わせた表示パネルモジュールを示している。表示パネル９００１０１は画素部９００１０２、走査線駆動回路９００１０３及び信号線駆動回路９００１０４を有している。回路基板９００１１１には、例えば、コントロール回路９００１１２及び信号分割回路９００１１３などが形成されている。表示パネル９００１０１と回路基板９００１１１とは接続配線９００１１４によって接続されている。接続配線にはＦＰＣ等を用いることができる。

【１４７２】

表示パネル９００１０１は、画素部９００１０２と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）などで表示パネル９００１０１に実装してもよい。こうすることで、回路基板９００１１１の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）又はプリント基板を用いて表示パネル９００１０１に実装してもよい。こうすることで、表示パネル９００１０１の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

【１４７３】

例えば、消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ又はＴＡＢで表示パネルに実装してもよい。

【１４７４】
図１１５に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図１１６は、テレビ受像機の主要な構成を示すブロック図である。チューナ９００２０１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路９００２０２と、映像信号増幅回路９００２０２から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路９００２０３と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路９００２１２により処理される。コントロール回路９００２１２は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路９００２１３を設け、入力デジタル信号をｍ個（ｍは正の整数）に分割して供給する構成としても良い。

【１４７５】
チューナ９００２０１で受信した信号のうち、音声信号は音声信号増幅回路９００２０５に送られ、その出力は音声信号処理回路９００２０６を経てスピーカ９００２０７に供給される。制御回路９００２０８は受信局（受信周波数）及び音量の制御情報を入力部９００２０９から受け、チューナ９００２０１又は音声信号処理回路９００２０６に信号を送出する。

【１４７６】
図１１６とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図１１７（Ａ）に示す。図１１７（Ａ）において、筐体９００３０１内に収められた表示画面９００３０２は、表示パネルモジュールで形成される。なお、スピーカ９００３０３、操作スイッチ９００３０４、入力手段９００３０５、センサ９００３０６（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９００３０７などが適宜備えられていてもよい。

【１４７７】
図１１７（Ｂ）に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体９００３１２にはバッテリー及び信号受信器が収められており、そのバッテリーで表示部９００３１３、スピーカ部９００３１７、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９００３１９及びマクロフォン９００３２０を駆動させる。バッテリーは充電器９００３１０で繰り返し充電が可能となっている。充電器９００３１０は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。図１１７（Ｂ）に示す装置は、操作キー９００３１６によって制御される。あるいは、図１１７（Ｂ）に示す装置は、操作キー９００３１６を操作することによって、充電器９００３１０に信号を送ることが可能である。つまり、映像音声双方向通信装置であってもよい。あるいは、図１１７（Ｂ）に示す装置は、操作キー９００３１６を操作することによって、充電器９００３１０に信号を送り、さらに充電器９００３１０が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である。つまり、汎用遠隔制御装置であってもよい。なお、入力手段９００３１８などが適宜備えられていてもよい。なお、本実施の形態の各々の図で述べた内容（一部でもよい）を表示部９００３１３に適用することができる。

【１４７８】
図１１８（Ａ）は、表示パネル９００４０１とプリント配線基板９００４０２を組み合わせたモジュールを示している。表示パネル９００４０１は、複数の画素が設けられた画素部９００４０３と、第１の走査線駆動回路９００４０４、第２の走査線駆動回路９００４０５と、選択された画素にビデオ信号を供給する信号線駆動回路９００４０６を備えていてもよい。

【１４７９】
プリント配線基板９００４０２には、コントローラ９００４０７、中央処理装置（ＣＰＵ

）９００４０８、メモリ９００４０９、電源回路９００４１０、音声処理回路９００４１１及び送受信回路９００４１２などが備えられている。プリント配線基板９００４０２と表示パネル９００４０１は、フレキシブル配線基板（ＦＰＣ）９００４１３により接続されている。フレキシブル配線基板（ＦＰＣ）９００４１３には、保持容量、バッファ回路などを設け、電源電圧又は信号にノイズの発生、及び信号の立ち上がり時間の増大を防ぐ構成としても良い。なお、コントローラ９００４０７、音声処理回路９００４１１、メモリ９００４０９、中央処理装置（ＣＰＵ）９００４０８、電源回路９００４１０などは、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式を用いて表示パネル９００４０１に実装することもできる。ＣＯＧ方式により、プリント配線基板９００４０２の規模を縮小することができる。

【１４８０】

プリント配線基板９００４０２に備えられたインターフェース（Ｉ／Ｆ）部９００４１４を介して、各種制御信号の入出力が行われる。そして、アンテナとの間の信号の送受信を行うためのアンテナ用ポート９００４１５が、プリント配線基板９００４０２に設けられている。

【１４８１】

図１１８（Ｂ）は、図１１８（Ａ）に示したモジュールのブロック図を示す。このモジュールは、メモリ９００４０９としてＶＲＡＭ９００４１６、ＤＲＡＭ９００４１７、フラッシュメモリ９００４１８などが含まれている。ＶＲＡＭ９００４１６にはパネルに表示する画像のデータが、ＤＲＡＭ９００４１７には画像データ又は音声データが、フラッシュメモリには各種プログラムが記憶されている。

【１４８２】

電源回路９００４１０は、表示パネル９００４０１、コントローラ９００４０７、中央処理装置（ＣＰＵ）９００４０８、音声処理回路９００４１１、メモリ９００４０９、送受信回路９００４１２を動作させる電力を供給する。ただし、パネルの仕様によっては、電源回路９００４１０に電流源が備えられている場合もある。

【１４８３】

中央処理装置（ＣＰＵ）９００４０８は、制御信号生成回路９００４２０、デコーダ９００４２１、レジスタ９００４２２、演算回路９００４２３、ＲＡＭ９００４２４、中央処理装置（ＣＰＵ）９００４０８用のインターフェース（Ｉ／Ｆ）部９００４１９などを有している。インターフェース（Ｉ／Ｆ）部９００４１９を介して中央処理装置（ＣＰＵ）９００４０８に入力された各種信号は、一旦レジスタ９００４２２に保持された後、演算回路９００４２３、デコーダ９００４２１などに入力される。演算回路９００４２３では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ９００４２１に入力された信号はデコードされ、制御信号生成回路９００４２０に入力される。制御信号生成回路９００４２０は入力された信号に基づき、各種命令を含む信号を生成し、演算回路９００４２３において指定された場所、具体的にはメモリ９００４０９、送受信回路９００４１２、音声処理回路９００４１１、コントローラ９００４０７などに送る。

【１４８４】

メモリ９００４０９、送受信回路９００４１２、音声処理回路９００４１１、コントローラ９００４０７は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【１４８５】

入力手段９００４２５から入力された信号は、インターフェース（Ｉ／Ｆ）部９００４１４を介してプリント配線基板９００４０２に実装された中央処理装置（ＣＰＵ）９００４０８に送られる。制御信号生成回路９００４２０は、ポインティングデバイス又はキーボードなどの入力手段９００４２５から送られてきた信号に従い、ＶＲＡＭ９００４１６に格納してある画像データを所定のフォーマットに変換し、コントローラ９００４０７に送付する。

【１４８６】
コントローラ９００４０７は、パネルの仕様に合わせて中央処理装置（ＣＰＵ）９００４０８から送られてきた画像データを含む信号にデータ処理を施し、表示パネル９００４０１に供給する。コントローラ９００４０７は、電源回路９００４１０から入力された電源電圧、又は中央処理装置（ＣＰＵ）９００４０８から入力された各種信号をもとに、Ｈｓｙｎｃ信号、Ｖｓｙｎｃ信号、クロック信号ＣＬＫ、交流電圧（ＡＣ　Ｃｏｎｔ）、切り替え信号Ｌ／Ｒを生成し、表示パネル９００４０１に供給する。
【１４８７】
送受信回路９００４１２では、アンテナ９００４２８において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カプラ、バランなどの高周波回路を含んでいてもよい。送受信回路９００４１２において送受信される信号のうち音声情報を含む信号が、中央処理装置（ＣＰＵ）９００４０８からの命令に従って、音声処理回路９００４１１に送られる。
【１４８８】
中央処理装置（ＣＰＵ）９００４０８の命令に従って送られてきた音声情報を含む信号は、音声処理回路９００４１１において音声信号に復調され、スピーカ９００４２７に送られる。マイク９００４２６から送られてきた音声信号は、音声処理回路９００４１１において変調され、中央処理装置（ＣＰＵ）９００４０８からの命令に従って、送受信回路９００４１２に送られる。
【１４８９】
コントローラ９００４０７、中央処理装置（ＣＰＵ）９００４０８、電源回路９００４１０、音声処理回路９００４１１、メモリ９００４０９を、本実施形態のパッケージとして実装することができる。
【１４９０】
勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅又は空港などにおける情報表示盤、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。
【１４９１】
次に、図１１９を参照して、携帯電話の構成例について説明する。
【１４９２】
表示パネル９００５０１はハウジング９００５３０に脱着自在に組み込まれる。ハウジング９００５３０は表示パネル９００５０１のサイズに合わせて、形状又は寸法を適宜変更することができる。表示パネル９００５０１を固定したハウジング９００５３０はプリント基板９００５３１に嵌入されモジュールとして組み立てられる。
【１４９３】
表示パネル９００５０１はＦＰＣ９００５１３を介してプリント基板９００５３１に接続される。プリント基板９００５３１には、スピーカ９００５３２、マイクロフォン９００５３３、送受信回路９００５３４、ＣＰＵ、コントローラなどを含む信号処理回路９００５３５及びセンサ９００５４１（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）が形成されている。このようなモジュールと、入力手段９００５３６、バッテリー９００５３７を組み合わせ、筐体９００５３９に収納する。表示パネル９００５０１の画素部は筐体９００５３９に形成された開口窓から視認できように配置する。
【１４９４】
表示パネル９００５０１は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で表示パネル９００５０１に実装しても

良い。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）又はプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。携帯電話機の低コスト化を図ることができる。

【１４９５】

図１１９に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図１１９に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【１４９６】

図１２０で示す携帯電話機は、操作スイッチ類９００６０４、マイクロフォン９００６０５などが備えられた本体（Ａ）９００６０１と、表示パネル（Ａ）９００６０８、表示パネル（Ｂ）９００６０９、スピーカ９００６０６、センサ９００６１１（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、入力手段９００６１２などが備えられた本体（Ｂ）９００６０２とが、蝶番９００６１０で開閉可能に連結されている。表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、回路基板９００６０７と共に本体（Ｂ）９００６０２の筐体９００６０３の中に収納される。表示パネル（Ａ）９００６０８及び表示パネル（Ｂ）９００６０９の画素部は筐体９００６０３に形成された開口窓から視認できるように配置される。

【１４９７】

表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、その携帯電話機９００６００の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル（Ａ）９００６０８を主画面とし、表示パネル（Ｂ）９００６０９を副画面として組み合わせることができる。

【１４９８】

本実施形態に係る携帯電話機は、その機能又は用途に応じてさまざまな態様に変容し得る。例えば、蝶番９００６１０の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。操作スイッチ類９００６０４、表示パネル（Ａ）９００６０８、表示パネル（Ｂ）９００６０９を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【１４９９】

図１２０に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図１２０に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【１５００】
本実施の形態の各々の図で述べた内容（一部でもよい）を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【１５０１】
図１２１（Ａ）はディスプレイであり、筐体９００７１１、支持台９００７１２、表示部９００７１３、入力手段９００７１４、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９００７１５、マイクロフォン９００７１６、スピーカ９００７１７、操作キー９００７１８、ＬＥＤランプ９００７１９等を含む。図１２１（Ａ）に示すディスプレイは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図１２１（Ａ）に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０２】
図１２１（Ｂ）はカメラであり、本体９００７３１、表示部９００７３２、受像部９００７３３、操作キー９００７３４、外部接続ポート９００７３５、シャッター９００７３６、入力手段９００７３７、センサ９００７３８（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９００７３９、スピーカ９００７４０、ＬＥＤランプ９００７４１等を含む。図１２１（Ｂ）に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像（静止画、動画）を自動で補正する機能を有する。撮影した画像を記録媒体（外部又はデジタルカメラに内臓）に保存する機能を有する。撮影した画像を表示部に表示する機能を有する。なお、図１２１（Ｂ）に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０３】
図１２１（Ｃ）はコンピュータであり、本体９００７５１、筐体９００７５２、表示部９００７５３、キーボード９００７５４、外部接続ポート９００７５５、ポインティングデバイス９００７５６、入力手段９００７５７、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９００７５８、マイクロフォン９００７５９、スピーカ９００７６０、ＬＥＤランプ９００７６１、リーダ／ライタ９００７６２等を含む。図１２１（Ｃ）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信又は有線通信などの通信機能を有する。通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図１２１（Ｃ）に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０４】
図１２８（Ａ）はモバイルコンピュータであり、本体９０１４１１、表示部９０１４１２、スイッチ９０１４１３、操作キー９０１４１４、赤外線ポート９０１４１５、入力手段９０１４１６、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度

、傾度、振動、におい又は赤外線を測定する機能を含むもの）９０１４１７、マイクロフォン９０１４１８、スピーカ９０１４１９、ＬＥＤランプ９０１４２０等を含む。図１２８（Ａ）に示すモバイルコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付又は時刻などを表示する機能を表示部に有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図１２８（Ａ）に示すモバイルコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０５】

図１２８（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、本体９０１４３１、筐体９０１４３２、表示部Ａ９０１４３３、表示部Ｂ９０１４３４、記録媒体（ＤＶＤ等）読み込み部９０１４３５、操作キー９０１４３６、スピーカ部９０１４３７、入力手段９０１４３８、センサ９０１４３９（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９０１４４０、ＬＥＤランプ９０１４４１等を含む。表示部Ａ９０１４３３は主として画像情報を表示し、表示部Ｂ９０１４３４は主として文字情報を表示することができる。

【１５０６】

図１２８（Ｃ）はゴーグル型ディスプレイであり、本体９０１４５１、表示部９０１４５２、イヤホン９０１４５３、支持部９０１４５４、入力手段９０１４５５、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９０１４５６、マイクロフォン９０１４５７、スピーカ９０１４５８等を含む。図１２８（Ｃ）に示すゴーグル型ディスプレイは、外部から取得した画像（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図１２８（Ｃ）に示すゴーグル型ディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０７】

図１２９（Ａ）は携帯型遊技機であり、筐体９０１５１１、表示部９０１５１２、スピーカ部９０１５１３、操作キー９０１５１４、記憶媒体挿入部９０１５１５、入力手段９０１５１６、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９０１５１７、マイクロフォン９０１５１８、ＬＥＤランプ９０１５１９等を含む。図１２９（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図１２９（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【１５０８】

図１２９（Ｂ）はテレビ受像機能付きデジタルカメラであり、本体９０１５３１、表示部９０１５３２、操作キー９０１５３３、スピーカ９０１５３４、シャッター９０１５３５、受像部９０１５３６、アンテナ９０１５３７、入力手段９０１５３８、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９０１５３９、マイクロフォン９０１５４０、ＬＥＤランプ９０１５４１等を含む。図１２９（Ｂ）に示すテレビ受像機付きデジタルカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像を自動で補正する機能を有する。アンテナから様々な情報を取得する機能を有する。撮影した画像、又

はアンテナから取得した情報を保存する機能を有する。撮影した画像、又はアンテナから取得した情報を表示部に表示する機能を有する。なお、図１２１（Ｈ）に示すテレビ受像機付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【１５０９】

図１３０は携帯型遊技機であり、筐体９０１６１１、第１表示部９０１６１２、第２表示部９０１６１３、スピーカ部９０１６１４、操作キー９０１６１５、記録媒体挿入部９０１６１６、入力手段９０１６１７、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９０１６１８、マイクロフォン９０１６１９、ＬＥＤランプ９０１６２０等を含む。図１３０に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図１３０に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【１５１０】

図１２１（Ａ）乃至（Ｃ）、図１２８（Ａ）乃至（Ｃ）、図１２９（Ａ）乃至（Ｃ）、及び図１３０に示したように、電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。電子機器は、広い視野角を有する表示部を備えることができる。

【１５１１】

次に、半導体装置の応用例を説明する。

【１５１２】

図１２２に、半導体装置を、建造物と一体にして設けた例について示す。図１２２は、筐体９００８１０、表示部９００８１１、操作部であるリモコン装置９００８１２、スピーカ部９００８１３等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【１５１３】

図１２３に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル９００９０１は、ユニットバス９００９０２と一体に取り付けられており、入浴者は表示パネル９００９０１の視聴が可能になる。表示パネル９００９０１は入浴者が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。

【１５１４】

なお、半導体装置は、図１２３で示したユニットバス９００９０２の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部又は浴槽自体と一体にするなどとしてもよい。このとき、表示パネル９００９０１の形状は、鏡面又は浴槽の形状に合わせたものとなっていてもよい。

【１５１５】

図１２４に、半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル９０１００２は、柱状体９０１００１の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体９０１００１を電柱として説明する。

【１５１６】

図１２４に示す表示パネル９０１００２は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル９０１００２を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル９０１００２は、外部からの制御により、同じ画像を表示させること、及び瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。表示パネル９０１００２に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。電柱に設置することで、表示パネル９０１００２の電力供給手段の確保が容易である。災害発生時などの非常事態の際には、被災者に素早く正確

な情報を伝達する手段ともなり得る。

【１５１７】

なお、表示パネル９０１００２としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【１５１８】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【１５１９】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【１５２０】

図１２５は、半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル９０１１０２は、自動車の車体９０１１０１と一体に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【１５２１】

なお、半導体装置は、図１２５で示した車体９０１１０１だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル９０１１０２の形状は、設置するもの形状に合わせたものとなっていてもよい。

【１５２２】

図１２６は、半導体装置を、列車車両と一体にして設けた例について示した図である。

【１５２３】

図１２６（ａ）は、列車車両のドア９０１２０１のガラスに表示パネル９０１２０２を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要となる人件費がかからないという利点がある。表示パネル９０１２０２は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

【１５２４】

図１２６（ｂ）は、列車車両のドア９０１２０１のガラスの他に、ガラス窓９０１２０３、及び天井９０１２０４に表示パネル９０１２０２を設けた例について示した図である。このように、半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコスト及び時間が削減でき、より柔軟な広告の運用及び情報伝達が可能となる。

【１５２５】

なお、半導体装置は、図１２６で示したドア９０１２０１、ガラス窓９０１２０３、及び天井９０１２０４だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル９０１２０２の形状は、設置するもの形状に合わせたものとなっていてもよい。

【１５２６】

図１２７は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

【１５２７】

図１２７（ａ）は、旅客用飛行機の座席上部の天井９０１３０１に表示パネル９０１３０２を設けたときの、使用時の形状について示した図である。表示パネル９０１３０２は、天井９０１３０１とヒンジ部９０１３０３を介して一体に取り付けられており、ヒンジ部９０１３０３の伸縮により乗客は表示パネル９０１３０２の視聴が可能になる。表示パネル９０１３０２は乗客が操作することで情報を表示する機能を有する。広告又は娯楽手段

として利用できる機能を有する。図１２７（ｂ）に示すように、ヒンジ部を折り曲げて天井９０１３０１に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段及び誘導灯としても利用可能である。

【１５２８】

なお、半導体装置は、図１２７で示した天井９０１３０１だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル９０１３０２の形状は、設置するもの形状に合わせたものとなっていてもよい。

【１５２９】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

【１５３０】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１５３１】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【１５３２】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【図面の簡単な説明】

【１５３３】

【図１】本発明の表示装置の画素回路を説明する図。
【図２】本発明の表示装置の画素回路を説明する図。
【図３】本発明の表示装置の画素回路を説明する図。
【図４】本発明の表示装置の画素回路を説明する図。
【図５】本発明の表示装置の画素回路を説明する図。
【図６】本発明の表示装置の画素回路を説明する図。
【図７】本発明の表示装置の画素回路を説明する図。
【図８】本発明の表示装置の画素回路を説明する図。
【図９】本発明の表示装置の画素回路を説明する図。
【図１０】本発明の表示装置の画素回路を説明する図。
【図１１】本発明の表示装置の画素回路を説明する図。
【図１２】本発明の表示装置の画素回路を説明する図。
【図１３】本発明の表示装置の画素回路を説明する図。

【図１４】本発明の表示装置の画素回路を説明する図。
【図１５】本発明の表示装置の画素回路を説明する図。
【図１６】本発明の表示装置の画素回路を説明する図。
【図１７】本発明の表示装置の画素回路を説明する図。
【図１８】本発明の表示装置の画素回路を説明する図。
【図１９】本発明の表示装置の画素回路を説明する図。
【図２０】本発明の表示装置の画素回路を説明する図。
【図２１】本発明の表示装置の画素回路を説明する図。
【図２２】本発明の表示装置の画素回路を説明する図。
【図２３】本発明の表示装置の画素回路を説明する図。
【図２４】本発明の表示装置の画素回路を説明する図。
【図２５】本発明の表示装置の画素回路を説明する図。
【図２６】本発明の表示装置の画素回路を説明する図。
【図２７】本発明の表示装置の画素回路を説明する図。
【図２８】本発明の表示装置の画素回路を説明する図。
【図２９】本発明の表示装置の画素回路を説明する図。
【図３０】本発明の表示装置の画素回路が有する分圧素子を説明する図。
【図３１】本発明の表示装置を説明する図。
【図３２】本発明の表示装置の画素の上面レイアウトの一例を説明する図。
【図３３】本発明の表示装置の画素回路を説明する図。
【図３４】本発明の表示装置の画素の上面レイアウトの一例を説明する図。
【図３５】本発明の表示装置の画素回路を説明する図。
【図３６】本発明の表示装置の画素回路を説明する図。
【図３７】本発明の表示装置の画素回路を説明する図。
【図３８】本発明の表示装置の画素回路を説明する図。
【図３９】本発明の表示装置の画素回路を説明する図。
【図４０】本発明の表示装置の画素回路を説明する図。
【図４１】本発明の表示装置の画素回路を説明する図。
【図４２】本発明の表示装置の画素回路を説明する図。
【図４３】本発明の表示装置の画素回路を説明する図。
【図４４】本発明の表示装置の画素回路を説明する図。
【図４５】本発明の表示装置の画素回路を説明する図。
【図４６】本発明の表示装置の画素回路を説明する図。
【図４７】本発明の表示装置の画素回路を説明する図。
【図４８】本発明の表示装置の画素回路を説明する図。
【図４９】本発明の表示装置の画素回路を説明する図。
【図５０】本発明の表示装置の画素回路を説明する図。
【図５１】本発明を説明する図。
【図５２】本発明を説明する図。
【図５３】本発明を説明する図。
【図５４】本発明を説明する図。
【図５５】本発明を説明する図。
【図５６】本発明を説明する図。
【図５７】本発明を説明する図。
【図５８】本発明を説明する図。
【図５９】本発明を説明する図。
【図６０】本発明を説明する図。
【図６１】本発明を説明する図。
【図６２】本発明を説明する図。
【図６３】本発明を説明する図。

【図６４】本発明を説明する図。
【図６５】本発明を説明する図。
【図６６】本発明を説明する図。
【図６７】本発明を説明する図。
【図６８】本発明を説明する図。
【図６９】本発明を説明する図。
【図７０】本発明を説明する図。
【図７１】本発明を説明する図。
【図７２】本発明を説明する図。
【図７３】本発明を説明する図。
【図７４】本発明を説明する図。
【図７５】本発明を説明する図。
【図７６】本発明を説明する図。
【図７７】本発明を説明する図。
【図７８】本発明を説明する図。
【図７９】本発明を説明する図。
【図８０】本発明を説明する図。
【図８１】本発明を説明する図。
【図８２】本発明を説明する図。
【図８３】本発明を説明する図。
【図８４】本発明を説明する図。
【図８５】本発明を説明する図。
【図８６】本発明を説明する図。
【図８７】本発明を説明する図。
【図８８】本発明を説明する図。
【図８９】本発明を説明する図。
【図９０】本発明を説明する図。
【図９１】本発明を説明する図。
【図９２】本発明を説明する図。
【図９３】本発明を説明する図。
【図９４】本発明を説明する図。
【図９５】本発明を説明する図。
【図９６】本発明を説明する図。
【図９７】本発明を説明する図。
【図９８】本発明を説明する図。
【図９９】本発明を説明する図。
【図１００】本発明を説明する図。
【図１０１】本発明を説明する図。
【図１０２】本発明を説明する図。
【図１０３】本発明を説明する図。
【図１０４】本発明を説明する図。
【図１０５】本発明を説明する図。
【図１０６】本発明を説明する図。
【図１０７】本発明を説明する図。
【図１０８】本発明を説明する図。
【図１０９】本発明を説明する図。
【図１１０】本発明を説明する図。
【図１１１】本発明を説明する図。
【図１１２】本発明を説明する図。
【図１１３】本発明を説明する図。

【図１１４】本発明を説明する図。
【図１１５】本発明を説明する図。
【図１１６】本発明を説明する図。
【図１１７】本発明を説明する図。
【図１１８】本発明を説明する図。
【図１１９】本発明を説明する図。
【図１２０】本発明を説明する図。
【図１２１】本発明を説明する図。
【図１２２】本発明を説明する図。
【図１２３】本発明を説明する図。
【図１２４】本発明を説明する図。
【図１２５】本発明を説明する図。
【図１２６】本発明を説明する図。
【図１２７】本発明を説明する図。
【図１２８】本発明を説明する図。
【図１２９】本発明を説明する図。
【図１３０】本発明を説明する図。
【図１３１】本発明を説明する図。
【図１３２】本発明を説明する図。
【図１３３】本発明を説明する図。
【図１３４】本発明を説明する図。
【図１３５】本発明を説明する図。
【図１３６】本発明を説明する図。
【図１３７】本発明を説明する図。
【図１３８】本発明を説明する図。
【図１３９】本発明を説明する図。
【図１４０】本発明を説明する図。
【符号の説明】
【１５３４】
１００　画素
１０１　スイッチ
１０２　スイッチ
１０３　液晶素子
１０３　電位Ｖ
１０４　液晶素子
１０５　液晶素子
１０６　容量素子
１０７　容量素子
１０８　配線
１０９　配線
１１０　配線
１１１　共通電極
１５０　画素
１５１　スイッチ
１５２　スイッチ
１５３　液晶素子
１５４　液晶素子
１５５　液晶素子
１５６　容量素子
１５７　容量素子

１５８　配線
１５９　配線
１６０　配線
１６１　容量素子
２００　画素
２０１　スイッチ
２０２　スイッチ
２０３　スイッチ
２０３　トランジスタ
２０４　液晶素子
２０５　液晶素子
２０６　液晶素子
２０７　容量素子
２０８　容量素子
２０９　配線
２１０　配線
２１１　配線
２５３　トランジスタ
２６０　配線
２６１　配線
２６２　配線
３０１　スイッチ
３０２　スイッチ
３０３　トランジスタ
３０９　配線
３１０　配線
３１３　配線
３５３　トランジスタ
３５６　液晶素子
３５９　容量素子
３６４　配線
４００　画素
４０１　スイッチ
４０２　スイッチ
４０３　液晶素子
４０４　液晶素子
４０５　液晶素子
４０６　容量素子
４０７　容量素子
４０８　容量素子
４０９　容量素子
４１０　配線
４１１　配線
４１２　配線
４１３　配線
４１４　配線
４１５　配線
４１６　共通電極
４１７　容量素子
４５０　画素

４５１　スイッチ
４５２　スイッチ
４５３　液晶素子
４５４　液晶素子
４５５　液晶素子
４５６　容量素子
４５７　容量素子
４５８　配線
４５９　配線
４６０　配線
４６１　共通電極
４６３　容量線
４６５　容量線
５００　画素
５０１　スイッチ
５０２　スイッチ
５０３　液晶素子
５０４　液晶素子
５０５　液晶素子
５０６　液晶素子
５０７　容量素子
５０８　容量素子
５０９　容量素子
５１０　配線
５１１　配線
５１２　配線
５５０　画素
５５１　スイッチ
５５２　スイッチ
５５３　スイッチ
５５４　液晶素子
５５５　液晶素子
５５６　液晶素子
５５７　液晶素子
５５８　容量素子
５５９　容量素子
５６０　配線
５６１　配線
５６２　配線
５６３　配線
５６５　容量素子
５６６　容量素子
５７２　容量素子
５８４　容量素子
６００　画素
６０１　スイッチ
６０２　スイッチ
６０３　液晶素子
６０４　液晶素子
６０５　液晶素子

６０６　分圧素子
６０７　分圧素子
６０８　配線
６０９　配線
６１０　配線
６５０　画素
６５１　スイッチ
６５２　スイッチ
６５３　液晶素子
６５４　液晶素子
６５５　液晶素子
６５６　分圧素子
６５７　分圧素子
６５８　スイッチ
６５９　スイッチ
６６０　配線
６６１　配線
６６２　配線
７００　画素
７０１　スイッチ
７０２　スイッチ
７０３　液晶素子
７０４　液晶素子
７０５　液晶素子
７０６　トランジスタ
７０７　トランジスタ
７０８　配線
７０９　配線
７１０　配線
７５０　画素
７５１　スイッチ
７５２　スイッチ
７５３　液晶素子
７５４　液晶素子
７５５　液晶素子
７５６　トランジスタ
７５７　トランジスタ
７５８　配線
７５９　配線
７６０　配線
７６１　配線
７６２　容量素子
７６３　容量素子
７６４　容量素子
８００　画素
８０１　スイッチ
８０２　スイッチ
８０３　トランジスタ
８０３　液晶素子
８０４　トランジスタ

８０４　液晶素子
８０５　液晶素子
８０６　液晶素子
８０７　液晶素子
８０８　配線
８０９　配線
８１０　配線
８１１　配線
８５０　画素
８５１　スイッチ
８５２　スイッチ
８５３　液晶素子
８５４　液晶素子
８５５　液晶素子
８５６　トランジスタ
８５７　トランジスタ
８５８　配線
８５９　配線
８６０　配線
８６１　容量素子
９００　画素
９０１　スイッチ
９０２　スイッチ
９０３　液晶素子
９０４　液晶素子
９０５　液晶素子
９０６　液晶素子
９０７　トランジスタ
９０８　トランジスタ
９０９　トランジスタ
９１０　配線
９１１　配線
９１２　配線
１０１Ｎ　スイッチ
１０１Ｐ　スイッチ
１０２Ｎ　スイッチ
１０２Ｐ　スイッチ
１０５ａ　液晶素子
１０５ｂ　液晶素子
１５１Ｎ　スイッチ
１５２Ｎ　スイッチ
１９１１　信号線駆動回路
１９１２　走査線駆動回路
１９１３　画素部
１９１４　画素
２０１Ｎ　スイッチ
２０２Ｎ　スイッチ
２１１Ａ　配線
２５１Ｎ　スイッチ
２５２Ｎ　スイッチ

３０１Ｎ　スイッチ
３０２Ｎ　スイッチ
４０１Ｎ　スイッチ
４０２Ｎ　スイッチ
４５１Ｎ　スイッチ
４５２Ｎ　スイッチ
５０１Ｎ　スイッチ
５０２Ｎ　スイッチ
５５１Ｎ　スイッチ
５５２Ｎ　スイッチ
６０１Ｎ　スイッチ
６０２Ｎ　スイッチ
６５１Ｎ　スイッチ
６５２Ｎ　スイッチ
７０１Ｎ　スイッチ
７０２Ｎ　スイッチ
７５１Ｎ　スイッチ
７５２Ｎ　スイッチ
８０１Ｎ　スイッチ
８０２Ｎ　スイッチ
８５１Ｎ　スイッチ
８５２Ｎ　スイッチ
９０１Ｎ　スイッチ
９０２Ｎ　スイッチ
１０７３２０　ＦＰＣ
１０７３２１　ＩＣチップ
１７０１００　基板
１７０１０１　画素部
１７０１０２　画素
１７０１０３　走査線側入力端子
１７０１０４　信号線側入力端子
１７０１０５　走査線駆動回路
１７０１０６　信号線駆動回路
１７０２００　ＦＰＣ
１７０２０１　ＩＣチップ
１７０３００　基板
１７０３０１　画素部
１７０３０３　信号線駆動回路
１７０３１０　基板
１７０３２０　ＦＰＣ
１７０３２１　シール材
１７０４０１　ＩＣチップ
１７０３０２ａ　走査線駆動回路
１７０３０２ｂ　走査線駆動回路
１７０５０１ａ　ＩＣチップ
１７０５０１ｂ　ＩＣチップ
１８０１００　表示装置
１８０１０１　画素部
１８０１０２　画素
１８０１０３　信号線駆動回路

１８０１０４	走査線駆動回路
１８０７０１	画像
１８０７０２	画像
１８０７０３	画像
１８０７０４	画像
１８０７０５	画像
１８０７１１	画像
１８０７１２	画像
１８０７１３	画像
１８０７１４	画像
１８０７１５	画像
１８０７１６	画像
１８０７１７	画像
１８０７２１	画像
１８０７２２	画像
１８０７２３	画像
１８０７２４	画像
１８０７２５	画像
１８０８０１	画像
１８０８０２	画像
１８０８０３	画像
１８０８０４	領域
１８０８０５	領域
１８０８０６	領域
１８０８１１	画像
１８０８１２	画像
１８０８１３	画像
１８０８１４	領域
１８０８１５	領域
１８０８１６	領域
１８０８２１	画像
１８０８２２	画像
１８０８２３	画像
１８０８２４	領域
１８０８２５	領域
１８０８２６	領域
１８０８３１	画像
１８０８３２	画像
１８０８３３	画像
１８０８３４	領域
１８０８３５	領域
１８０８３６	領域
１８０８４１	領域
１８０８４２	点
１８０９０１	画像
１８０９０２	画像
１８０９０３	画像
１８０９０４	領域
１８０９０５	領域
１８０９０６	領域

１８０９０７　範囲
１８０９０８　範囲
１８０９０９　ベクトル
１８０９１０　変位ベクトル
１８０９１１　画像
１８０９１２　画像
１８０９１３　画像
１８０９１４　画像
１８０９１５　領域
１８０９１６　領域
１８０９１７　領域
１８０９１８　領域
１８０９１９　範囲
１８０９２０　範囲
１８０９２１　動きベクトル
１８０９２２　変位ベクトル
１８０９２３　変位ベクトル
１８１０００　外部画像信号
１８１００１　水平同期信号
１８１００２　垂直同期信号
１８１００３　画像信号
１８１００４　ソーススタートパルス
１８１００５　ソースクロック
１８１００６　ゲートスタートパルス
１８１００７　ゲートクロック
１８１００８　周波数制御信号
１８１０１１　制御回路
１８１０１２　ソースドライバ
１８１０１３　ゲートドライバ
１８１０１４　表示領域
１８１０１５　画像処理回路
１８１０１６　タイミング発生回路
１８１０２０　検出回路
１８１０２１　第１のメモリ
１８１０２２　第２のメモリ
１８１０２３　第３のメモリ
１８１０２３　画像信号
１８１０２４　輝度制御回路
１８１０２５　高速処理回路
１８１０２６　メモリ
２０１０１　バックライトユニット
２０１０２　拡散板
２０１０３　導光板
２０１０４　反射板
２０１０５　ランプリフレクタ
２０１０６　光源
２０１０７　液晶パネル
２０２０１　バックライトユニット
２０２０２　ランプリフレクタ
２０２０３　冷陰極管

２０２１１　バックライトユニット
２０２１２　ランプリフレクタ
２０２１３　発光ダイオード（ＬＥＤ）
２０２１３Ｗ　発光ダイオード
２０２２１　バックライトユニット
２０２２２　ランプリフレクタ
２０２２３　発光ダイオード（ＬＥＤ）
２０２２４　発光ダイオード（ＬＥＤ）
２０２２５　発光ダイオード（ＬＥＤ）
２０２３１　バックライトユニット
２０２３２　ランプリフレクタ
２０２３３　発光ダイオード（ＬＥＤ）
２０２３４　発光ダイオード（ＬＥＤ）
２０２３５　発光ダイオード（ＬＥＤ）
２０３００　偏光フィルム
２０３０１　保護フィルム
２０３０２　基板フィルム
２０３０３　ＰＶＡ偏光フィルム
２０３０４　基板フィルム
２０３０５　粘着剤層
２０３０６　離型フィルム
２０４０１　映像信号
２０４０２　制御回路
２０４０３　信号線駆動回路
２０４０４　走査線駆動回路
２０４０５　画素部
２０４０６　照明手段
２０４０７　電源
２０４０８　駆動回路部
２０４１０　走査線
２０４１２　信号線
２０４３１　シフトレジスタ
２０４３２　ラッチ
２０４３３　ラッチ
２０４３４　レベルシフタ
２０４３５　バッファ
２０４４１　シフトレジスタ
２０４４２　レベルシフタ
２０４４３　バッファ
２０５００　バックライトユニット
２０５０１　拡散板
２０５０２　遮光板
２０５０３　ランプリフレクタ
２０５０４　光源
２０５０５　液晶パネル
２０５１０　バックライトユニット
２０５１１　拡散板
２０５１２　遮光板
２０５１３　ランプリフレクタ
２０５１４　光源

２０５１５　液晶パネル
２０５１４ａ　光源（Ｒ）
２０５１４ｂ　光源（Ｇ）
２０５１４ｃ　光源（Ｂ）
４０１００　画素
４０１０１　トランジスタ
４０１０２　液晶素子
４０１０３　容量素子
４０１０４　配線
４０１０５　配線
４０１０６　配線
４０１０７　対向電極
４０１１０　画素
４０１１１　トランジスタ
４０１１２　液晶素子
４０１１３　容量素子
４０１１４　配線
４０１１５　配線
４０１１６　配線
４０２００　画素（画素
４０２００　画素
４０２０１　トランジスタ
４０２０２　液晶素子
４０２０３　容量素子
４０２０４　配線
４０２０５　配線
４０２０６　配線
４０２０７　対向電極
４０２１０　画素
４０２１１　トランジスタ
４０２１２　液晶素子
４０２１３　容量素子
４０２１４　配線
４０２１５　配線
４０２１６　配線
４０２１７　対向電極
４０３００　サブ画素
４０３０１　トランジスタ
４０３０２　液晶素子
４０３０３　容量素子
４０３０４　配線
４０３０５　配線
４０３０６　配線
４０３０７　対向電極
４０３１０　サブ画素
４０３１１　トランジスタ
４０３１２　液晶素子
４０３１３　容量素子
４０３１５　配線
４０３１６　配線

４０３１７　対向電極
４０３２０　画素
５０１００　液晶層
５０１０１　基板
５０１０２　基板
５０１０３　偏光板
５０１０４　偏光板
５０１０５　電極
５０１０６　電極
５０２００　液晶層
５０２０１　基板
５０２０２　基板
５０２０３　偏光板
５０２０４　偏光板
５０２０５　電極
５０２０６　電極
５０２１０　液晶層
５０２１１　基板
５０２１２　基板
５０２１３　偏光板
５０２１４　偏光板
５０２１５　電極
５０２１６　電極
５０３００　液晶層
５０３０１　基板
５０３０２　基板
５０３０３　偏光板
５０３０４　偏光板
５０３０５　電極
５０３０６　電極
５０３１０　液晶層
５０３１１　基板
５０３１２　基板
５０３１３　偏光板
５０３１４　偏光板
５０３１５　電極
５０３１６　電極
５０４００　液晶層
５０４０１　基板
５０４０２　基板
５０４０３　偏光板
５０４０４　偏光板
５０４０５　電極
５０４０６　電極
５０４１０　液晶層
５０４１１　基板
５０４１２　基板
５０４１３　偏光板
５０４１４　偏光板
５０４１５　電極

５０４１６　電極
５０４１７　絶縁膜
５０５０１　画素電極
５０５０３　突起物
５０６０１　画素電極
５０６０２　画素電極
５０６１１　画素電極
５０６１２　画素電極
５０６３１　画素電極
５０６３２　画素電極
５０６４１　画素電極
５０６４２　画素電極
５０７０１　画素電極
５０７０２　画素電極
５０７１１　画素電極
５０７１２　画素電極
５０７３１　画素電極
５０７３２　画素電極
５０７４１　画素電極
５０７４２　画素電極
５０２１１７　突起物
５０２１１８　突起物
１０１０１　基板
１０１０２　絶縁膜
１０１０３　導電層
１０１０４　絶縁膜
１０１０５　半導体層
１０１０６　半導体層
１０１０７　導電層
１０１０８　絶縁膜
１０１０９　導電層
１０１１０　配向膜
１０１１２　配向膜
１０１１３　導電層
１０１１４　遮光膜
１０１１５　カラーフィルタ
１０１１６　基板
１０１１７　スペーサ
１０１１８　液晶分子
１０２０１　基板
１０２０２　絶縁膜
１０２０３　導電層
１０２０４　絶縁膜
１０２０５　半導体層
１０２０６　半導体層
１０２０７　導電層
１０２０８　絶縁膜
１０２０９　導電層
１０２１０　配向膜
１０２１２　配向膜

１０２１３　導電層
１０２１４　遮光膜
１０２１５　カラーフィルタ
１０２１６　基板
１０２１７　スペーサ
１０２１８　液晶分子
１０２１９　配向制御用突起
１０２３１　基板
１０２３２　絶縁膜
１０２３３　導電層
１０２３４　絶縁膜
１０２３５　半導体層
１０２３６　半導体層
１０２３７　導電層
１０２３８　絶縁膜
１０２３９　導電層
１０２４０　配向膜
１０２４２　配向膜
１０２４３　導電層
１０２４４　遮光膜
１０２４５　カラーフィルタ
１０２４６　基板
１０２４７　スペーサ
１０２４８　液晶分子
１０２４９　部
１０３０１　基板
１０３０２　絶縁膜
１０３０３　導電層
１０３０４　絶縁膜
１０３０５　半導体層
１０３０６　半導体層
１０３０７　導電層
１０３０８　絶縁膜
１０３０９　導電層
１０３１０　配向膜
１０３１２　配向膜
１０３１４　遮光膜
１０３１５　カラーフィルタ
１０３１６　基板
１０３１７　スペーサ
１０３１８　液晶分子
１０３３１　基板
１０３３２　絶縁膜
１０３３３　導電層
１０３３４　絶縁膜
１０３３５　半導体層
１０３３６　半導体層
１０３３７　導電層
１０３３８　絶縁膜
１０３３９　導電層

１０３４０　配向膜
１０３４２　配向膜
１０３４３　導電層
１０３４４　遮光膜
１０３４５　カラーフィルタ
１０３４６　基板
１０３４７　スペーサ
１０３４８　液晶分子
１０３４９　絶縁膜
１０４０１　走査線
１０４０２　映像信号線
１０４０３　容量線
１０４０４　トランジスタ
１０４０５　画素電極
１０４０６　画素容量
１０５０１　走査線
１０５０２　映像信号線
１０５０３　容量線
１０５０４　トランジスタ
１０５０５　画素電極
１０５０６　画素容量
１０５０７　配向制御用突起
１０５１１　走査線
１０５１２　映像信号線
１０５１３　容量線
１０５１４　トランジスタ
１０５１５　画素電極
１０５１６　画素容量
１０５１７　部
１０６０１　走査線
１０６０２　映像信号線
１０６０３　共通電極
１０６０４　トランジスタ
１０６０５　画素電極
１０６１１　走査線
１０６１２　映像信号線
１０６１３　共通電極
１０６１４　トランジスタ
１０６１５　画素電極
１０６０１３　共通電極
７０１０１　基板
７０１０２　配向膜
７０１０３　ローラ
７０１０４　ラビング用ローラ
７０１０５　シール材
７０１０６　スペーサ
７０１０７　基板
７０１０８　配向膜
７０１０９　液晶
７０１１０　樹脂

７０１１３　液晶注入口
７０３０１　基板
７０３０２　配向膜
７０３０３　ローラ
７０３０４　ラビング用ローラ
７０３０５　シール材
７０３０６　スペーサ
７０３０７　基板
７０３０８　配向膜
７０３０９　液晶
８０３００　画素
８０３０１　スイッチング用トランジスタ
８０３０２　駆動用トランジスタ
８０３０３　容量素子
８０３０４　発光素子
８０３０５　信号線
８０３０６　走査線
８０３０７　電源線
８０３０８　共通電極
８０３０９　整流素子
８０４００　画素
８０４０１　スイッチング用トランジスタ
８０４０２　駆動用トランジスタ
８０４０３　容量素子
８０４０４　発光素子
８０４０５　信号線
８０４０６　走査線
８０４０７　電源線
８０４０８　共通電極
８０４０９　整流素子
８０４１０　走査線
８０５００　画素
８０５０１　スイッチング用トランジスタ
８０５０２　駆動用トランジスタ
８０５０３　容量素子
８０５０４　発光素子
８０５０５　信号線
８０５０６　走査線
８０５０７　電源線
８０５０８　共通電極
８０５０９　消去用トランジスタ
８０５１０　走査線
８０６００　駆動用トランジスタ
８０６０１　スイッチ
８０６０２　スイッチ
８０６０３　スイッチ
８０６０４　容量素子
８０６０５　容量素子
８０６１１　信号線
８０６１２　電源線

８０６１３　走査線
８０６１４　走査線
８０６２０　発光素子
８０６２１　共通電極
８０７００　駆動用トランジスタ
８０７０１　スイッチ
８０７０２　スイッチ
８０７０３　スイッチ
８０７０４　容量素子
８０７１１　信号線
８０７１２　電源線
８０７１３　走査線
８０７１４　走査線
８０７３０　発光素子
８０７３１　共通電極
８０７３４　走査線
７０１０１　基板
７０１０２　配向膜
７０１０３　ローラ
７０１０４　ラビング用ローラ
７０１０５　シール材
７０１０６　スペーサ
７０１０７　基板
７０１０８　配向膜
７０１０９　液晶
７０１１０　樹脂
７０１１３　液晶注入口
７０３０１　基板
７０３０２　配向膜
７０３０３　ローラ
７０３０４　ラビング用ローラ
７０３０５　シール材
７０３０６　スペーサ
７０３０７　基板
７０３０８　配向膜
７０３０９　液晶
８０３００　画素
８０３０１　スイッチング用トランジスタ
８０３０２　駆動用トランジスタ
８０３０３　容量素子
８０３０４　発光素子
８０３０５　信号線
８０３０６　走査線
８０３０７　電源線
８０３０８　共通電極
８０３０９　整流素子
８０４００　画素
８０４０１　スイッチング用トランジスタ
８０４０２　駆動用トランジスタ
８０４０３　容量素子

８０４０４　発光素子
８０４０５　信号線
８０４０６　走査線
８０４０７　電源線
８０４０８　共通電極
８０４０９　整流素子
８０４１０　走査線
８０５００　画素
８０５０１　スイッチング用トランジスタ
８０５０２　駆動用トランジスタ
８０５０３　容量素子
８０５０４　発光素子
８０５０５　信号線
８０５０６　走査線
８０５０７　電源線
８０５０８　共通電極
８０５０９　消去用トランジスタ
８０５１０　走査線
８０６００　駆動用トランジスタ
８０６０１　スイッチ
８０６０２　スイッチ
８０６０３　スイッチ
８０６０４　容量素子
８０６０５　容量素子
８０６１１　信号線
８０６１２　電源線
８０６１３　走査線
８０６１４　走査線
８０６２０　発光素子
８０６２１　共通電極
８０７００　駆動用トランジスタ
８０７０１　スイッチ
８０７０２　スイッチ
８０７０３　スイッチ
８０７０４　容量素子
８０７１１　信号線
８０７１２　電源線
８０７１３　走査線
８０７１４　走査線
８０７３０　発光素子
８０７３１　共通電極
８０７３４　走査線
６０１０５　トランジスタ
６０１０６　配線
６０１０７　配線
６０１０８　トランジスタ
６０１１１　配線
６０１１２　対向電極
６０１１３　コンデンサ
６０１１５　画素電極

６０１１６　隔壁
６０１１７　有機導電体膜
６０１１８　有機薄膜
６０１１９　基板
６０２００　基板
６０２０１　配線
６０２０２　配線
６０２０３　配線
６０２０４　配線
６０２０５　トランジスタ
６０２０６　トランジスタ
６０２０７　トランジスタ
６０２０８　画素電極
６０２１１　隔壁
６０２１２　有機導電体膜
６０２１３　有機薄膜
６０２１４　対向電極
６０３００　基板
６０３０１　配線
６０３０２　配線
６０３０３　配線
６０３０４　配線
６０３０５　トランジスタ
６０３０６　トランジスタ
６０３０７　トランジスタ
６０３０８　トランジスタ
６０３０９　画素電極
６０３１１　配線
６０３１２　配線
６０３２１　隔壁
６０３２２　有機導電体膜
６０３２３　有機薄膜
６０３２４　対向電極
１９０１０１　陽極
１９０１０２　陰極
１９０１０３　正孔輸送領域
１９０１０４　電子輸送領域
１９０１０５　混合領域
１９０１０６　領域
１９０１０７　領域
１９０１０８　領域
１９０１０９　領域
１９０２６０　搬送室
１９０２６１　搬送室
１９０２６２　ロード室
１９０２６３　アンロード室
１９０２６４　中間処理室
１９０２６５　封止処理室
１９０２６６　搬送手段
１９０２６７　搬送手段

１９０２６８　加熱処理室
１９０２６９　成膜処理室
１９０２７０　成膜処理室
１９０２７１　成膜室
１９０２７２　プラズマ処理室
１９０２７３　成膜処理室
１９０２７４　成膜処理室
１９０２７６　成膜処理室
１９０３８０　蒸発源ホルダ
１９０３８１　蒸発源
１９０３８２　距離センサー
１９０３８３　多関節アーム
１９０３８４　材料供給管
１９０３８６　基板ステージ
１９０３８７　基板チャック
１９０３８８　マスクチャック
１９０３８９　基板
１９０３９０　シャドーマスク
１９０３９１　天板
１９０３９２　底板
１９０２７７ａ　ゲートバルブ
１９０３８１ａ　蒸発源
１９０３８１ｂ　蒸発源
１９０３８１ｃ　蒸発源
１９０３８５ａ　材料供給源
１９０３８５ｂ　材料供給源
１９０３８５ｃ　材料供給源
１２０１００　電極層
１２０１０２　電界発光層
１２０１０３　電極層
１２０１０４　絶縁膜
１２０１０５　絶縁膜
１２０１０６　絶縁膜
１２０２００　電極層
１２０２０１　発光材料
１２０２０２　電界発光層
１２０２０３　電極層
１２０２０４　絶縁膜
１２０２０５　絶縁膜
１２０２０６　絶縁膜
１３０１００　背面投影型表示装置
１３０１０１　スクリーンパネル
１３０１０２　スピーカ
１３０１０４　操作スイッチ類
１３０１１０　筐体
１３０１１１　プロジェクタユニット
１３０１１２　ミラー
１３０２００　前面投影型表示装置
１３０２０１　投射光学系
１３０３０１　光源ユニット

１３０３０２　光源ランプ
１３０３０３　光源光学系
１３０３０４　変調ユニット
１３０３０５　ダイクロイックミラー
１３０３０６　全反射ミラー
１３０３０８　表示パネル
１３０３０９　プリズム
１３０３１０　投射光学系
１３０４００　変調ユニット
１３０４０１　ダイクロイックミラー
１３０４０２　ダイクロイックミラー
１３０４０３　全反射ミラー
１３０４０４　偏光ビームスプリッタ
１３０４０５　偏光ビームスプリッタ
１３０４０６　偏光ビームスプリッタ
１３０４０７　反射型表示パネル
１３０４１１　投射光学系
１３０５０１　ダイクロイックミラー
１３０５０２　ダイクロイックミラー
１３０５０３　赤色光用ダイクロイックミラー
１３０５０４　位相差板
１３０５０５　カラーフィルター板
１３０５０６　マイクロレンズアレイ
１３０５０７　表示パネル
１３０５０８　表示パネル
１３０５０９　表示パネル
１３０５１１　投射光学系
９００１０１　表示パネル
９００１０２　画素部
９００１０３　走査線駆動回路
９００１０４　信号線駆動回路
９００１１１　回路基板
９００１１２　コントロール回路
９００１１３　信号分割回路
９００１１４　接続配線
９００２０１　チューナ
９００２０２　映像信号増幅回路
９００２０３　映像信号処理回路
９００２０５　音声信号増幅回路
９００２０６　音声信号処理回路
９００２０７　スピーカ
９００２０８　制御回路
９００２０９　入力部
９００２１２　コントロール回路
９００２１３　信号分割回路
９００３０１　筐体
９００３０２　表示画面
９００３０３　スピーカ
９００３０４　操作スイッチ
９００３０５　入力手段

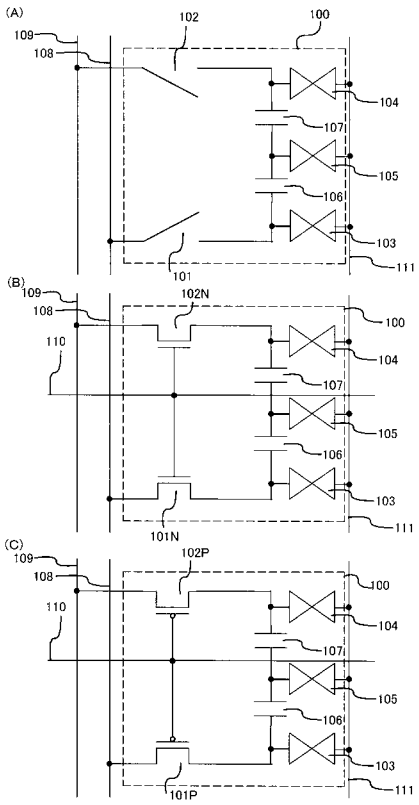
９００３０６　センサ
９００３０７　マイクロフォン
９００３１０　充電器
９００３１２　筐体
９００３１３　表示部
９００３１６　操作キー
９００３１７　スピーカ部
９００３１８　入力手段
９００３１９　）
９００３２０　マクロフォン
９００４０１　表示パネル
９００４０２　プリント配線基板
９００４０３　画素部
９００４０４　走査線駆動回路
９００４０５　走査線駆動回路
９００４０６　信号線駆動回路
９００４０７　コントローラ
９００４０８　中央処理装置（ＣＰＵ）
９００４０９　メモリ
９００４１０　電源回路
９００４１１　音声処理回路
９００４１２　送受信回路
９００４１３　フレキシブル配線基板（ＦＰＣ）
９００４１４　インターフェース（Ｉ／Ｆ）部
９００４１５　アンテナ用ポート
９００４１６　ＶＲＡＭ
９００４１７　ＤＲＡＭ
９００４１８　フラッシュメモリ
９００４１９　インターフェース（Ｉ／Ｆ）部
９００４２０　制御信号生成回路
９００４２１　デコーダ
９００４２１　一方デコーダ
９００４２２　レジスタ
９００４２３　演算回路
９００４２４　ＲＡＭ
９００４２５　入力手段
９００４２６　マイク
９００４２７　スピーカ
９００４２８　アンテナ
９００５０１　表示パネル
９００５１３　ＦＰＣ
９００５３０　ハウジング
９００５３１　プリント基板
９００５３２　スピーカ
９００５３３　マイクロフォン
９００５３４　送受信回路
９００５３５　信号処理回路
９００５３６　入力手段
９００５３７　バッテリー
９００５３９　筐体

９００５４１　センサ
９００６００　携帯電話機
９００６０１　本体（Ａ）
９００６０２　本体（Ｂ）
９００６０３　筐体
９００６０４　操作スイッチ類
９００６０５　マイクロフォン
９００６０６　スピーカ
９００６０７　回路基板
９００６０８　表示パネル（Ａ）
９００６０９　表示パネル（Ｂ）
９００６１０　蝶番
９００６１１　センサ
９００６１２　入力手段
９００７１１　筐体
９００７１２　支持台
９００７１３　表示部
９００７１４　入力手段
９００７１５　）
９００７１６　マイクロフォン
９００７１７　スピーカ
９００７１８　操作キー
９００７１９　ＬＥＤランプ
９００７３１　本体
９００７３２　表示部
９００７３３　受像部
９００７３４　操作キー
９００７３５　外部接続ポート
９００７３６　シャッター
９００７３７　入力手段
９００７３８　センサ
９００７３９　マイクロフォン
９００７４０　スピーカ
９００７４１　ＬＥＤランプ
９００７５１　本体
９００７５２　筐体
９００７５３　表示部
９００７５４　キーボード
９００７５５　外部接続ポート
９００７５６　ポインティングデバイス
９００７５７　入力手段
９００７５８　）
９００７５９　マイクロフォン
９００７６０　スピーカ
９００７６１　ＬＥＤランプ
９００７６２　リーダ／ライタ
９００８１０　筐体
９００８１１　表示部
９００８１２　リモコン装置
９００８１３　スピーカ部

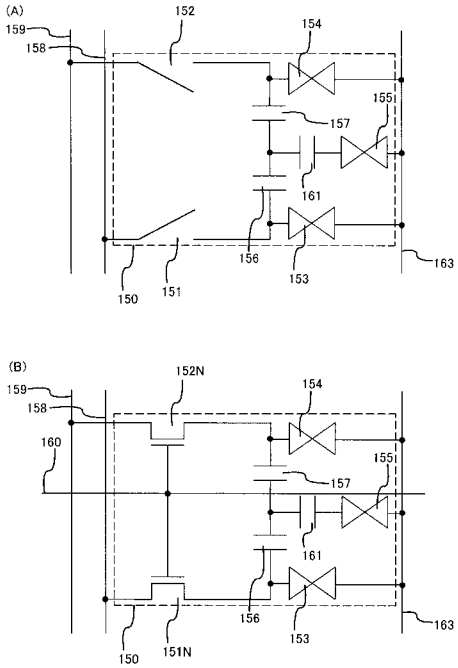
９００９０１　表示パネル
９００９０２　ユニットバス
９０１００１　柱状体
９０１００２　表示パネル
９０１１０１　車体
９０１１０２　表示パネル
９０１２０１　ドア
９０１２０２　表示パネル
９０１２０３　ガラス窓
９０１２０４　天井
９０１３０１　天井
９０１３０２　表示パネル
９０１３０３　ヒンジ部
９０１４１１　本体
９０１４１２　表示部
９０１４１３　スイッチ
９０１４１４　操作キー
９０１４１５　赤外線ポート
９０１４１６　入力手段
９０１４１７　）
９０１４１８　マイクロフォン
９０１４１９　スピーカ
９０１４２０　ＬＥＤランプ
９０１４３１　本体
９０１４３２　筐体
９０１４３３　表示部Ａ
９０１４３４　表示部Ｂ
９０１４３５　部
９０１４３６　操作キー
９０１４３７　スピーカ部
９０１４３８　入力手段
９０１４３９　）
９０１４４０　マイクロフォン
９０１４４１　ＬＥＤランプ
９０１４５１　本体
９０１４５２　表示部
９０１４５３　イヤホン
９０１４５４　支持部
９０１４５５　入力手段
９０１４５６　）
９０１４５７　マイクロフォン
９０１４５８　スピーカ
９０１５１１　筐体
９０１５１２　表示部
９０１５１３　スピーカ部
９０１５１４　操作キー
９０１５１５　記憶媒体挿入部
９０１５１６　入力手段
９０１５１７　）
９０１５１８　マイクロフォン

９０１５１９　ＬＥＤランプ
９０１５３１　本体
９０１５３２　表示部
９０１５３３　操作キー
９０１５３４　スピーカ
９０１５３５　シャッター
９０１５３６　受像部
９０１５３７　アンテナ
９０１５３８　入力手段
９０１５３９　センサ
９０１５４０　マイクロフォン
９０１５４１　ＬＥＤランプ
９０１６１１　筐体
９０１６１２　表示部
９０１６１３　表示部
９０１６１４　スピーカ部
９０１６１５　操作キー
９０１６１６　記録媒体挿入部
９０１６１７　入力手段
９０１６１８　）
９０１６１９　マイクロフォン
９０１６２０　ＬＥＤランプ

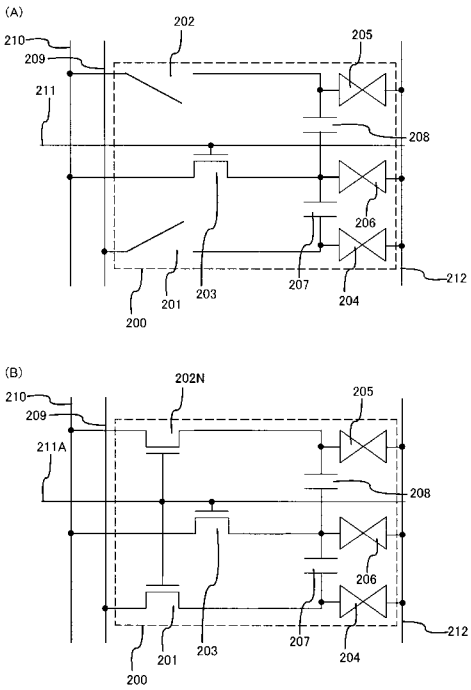
【図１】



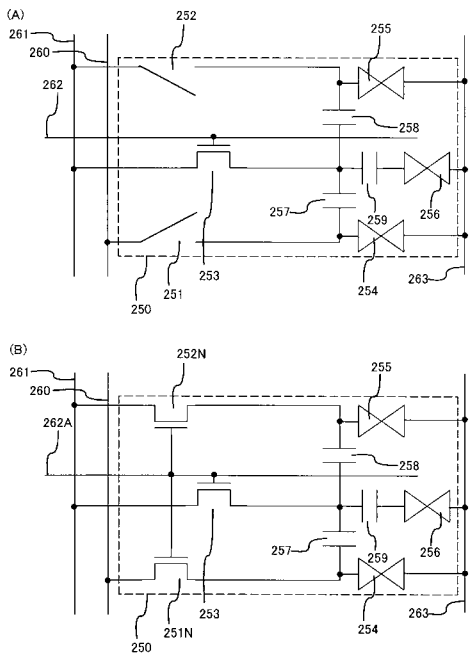
【図２】



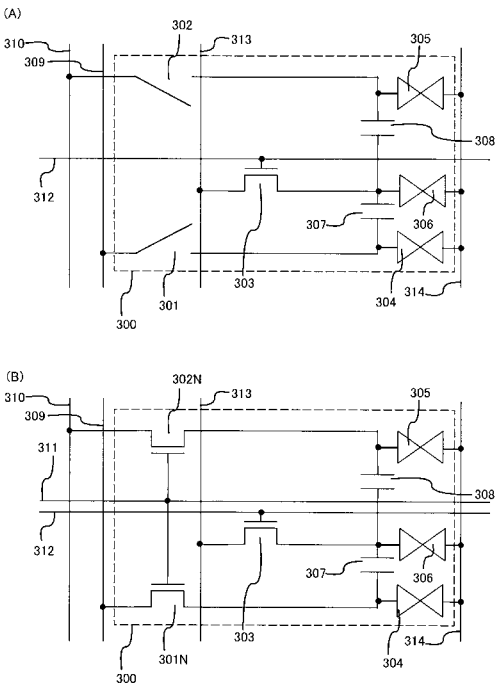
【図３】


(A)
210
209
211
202
205
208
206
212
200
201
203
207
204
(B)
210
209
211A
202N
205
208
206
212
200
201
203
207
204

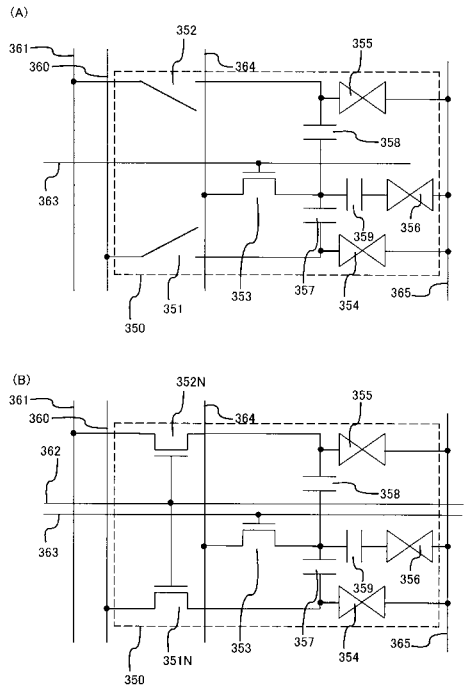
【図４】


(A)
261
260
262
252
255
258
257
259
256
253
254
263
250
251
(B)
261
260
262A
252N
255
258
257
259
256
253
254
263
250
251N

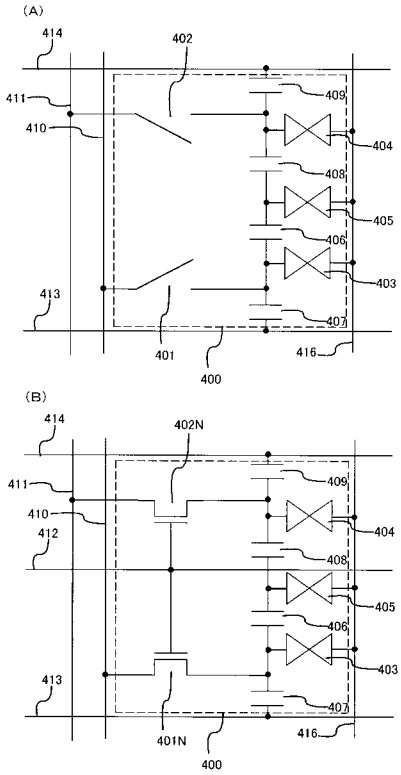
【図５】


(A)
310
309
312
302
313
305
308
307
306
303
304
314
300
301
(B)
310
309
311
312
302N
313
305
308
307
306
303
304
314
300
301N

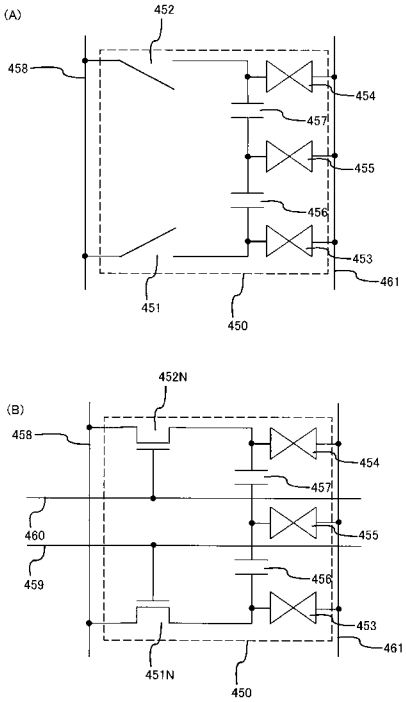
【図６】


(A)
361
360
363
352
364
355
358
356
359
357
354
365
350
351
353
(B)
361
360
362
363
352N
364
355
358
356
359
357
354
365
350
351N
353

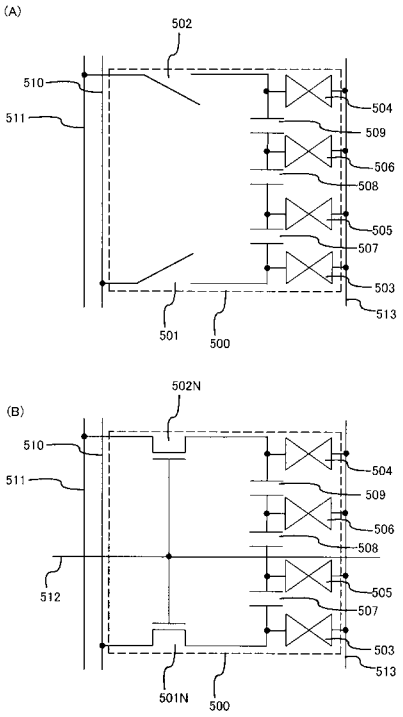
【図７】


(A)
414
402
411
410
409
404
408
405
406
403
413
407
401
400
416
(B)
414
402N
411
410
412
409
404
408
405
406
403
413
407
401N
400
416

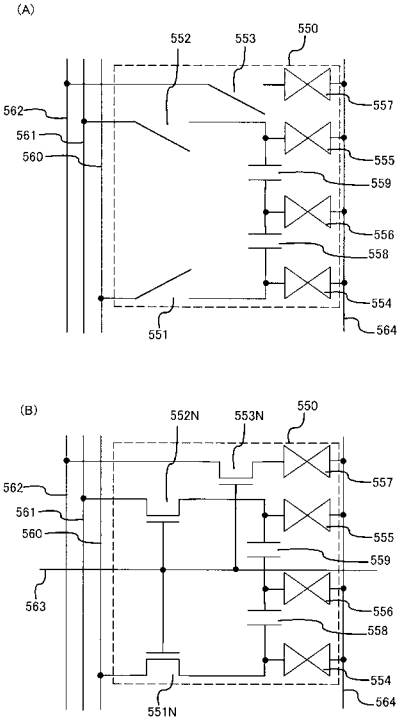
【図８】


(A)
452
458
454
457
455
456
453
461
451
450
(B)
452N
458
454
457
460
455
459
456
453
461
451N
450

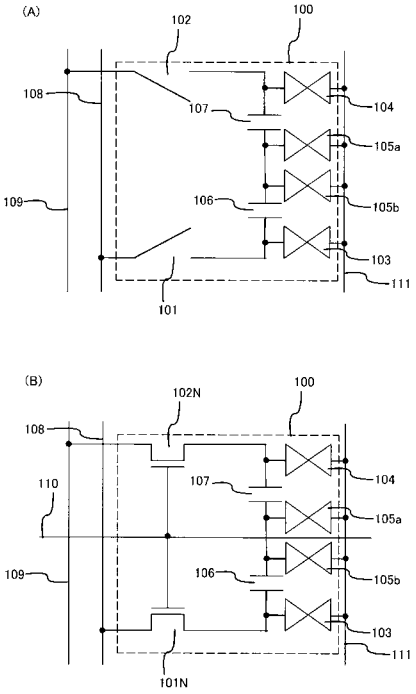
【図９】


(A)
502
510
511
504
509
506
508
505
507
503
513
501
500
(B)
502N
510
511
504
509
506
508
512
505
507
503
513
501N
500

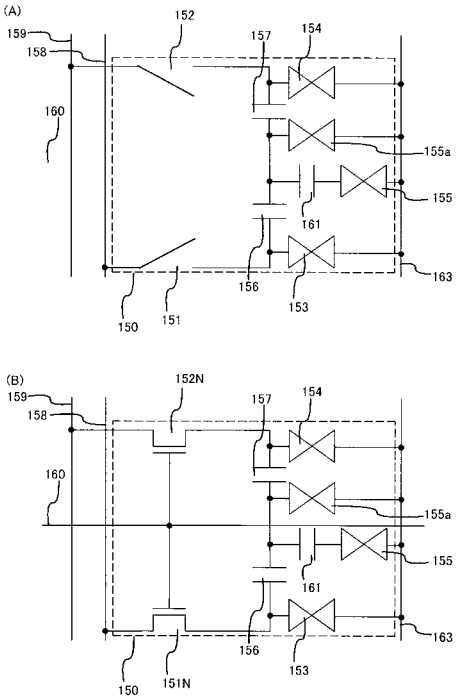
【図１０】


(A)
552
553
550
562
561
560
557
555
559
556
558
554
564
551
(B)
552N
553N
550
562
561
560
557
555
559
563
556
558
554
564
551N

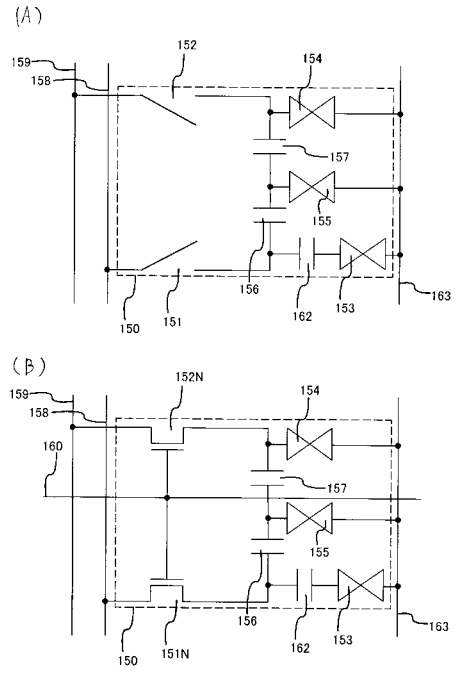
【図１１】



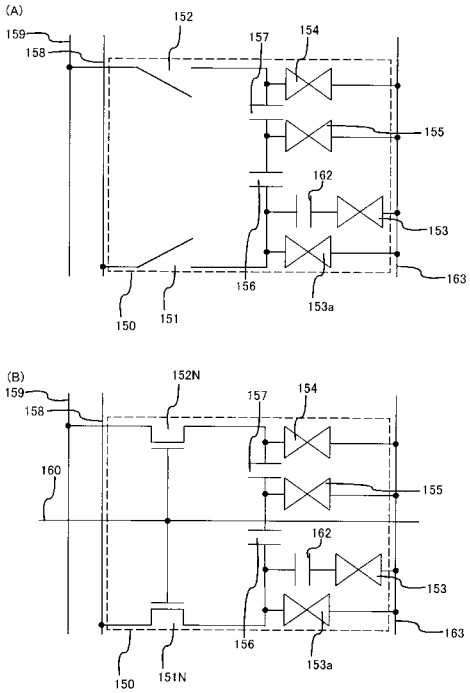
【図１２】



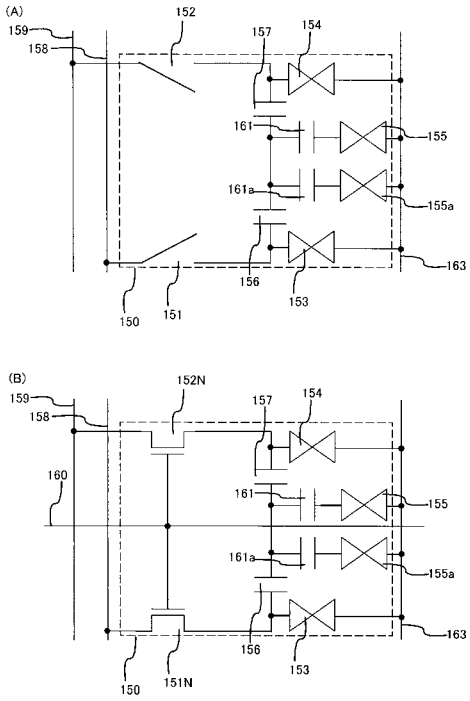
【図１３】



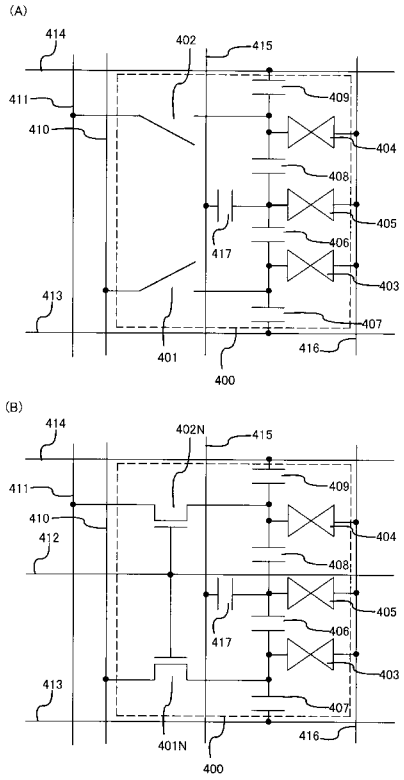
【図１４】



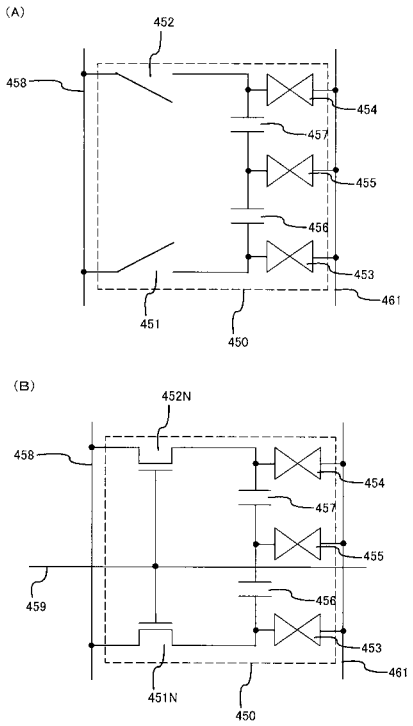
【図１５】



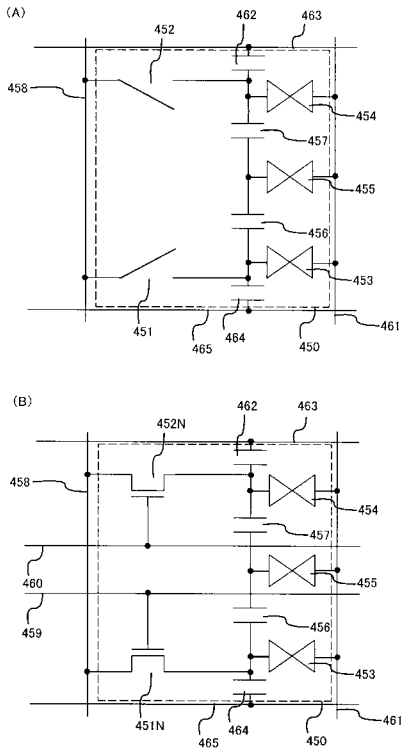
【図１６】



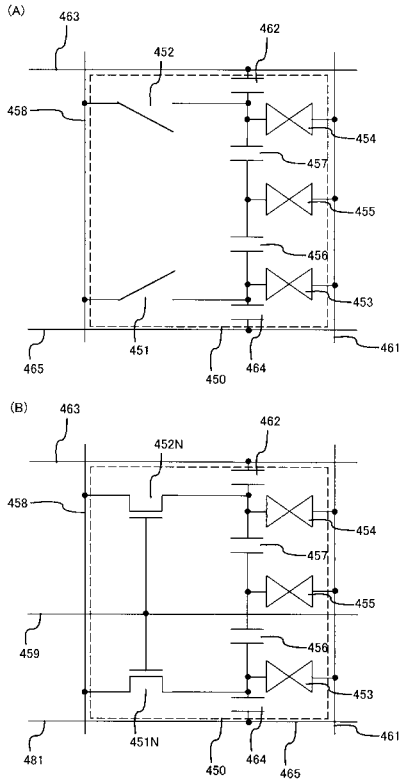
【図１７】



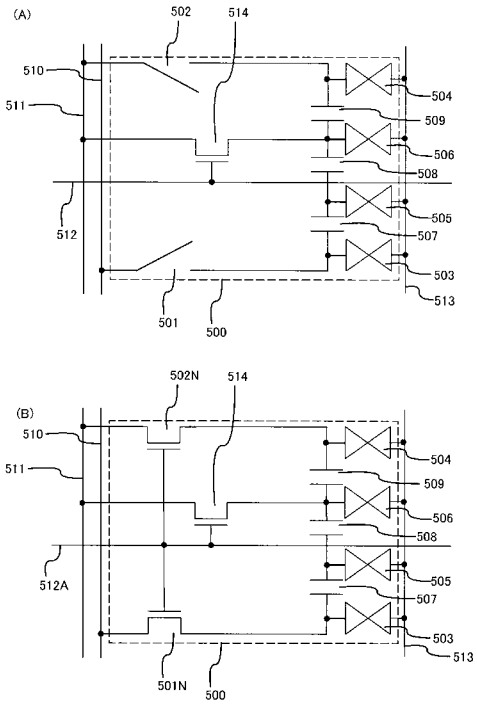
【図１８】



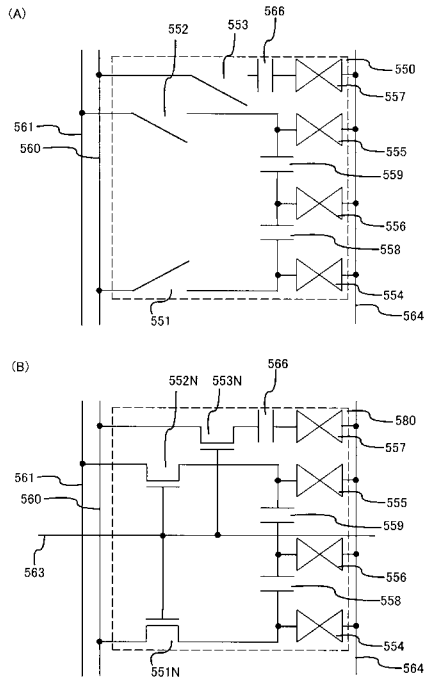
【図１９】



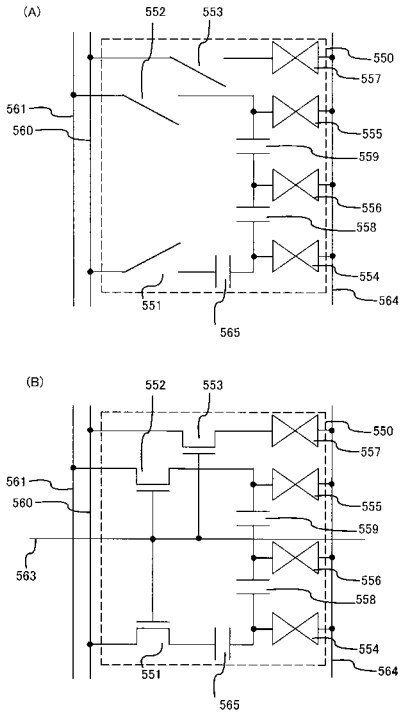
【図２０】



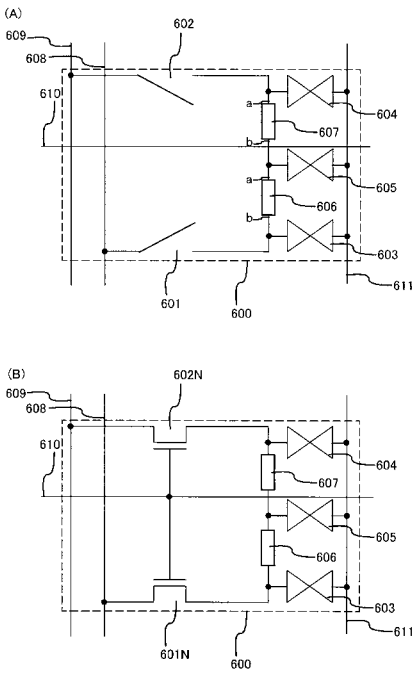
【図２１】



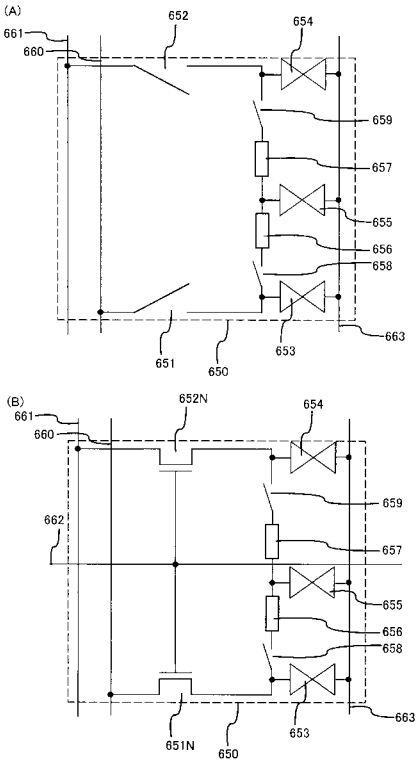
【図２２】



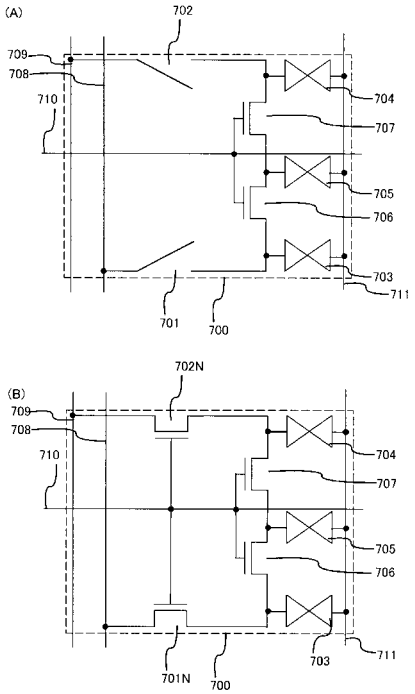
【図２３】



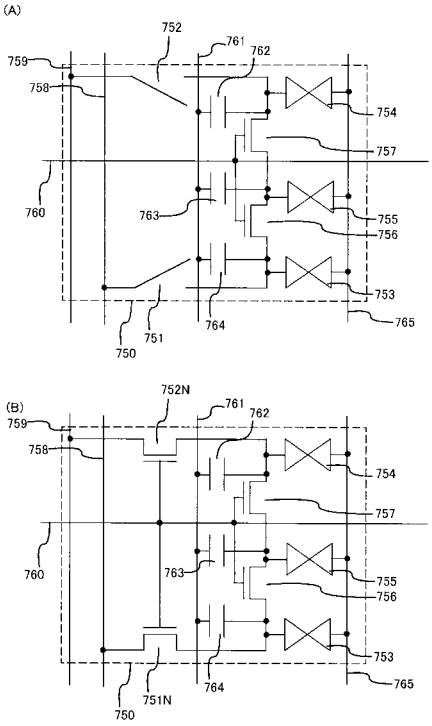
【図２４】



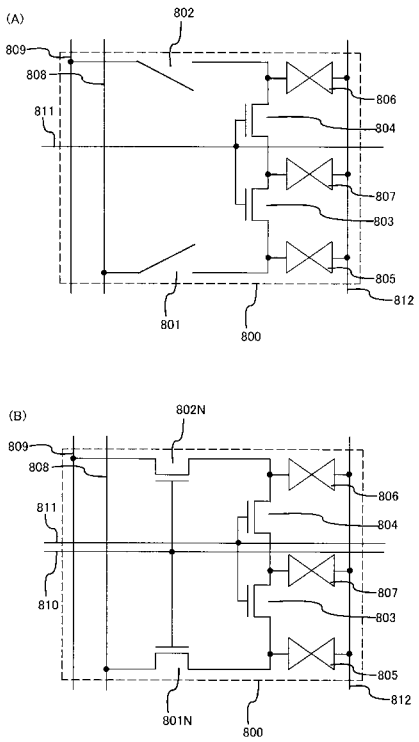
【図２５】



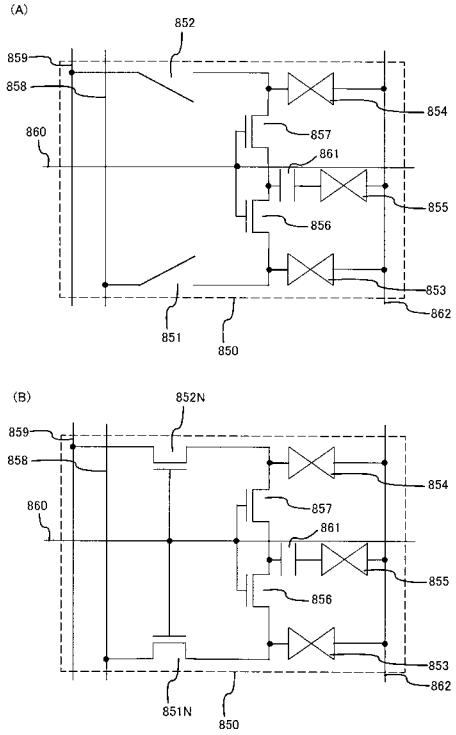
【図２６】



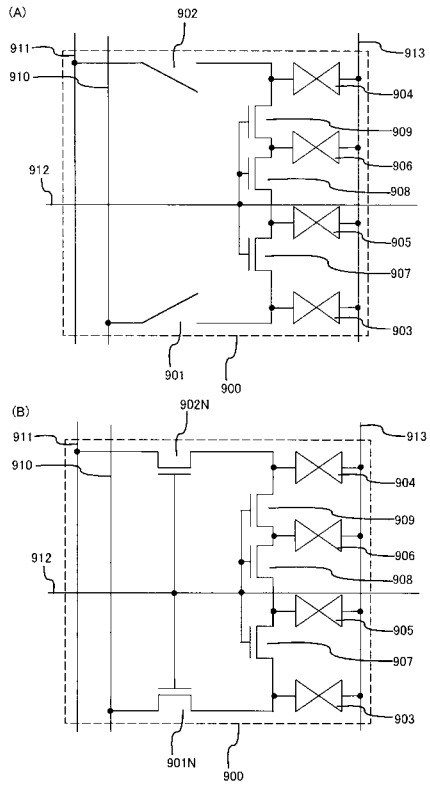
【図２７】



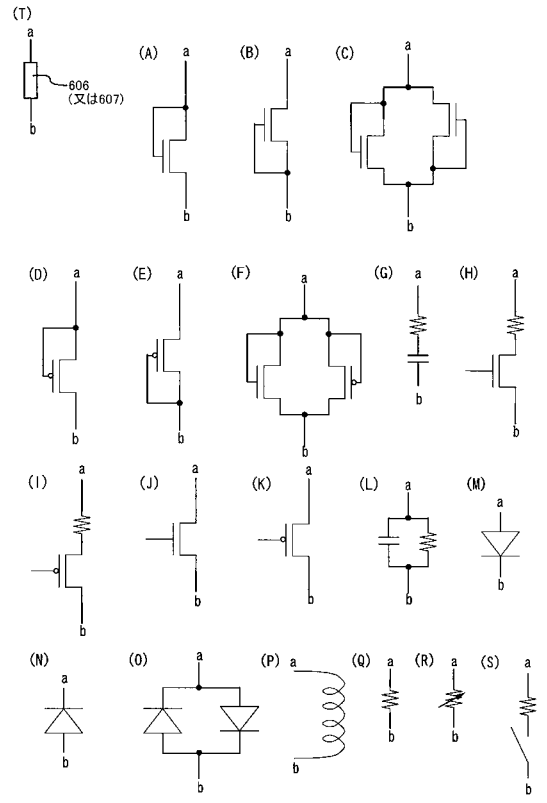
【図２８】



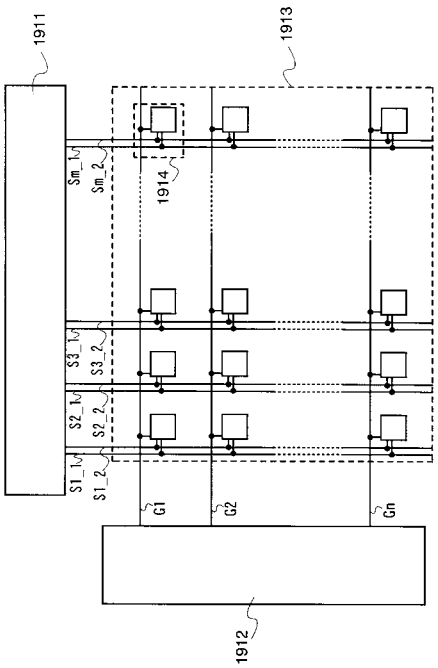
【図２９】



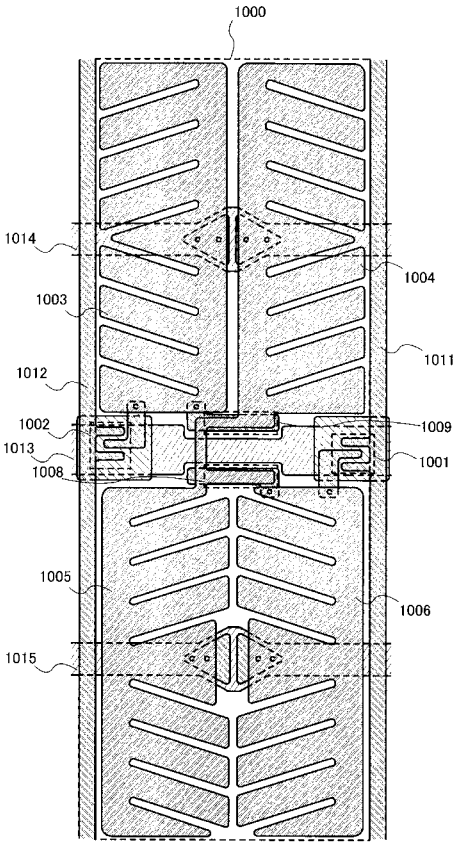
【図３０】



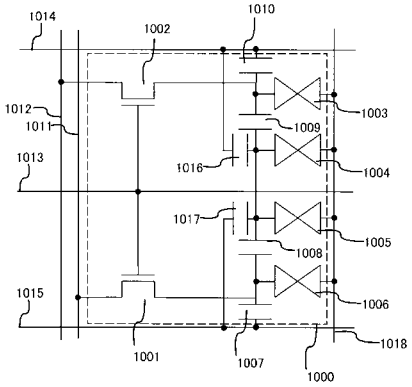
【図３１】



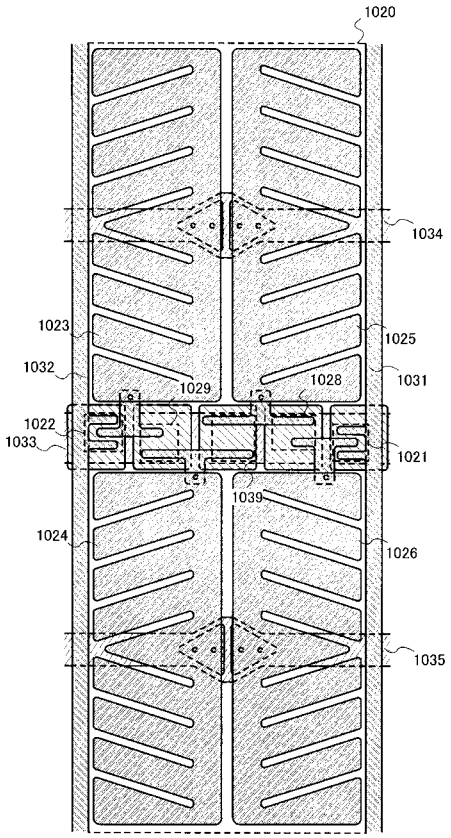
【図３２】



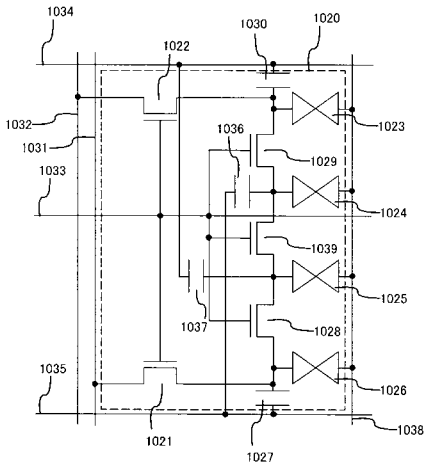
【図３３】



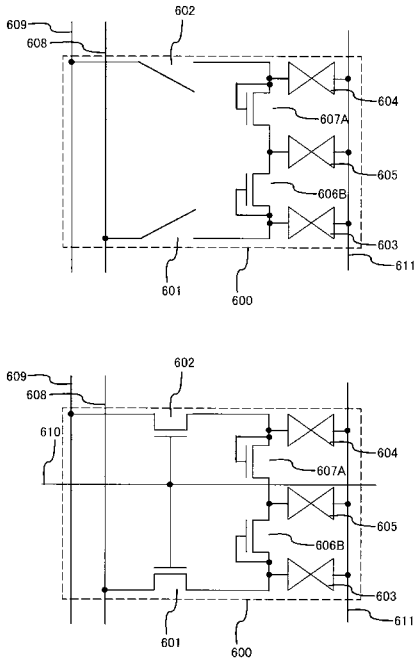
【図３４】



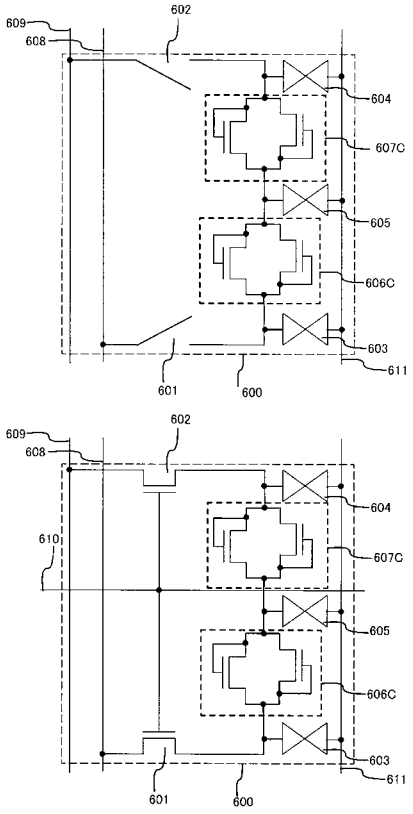
【図３５】



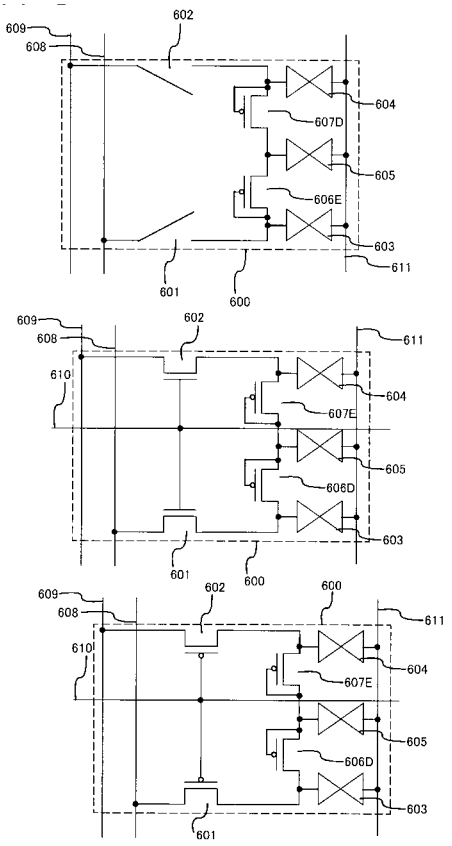
【図３６】



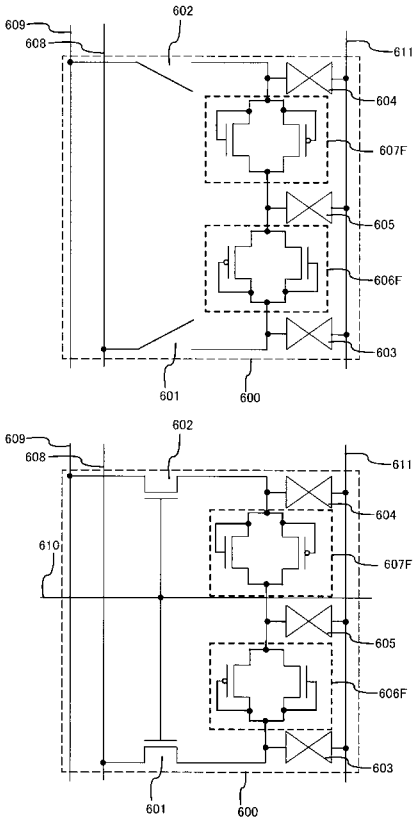
【図３７】



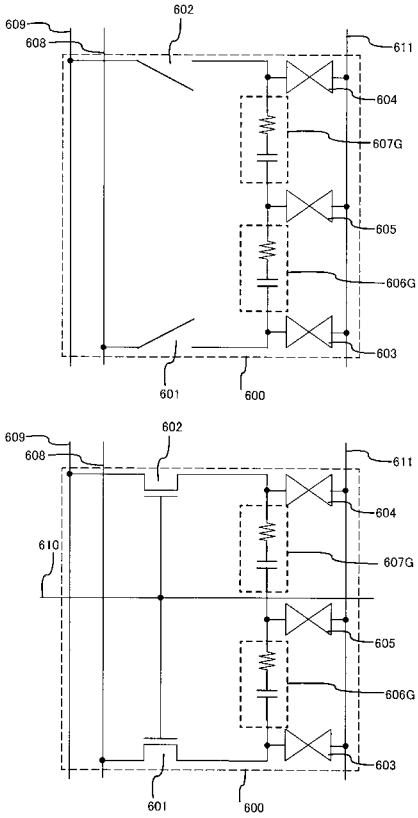
【図３８】



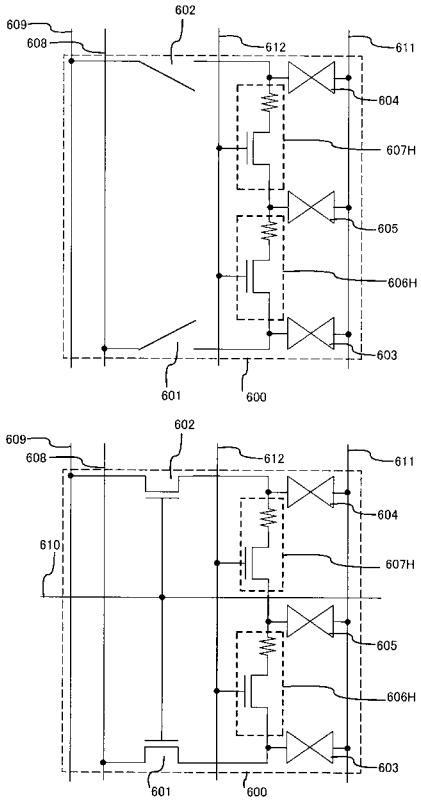
【図３９】



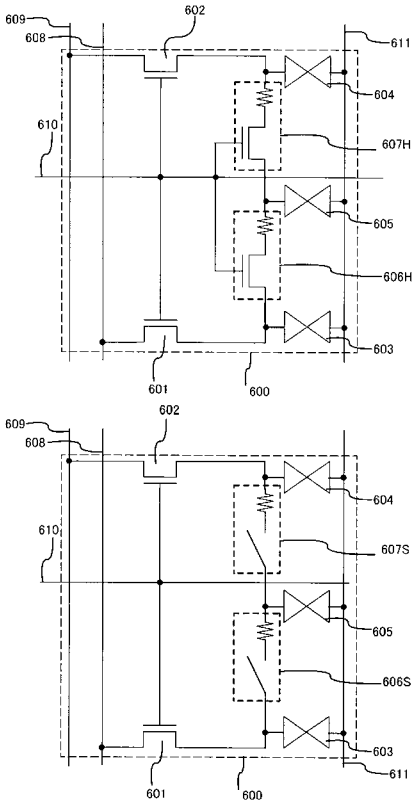
【図４０】



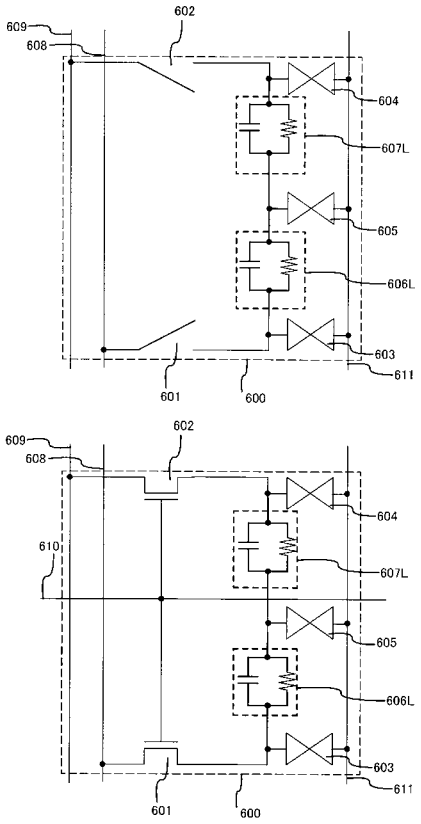
【図４１】



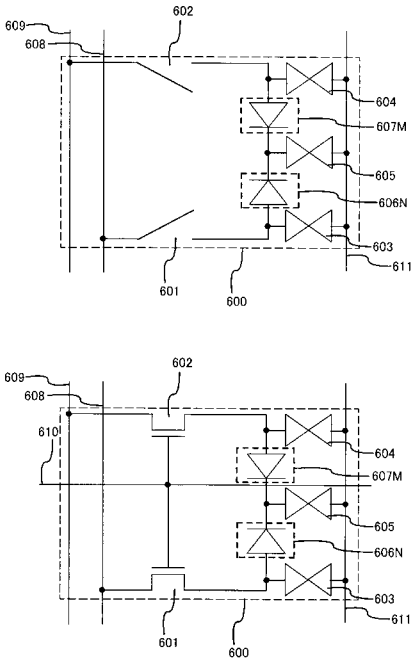
【図４２】



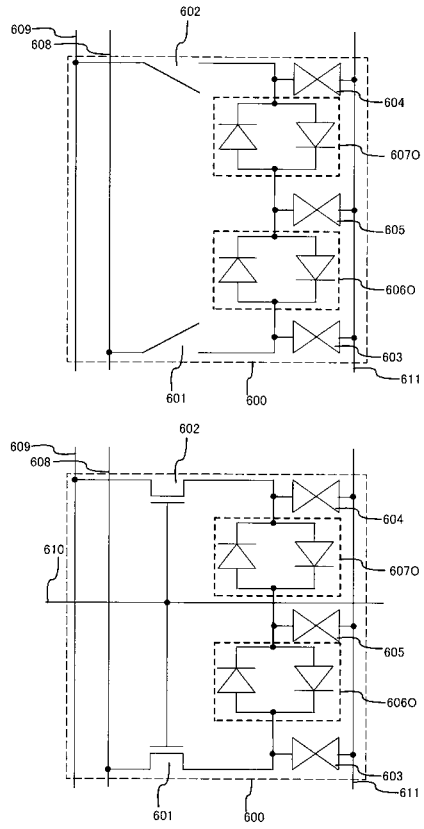
【図４３】



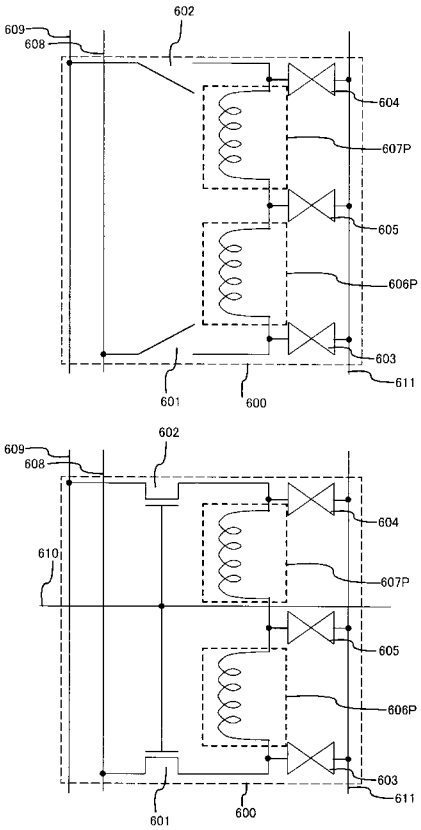
【図４４】



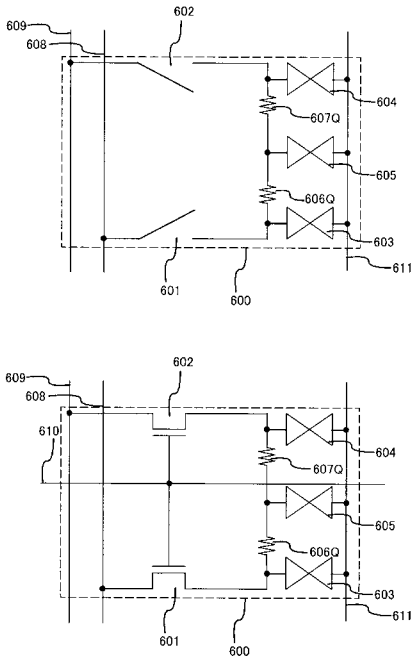
【図４５】



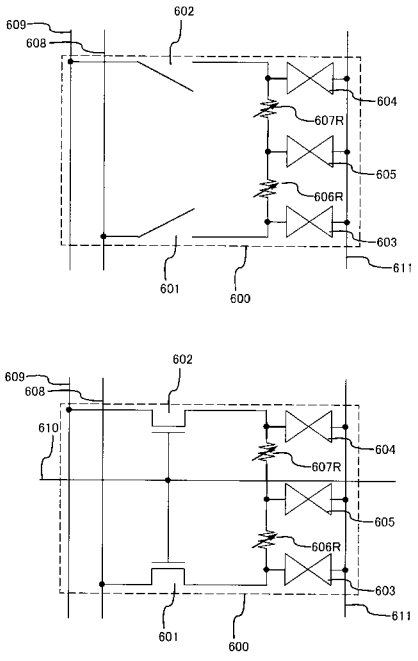
【図４６】



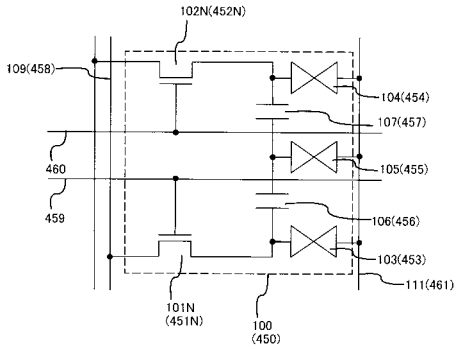
【図４７】



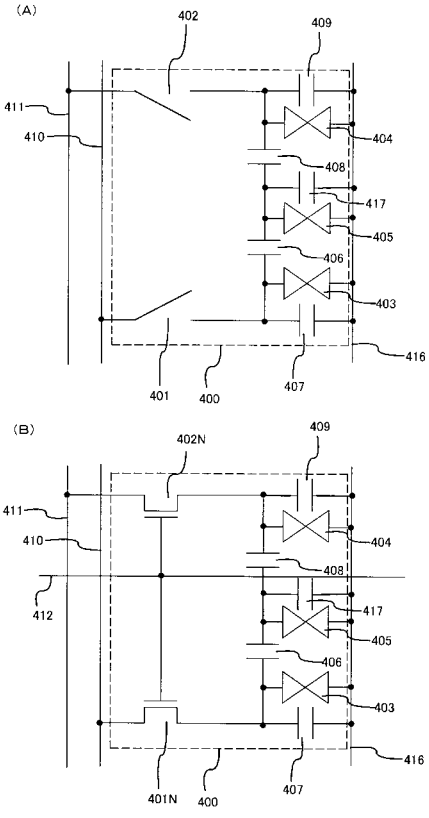
【図４８】



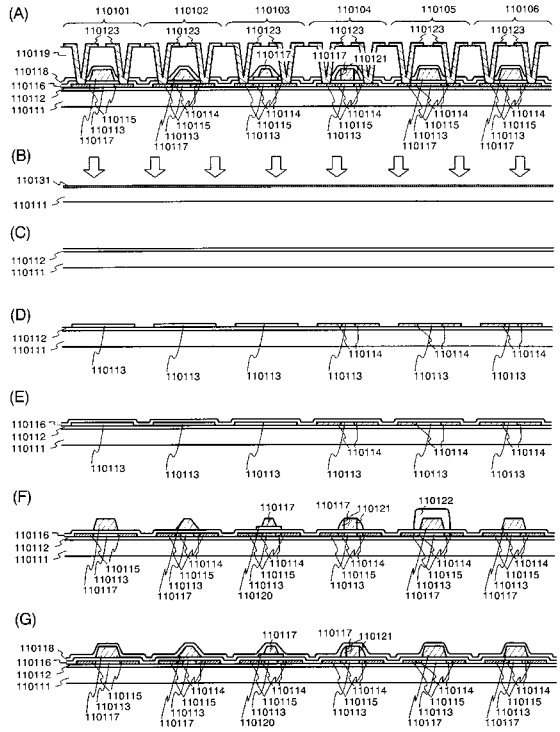
【図４９】



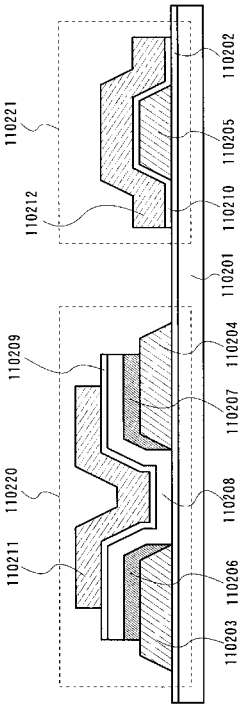
【図５０】



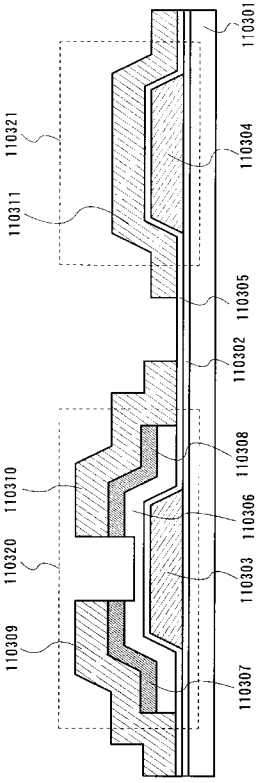
【図５１】



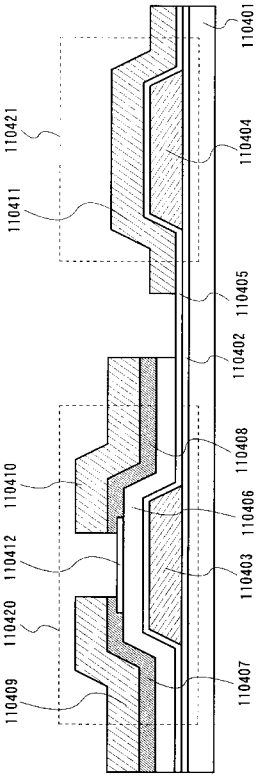
【図５２】



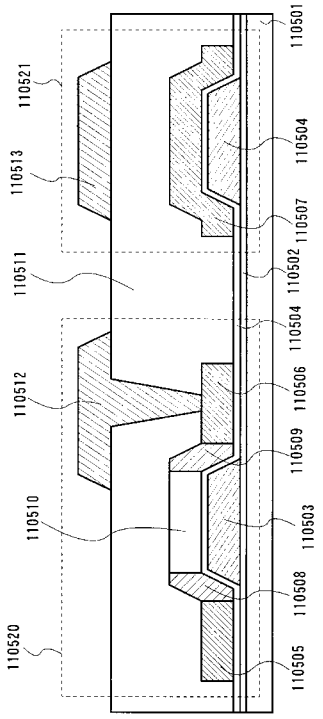
【図５３】



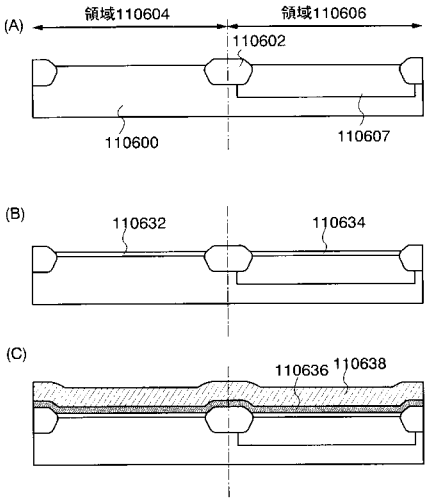
【図５４】



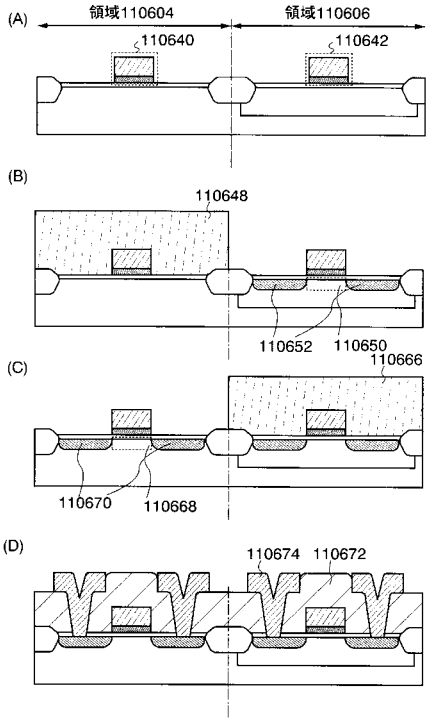
【図５５】



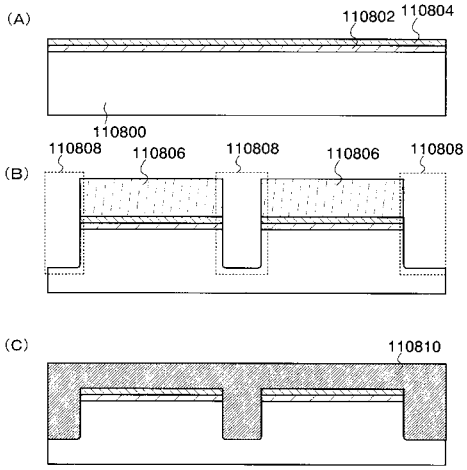
【図５６】



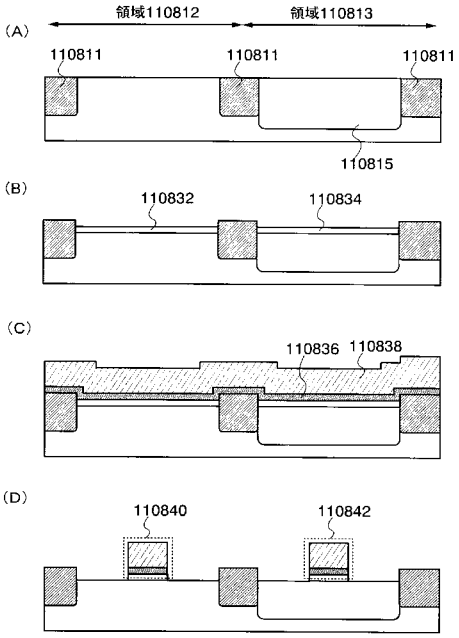
【図５７】



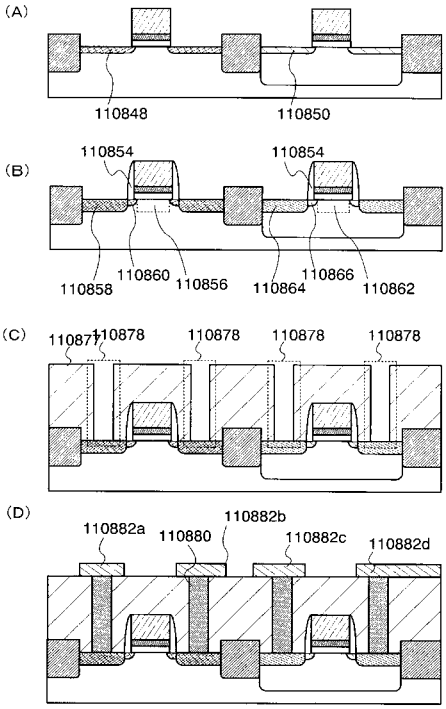
【図５８】



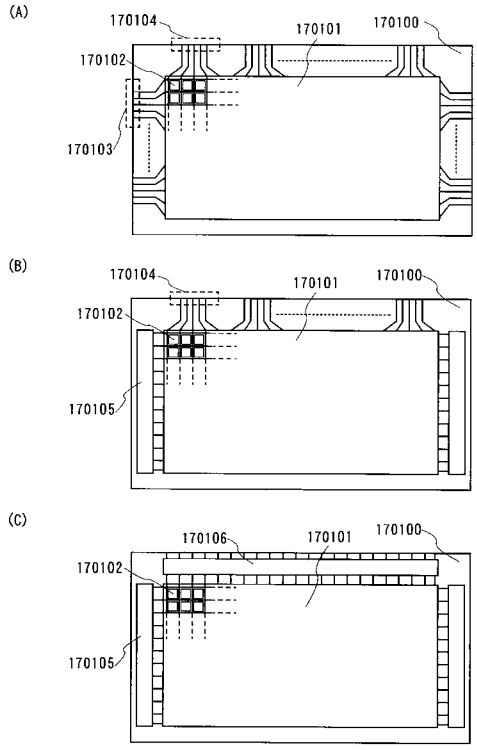
【図５９】



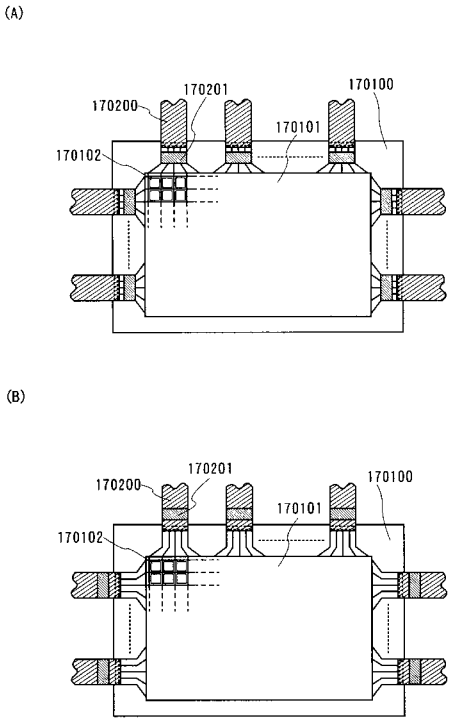
【図６０】



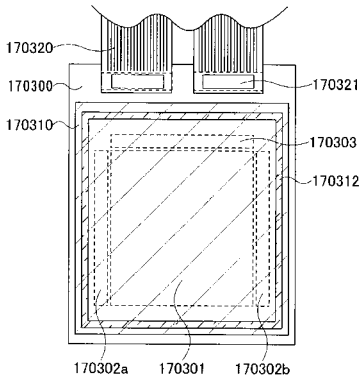
【図６１】



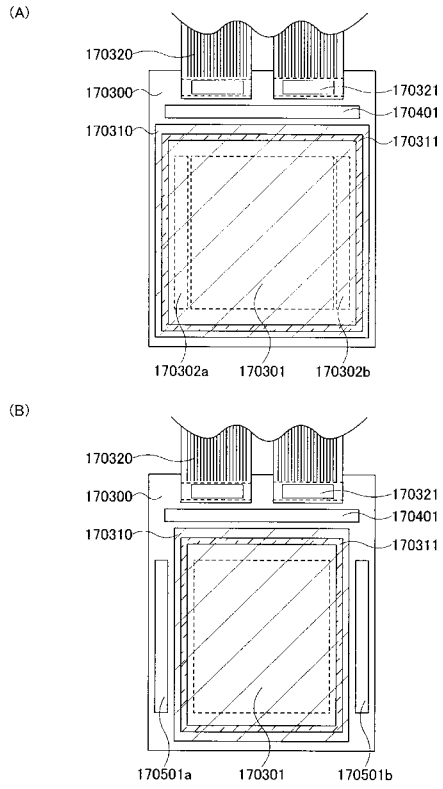
【図６２】



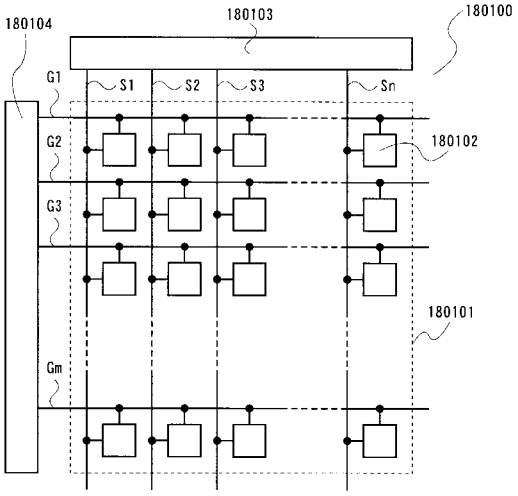
【図６３】



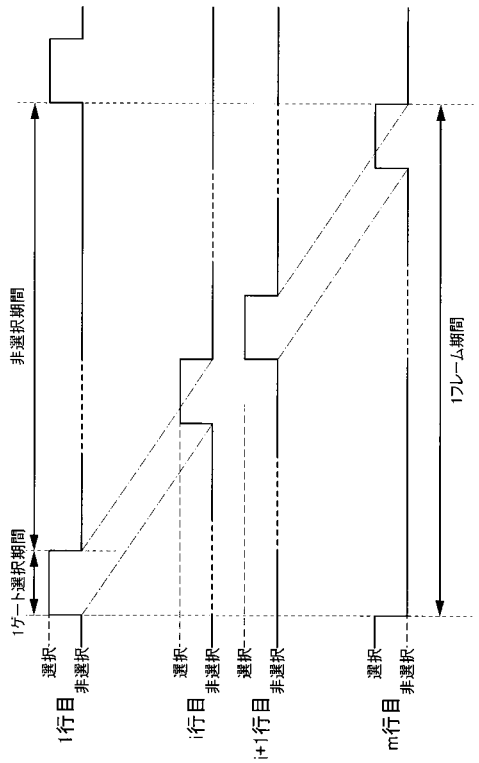
【図６４】



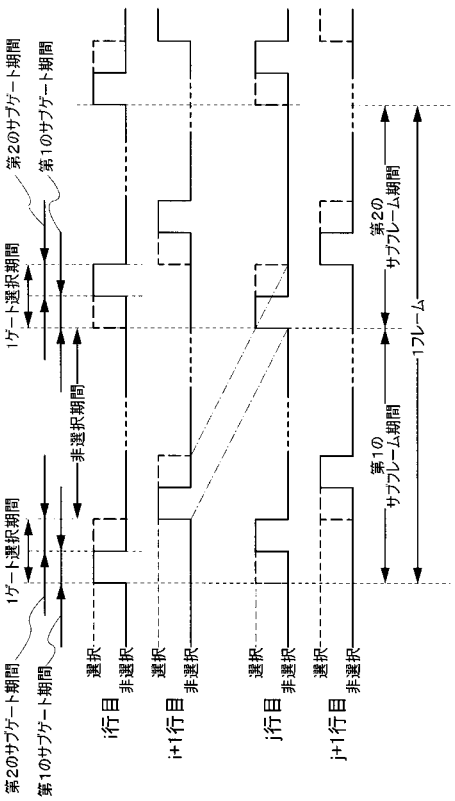
【図６５】



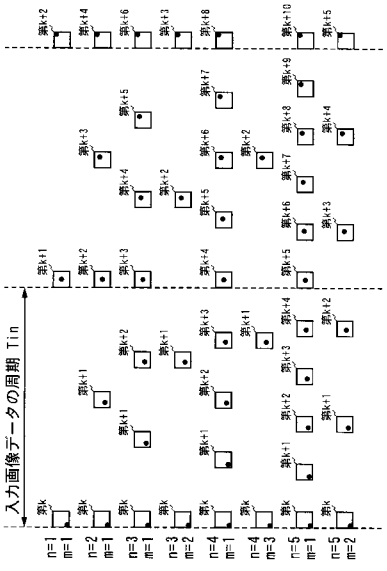
【図６６】



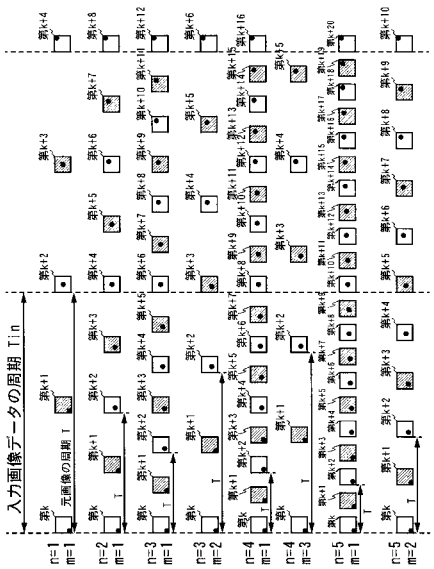
【図６７】



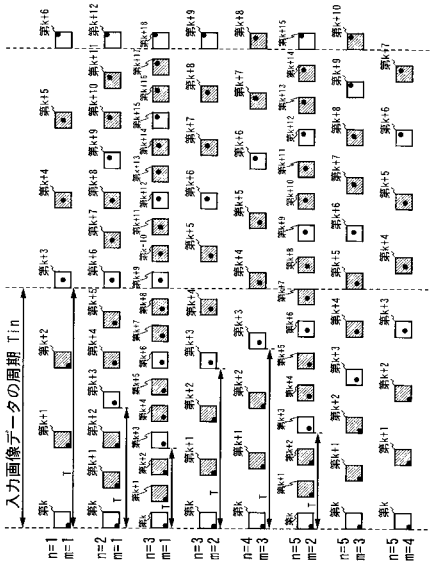
【図６８】



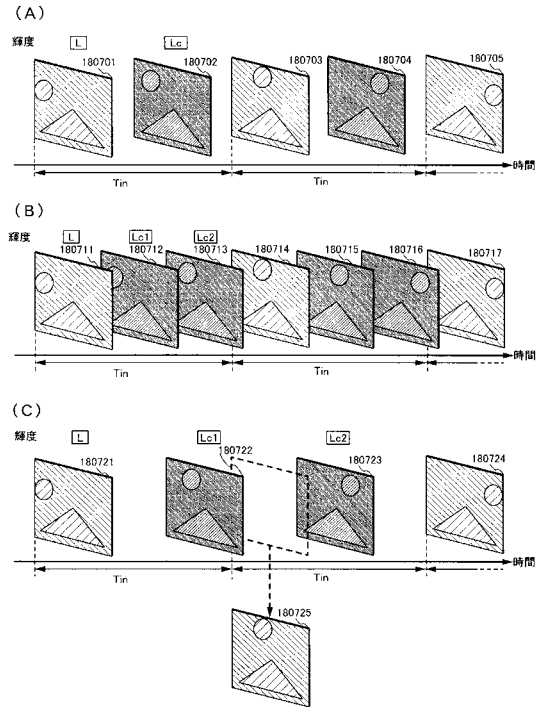
【図６９】



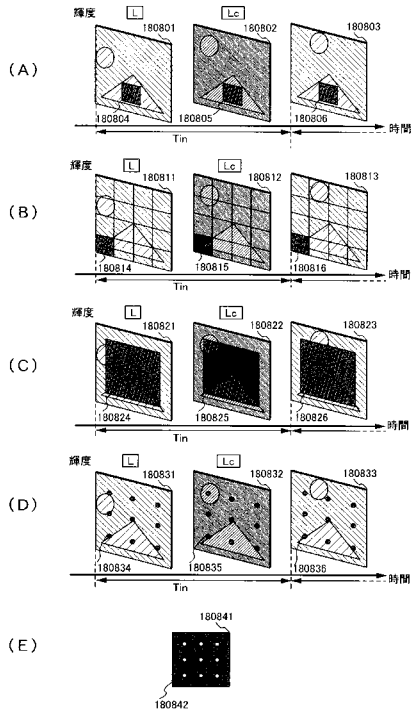
【図７０】



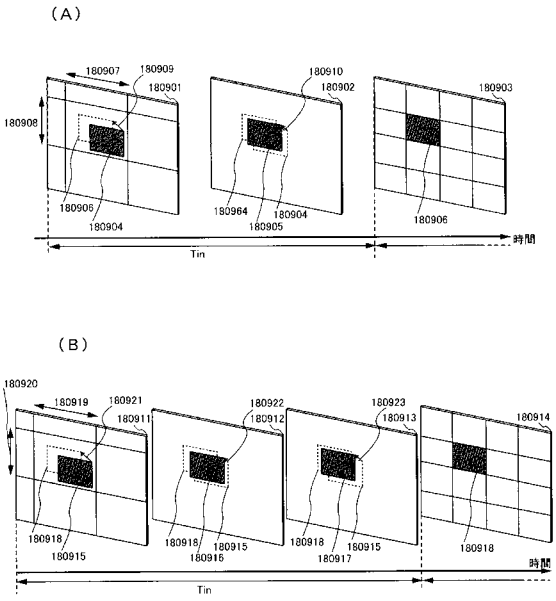
【図７１】



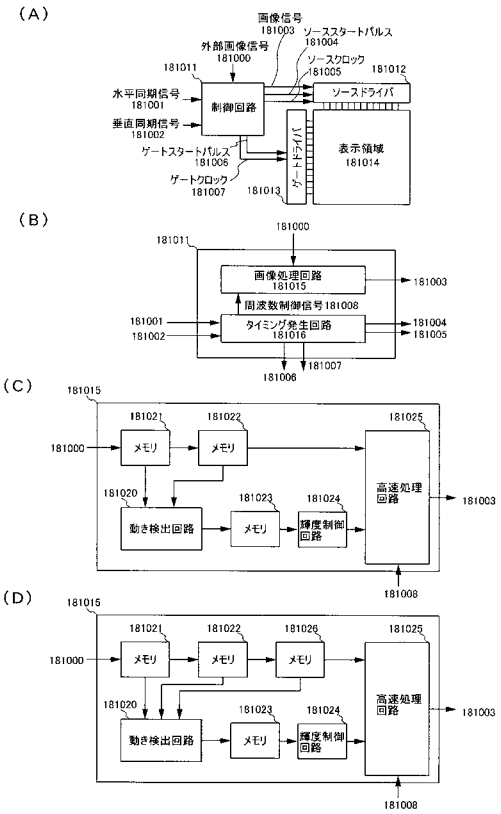
【図７２】



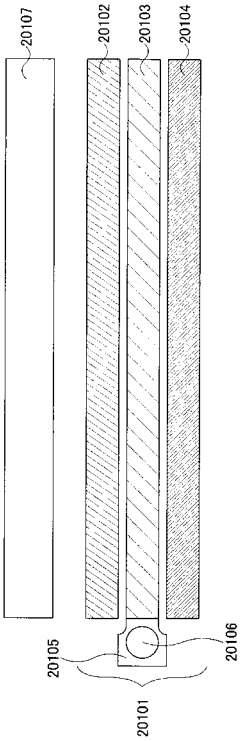
【図７３】



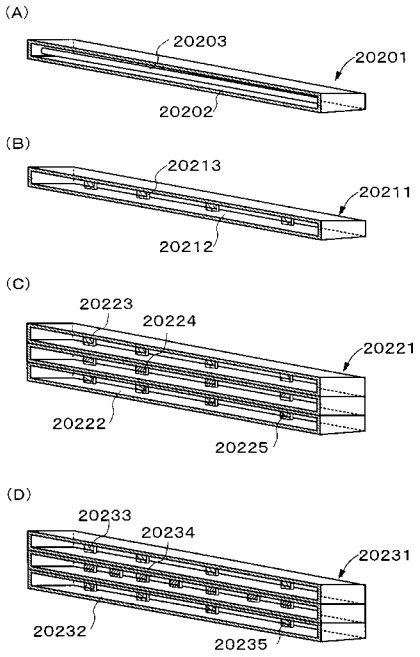
【図７４】



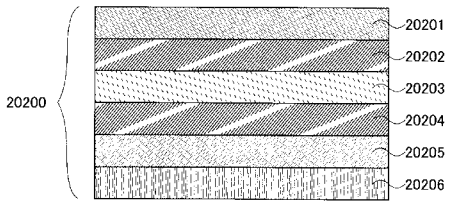
【図７５】



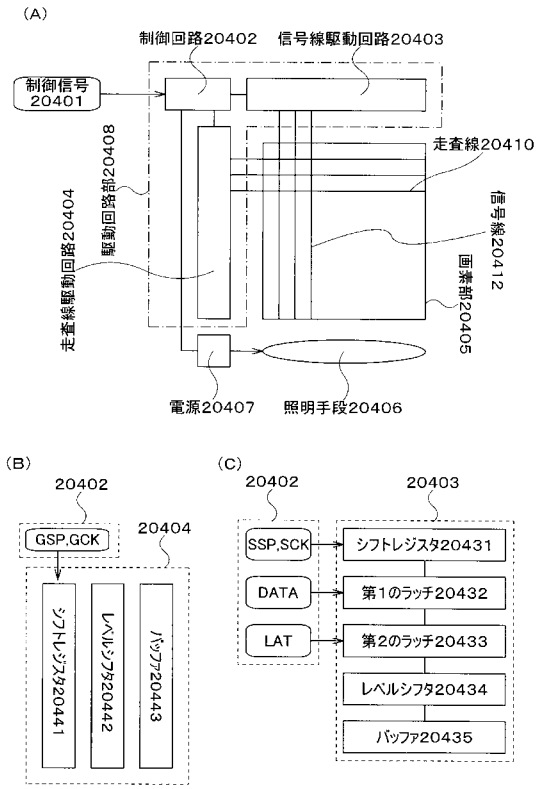
【図７６】



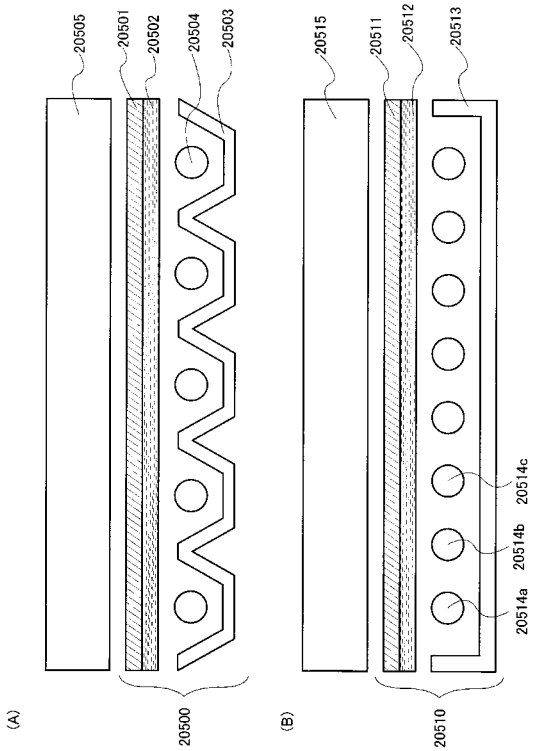
【図７７】



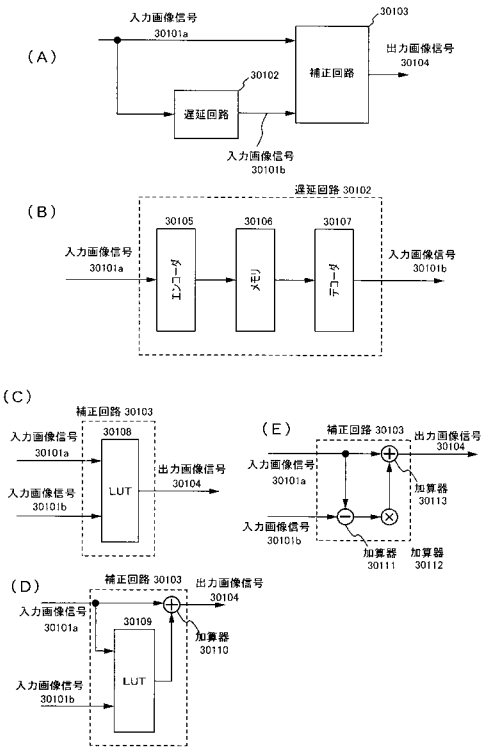
【図７８】



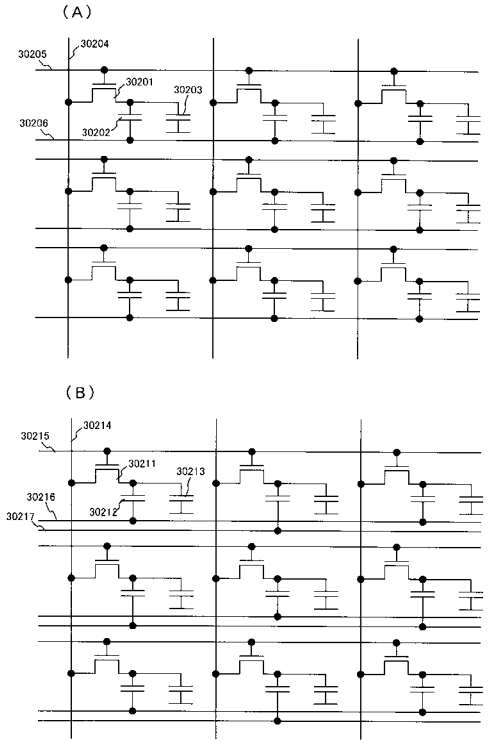
【図７９】



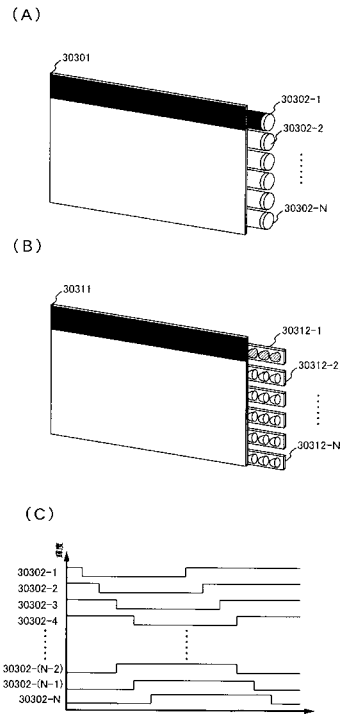
【図８０】



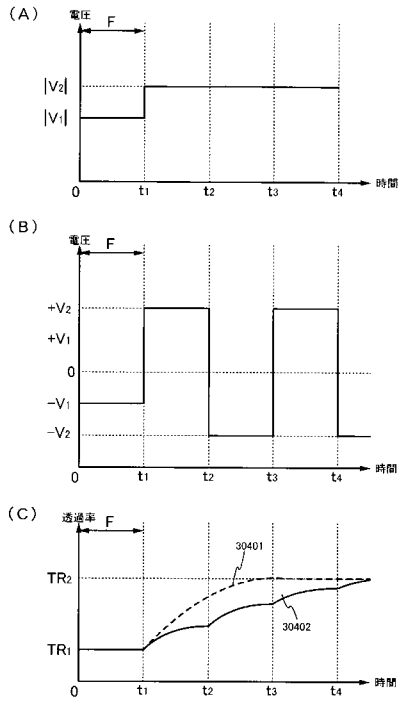
【図８１】



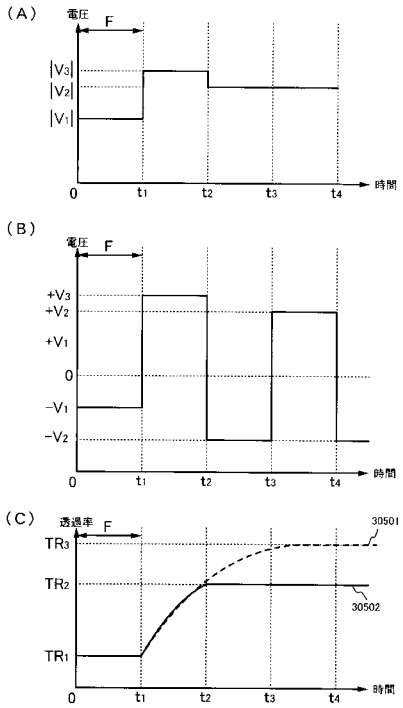
【図８２】



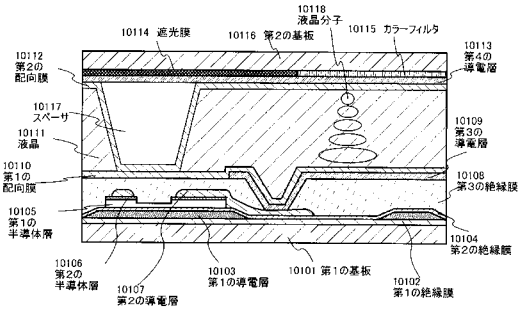
【図８３】



【図８４】

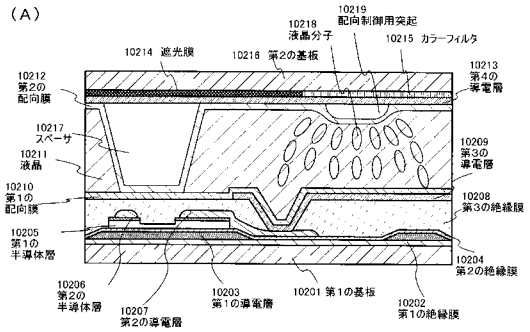


【図８５】

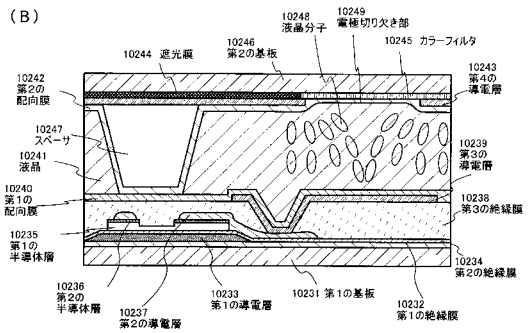


【図８６】

(A)

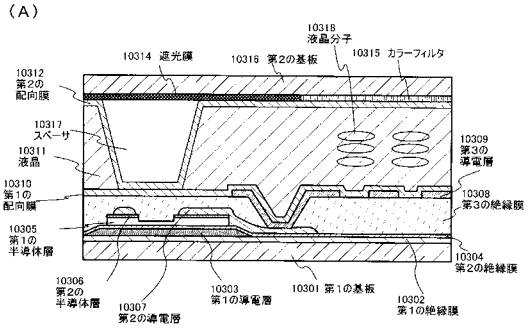


(B)

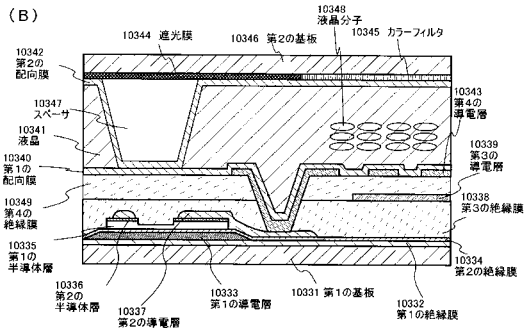


【図８７】

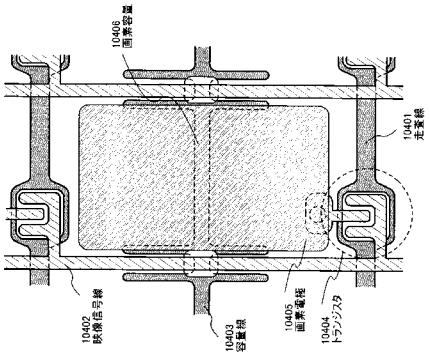
(A)



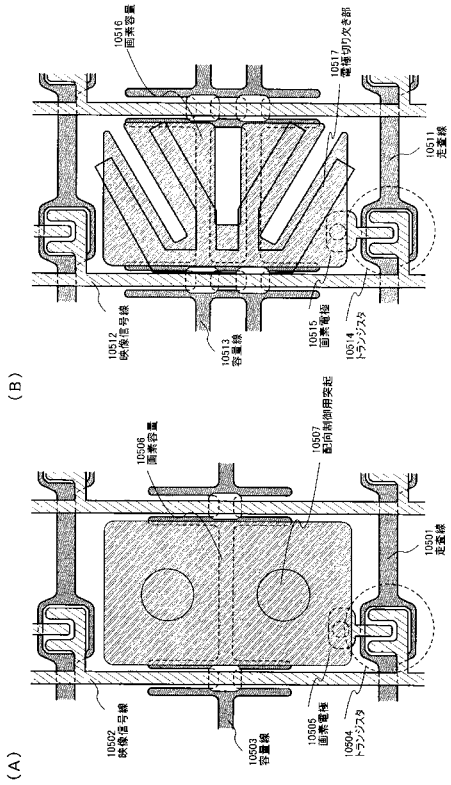
(B)



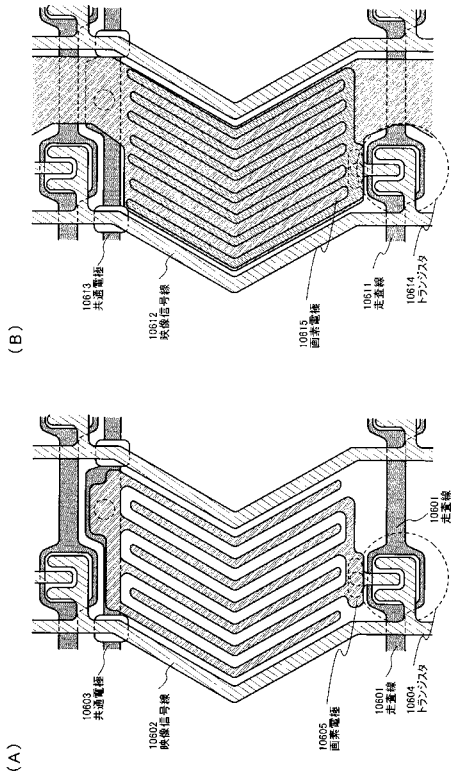
【図８８】



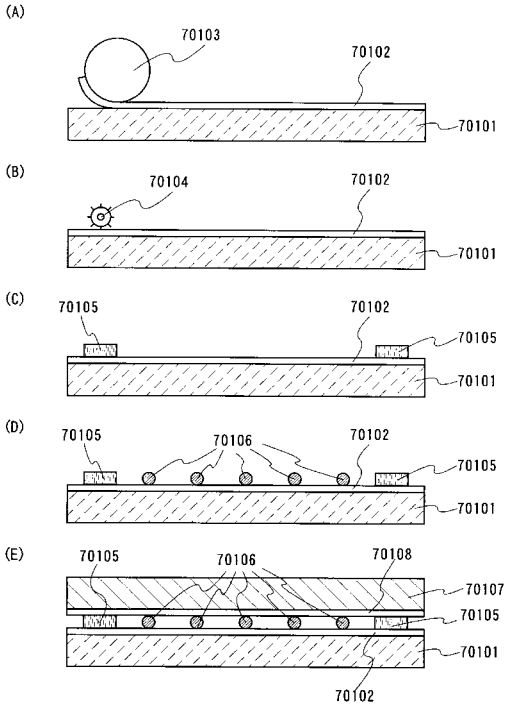
【図８９】



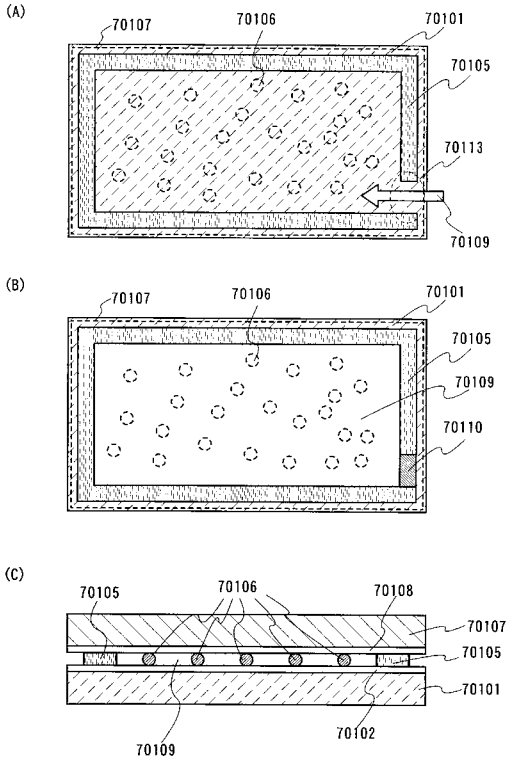
【図９０】



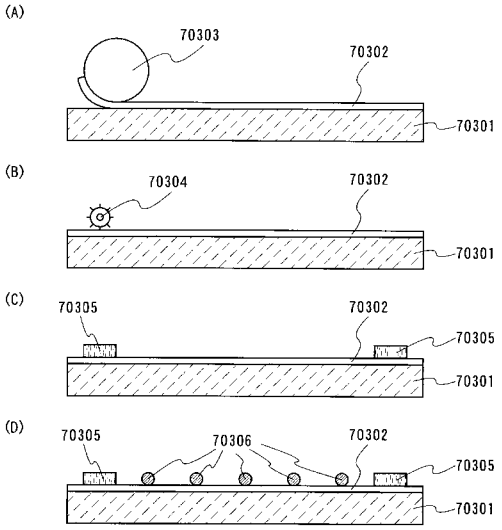
【図９１】



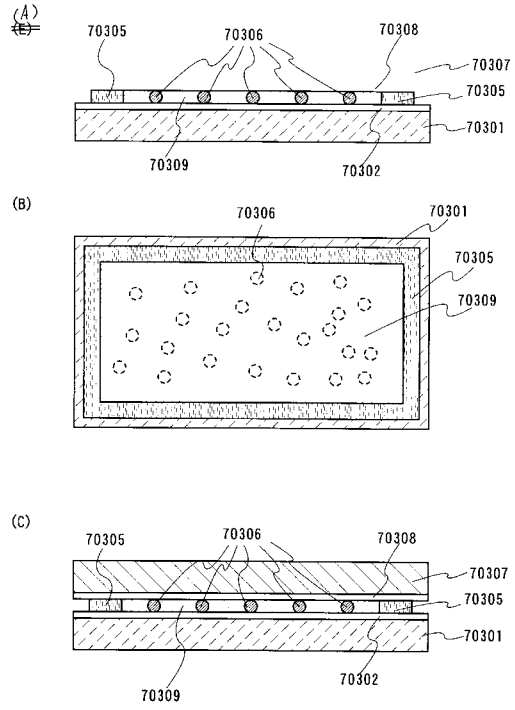
【図９２】



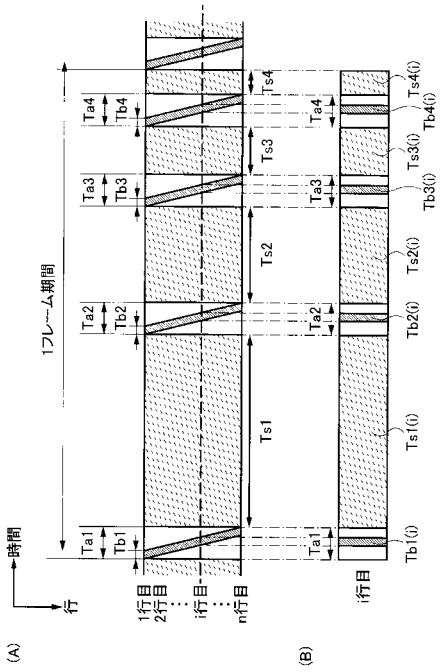
【図９３】



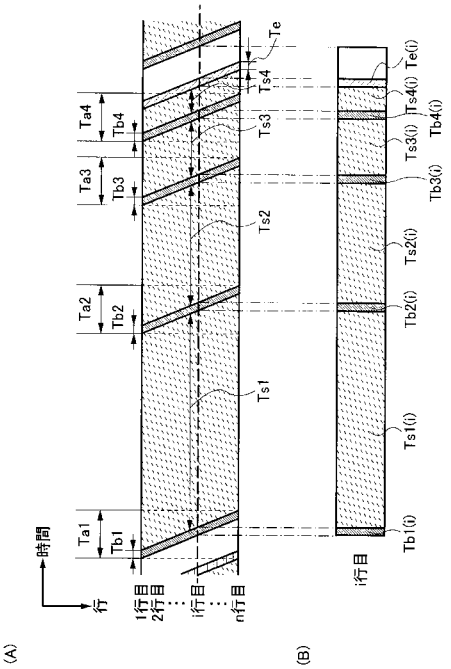
【図９４】



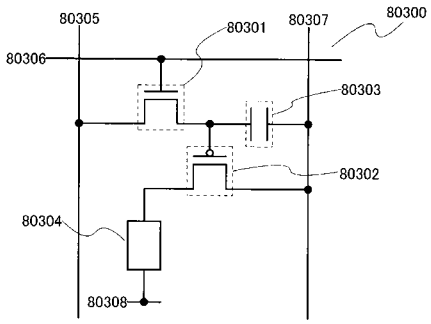
【図９５】



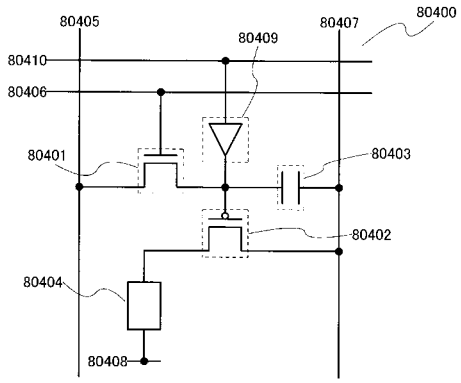
【図９６】



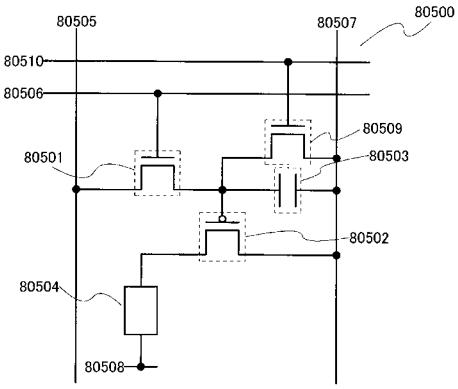
【図９７】



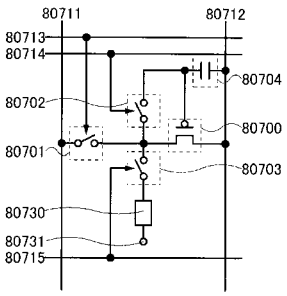
【図９８】



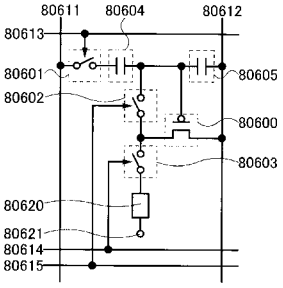
【図９９】



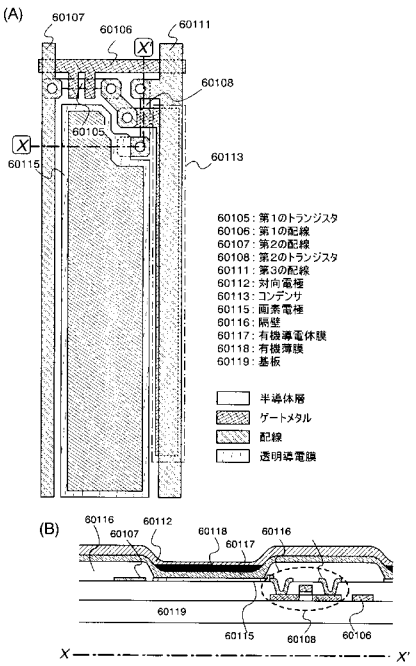
【図１０１】



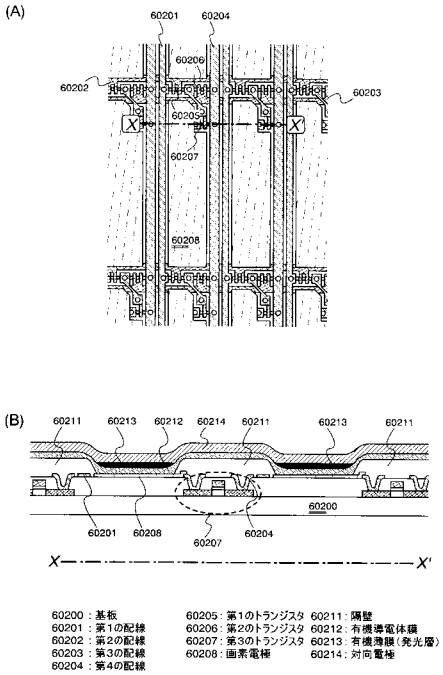
【図１００】



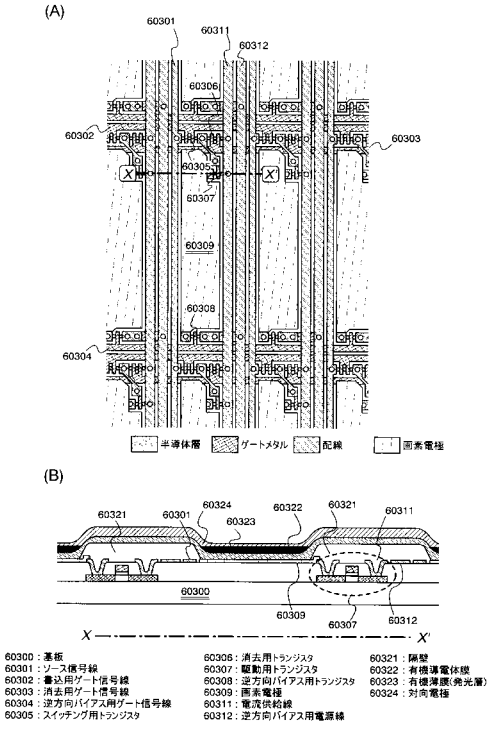
【図１０２】



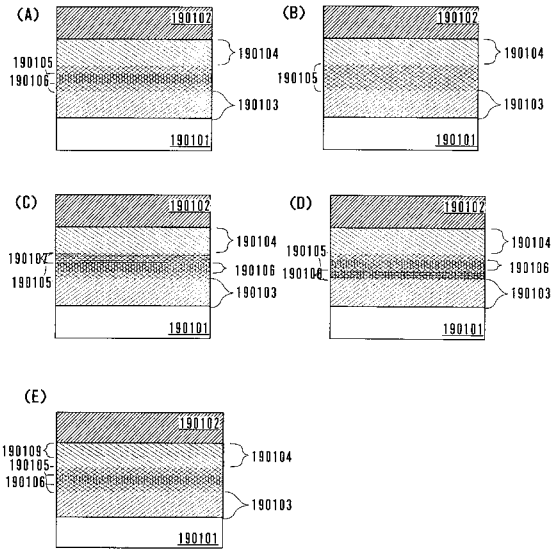
【図１０３】



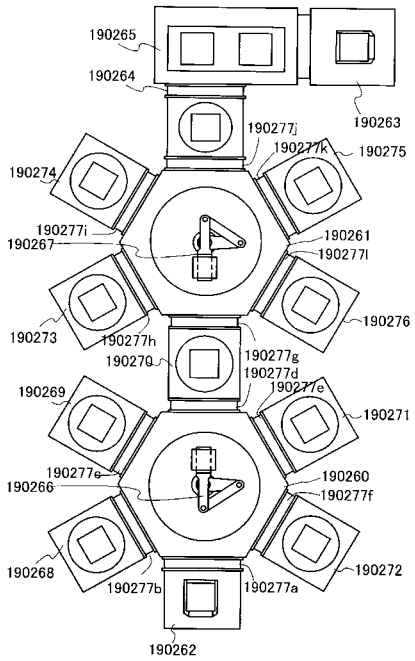
【図１０４】



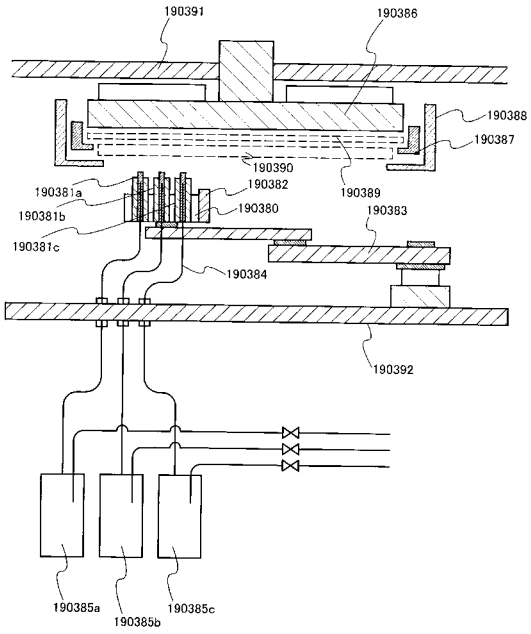
【図１０５】



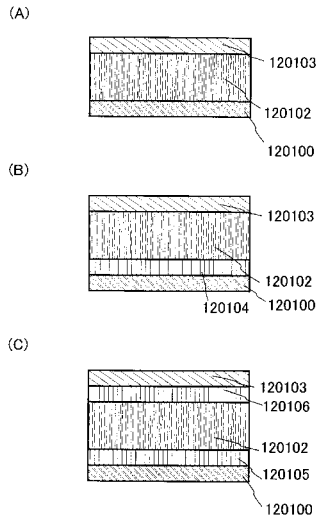
【図１０６】



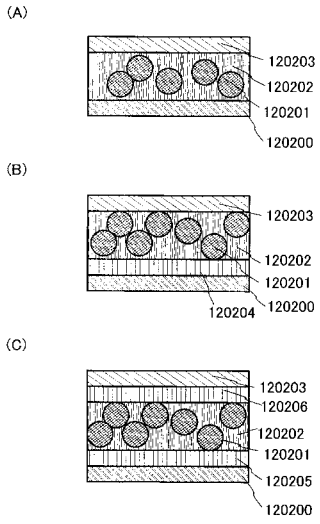
【図１０７】



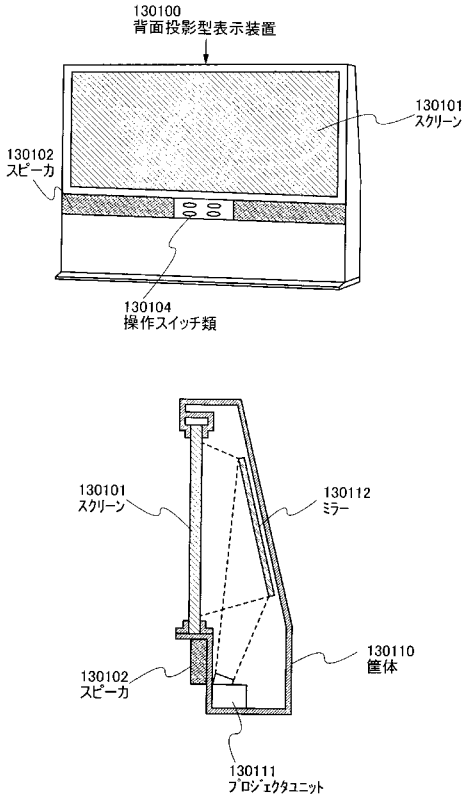
【図１０８】



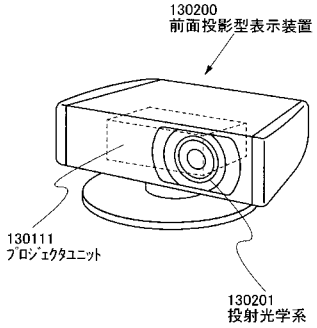
【図１０９】



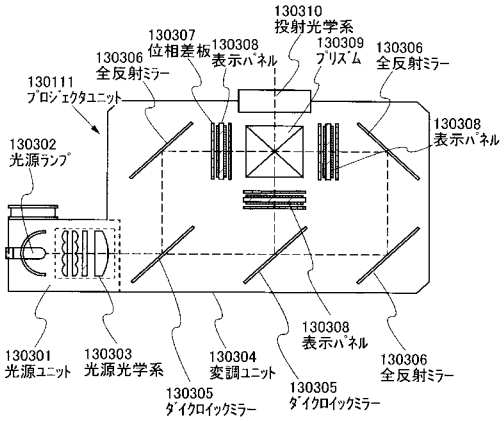
【図１１０】



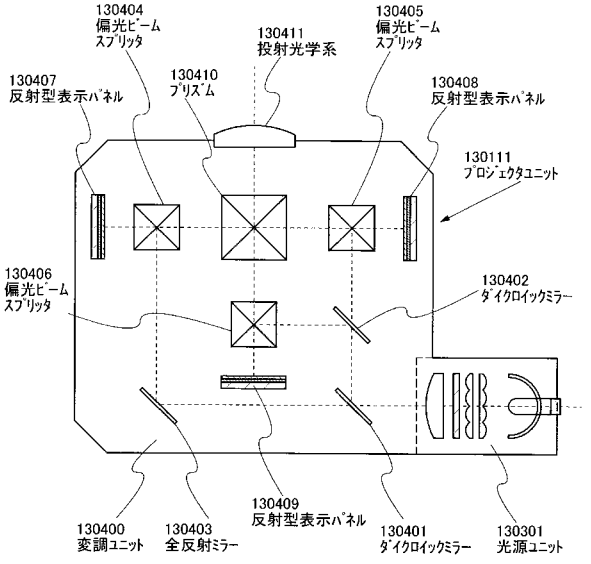
【図１１１】



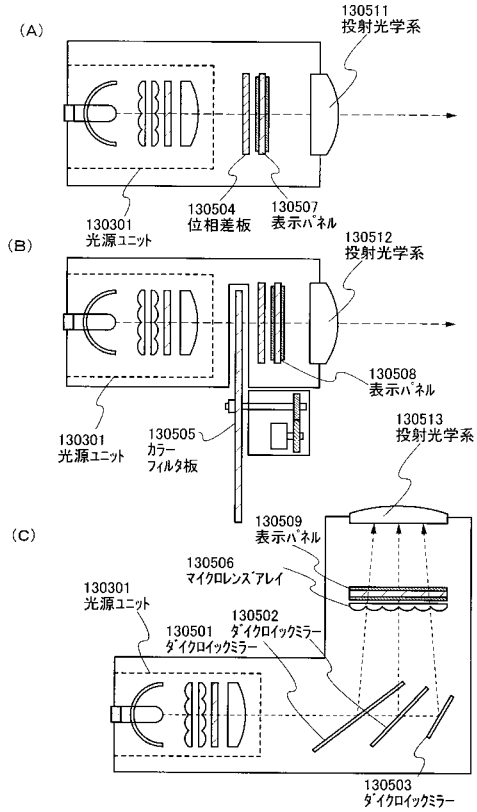
【図１１２】



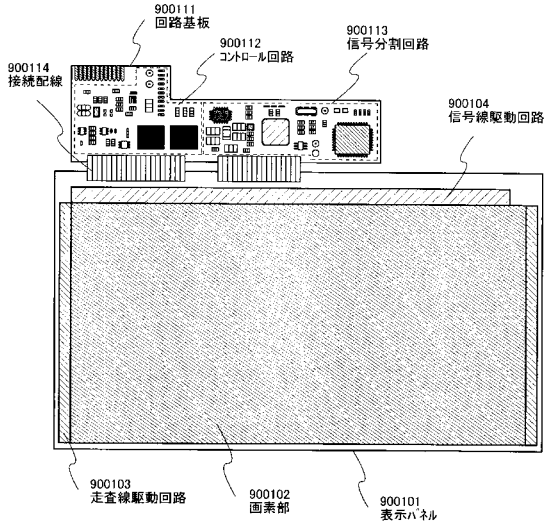
【図１１３】



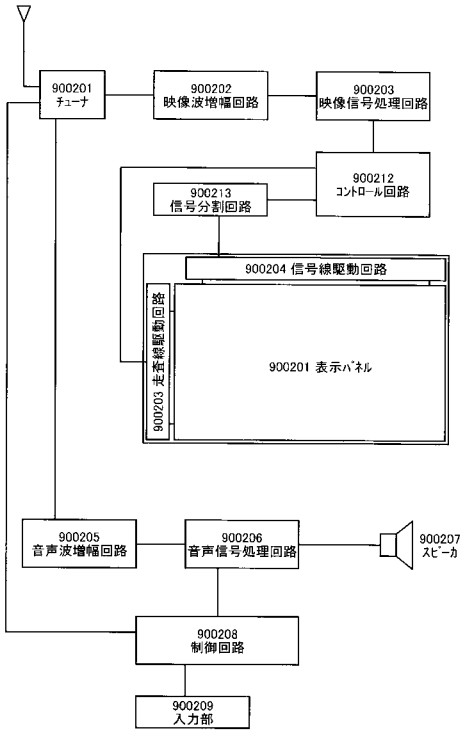
【図１１４】



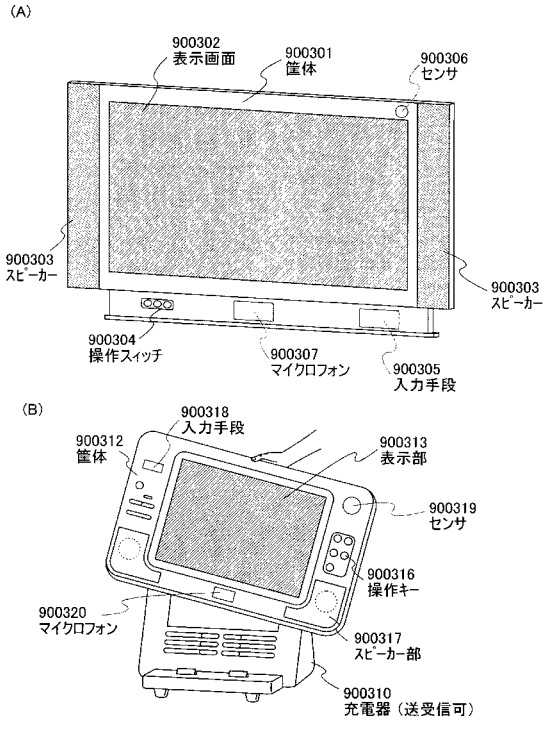
【図１１５】



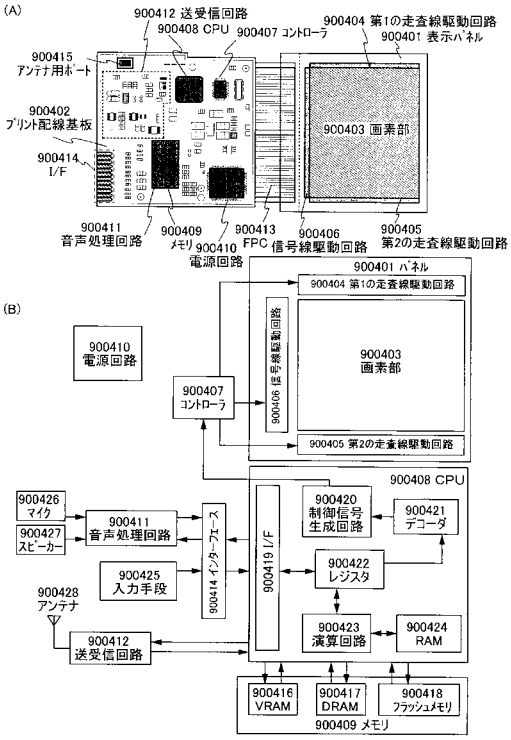
【図１１６】



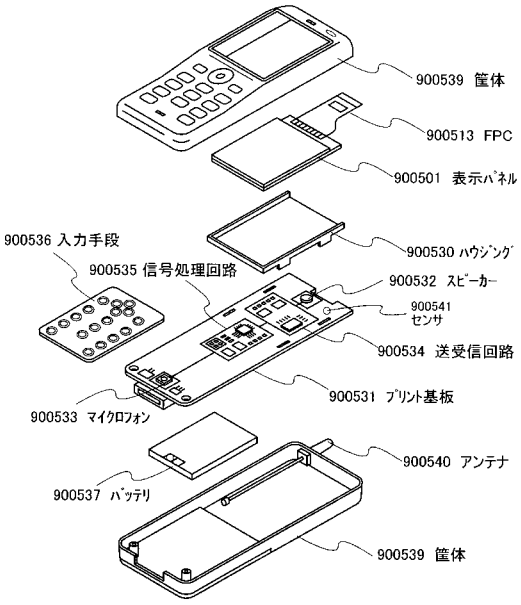
【図１１７】



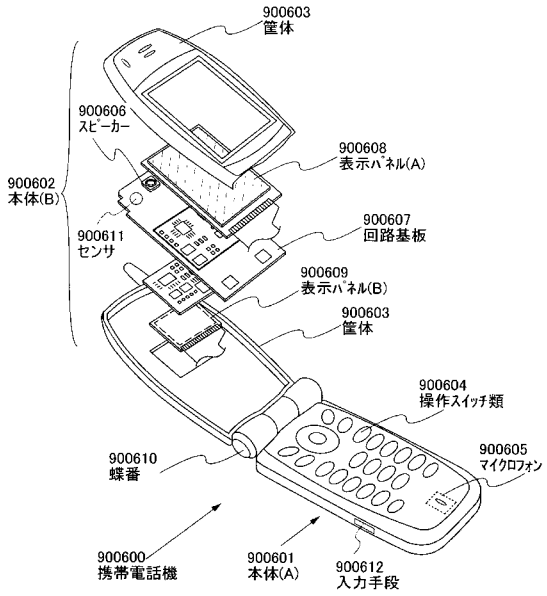
【図１１８】



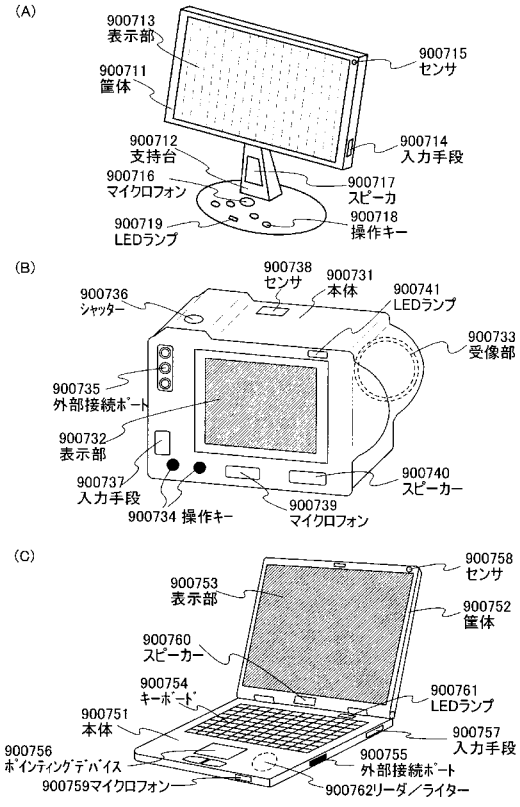
【図１１９】



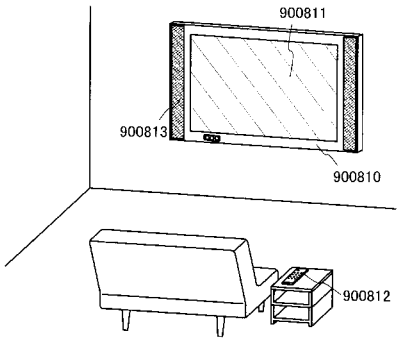
【図１２０】



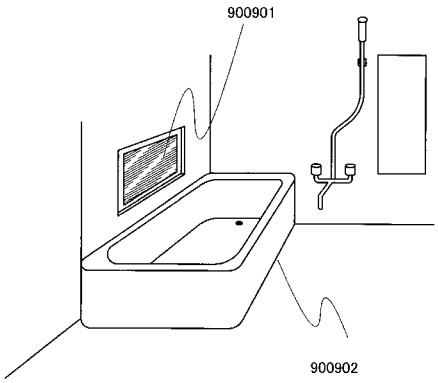
【図１２１】



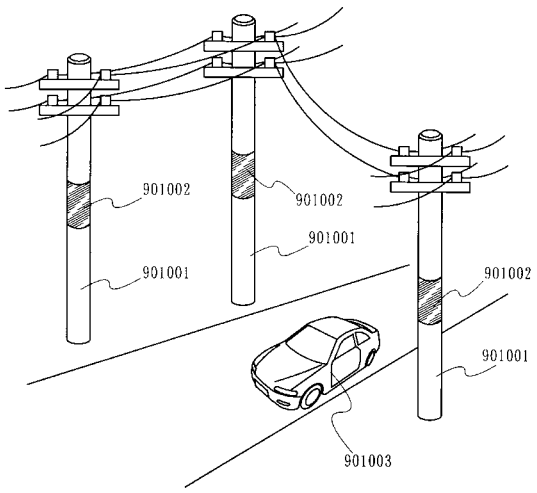
【図１２２】



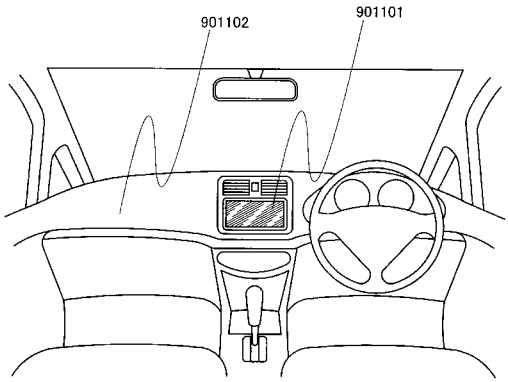
【図１２３】



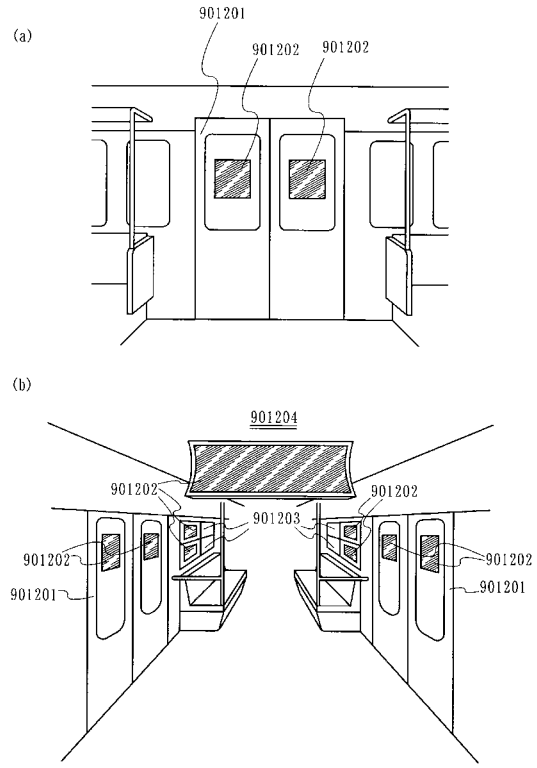
【図１２４】



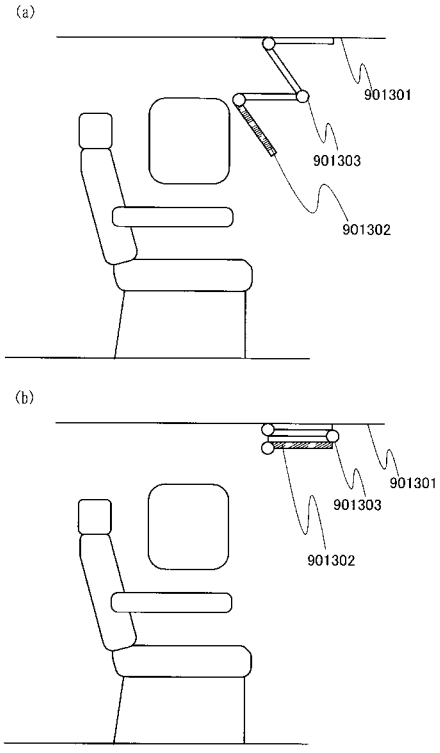
【図１２５】



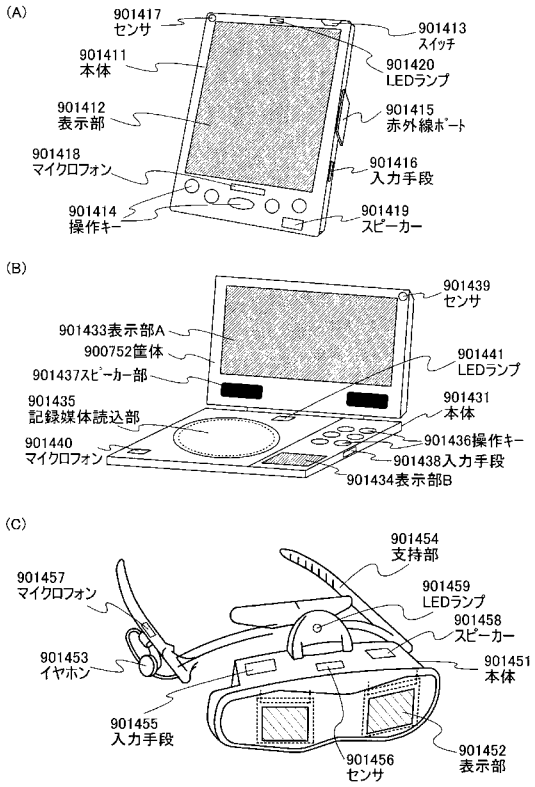
【図１２６】



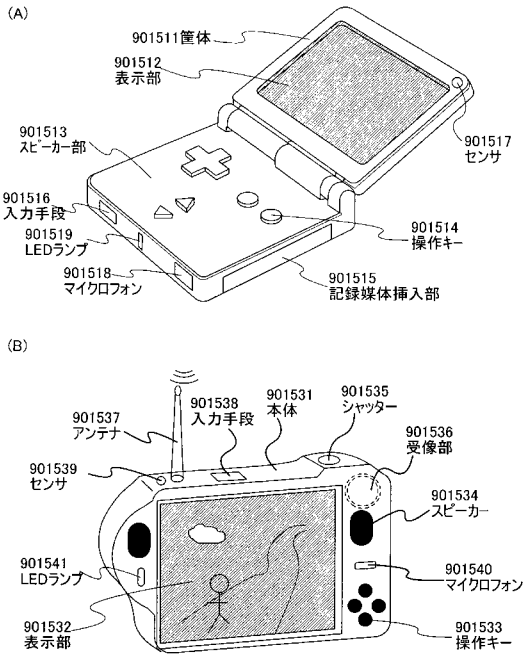
【図１２７】



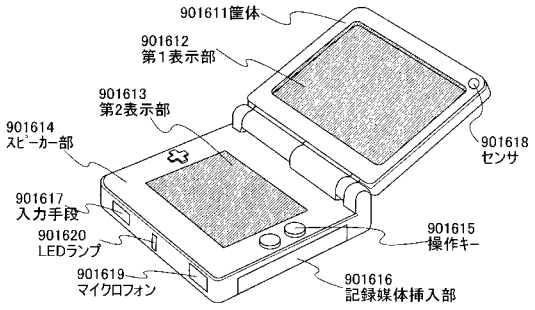
【図１２８】



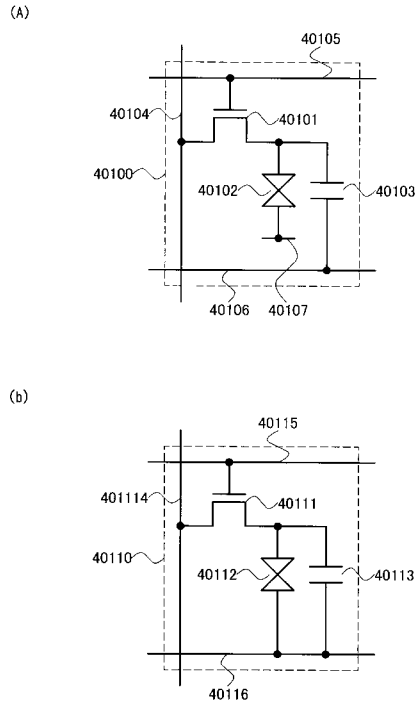
【図１２９】



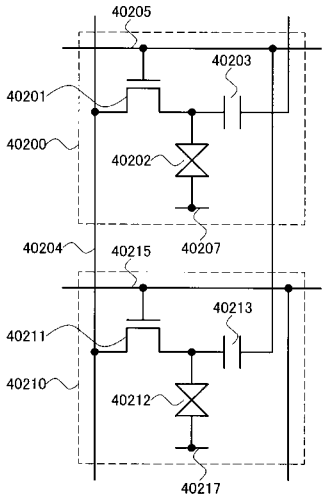
【図１３０】



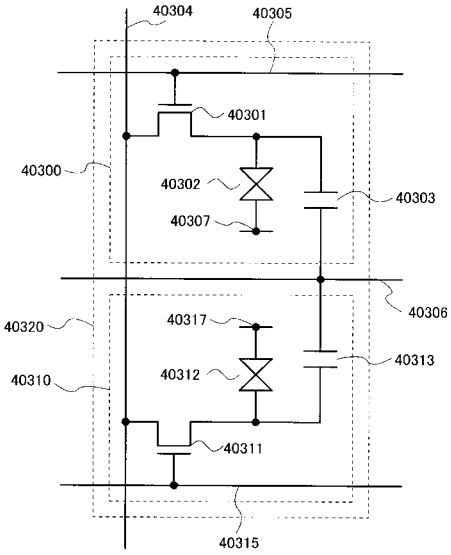
【図１３１】



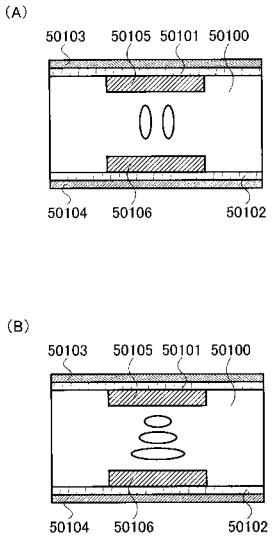
【図１３２】



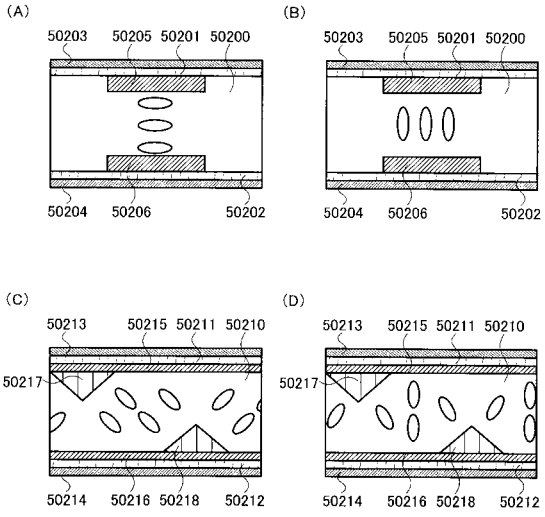
【図１３３】



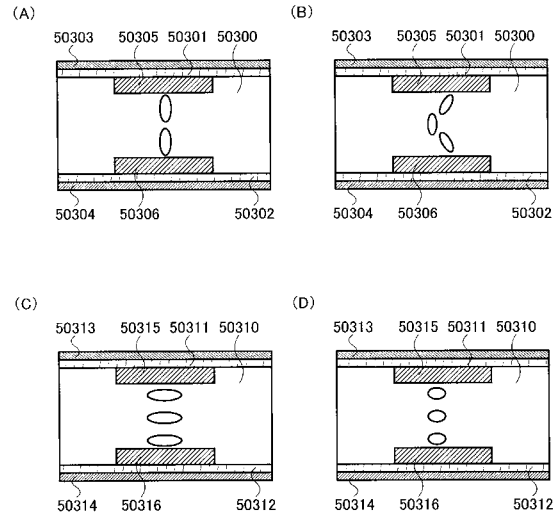
【図１３４】



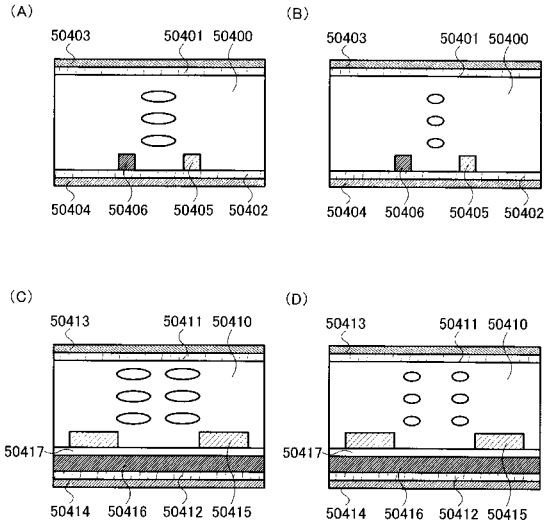
【図１３５】



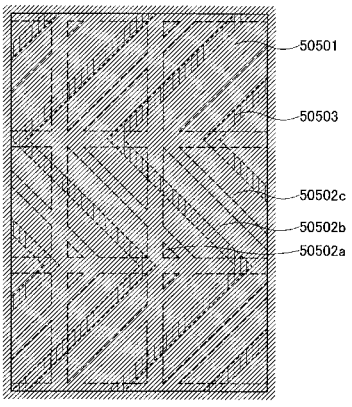
【図１３６】



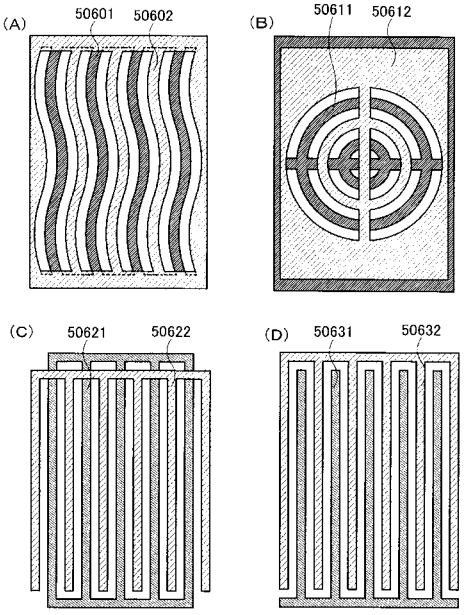
【図１３７】



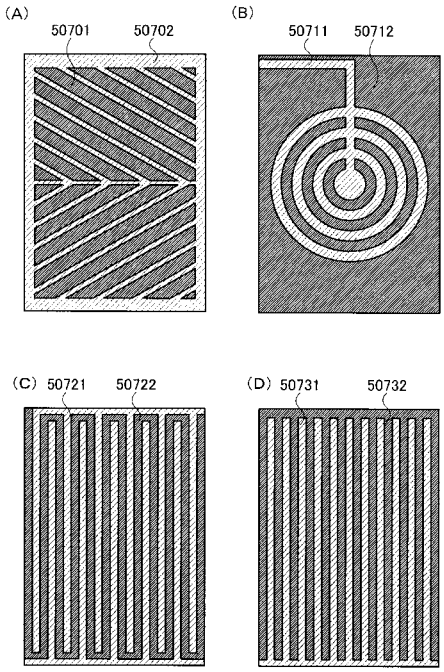
【図１３８】



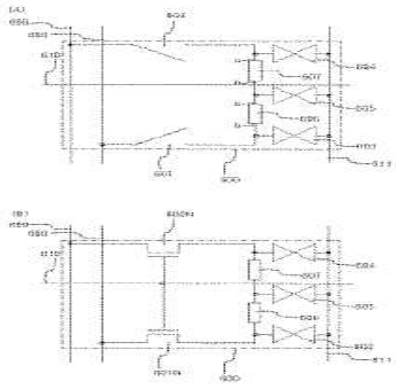
【図１３９】



【図１４０】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2008287115A	公开(公告)日	2008-11-27
申请号	JP2007133533	申请日	2007-05-18
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136213 G02F1/136227 G02F1/13624 G02F1/136286 G02F1/1368 G02F2001/134345 G02F2001/136295 G09G3/2022 G09G3/3233 G09G3/3648 G09G3/3659 G09G2300/0443 G09G2300/0447 G09G2300/0809 G09G2300/0842 G09G2300/0852 G09G2310/0262 G09G2320/0252 G09G2320/0261 G09G2320/028 G09G2320/10 G09G2320/106 G09G2330/021 G09G2340/0435 G09G2340/16 H01L27/12		
FI分类号	G02F1/133.520 G02F1/133.550 G02F1/1343 G02F1/1368		
F-TERM分类号	2H093/NA16 2H093/NA23 2H093/NA43 2H093/NB07 2H093/NB09 2H093/NB11 2H093/NB29 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC24 2H093/NC35 2H093/NC36 2H093/ND04 2H093/ND13 2H093/ND22 2H093/ND39 2H093/ND49 2H093/ND54 2H093/NG02 2H093/NG03 2H093/NG20 2H092/GA14 2H092/GA17 2H092/GA50 2H092/GA51 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA40 2H092/JA42 2H092/JA46 2H092/JA47 2H092/JB04 2H092/JB22 2H092/JB31 2H092/JB43 2H092/JB45 2H092/JB46 2H092/JB58 2H092/JB64 2H092/JB68 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA08 2H092/KA09 2H092/KA12 2H092/MA27 2H092/MA35 2H092/PA01 2H092/PA02 2H092/PA03 2H092/PA06 2H092/PA11 2H092/PA12 2H092/PA13 2H092/QA07 2H092/QA09 2H092/QA13 2H092/QA14 2H092/QA15 2H092/RA05 2H192/AA24 2H192/AA43 2H192/BA25 2H192/BB03 2H192/BB13 2H192/BB53 2H192/BB54 2H192/BC22 2H192/BC23 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB03 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC22 2H192/CC24 2H192/CC32 2H192/CC55 2H192/CC64 2H192/DA12 2H192/DA91 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA73 2H192/FB02 2H192/FB22 2H192/GD14 2H192/JA06 2H192/JA13 2H192/JA17 2H192/JA24 2H192/JA25 2H192/JA33 2H192/JB02 2H193/ZA02 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZF03 2H193/ZF24 2H193/ZF43 2H193/ZF44 2H193/ZG12 2H193/ZG44 2H193/ZH23 2H193/ZQ16 2H193/ZR02 2H193/ZR03 2H193/ZR04		
其他公开文献	JP4989309B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过改变施加在液晶设备上的电压来改善视角特性。解决方案：本发明的一个实施例是一个像素中具有三个或更多个液晶器件的液晶显示器件，其中施加到每个液晶器件的电压不同于其他液晶器件。设置分压施加电压的装置，以改变施加到各个液晶装置的电压。为了改变施加的电压，使用电容器件，电阻器件，晶体管等。Ž