

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-242144

(P2008-242144A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624A	5C006
G09G 3/34 (2006.01)	G09G 3/20 621B	5C058
H04N 5/66 (2006.01)	G09G 3/20 623W	5C080
G02F 1/133 (2006.01)	G09G 3/20 623C	
審査請求 未請求 請求項の数 17 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2007-83525 (P2007-83525)
 (22) 出願日 平成19年3月28日 (2007. 3. 28)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 片上 正幸
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H093 NA16 NA32 NA33 NC13 NC34
 NC35 ND04 ND12 ND32 ND34
 ND35

最終頁に続く

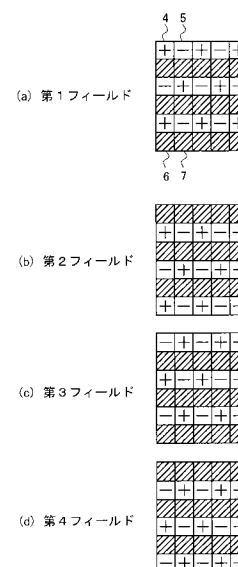
(54) 【発明の名称】 液晶表示装置ならびにその駆動回路および駆動方法

(57) 【要約】

【課題】残像や焼付きが生ずることなくインターレース信号そのものの画像を表示することのできる液晶表示装置を提供する。

【解決手段】奇数フィールドにおいては奇数行目のデータ間に黒データが挿入され、偶数フィールドにおいては偶数行目のデータ間に黒データが挿入されたデジタル画像信号が、表示制御回路からソースドライバに送られる。ソースドライバは、各ゲートバスラインが選択されているときに各ソースバスラインに印加される駆動用映像信号の極性が2フィールド毎に反転するように、各ソースバスラインに駆動用映像信号を印加する。各画素形成部においては、連続する4フィールド期間をひとつのまとまりのある単位期間として交流駆動が行われる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置であって、

前記複数の走査信号線を 1 本ずつ順次に選択的に駆動する走査信号線駆動回路と、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が 2 垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する映像信号線駆動回路と、

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを 1 垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入手段と

を備えたことを特徴とする、液晶表示装置。

【請求項 2】

前記映像信号線駆動回路は、前記複数の映像信号線に印加される映像信号の極性が隣接する映像信号線間で互いに異なるように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記映像信号線駆動回路は、各映像信号線に印加される映像信号の電圧の極性が 2 水平走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記黒挿入手段は、前記複数の映像信号線のうち極性の異なる映像信号が印加された映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする、請求項 1 から 3 までのいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記黒挿入手段は、前記複数の映像信号線のうち互いに隣接する映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記表示すべき画像を生成するために外部から送られる画像信号の種類がインターレース信号であるかプログレッシブ信号であるかを判定する信号種別判定手段と、

前記表示部に背面側から光を照射するバックライトと、

前記バックライトが照射する光の輝度を制御するバックライト制御手段とを更に備え、

前記バックライト制御手段は、前記信号種別判定手段によって前記画像信号の種類がインターレース信号であると判定されたときには、前記信号種別判定手段によって前記画像信号の種類がプログレッシブ信号であると判定されたときよりも、前記光の輝度を大きくすることを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記バックライト制御手段は、前記信号種別判定手段によって前記画像信号の種類がインターレース信号であると判定されたときには、前記信号種別判定手段によって前記画像信号の種類がプログレッシブ信号であると判定されたときよりも、前記光の輝度を 2 倍にすることを特徴とする、請求項 6 に記載の液晶表示装置。

【請求項 8】

表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置の駆動回路であって、

前記複数の走査信号線を１本ずつ順次に選択的に駆動する走査信号線駆動回路と、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が２垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する映像信号線駆動回路と、

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを１垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入手段と

を備えたことを特徴とする、駆動回路。

【請求項 9】

前記映像信号線駆動回路は、前記複数の映像信号線に印加される映像信号の極性が隣接する映像信号線間で互いに異なるように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする、請求項 8 に記載の駆動回路。

【請求項 10】

前記映像信号線駆動回路は、各映像信号線に印加される映像信号の電圧の極性が２水平走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする、請求項 8 または 9 に記載の駆動回路。

【請求項 11】

前記黒挿入手段は、前記複数の映像信号線のうち極性の異なる映像信号が印加された映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする、請求項 8 から 10 までのいずれか 1 項に記載の駆動回路。

【請求項 12】

前記黒挿入手段は、前記複数の映像信号線のうち互いに隣接する映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする、請求項 11 に記載の駆動回路。

【請求項 13】

表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置の駆動方法であって、

前記複数の走査信号線を１本ずつ順次に選択的に駆動する走査信号線駆動ステップと、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が２垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する映像信号線駆動ステップと、

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを１垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入ステップと

を備えたことを特徴とする、駆動方法。

【請求項 14】

前記映像信号線駆動ステップでは、前記複数の映像信号線に印加される映像信号の極性

10

20

30

40

50

が隣接する映像信号線間で互いに異なるように、前記複数の映像信号が前記複数の映像信号線に印加されることを特徴とする、請求項 13 に記載の駆動方法。

【請求項 15】

前記映像信号線駆動ステップでは、各映像信号線に印加される映像信号の電圧の極性が 2 水平走査期間毎に反転するように、前記複数の映像信号が前記複数の映像信号線に印加されることを特徴とする、請求項 13 または 14 に記載の駆動方法。

【請求項 16】

前記黒挿入ステップでは、前記複数の映像信号線のうち極性の異なる映像信号が印加された映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧が黒表示に相当する電圧にされることを特徴とする、請求項 13 から 15 までのいずれか 1 項に記載の駆動方法。

10

【請求項 17】

前記黒挿入ステップでは、前記複数の映像信号線のうち互いに隣接する映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧が黒表示に相当する電圧にされることを特徴とする、請求項 16 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、更に詳しくは、アクティブマトリクス型の液晶表示装置においてインターレース方式で与えられる映像信号に基づいて画像を表示する技術に関する。

20

【背景技術】

【0002】

従来より、放送業界等においては、マスタモニタと呼ばれる装置で表示画像の確認が行われている。マスタモニタとしては、従来 CRT (Cathode Ray Tube) が多く採用されていたが、近年液晶表示装置も採用されつつある。ところで、画像表示に関し、一般のテレビ放送ではインターレース方式 (1 つの画面の表示を 2 回の走査で行う方式で、1 回目に奇数行目の走査を行い、2 回目に偶数行目の走査を行う方式) が採用されているが、液晶表示装置ではプログレッシブ方式 (1 つの画面の表示を 1 回の走査で行う方式) が採用されている。このため、液晶表示装置においてインターレース信号に基づいて画像の表示が行われる際には、インターレース信号の示す 1 行おきのデータに基づき、それらの行の間のデータの生成がなされ (例えば、1 行目のデータと 3 行目のデータとに基づいて 2 行目のデータが生成され)、1 行ずつ走査信号線の走査が行われている。

30

【0003】

ところが、「(上述のような)データの生成が行われていない画像」すなわち「インターレース信号そのものによる画像」を表示することが強く望まれている。そこで、液晶表示装置によってインターレース信号そのものの画像を表示することを検討する。一般に、液晶表示装置においては、フリッカーの発生を防止するために「ドット反転駆動」と呼ばれる駆動方式が採用されている。図 18 は、ドット反転駆動を採用する液晶表示装置において、連続する 4 フィールド (便宜上、それぞれ「第 1 ~ 第 4 フィールド」という。)の期間中における極性の変化を示す図である。いずれのフィールドにおいても、横方向および縦方向の双方で、各画素形成部において液晶層に印加される電圧の極性 (以下、単に「画素形成部の極性」という。)は、隣接する画素形成部間で互いに逆になっている。また、個々の画素形成部に着目すると、フィールドが変わる都度、極性が反転している。ここで、インターレース信号そのものの画像を表示させるために、上述のように「行の間のデータを生成すること」に代えて「黒色の画像を挿入すること」を考えてみる。そうすると、連続する 4 フィールドの期間中における各画素形成部の極性の変化は、図 19 に示すようなものとなる。なお、図 19 において、斜線部分は黒色の画像が表示される部分を示している。以上のようにして、液晶表示装置によって、擬似的にインターレース方式による画像表示を行うことができる。

40

50

【 0 0 0 4 】

なお、特開平 7 - 7 5 0 4 5 号公報には、インターレース方式の映像信号を 2 フィールド毎にその極性を反転させることによりフリッカーの発生を防止する、液晶表示装置の駆動方法の発明が開示されている。

【特許文献 1】特開平 7 - 7 5 0 4 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところが、上述のように擬似的なインターレース方式による画像表示が行われると、各画素形成部において液晶に直流成分が残留する。例えば、図 1 9 で参照符号 8 で示す画素形成部の 4 フィールド期間の極性は「正、0 (黒)、正、0 (黒)」となっている。また、図 1 9 で参照符号 9 で示す画素形成部の 4 フィールド期間の極性は「負、0 (黒)、負、0 (黒)」となっている。このように、各画素形成部において片方向への電圧の印加 (直流電圧の印加) が行われる結果、表示部に残像や焼付きが生ずる。

10

【 0 0 0 6 】

そこで本発明は、残像や焼付きが生ずることなくインターレース信号そのものの画像を表示することのできる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

第 1 の発明は、表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置であって、

20

前記複数の走査信号線を 1 本ずつ順次に選択的に駆動する走査信号線駆動回路と、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が 2 垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する映像信号線駆動回路と、

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを 1 垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入手段と

30

を備えたことを特徴とする。

【 0 0 0 8 】

第 2 の発明は、第 1 の発明において、

前記映像信号線駆動回路は、前記複数の映像信号線に印加される映像信号の極性が隣接する映像信号線間で互いに異なるように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする。

【 0 0 0 9 】

40

第 3 の発明は、第 1 または第 2 の発明において、

前記映像信号線駆動回路は、各映像信号線に印加される映像信号の電圧の極性が 2 水平走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加することを特徴とする。

【 0 0 1 0 】

第 4 の発明は、第 1 から第 3 までのいずれかの発明において、

前記黒挿入手段は、前記複数の映像信号線のうち極性の異なる映像信号が印加された映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする。

50

【 0 0 1 1 】

第 5 の発明は、第 4 の発明において、

前記黒挿入手段は、前記複数の映像信号線のうち互いに隣接する映像信号線同士を短絡させることによって、前記複数の映像信号線に印加される映像信号の電圧を黒表示に相当する電圧にすることを特徴とする。

【 0 0 1 2 】

第 6 の発明は、第 1 から第 5 までのいずれかの発明において、

前記表示すべき画像を生成するために外部から送られる画像信号の種類がインターレース信号であるかプログレッシブ信号であるかを判定する信号種別判定手段と、

前記表示部に背面側から光を照射するバックライトと、

前記バックライトが照射する光の輝度を制御するバックライト制御手段と
を更に備え、

10

前記バックライト制御手段は、前記信号種別判定手段によって前記画像信号の種類がインターレース信号であると判定されたときには、前記信号種別判定手段によって前記画像信号の種類がプログレッシブ信号であると判定されたときよりも、前記光の輝度を大きくすることを特徴とする。

【 0 0 1 3 】

第 7 の発明は、第 6 の発明において、

前記バックライト制御手段は、前記信号種別判定手段によって前記画像信号の種類がインターレース信号であると判定されたときには、前記信号種別判定手段によって前記画像信号の種類がプログレッシブ信号であると判定されたときよりも、前記光の輝度を 2 倍に
することを特徴とする。

20

【 0 0 1 4 】

第 8 の発明は、表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置の駆動回路であって、

前記複数の走査信号線を 1 本ずつ順次に選択的に駆動する走査信号線駆動回路と、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が 2 垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する映像信号線駆動回路と、

30

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを 1 垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入手段と

を備えたことを特徴とする。

【 0 0 1 5 】

また、第 8 の発明において実施形態および図面を参照することにより把握される変形例が、課題を解決するための手段として考えられる。

40

【 0 0 1 6 】

第 13 の発明は、表示すべき画像を表わす複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、対応する交差点を通過する走査信号線が選択されているときに、当該対応する交差点を通過する映像信号線によって伝達される映像信号を画素値として取り込む複数の画素形成部とを含む表示部を備えたアクティブマトリクス型の液晶表示装置の駆動方法であって、

前記複数の走査信号線を 1 本ずつ順次に選択的に駆動する走査信号線駆動ステップと、

各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性が 2 垂直走査期間毎に反転するように、前記複数の映像信号を前記複数の映像信号線に印加する

50

映像信号線駆動ステップと、

奇数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧と偶数行目の走査信号線が選択されているときに前記複数の映像信号線に印加される映像信号の電圧とを1垂直走査期間毎に交互に黒表示に相当する電圧にする黒挿入ステップと

を備えたことを特徴とする。

【0017】

また、第13の発明において実施形態および図面を参照することにより把握される変形例が、課題を解決するための手段として考えられる。

【発明の効果】

10

【0018】

上記第1の発明によれば、奇数行目の走査信号線が選択されている時の映像信号の電圧と偶数行目の走査信号線が選択されている時の映像信号の電圧とが、1垂直走査期間毎に交互に黒表示に相当する電圧とされる。これにより、表示部には、インターレース信号そのものに基づく画像が表示される。ここで、各走査信号線が選択されているときに各映像信号線に印加される映像信号の極性は2垂直走査期間毎に反転する。このため、連続する4垂直走査期間における各画素形成部の液晶層に印加される電圧については、正極性が1回、負極性が1回、黒表示に相当する電圧が2回となる。従って、各画素形成部の液晶層に直流電圧が印加されることはない。これにより、直流電圧の印加に起因する表示部への焼付きや残像が生ずることなく、インターレース信号そのものの画像を表示することのできる液晶表示装置が実現される。

20

【0019】

上記第2の発明によれば、横方向に隣接する画素形成部間では、液晶層に印加される電圧の極性は互いに逆になる。このため、フリッカーの発生を抑制しつつ、インターレース信号そのものの画像を表示部に表示することができる。

【0020】

上記第3の発明によれば、各垂直走査期間において液晶層に正極性または負極性の電圧が印加される画素形成部のみに着目したときに、縦方向に隣接する画素形成部間で、液晶層に印加される電圧の極性は互いに逆になる。このため、より効果的にフリッカーの発生を抑制しつつ、インターレース信号そのものの画像を表示部に表示することができる。

30

【0021】

上記第4の発明によれば、映像信号線への黒表示に相当する電圧の印加は、極性の異なる電圧が印加された映像信号線同士を短絡させることによって行われる。このため、上記黒表示に相当する電圧の印加には、各映像信号線の配線容量に蓄積されている電荷が用いられる。これにより、消費電力を高めることなく、インターレース信号そのものの画像を表示するために黒表示を挿入することができる。

【0022】

上記第5の発明によれば、映像信号線への黒表示に相当する電圧の印加は、各色用の映像信号線について互いに隣接する映像信号線を短絡させることによって行われる。このため、簡易な構成によって、消費電力を高めることなく、インターレース信号そのものの画像を表示するために黒表示を挿入することができる。

40

【0023】

上記第6の発明によれば、インターレース信号に基づいて当該インターレース信号そのものの画像の表示が行われる時には、プログレッシブ信号に基づいて画像の表示が行われる時よりも、バックライトから照射される光の輝度が大きくなる。このため、黒表示が挿入されることに起因する輝度の低下が抑制される。

【0024】

上記第7の発明によれば、インターレース信号に基づいて当該インターレース信号そのものの画像の表示が行われる時には、プログレッシブ信号に基づいて画像の表示が行われる時よりも、バックライトから照射される光の輝度が2倍になる。各画素形成部の液晶層

50

には、全体の期間のうちほぼ半分の期間において黒表示に相当する電圧が印加されるので、光の輝度が2倍になることにより、黒表示が挿入されることに起因する輝度の低下が効果的に抑制される。

【発明を実施するための最良の形態】

【0025】

以下、添付図面を参照して本発明の実施形態について説明する。

【0026】

< 1. 第1の実施形態 >

< 1. 1 全体構成および動作 >

図2は、本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部100と表示制御回路200とソースドライバ（映像信号線駆動回路）300とゲートドライバ（走査信号線駆動回路）400とセクタ500とマイコン600とバックライト制御回路（バックライト制御手段）700とバックライト800とを備えている。なお、この液晶表示装置はノーマリブラック型である。

10

【0027】

表示部100には、複数本（ n 本）のソースバスライン（映像信号線） $SL1 \sim SLn$ と、複数本（ m 本）のゲートバスライン（走査信号線） $GL1 \sim GLm$ と、それらのソースバスライン $SL1 \sim SLn$ とゲートバスライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個（ $n \times m$ 個）の画素形成部とが含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成し、各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される液晶容量により、画素容量Cpが構成される。なお通常、画素容量Cpに確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

20

【0028】

セクタ500は、画像情報を示す映像信号DVおよびタイミングを取るための複数の信号からなるタイミング信号群TGをこの液晶表示装置の外部の信号源から受け取り、これらの信号DV、TGを表示制御回路200に与えるとともに、映像信号DVがインターレース信号であるかプログレッシブ信号であるかを示す種別信号STを出力する。このように、本実施形態においては、セクタ500によって信号種別判定手段が実現されている。

30

【0029】

表示制御回路200は、セクタ500から出力される映像信号DVとタイミング信号群TGとを受け取り、デジタル画像信号DAと、表示部100に画像を表示するタイミングを制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロープ信号LS、極性反転信号POL、ゲートスタートパルス信号GSP、およびゲートクロック信号GCKを出力する。

40

【0030】

ソースドライバ300は、表示制御回路200から出力されるデジタル画像信号DA、ソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロープ信号LS、および極性反転信号POLを受け取り、表示部100内の各画素形成部の画素容量Cpを充電するために駆動用映像信号を各ソースバスライン $SL1 \sim SLn$ に印加する。なお、ソースドライバ300の詳細な構成については後述する。

【0031】

ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、ゲートバスライン $GL1 \sim GLm$ に

50

アクティブな走査信号を印加する。

【0032】

マイコン600は、セクタ500から出力される種別信号STに基づいて、バックライト800の輝度を制御するための切替指示信号SWを出力する。バックライト制御回路700は、マイコン600から出力される切替指示信号SWに基づいて、バックライト800の輝度を制御（調節）する。例えば、マイコン600は、種別信号STが「映像信号DVがインターレース信号であること」を示していれば、切替指示信号SWの論理レベルをハイレベルにし、種別信号STが「映像信号DVがプログレッシブ信号であること」を示していれば、切替指示信号SWの論理レベルをローレベルにする。そして、バックライト制御回路700は、切替指示信号SWの論理レベルがハイレベルであれば、バックライト800の輝度を通常の2倍にし、切替指示信号SWの論理レベルがローレベルであれば、バックライト800の輝度を通常の輝度にする。このようにして、外部から送られた映像信号DVの種別がインターレース信号の時には、バックライト800の輝度は通常の2倍となる。

10

【0033】

以上のようにして、各ソースバスラインSL1～SLnに駆動用映像信号が印加され、各ゲートバスラインGL1～GLmに走査信号が印加され、映像信号DVの種別に応じてバックライトが点灯されることにより、表示部100に画像が表示される。

【0034】

< 1.2 ソースドライバの構成および動作 >

20

図3は、本実施形態におけるソースドライバ300の構成を示すブロック図である。このソースドライバ300は、ソースバスラインSL1～SLnの数に等しいn段のシフトレジスタ31と、ソースバスラインSL1～SLnにそれぞれ対応する内部画像信号d1～dnを出力するサンプリング・ラッチ回路32と、各ソースバスラインSL1～SLnに印加すべき電圧を選択するための選択回路33と、選択回路33で選択された電圧を駆動用映像信号としてソースバスラインSL1～SLnに印加するための出力回路34と、プラス極性およびマイナス極性における各階調レベルにそれぞれ対応する電圧（階調電圧群）VH0～VHk、VL0～VLkを出力する階調電圧発生回路35と、互いに隣接するソースバスラインに印加される駆動用映像信号の極性を異ならせるためのインバータ36とを備えている。なお、インバータ36については、偶数列目のソースバスラインSL2、SL4、・・・、SLnのみに対応するように設けられている。

30

【0035】

シフトレジスタ31にはソーススタートパルス信号SSPとソースクロック信号SCKとが入力される。シフトレジスタ31は、これらの信号SSP、SCKに基づき、ソーススタートパルス信号SSPに含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ31から各ソースバスラインSL1～SLnに対応するサンプリングパルスが順次に出力され、当該サンプリングパルスはサンプリング・ラッチ回路32に順次に入力される。

【0036】

サンプリング・ラッチ回路32は、表示制御回路200から出力されるデジタル画像信号DAをシフトレジスタ31から出力されるサンプリングパルスのタイミングでサンプリングして保持する。さらに、サンプリング・ラッチ回路32は、ラッチストロープ信号LSのパルスのタイミングで、保持されているデジタル画像信号DAを内部画像信号d1～dnとして一斉に出力する。インバータ36は、極性反転信号POLの極性を反転させる（論理レベルを逆にする）。

40

【0037】

階調電圧発生回路35は、所定の電源回路（不図示）から与えられる複数個の基準電圧に基づき、プラス・マイナスそれぞれの極性について「k+1」の階調レベルに対応する電圧VH0～VHk、VL0～VLkを生成し、これらを階調電圧群として出力する。

【0038】

50

選択回路 33 は、サンプリング・ラッチ回路 32 から出力される内部画像信号 $d_1 \sim d_n$ に基づき、階調電圧発生回路 35 から出力される階調電圧群 $V_{H0} \sim V_{Hk}$ 、 $V_{L0} \sim V_{Lk}$ のうちのいずれかの電圧を選択し、出力する。この際、表示制御回路 200 から出力される極性反転信号 POL の論理レベルに基づいて、電圧の極性が決定される。本実施形態では、極性反転信号 POL の論理レベルがハイレベルであれば選択回路 33 では正の階調電圧が選択され、極性反転信号 POL の論理レベルがローレベルであれば選択回路 33 では負の階調電圧が選択される。選択回路 33 から出力された電圧は出力回路 34 に入力される。

【0039】

出力回路 34 は、選択回路 33 から出力された電圧を例えば電圧ホロアによってインバーダンス変換を行い、変換後の電圧を駆動用映像信号としてソースバスライン $SL_1 \sim SL_n$ に出力する。

【0040】

< 1.3 駆動方法 >

次に、映像信号 DV としてインターレース信号が外部から送られてきたときの駆動方法について説明する。図 4 (a) は、外部から送られる映像信号 DV のデータの内容を模式的に示し、図 4 (b) は、表示制御回路 200 からソースドライバ 300 に送られるデジタル画像信号 DA のデータの内容を模式的に示した図である。映像信号 DV の種別がインターレース信号のときには、図 4 (a) に示すように、まず奇数行目のデータが順次に外部から送られ、次に偶数行目のデータが順次に外部から送られてくる。このようにして 1 画面分のデータが送られると、次の画面のデータについても同様に送られてくる。なお、図 4 (a) は模式的に示したものであり、例えば「1 行目のデータ」には、1 行目の各列 (1 列目 $\sim$ n 列目) に対応して設けられている画素形成部の画素値を示すデータが含まれている。

【0041】

表示制御回路 200 は、図 4 (a) に示すように送られてくる映像信号 DV を受け取り、当該映像信号 DV の (1 行おきの) データに、図 4 (b) に示すように、黒色を表示させるためのデータ (以下、「黒データ」という。) を挿入する。このように、本実施形態においては、表示制御回路 200 によって黒挿入手段が実現されている。なお、奇数行目の 2 つのデータの間に挿入された黒データは、プログレッシブ駆動における偶数行目のデータとなり、偶数行目の 2 つのデータの間に挿入された黒データは、プログレッシブ駆動における奇数行目のデータとなる。このようにして、1 行おきのデータに黒データが挿入されたデジタル画像信号 DA が、表示制御回路 200 からソースドライバ 300 に送られる。

【0042】

図 5 は、本実施形態における駆動方法を説明するための信号波形図である。本実施形態では、図 5 に示すように、連続する 4 フィールドをひとつのまとまりのある単位期間とする駆動方式が採用されている。なお、1 フィールド期間に 1 回の垂直走査が行われるので、1 フィールド期間は 1 垂直走査期間に相当する。

【0043】

図 5 (a) に示すように、極性反転信号 POL については、第 1 および第 2 フィールドでは、先頭の 2 水平走査期間の論理レベルをハイレベルとして 2 水平走査期間毎に反転し、第 3 および第 4 フィールドでは、先頭の 2 水平走査期間の論理レベルをローレベルとして 2 水平走査期間毎に反転している。ここで、駆動用映像信号の極性はこの極性反転信号 POL の論理レベルに基づいて決定されるところ、図 3 に示したように、極性反転信号 POL の論理レベルを逆にするためのインバータ 36 は偶数列目のソースバスライン SL_2 、 SL_4 、 $\dots$ 、 SL_n のみに対応するように設けられている。これにより、第 1 および第 2 フィールドにおける 1 水平走査期間毎の駆動用映像信号の極性の変化は、奇数列目については「正、正、負、負、正、正、負、負、 $\dots$ 」となり、偶数列目については「負、負、正、正、負、負、正、正、 $\dots$ 」となるべきである。一方、第 3 および第 4 フ

10

20

30

40

50

フィールドにおける 1 水平走査期間毎の駆動用映像信号の極性の変化は、奇数列目については「負、負、正、正、負、負、正、正、・・・」となり、偶数列目については「正、正、負、負、正、正、負、負、・・・」となるべきである。また、図 5 (e) ~ (h) に示すように、各ゲートバスラインに印加される走査信号が 1 水平走査期間毎に順次にアクティブとなる。

【 0 0 4 4 】

以上より、連続する 4 フィールドの期間中における各画素形成部の極性の変化は、図 6 に示すようなものとなるべきである。この駆動方法によると、縦方向には 2 行毎に極性が反転している。また、個々の画素形成部に着目すると、2 フィールド毎に極性が反転している。従って、図 6 に示すような極性の変化がもたらされる駆動方式は、「2 H 2 F (フィールド) 反転」と呼ばれている。

10

【 0 0 4 5 】

ところが、表示制御回路 2 0 0 からソースドライバ 3 0 0 に送られるデジタル画像信号 D A には、上述したように黒データが 1 行おきに挿入されている。詳しくは、奇数フィールドにおいては、奇数行目の 2 つのデータの間に偶数行目のデータとしての黒データが挿入され、偶数フィールドにおいては、偶数行目の 2 つのデータの間に奇数行目のデータとしての黒データが挿入されている。従って、デジタル画像信号 D A の波形は、図 5 (b) に示すようなものとなる。その結果、奇数列目のソースバスラインに印加される駆動用映像信号 S (a) の波形は図 5 (c) に示すようなものとなり、偶数列目のソースバスラインに印加される駆動用映像信号 S (b) の波形は図 5 (d) に示すようなものとなる。

20

【 0 0 4 6 】

図 7 は、奇数列目のソースバスラインに印加される駆動用映像信号 S (a) についての各フィールドにおける極性の変化を示す信号波形図である。図 7 (a) ~ (d) に示すように、第 1 フィールドでは「正、0 (黒)、負、0 (黒)、正、0 (黒)、負、0 (黒)、・・・」となり、第 2 フィールドでは「0 (黒)、正、0 (黒)、負、0 (黒)、正、0 (黒)、負、・・・」となり、第 3 フィールドでは「負、0 (黒)、正、0 (黒)、負、0 (黒)、正、0 (黒)、・・・」となり、第 4 フィールドでは「0 (黒)、負、0 (黒)、正、0 (黒)、負、0 (黒)、正、・・・」となっている。偶数列目のソースバスラインに印加される駆動用映像信号 S (b) については、奇数列目のソースバスラインに印加される駆動用映像信号 S (a) とは極性が逆になる。

30

【 0 0 4 7 】

< 1 . 4 効果 >

本実施形態によれば、連続する 4 フィールドの期間中における各画素形成部の極性の変化は、図 1 に示すようなものとなる。なお、図 1 において、斜線部分は黒色の画像が表示される部分を示している。図 1 に示すように、奇数フィールドにおいては、奇数行目についてのみ (有効な) 画像の表示が行われ、偶数行目については黒色の画像が表示される。一方、偶数フィールドにおいては、偶数行目についてのみ (有効な) 画像の表示が行われ、奇数行目については黒色の画像が表示される。このように、本実施形態に係る液晶表示装置では、インターレース信号そのものの画像が表示される。

40

【 0 0 4 8 】

ここで、図 1 で参照符号 4 で示す画素形成部についての 4 フィールド期間における極性は「正、0 (黒)、負、0 (黒)」となっている。図 1 で参照符号 5 で示す画素形成部についての 4 フィールド期間における極性は「負、0 (黒)、正、0 (黒)」となっている。図 1 で参照符号 6 で示す画素形成部についての 4 フィールド期間における極性は「0 (黒)、正、0 (黒)、負」となっている。図 1 で参照符号 7 で示す画素形成部についての 4 フィールド期間における極性は「0 (黒)、負、0 (黒)、正」となっている。このように、全ての画素形成部において、「片方向への電圧の印加 (直流電圧の印加) が行われる」ということはない。すなわち、全ての画素形成部において、液晶層には交流電圧が印加される。このため、表示部 1 0 0 に焼付きや残像が生ずることはない。

【 0 0 4 9 】

50

また、図 1 の各フィールドにおいて、正極性または負極性のいずれか電圧が印加されている画素形成部（黒電圧が印加されている画素形成部以外の画素形成部）のみに着目すると、横方向および縦方向のいずれの方向についても、正極性と負極性とが交互に現れている。このため、この液晶表示装置では、フリッカーの発生が防止される。

【0050】

以上より、本実施形態によると、フリッカーの発生あるいは表示部 100 への焼付きや残像の発生を防止しつつ、インターレース信号そのものの画像を表示することのできる液晶表示装置が実現される。

【0051】

さらに、本実施形態においては、外部から送られる映像信号 DV の種別がインターレース信号である時には、セクタ 500、マイコン 600、およびバックライト制御回路 700 によって、バックライト 800 の輝度が通常時（外部から送られる映像信号 DV の種別がプログレッシブ信号である時）の 2 倍にされる。これにより、黒データが挿入されることに起因する輝度の低下が抑制される。

【0052】

< 2. 第 2 の実施形態 >

< 2. 1 全体構成および動作 >

図 8 は、本発明の第 2 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部 100 と表示制御回路 200 とソースドライバ 300 と第 1 のゲートドライバ 401 と第 2 のゲートドライバ 402 とセクタ 500 とマイコン 600 とバックライト制御回路 700 とバックライト 800 とを備えている。本実施形態においては、上記第 1 の実施形態とは異なり、ゲートドライバは、奇数行目のゲートバスライン GL1、GL3、・・・、GLm-1 を駆動するための第 1 のゲートドライバ 401 と偶数行目のゲートバスライン GL2、GL4、・・・、GLm を駆動するための第 2 のゲートドライバ 402 とに分けられている。なお、本実施形態における液晶表示装置についても、上記第 1 の実施形態と同様、ノーマリブラック型である。

【0053】

表示制御回路 200 は、セクタ 500 から出力される映像信号 DV とタイミング信号群 TG とを受け取り、デジタル画像信号 DA と、表示部 100 に画像を表示するタイミングを制御するためのソーススタートパルス信号 SSP、ソースクロック信号 SCK、ラッチストロープ信号 LS、極性反転信号 POL、短絡制御信号 Csh、第 1 のゲートスタートパルス信号 GSP1、第 1 のゲートクロック信号 GCK1、第 1 のゲートドライバ出力制御信号 GOE1、第 2 のゲートスタートパルス信号 GSP2、第 2 のゲートクロック信号 GCK2、および第 2 のゲートドライバ出力制御信号 GOE2 とを出力する。

【0054】

ソースドライバ 300 は、表示制御回路 200 から出力されるデジタル画像信号 DA、ソーススタートパルス信号 SSP、ソースクロック信号 SCK、ラッチストロープ信号 LS、極性反転信号 POL、および短絡制御信号 Csh を受け取り、表示部 100 内の各画素形成部の画素容量 Cp を充電するために駆動用映像信号を各ソースバスライン SL1 ~ SLn に印加する。

【0055】

本実施形態では、消費電力の低減のために、1 水平走査期間毎に隣接ソースバスライン間を短絡させるチャージシェアリング方式が採用されている。このため、ソースドライバ 300 において駆動用映像信号 S(1) ~ S(n) を出力する部分である出力部は、図 9 に示すように構成されている。すなわち、この出力部は、デジタル画像信号 DA に基づき生成されたアナログ電圧信号 v(1) ~ v(n) を受け取り、これらのアナログ電圧信号 v(1) ~ v(n) をインピーダンス変換することによって、ソースバスライン SL1 ~ SLn で伝達すべき駆動用映像信号 S(1) ~ S(n) を生成するものであり、このインピーダンス変換のための電圧ホロワとして n 個のバッファ 37 を有している。

【0056】

各バッファ 37 の出力端子にはスイッチング素子としての第 1 の MOS トランジスタ S_{Wa} が接続され、各バッファ 37 からの駆動用映像信号 $S(i)$ は第 1 の MOS トランジスタ S_{Wa} を介してソースドライバ 300 の出力端子から出力される ($i = 1, 2, \dots, n$)。また、ソースドライバ 300 の隣接する出力端子間は、スイッチング素子としての第 2 の MOS トランジスタ S_{Wb} によって接続されている。そして、これらの出力端子間の第 2 の MOS トランジスタ S_{Wb} のゲート端子には、短絡制御信号 Csh が与えられ、各バッファ 37 の出力端子に接続された第 1 の MOS トランジスタ S_{Wa} のゲート端子には、インバータ 38 の出力信号すなわち短絡制御信号 Csh の論理反転信号が与えられる。したがって、短絡制御信号 Csh の論理レベルがローレベルのときには、第 1 の MOS トランジスタ S_{Wa} がオンし、第 2 の MOS トランジスタ S_{Wb} がオフするので、各バッファ 37 からの駆動用映像信号は、第 1 の MOS トランジスタ S_{Wa} を介してソースドライバ 300 から出力される。一方、短絡制御信号 Csh の論理レベルがハイレベルのときには、第 1 の MOS トランジスタ S_{Wa} がオフし、第 2 の MOS トランジスタ S_{Wb} がオンするので、各バッファ 37 からの駆動用映像信号は出力されず、表示部 100 における隣接ソースバスライン間が、第 2 の MOS トランジスタ S_{Wb} を介して短絡される。なお、隣接ソースバスライン間を短絡させることで各ソースバスラインの電圧を黒電圧に近づけるとい構成は、消費電力を低減するための手段として従来より提案されており、図 9 に示した構成に限定されるものではない。また、本実施形態においては、図 9 に示した構成によって黒挿入手段が実現されている。

10

20

【0057】

第 1 のゲートドライバ 401 は、表示制御回路 200 から出力される第 1 のゲートスタートパルス信号 $GSP1$ と第 1 のゲートクロック信号 $GCK1$ と第 1 のゲートドライバ出力制御信号 $GOE1$ とに基づいて、奇数行目のゲートバスライン $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ に走査信号 $G(1)$ 、 $G(3)$ 、 $\dots$ 、 $G(m-1)$ を印加する。第 2 のゲートドライバ 402 は、表示制御回路 200 から出力される第 2 のゲートスタートパルス信号 $GSP2$ と第 2 のゲートクロック信号 $GCK2$ と第 2 のゲートドライバ出力制御信号 $GOE2$ とに基づいて、偶数行目のゲートバスライン $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm に走査信号 $G(2)$ 、 $G(4)$ 、 $\dots$ 、 $G(m)$ を印加する。

【0058】

ここで、第 1 のゲートドライバ 401 の構成について図 10 を参照しつつ説明する。第 1 のゲートドライバ 401 は、図 10 に示すように、シフトレジスタ 40 と、当該シフトレジスタ 40 の各段に対応して設けられた第 1 および第 2 の AND ゲート 41、43 と、第 2 の AND ゲート 43 からの出力信号に基づき走査信号 $G(1)$ 、 $G(3)$ 、 $\dots$ 、 $G(m-1)$ を出力する出力部 45 とを備えている。シフトレジスタ 40 には第 1 のゲートスタートパルス信号 $GSP1$ と第 1 のゲートクロック信号 $GCK1$ とが入力され、シフトレジスタ 40 の各段から出力信号 $Q(1)$ 、 $Q(3)$ 、 $\dots$ 、 $Q(m-1)$ が出力される。第 1 の AND ゲート 41 のそれぞれには、第 1 のゲートクロック信号 $GCK1$ の論理反転信号とシフトレジスタ 40 からの出力信号とが入力される。第 2 の AND ゲート 43 のそれぞれには、第 1 のゲートドライバ出力制御信号 $GOE1$ の論理反転信号と第 1 の AND ゲート 41 からの出力信号とが入力される。そして、第 2 の AND ゲート 43 のそれぞれの出力信号が出力部 45 でレベル変換されて、ゲートバスラインに印加すべき走査信号 $G(1)$ 、 $G(3)$ 、 $\dots$ 、 $G(m-1)$ として出力される。なお、第 2 のゲートドライバ 402 の構成については、第 1 のゲートドライバ 401 の構成と同様であるので、説明を省略する。

30

40

【0059】

セレクト 500、マイコン 600、バックライト制御回路 700、およびバックライト 800 の動作については上記第 1 の実施形態と同様であるので説明を省略する。

【0060】

< 2.2 駆動方法 >

次に、本実施形態における駆動方法について、図 11 および図 12 を参照しつつ説明す

50

る。図 1 1 は、第 1 および第 2 フィールドにおける信号波形図であり、図 1 2 は、第 3 および第 4 フィールドにおける信号波形図である。本実施形態においては、上記第 1 の実施形態とは異なり、表示制御回路 2 0 0 からソースドライバ 3 0 0 には、図 4 (a) に示すようにデジタル画像信号 D A が送られてくる。すなわち、データとデータとの間（例えば、1 行目のデータと 3 行目のデータとの間）には黒データは挿入されていない。極性反転信号 P O L については、上記第 1 の実施形態と同様、図 5 (a) に示すように 2 水平走査期間（2 H）毎に論理レベルの反転が行われる。これにより、ソースドライバ 3 0 0 の内部で生成される奇数列目のソースバスライン用のアナログ電圧信号 $v(a)$ の波形は、図 1 1 (a) に示すようなものとなる。このアナログ電圧信号 $v(a)$ に関し、時点 t_1 から時点 t_2 までの期間における値は図 4 (a) の 1 行目のデータの値に相当し、時点 t_2 から時点 t_3 までの期間における値は 3 行目のデータの値に相当する。また、時点 t_4 から時点 t_5 までの期間における値は 2 行目のデータの値に相当し、時点 t_5 から時点 t_6 までの期間における値は 4 行目のデータの値に相当する。なお、偶数列目のソースバスライン用のアナログ電圧信号の波形については、奇数列目のソースバスライン用のアナログ電圧信号 $v(a)$ の波形とは極性が逆になる。

10

【0061】

ソースドライバ 3 0 0 の出力部は図 9 に示すように構成されているところ、表示制御回路 2 0 0 から送られる短絡制御信号 C s h は、図 1 1 (b) に示すように、2 水平走査期間毎に所定の期間 T s h だけハイレベルとなる。上述したように、短絡制御信号 C s h がローレベルのときにはアナログ電圧信号 $v(1) \sim v(n)$ が駆動用映像信号 S (1) ~ S (n) として出力され、短絡制御信号 C s h がハイレベルのときには隣接ソースバスラインが互いに短絡される。本実施形態では、隣接ソースバスラインの電圧は互いに逆極性であって、その絶対値はほぼ等しい。したがって、各駆動用映像信号 S (1) ~ S (n) の電圧は、短絡期間 T s h において、黒表示に相当する電圧（以下、単に「黒電圧」ともいう）となる。これにより、奇数列目のソースバスラインに印加される駆動用映像信号 S (a) の波形は、図 1 1 (c) に示すようなものとなる。なお、偶数列目のソースバスラインに印加される駆動用映像信号の波形については、奇数列目のソースバスラインに印加される駆動用映像信号 S (a) の波形とは極性が逆になる。

20

【0062】

以上のようにして、各ソースバスライン S L 1 ~ S L n に駆動用映像信号 S (1) ~ S (n) が印加されるところ、ゲートバスラインには、図 1 1 (d) ~ (g) に示すような走査信号 G (1) ~ G (4) が印加される（図 1 1 には、1 行目から 4 行目までを示している）。図 1 1 および図 1 2 に示すように、奇数フィールドにおいては、画像データとして有効な駆動用映像信号 S (a) の印加が行われている期間中に、奇数行目のゲートバスラインに印加される走査信号がアクティブになっている。この奇数行目のゲートバスラインへのアクティブな走査信号の印加は 2 水平走査期間（2 H）毎に行われている。また、駆動用映像信号 S (a) が黒電圧となっている期間中には、偶数行目のゲートバスラインに印加される走査信号がアクティブになっている。この偶数行目のゲートバスラインへのアクティブな走査信号の印加は、各ゲートバスラインにつき 4 回ずつ行われている。

30

【0063】

一方、偶数フィールドにおいては、画像データとして有効な駆動用映像信号 S (a) の印加が行われている期間中に、偶数行目のゲートバスラインに印加される走査信号がアクティブになっている。この偶数行目のゲートバスラインへのアクティブな走査信号の印加は 2 水平走査期間（2 H）毎に行われている。また、駆動用映像信号 S (a) が黒電圧となっている期間中には、奇数行目のゲートバスラインに印加される走査信号がアクティブになっている。この奇数行目のゲートバスラインへのアクティブな走査信号の印加は、各ゲートバスラインにつき 4 回ずつ行われている。

40

【0064】

ここで、図 1 1 (d) ~ (g) に示すような走査信号 G (1) ~ G (4) を生成する方法について説明する。図 1 3 は、走査信号の生成について説明するための信号波形図であ

50

る。図 13 (a) に示すように、第 1 のゲートスタートパルス信号 GSP1 は、奇数フィールドにはほぼ 2 水平走査期間だけハイレベルとなり、偶数フィールドにはほぼ 8 水平走査期間だけハイレベルとなる。第 1 のゲートクロック信号 GCK1 については、図 13 (b) に示すように、奇数フィールドにおいても偶数フィールドにおいても、2 水平走査期間 (2H) 毎に短期間のパルスが生じている。第 1 のゲートドライバ出力制御信号 GOE1 については、図 13 (c) に示すように、奇数フィールドには 2 水平走査期間毎に期間 T1 だけハイレベルとなり、偶数フィールドには 2 水平走査期間毎に期間 T2 だけハイレベルとなっている。なお、期間 T2 は期間 T1 よりも長い期間に設定されている。以上のような信号 GSP1、GCK1、および COE1 が、図 10 に示した構成の第 1 のゲートドライバ 401 に入力される。

10

【0065】

図 10 に示した構成により、第 1 のゲートスタートパルス信号 GSP1 と第 1 のゲートクロック信号 GCK1 とに基づいて、シフトレジスタ 40 の各段からは、図 13 (d)、(e) に示すような出力信号 Q(1)、Q(3) が出力される。ここで、上述したように、第 1 の AND ゲート 41 には第 1 のゲートクロック信号 GCK1 の論理反転信号とシフトレジスタ 40 からの出力信号とが入力され、第 2 の AND ゲート 43 には第 1 のゲートドライバ出力制御信号 GOE1 の論理反転信号と第 1 の AND ゲート 41 からの出力信号とが入力される。従って、各ゲートバスラインに印加される走査信号がアクティブになるのは、「シフトレジスタ 40 からの出力信号がハイレベル」かつ「第 1 のゲートクロック信号 GCK1 がローレベル」かつ「第 1 のゲートドライバ出力制御信号 GOE1 がローレベル」の時である。これにより、奇数フィールドにおいては、走査信号 G(1)、G(3) はそれぞれ 1 回だけアクティブとなり、そのアクティブとなる期間の長さは「2 水平走査期間より期間 T1 だけ短い期間」となる。一方、偶数フィールドにおいては、走査信号 G(1)、G(3) はそれぞれ 4 回アクティブとなり、そのアクティブとなる期間の長さは (1 回のアクティブにつき) 「2 水平走査期間より期間 T2 だけ短い期間」となる。

20

【0066】

以上のようにして、図 11 (d)、(f) に示すような走査信号 G(1)、G(3) が生成される。なお、走査信号 G(2)、G(4) については、表示制御回路 200 から第 2 のゲートドライバ 402 に送られる第 2 のゲートスタートパルス信号 GSP2、第 2 のゲートクロック信号 GCK2、および第 2 のゲートドライバ出力制御信号 GOE2 のタイミングを第 1 のゲートスタートパルス信号 GSP1、第 1 のゲートクロック信号 GCK1、および第 1 のゲートドライバ出力制御信号 GOE1 とずらすことにより、走査信号 G(1)、G(3) と同様に生成される。

30

【0067】

< 2.3 効果 >

再度図 11 および図 12 を参照しつつ、本実施形態における効果について説明する。ここでは、1 行目のゲートバスライン GL1 と 1 列目のソースバスライン SL1 との交差点に対応して設けられた画素形成部に着目する。第 1 フィールドにおいては、図 11 (c)、(d) に示すように、駆動用映像信号 S(a) の極性が正になっている期間に走査信号 G(1) がアクティブになる。これにより、第 1 フィールドには、上記画素形成部の極性は正になる。第 2 フィールドにおいては、駆動用映像信号 S(a) が黒電位になっている期間に走査信号 G(1) がアクティブになる。ここで、駆動用映像信号 S(a) が黒電位になる期間は 2 水平走査期間毎に期間 Tsh ずつ現れるところ、これらの期間に走査信号 G(1) は図 11 (d) に示すように 4 回アクティブになる。これにより、第 2 フィールドには、走査信号 G(1) がアクティブになる毎に上記画素形成部は黒電位に近づく。第 3 フィールドにおいては、図 12 (c)、(d) に示すように、駆動用映像信号 S(a) の極性が負になっている期間に走査信号 G(1) がアクティブになる。これにより、第 3 フィールドには、上記画素形成部の極性は負になる。第 4 フィールドにおいては、第 2 フィールドと同様に、駆動用映像信号 S(a) が黒電位になっている期間に走査信号 G(1) が 4 回アクティブになる。これにより、第 4 フィールドには、走査信号 G(1) がアク

40

50

ティブになる毎に上記画素形成部は黒電位に近づく。

【0068】

以上より、連続する4フィールドの期間中における上記画素形成部の極性の変化は、「正、0（黒）、負、0（黒）」となる。このように、上記画素形成部において、片方向への電圧の印加（直流電圧の印加）が行われることはない。他の画素形成部についても、同様に、片方向への電圧の印加が行われることはない。このため、液晶層には直流電圧が印加されず、表示部100に焼付きや残像が生ずることはない。

【0069】

また、本実施形態においては、ソースバスラインへの黒電圧の印加は、互いに隣接するソースバスライン間を短絡させることによって行われる。このため、当該黒電圧の印加には、各ソースバスラインの配線容量に蓄積されている電荷が用いられる。従って、画素容量 C_p への黒電圧に相当する電圧の書き込みのために消費電力が増大することはない。これにより、消費電力の増大を抑制しつつ、インターレース信号そのものの画像を表示することのできる液晶表示装置が実現される。

【0070】

< 3. 変形例 >

上記各実施形態においては駆動方式として「2H2F反転」を例に挙げて説明したが、本発明はこれに限定されず、各画素形成部の極性が2フィールド毎に反転する駆動方式であれば本発明を適用することができる。例えば、図14に示すような「1H2F反転」と呼ばれる駆動方式や図15に示すような「3H2F反転」と呼ばれる駆動方式についても本発明を適用することができる。「1H2F反転」の場合には、連続する4フィールドの期間中における各画素形成部の極性の変化は図16に示すようなものとなる。また、「3H2F反転」の場合には、連続する4フィールドの期間中における各画素形成部の極性の変化は図17に示すようなものとなる。図16および図17に示すように、いずれの画素形成部についても、片方向への電圧の印加（直流電圧の印加）が行われることはなく、連続する4フィールド期間で交流駆動が行われている。このため、インターレース信号そのものの画像を表示しても、表示部100に焼付きや残像が生ずることはない。

【0071】

また、上記第2の実施形態において、表示制御回路200からソースドライバ300には図4（b）に示すようなデジタル画像信号DAが送られるものとし、隣接ソースバスライン間を短絡させた後（チャージシェア後）に黒データの書き込みが行われる構成にしても良い。これにより、1行おきの（有効な）画像データ間への黒画像の挿入が効果的に行われる。

【図面の簡単な説明】

【0072】

【図1】本発明の第1の実施形態に係る液晶表示装置において、連続する4フィールドの期間中における各画素形成部の極性の変化を示す図である。

【図2】上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態において、ソースドライバの構成を示すブロック図である。

【図4】上記第1の実施形態において、デジタル画像信号のデータの内容を模式的に示した図である。

【図5】上記第1の実施形態における駆動方法を説明するための信号波形図である。

【図6】2H2F反転における各画素形成部の極性の変化を示す図である。

【図7】上記第1の実施形態において、奇数列目のソースバスラインに印加される駆動用映像信号についての各フィールドにおける極性の変化を示す信号波形図である。

【図8】本発明の第2の実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図9】上記第2の実施形態において、ソースドライバの出力部の構成を示す回路図である。

10

20

30

40

50

【図 10】上記第 2 の実施形態において、第 1 のゲートドライバの構成を示すブロック図である。

【図 11】上記第 2 の実施形態において、第 1 および第 2 フィールドにおける信号波形図である。

【図 12】上記第 2 の実施形態において、第 3 および第 4 フィールドにおける信号波形図である。

【図 13】上記第 2 の実施形態において、走査信号の生成について説明するための信号波形図である。

【図 14】1 H 2 F 反転における各画素形成部の極性の変化を示す図である。

【図 15】3 H 2 F 反転における各画素形成部の極性の変化を示す図である。

【図 16】1 H 2 F 反転を本発明に適用した場合の各画素形成部の極性の変化を示す図である。

【図 17】3 H 2 F 反転を本発明に適用した場合の各画素形成部の極性の変化を示す図である。

【図 18】ドット反転駆動を採用する液晶表示装置において、連続する 4 フィールドの期間中における極性の変化を示す図である。

【図 19】従来例において、擬似的なインターレース方式による画像表示が行われた場合の連続する 4 フィールドの期間中における極性の変化を示す図である。

【符号の説明】

【0073】

100 ... 表示部

200 ... 表示制御回路

300 ... ソースドライバ（映像信号線駆動回路）

400 ... ゲートドライバ（走査信号線駆動回路）

500 ... セレクタ

600 ... マイコン

700 ... バックライト制御回路

800 ... バックライト

C s h ... 短絡制御信号

D A ... デジタル画像信号

G L j ... ゲートバスライン（走査信号線）（ $j = 1, 2, \dots, m$ ）

P O L ... 極性反転信号

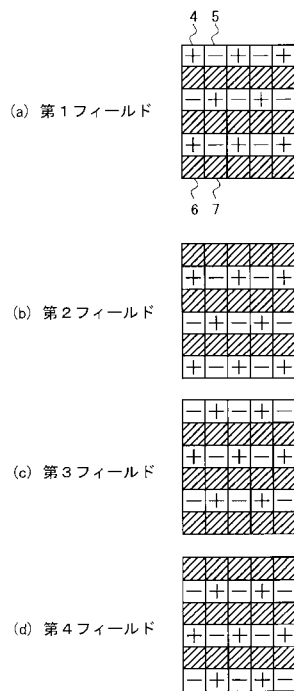
S L i ... ソースバスライン（映像信号線）（ $i = 1, 2, \dots, n$ ）

10

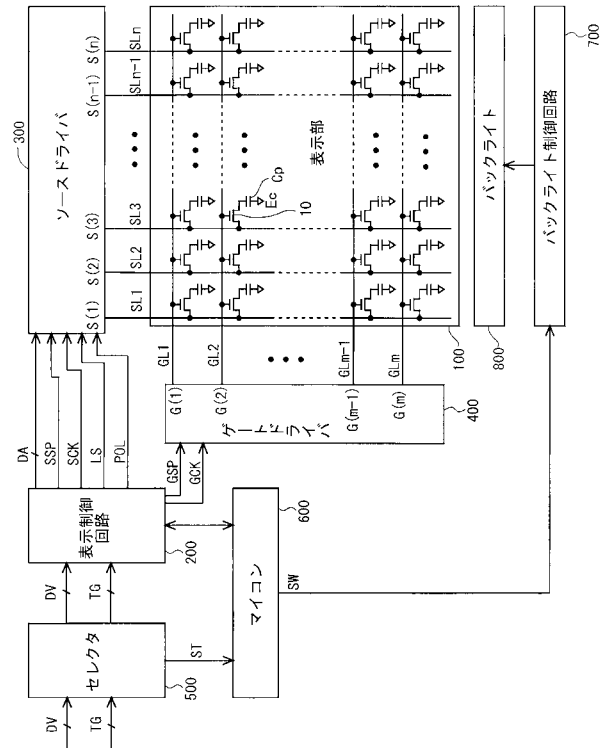
20

30

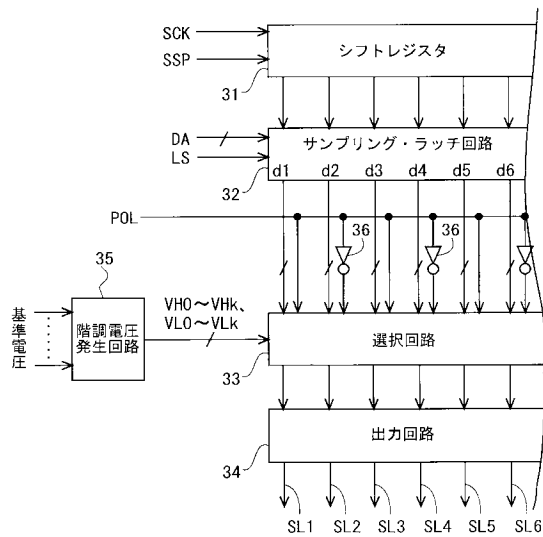
【図 1】



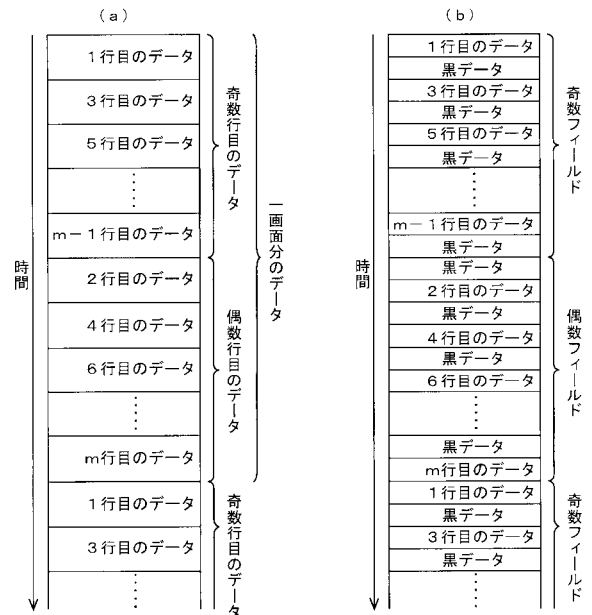
【図 2】



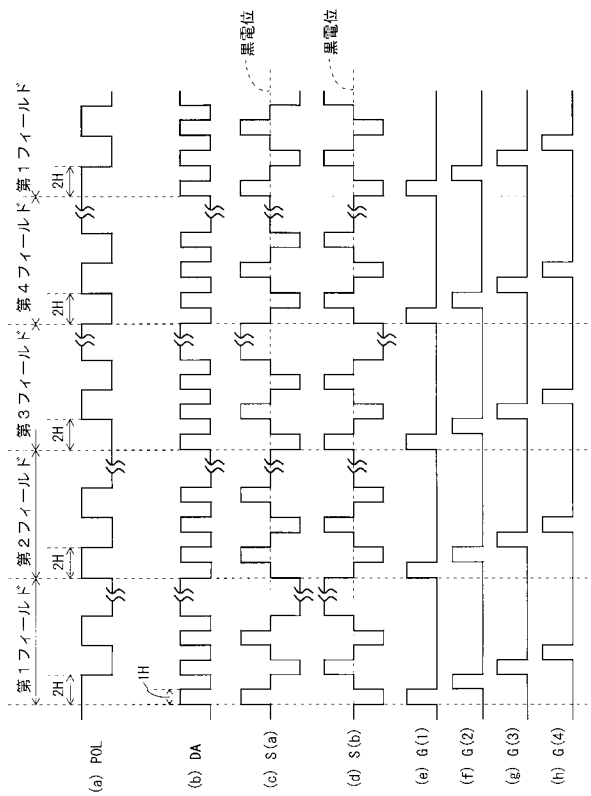
【図 3】



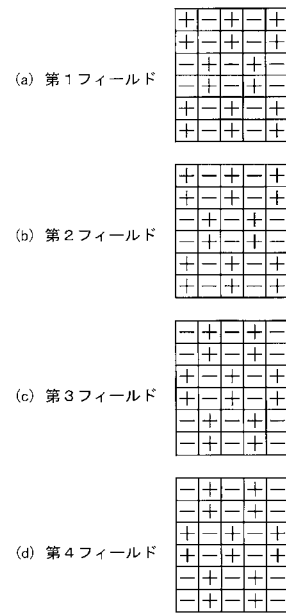
【図 4】



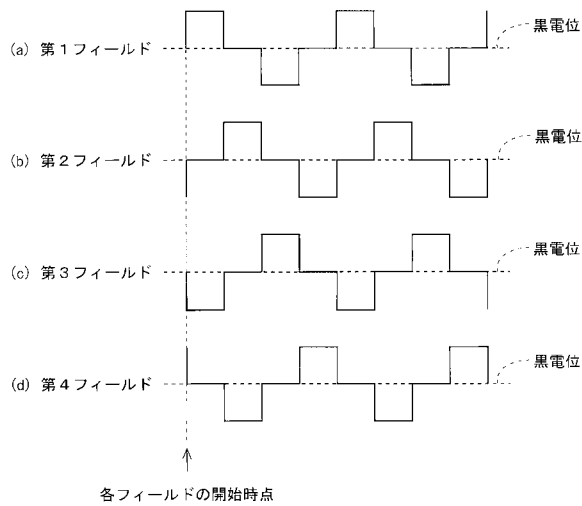
【図 5】



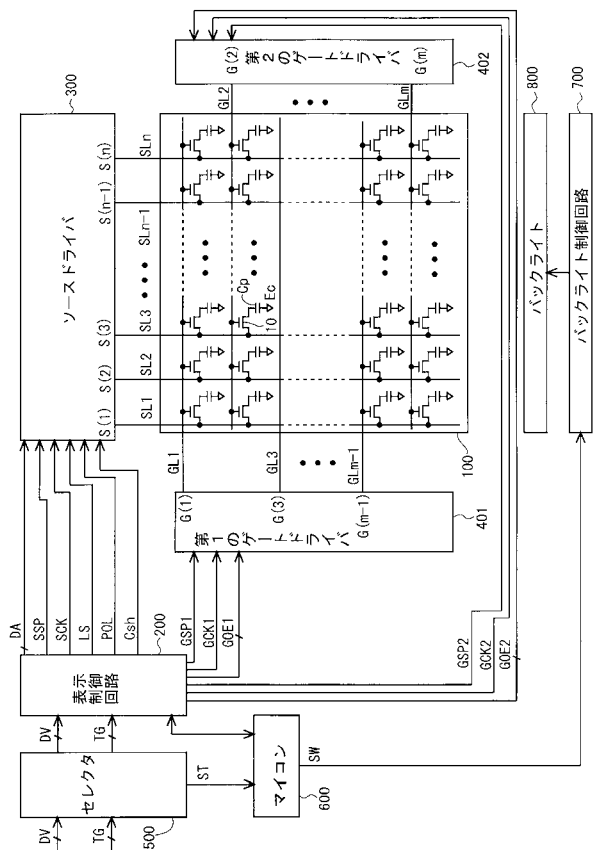
【図 6】



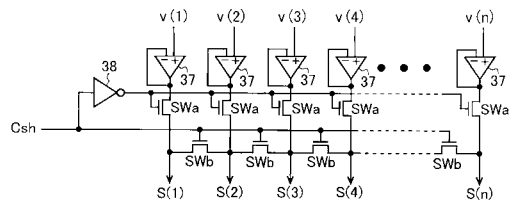
【図 7】



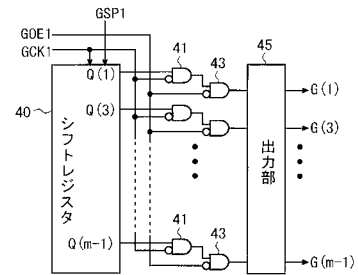
【図 8】



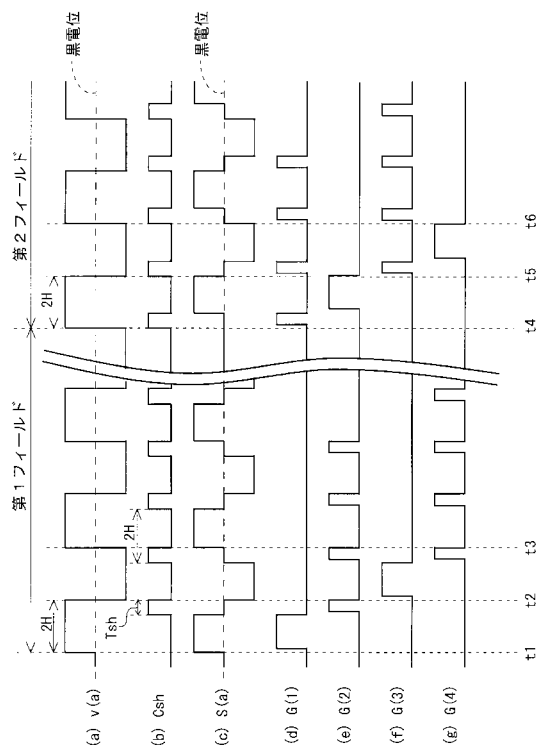
【 図 9 】



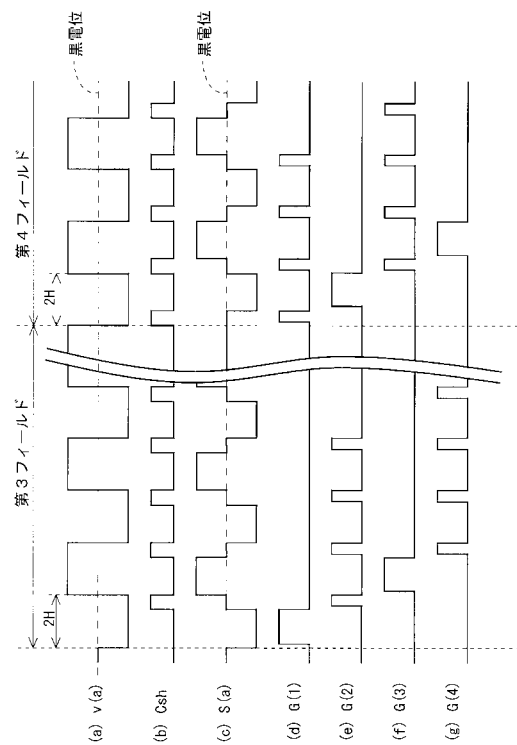
【 図 1 0 】



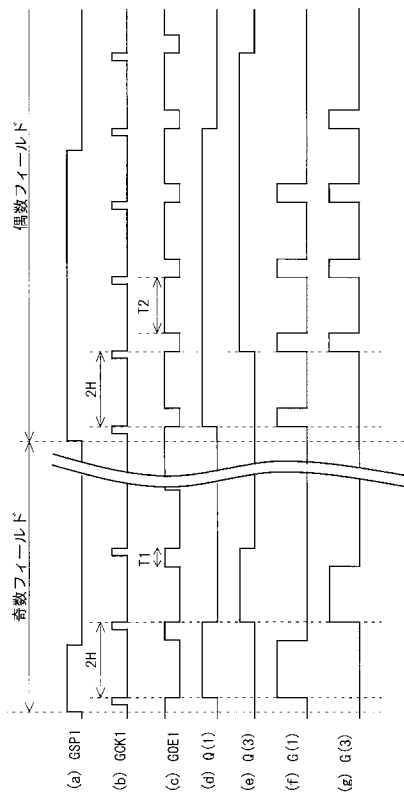
【 図 1 1 】



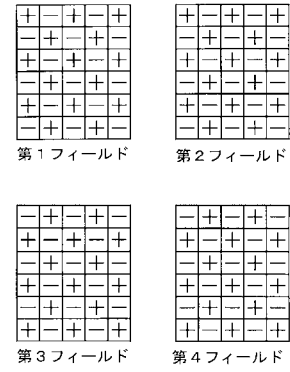
【 ㊦ 1 2 】



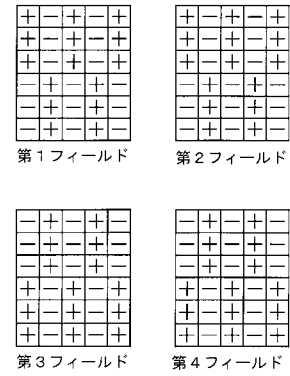
【図 13】



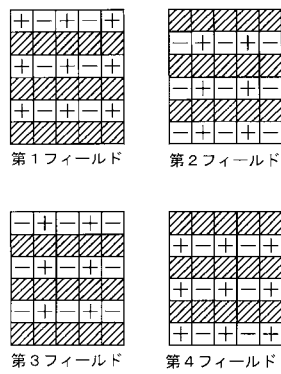
【図 14】



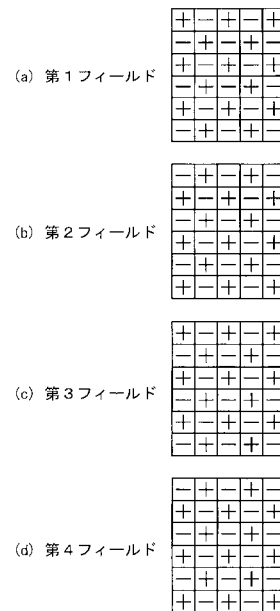
【図 15】



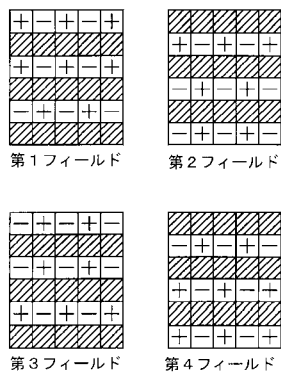
【図 16】



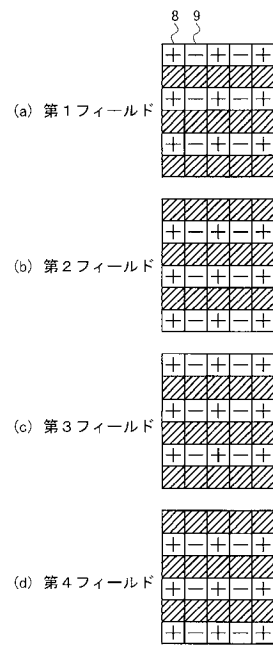
【図 18】



【図 17】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 5 0 A
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 5 0 E
G 0 9 G	3/34	J
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 7 0 K
H 0 4 N	5/66	1 0 2 B
G 0 2 F	1/133	5 5 0

F ターム(参考) 5C006 AA01 AA16 AC11 AC21 AC22 AC24 AC27 AC28 AC29 AC30
 AF42 AF43 AF44 AF45 AF51 AF53 AF71 AF83 BB16 BC03
 BC12 BC22 BF03 BF04 BF11 BF15 BF24 BF25 BF26 BF27
 BF34 BF43 EA01 FA04 FA23 FA34 FA38 FA47 FA54
 5C058 AA06 BA02 BA30 BB13 BB15
 5C080 AA10 BB05 DD06 DD26 DD29 EE17 EE26 EE28 EE29 FF11
 GG08 JJ02 JJ03 JJ04 KK02 KK43

专利名称(译)	液晶显示装置，驱动电路及其驱动方法		
公开(公告)号	JP2008242144A	公开(公告)日	2008-10-09
申请号	JP2007083525	申请日	2007-03-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	片上正幸		
发明人	片上 正幸		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 H04N5/66 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.621.B G09G3/20.623.W G09G3/20.623.C G09G3/20.623.Y G09G3/20.623.R G09G3/20.650.A G09G3/20.622.N G09G3/20.650.E G09G3/34.J G09G3/20.612.U G09G3/20.642.E G09G3/20.670.K H04N5/66.102.B G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NC13 2H093/NC34 2H093/NC35 2H093/ND04 2H093/ND12 2H093/ND32 2H093/ND34 2H093/ND35 5C006/AA01 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AC30 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC22 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF15 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF43 5C006/EA01 5C006/FA04 5C006/FA23 5C006/FA34 5C006/FA38 5C006/FA47 5C006/FA54 5C058/AA06 5C058/BA02 5C058/BA30 5C058/BB13 5C058/BB15 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/DD29 5C080/EE17 5C080/EE26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK43 2H193/ZA04 2H193/ZC02 2H193/ZC13 2H193/ZC14 2H193/ZC15		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在不发生余像或癫痫发作的情况下显示隔行信号图像的液晶显示装置。在奇数场中，在奇数行的数据和数字图像信号之间插入黑色数据，其中在偶数场中的偶数行的数据之间插入黑色数据从显示控制电路传输到源极驱动器它发送。源极驱动器将驱动视频信号施加到每个源极总线，使得当选择每个栅极总线时施加到每个源极总线的驱动视频信号的极性每两个场被反转。到。在每个像素形成部分中，以连续四个场周期作为一个单位周期执行交流驱动。点域1

