

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-316635

(P2007-316635A)

(43) 公開日 平成19年12月6日(2007.12.6)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 624C	5C080
	G09G 3/20 623Z	
	G09G 3/20 612U	
審査請求 未請求 請求項の数 35 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2007-129395 (P2007-129395)	(71) 出願人	390019839
(22) 出願日	平成19年5月15日 (2007.5.15)		三星電子株式会社
(31) 優先権主張番号	10-2006-0046028		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成18年5月23日 (2006.5.23)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	李 白 雲
			大韓民国京畿道龍仁市水枝区新鳳洞 エル
			ジー新鳳ザイ1次アパートメント104棟
			902号
		Fターム(参考)	2H093 NB07 NC02 NC03 NC16 ND32
			ND33 ND39 ND49 ND58
			5C006 AA16 BB16 BF34 FA14 FA47
			5C080 AA10 BB05 DD26 EE29 FF11
			JJ02 JJ03 JJ04 JJ06

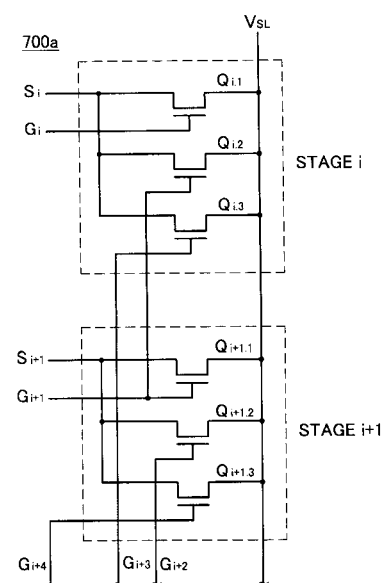
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】電力消費の小さい液晶表示装置を提供する。

【解決手段】画素電極を有し、行列状に配列された画素と、前記画素電極にデータ電圧を供給するデータ線と、前記画素電極に前記データ電圧が印加される期間（充電期間）を決定するゲート信号を供給するゲート線と、蓄積電極線を一側電極とし、前記画素に充電された電圧を充電完了時から次の充電時まで（維持期間）維持する蓄積キャパシタと、前記充電期間中に第1蓄積電圧を前記蓄積電極線に印加し、前記維持期間中に第1蓄積電圧と大きさの異なる第2蓄積電圧を少なくとも2回前記蓄積電極線に印加する蓄積電極線駆動部とを含むことを特徴とする表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

画素電極を有し、行列状に配列された画素と、
前記画素電極にデータ電圧を供給するデータ線と、
前記画素電極に前記データ電圧が印加される期間（充電期間）を決定するゲート信号を供給するゲート線と、
蓄積電極線を一側電極とし、前記画素に充電された電圧を充電完了時から次の充電時まで（維持期間）維持する蓄積キャパシタと、
前記充電期間中に第 1 蓄積電圧を前記蓄積電極線に印加し、前記維持期間中に第 1 蓄積電圧と大きさの異なる第 2 蓄積電圧を少なくとも 2 回前記蓄積電極線に印加する蓄積電極線駆動部とを含むことを特徴とする表示装置。 10

【請求項 2】

前記蓄積電極線は、前記ゲートラインに平行して形成され、それぞれの蓄積電極線は一つの画素行に含まれた全ての画素電極と重畳することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記蓄積電極線駆動部は、一つの蓄積電極線と各々接続される複数のステージを含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記データ電圧は、最低階調から最高階調までの範囲が各々 $V_0 \sim V_f$ の第 1 極性及び $V_f \sim V_0$ の第 2 極性を有することを特徴とする請求項 3 に記載の表示装置（ $V_f > V_0$ ）。 20

【請求項 5】

前記データ電圧の極性は、同じ画素行に属する全ての画素電極において同一であり、画素行ごとに反転することを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記第 2 蓄積電圧は、前記データ電圧が第 1 極性であれば第 1 蓄積電圧より大きく、前記データ電圧が第 2 極性であれば第 1 蓄積電圧より小さいことを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記蓄積電極線駆動部は、駆動電圧源をさらに含むことを特徴とする請求項 6 に記載の表示装置。 30

【請求項 8】

前記各ステージは、前記駆動電圧源に接続された入力端子と、前記蓄積電極線に接続された出力端子と、制御信号が入力される制御端子と、前記制御信号によって前記入力端子と出力端子との電氣的接続を制御するスイッチング素子とを含むことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記蓄積電極駆動部は、
第 1 制御端子乃至第 3 制御端子と、 40
前記蓄積電極線に接続されたドレイン電極、前記入力端子に接続されたソース電極、及び前記第 1 制御端子に接続されたゲート電極を有する第 1 スwitching 素子と、
前記蓄積電極線に接続されたドレイン電極、前記入力端子に接続されたソース電極、及び前記第 2 制御端子に接続されたゲート電極を有する第 2 スwitching 素子と、
前記蓄積電極線に接続されたドレイン電極、前記入力端子に接続されたソース電極、及び前記第 3 制御端子に接続されたゲート電極を有する第 3 スwitching 素子とを含むことを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

第 1 乃至第 3 制御端子には、互いに独立的な第 1 乃至第 3 制御信号が各々入力されることを特徴とする請求項 9 に記載の表示装置。 50

【請求項 1 1】

前記第 1 制御端子は、前記蓄積電極線と重畳する画素行のゲート線と接続されることを特徴とする請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記第 2 制御端子は、前記蓄積電極線が重畳する画素行の下側に隣接した画素行のゲート線と接続されることを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記駆動電圧源は、前記充電期間を 1 周期として、第 1 駆動電圧と、第 1 駆動電圧と大ききの異なる第 2 駆動電圧とを交互に生成することを特徴とする請求項 1 2 に記載の表示装置。

10

【請求項 1 4】

i 番目のステージの前記第 3 制御端子には、 $i + 2k + 1$ (k は 1 以上の自然数) 番目のゲート線が接続されることを特徴とする請求項 1 0 に記載の表示装置。

【請求項 1 5】

$2k + 1$ (k は 1 以上の自然数) 個のダミーゲート線をさらに含むことを特徴とする請求項 1 4 に記載の表示装置。

【請求項 1 6】

前記駆動電圧源は、前記充電期間と維持期間とを合せた期間を 1 周期として、第 1 駆動電圧と、第 1 駆動電圧と大ききの異なる第 2 駆動電圧とを交互に生成する駆動電圧源を含むことを特徴とする請求項 9 に記載の表示装置。

20

【請求項 1 7】

隣接した任意の二つの蓄積電圧駆動部のうちのいずれか一つは、前記駆動電圧の位相を反転させるインバータをさらに含み、前記入力端子と前記駆動電圧源とは前記インバータを通じて電氣的に接続されることを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】

前記第 1 駆動電圧と第 2 駆動電圧の交代は、第 1 画素行の充電期間が経過した直後に行われることを特徴とする請求項 1 7 に記載の表示装置。

【請求項 1 9】

前記 i 番目のステージの前記第 3 制御端子には、 $i + k$ (k は 2 以上の自然数) 番目のゲート線が接続されることを特徴とする請求項 1 8 に記載の表示装置。

30

【請求項 2 0】

前記第 1 制御端子は、前記蓄積電極線が重畳する画素行に接続されたゲート線と接続されることを特徴とする請求項 1 9 に記載の表示装置。

【請求項 2 1】

k (k は 1 以上の自然数) 個のダミーゲート線をさらに含むことを特徴とする請求項 2 0 に記載の表示装置。

【請求項 2 2】

前記駆動電圧源は、前記充電期間と維持期間とを合せた期間を 1 周期として、第 1 駆動電圧と、第 1 駆動電圧と大ききの異なる第 2 駆動電圧とを交互に生成する第 1 駆動電圧源及び第 2 駆動電圧源を含み、前記第 1 及び第 2 駆動電圧源が生成する駆動電圧は位相が互いに反対であることを特徴とする請求項 1 6 に記載の表示装置。

40

【請求項 2 3】

前記第 1 駆動電圧源と第 2 駆動電圧源は、上下に隣接した二つの蓄積電極駆動部の入力端子に交互に接続されることを特徴とする請求項 2 2 に記載の表示装置。

【請求項 2 4】

前記第 1 駆動電圧と第 2 駆動電圧の交代は、第 1 画素行の充電期間が経過した直後に行われることを特徴とする請求項 2 3 に記載の表示装置。

【請求項 2 5】

前記第 1 制御端子には、前記蓄積電極線が重畳する画素行のゲート線の下側に隣接したゲート線が接続され、前記第 2 制御端子には少なくとも k (k は 2 以上の自然数) 番目の

50

ゲート線が接続されることを特徴とする請求項 2 4 に記載の表示装置。

【請求項 2 6】

前記第 3 制御端子は、前記蓄積電極線が重畳する画素行に接続されたゲート線と接続されることを特徴とする請求項 2 5 に記載の表示装置。

【請求項 2 7】

$2k+1$ (k は 1 以上の自然数) 個のダミーゲート線をさらに含むことを特徴とする請求項 2 2 に記載の表示装置。

【請求項 2 8】

前記蓄積電極線は、前記ゲート電極と平行する方向に前記ゲート電極と同時に形成されることを特徴とする請求項 2 7 に記載の表示装置。

10

【請求項 2 9】

前記第 1 乃至第 3 スイッチング素子は、前記ゲート線、データ線、及び画素電極と共に形成される薄膜トランジスタであることを特徴とする請求項 2 8 に記載の表示装置。

【請求項 3 0】

前記ドレイン電極は、前記データ線と共に形成されることを特徴とする請求項 2 9 に記載の表示装置。

【請求項 3 1】

前記ドレイン電極と前記蓄積電極線とを電氣的に接続する接続配線をさらに含むことを特徴とする請求項 3 0 に記載の表示装置。

【請求項 3 2】

前記接続配線は、前記画素電極と共に形成されることを特徴とする請求項 3 1 に記載の表示装置。

20

【請求項 3 3】

前記ドレイン電極は、前記蓄積電極線の方に延長された延長部、及び前記延長部と絶縁層を間にして重畳する第 1 電極及び第 2 電極をさらに含むことを特徴とする請求項 3 2 に記載の表示装置。

【請求項 3 4】

前記第 1 電極と前記第 2 電極とは、前記延長部を間にして対向することを特徴とする請求項 3 3 に記載の表示装置。

【請求項 3 5】

前記第 1 電極は前記ゲート電極と共に形成され、前記第 2 電極は前記画素電極と共に形成されることを特徴とする請求項 3 4 に記載の表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置及びその駆動装置に関する。

【背景技術】

【0002】

一般的な液晶表示装置 (liquid crystal display、LCD) は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性 (dielectric anisotropy) を有する液晶層とを含む。

40

【0003】

このような液晶表示装置において、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このとき、液晶層に一方向の電界が永らく印加されることによって発生する劣化現象を防止するために、フレーム別に、行別に、または画素別に共通電圧に対するデータ電圧の極性を反転させる。しかし、従来の液晶表示装置は、データ電圧の極性反転のために広い範囲にわたるデータ電圧を用いることによって、データ電圧の出力に消耗される電力が多かった。

【0004】

50

また、液晶分子の遅い応答速度のため、液晶容量に充電される電圧（以下、画素電圧という）が目標電圧、つまり、所望の輝度が得られる電圧まで到達するためにはある程度の時間がかかり、この時間は液晶容量に直前に充電されていた電圧との差によって変わる。したがって、例えば、目標電圧と直前の電圧との差が大きい場合、最初から目標電圧のみを印加すると、スイッチング素子が導通している時間の間に目標電圧に到達できない場合がある。

【0005】

このような問題を解決するために、液晶に目標階調電圧以上の電圧、つまり、オーバーシュートを加えて液晶の応答速度を高める駆動方法が用いられているが、階調別オーバーシュートの量が相異しているため、これを保存する記憶素子や演算のための素子などの追加が必要であり、追加された素子の駆動に電力が消費されるという問題がある。 10

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、電力消費の小さい液晶表示装置を提供することをその目的とする。
また、本発明は、別途の記憶素子や演算素子を追加することなく、応答速度が向上した液晶表示装置を提供することをその目的とする。

【課題を解決するための手段】

【0007】

本発明の一実施形態による表示装置は、画素電極を有し、行列状に配列された画素と、画素電極にデータ電圧を供給するデータ線と、画素電極にデータ電圧が印加される期間（充電期間）を決定するゲート信号を供給するゲート線と、蓄積電極線を一側電極とし、画素に充電された電圧を充電完了時から次の充電時まで（維持期間）維持する蓄積容量と、充電期間中に第1蓄積電圧を前記蓄積電極線に印加し、維持期間中に第1蓄積電圧と大きさの異なる第2蓄積電圧を少なくとも2回蓄積電極線に印加する蓄積電極線駆動部とを含む。 20

【0008】

蓄積電極線は、ゲートラインに平行して形成され、それぞれの蓄積電極線は一つの画素行に含まれた全ての画素電極と重畳（オーバーラップ）してもよい。

【0009】

蓄積電極線駆動部は、一つの蓄積電極線と各々接続される複数のステージを含んでもよい。 30

【0010】

データ電圧は、最低階調から最高階調までの範囲が各々 $V_0 \sim V_f$ の第1極性、及び $V_f \sim V_0$ の第2極性を有してもよい（ $V_f > V_0$ ）。データ電圧の極性は、同じ画素行に属する全ての画素電極で同一であり、画素行ごとに反転してもよい。

【0011】

第2蓄積電圧は、データ電圧が第1極性であれば第1蓄積電圧より大きいことがあり、データ電圧が第2極性であれば第1蓄積電圧より小さいことがある。蓄積電極線駆動部（Storage electrode line driver）は、駆動電圧源をさらに含んでもよい。 40

【0012】

各ステージは、駆動電圧源に接続された入力端子と、蓄積電極線に接続された出力端子と、制御信号が入力される制御端子と、前記制御信号によって前記入力端子と出力端子との電氣的接続を制御するスイッチング素子とを含んでもよい。

【0013】

蓄積電極線駆動部は、第1制御端子乃至第3制御端子、蓄積電極線に接続されたドレイン電極、入力端子に接続されたソース電極、及び第1制御端子に接続されたゲート電極を有する第1スイッチング素子と、蓄積電極線に接続されたドレイン電極、入力端子に接続されたソース電極、及び第2制御端子に接続されたゲート電極を有する第2スイッチング素子 50

と、蓄積電極線に接続されたドレイン電極、入力端子に接続されたソース電極、及び第3制御端子に接続されたゲート電極を有する第3スイッチング素子とを含んでもよい。

【0014】

第1乃至第3制御端子には互いに独立的な第1乃至第3制御信号が各々入力されてもよい。第1制御端子は、蓄積電極線と重畳する画素行のゲート線と接続されてもよい。第2制御端子は、蓄積電極線が重畳する画素行の下側に隣接する画素行のゲート線と接続される。

【0015】

駆動電圧源は、充電期間を1周期として、第1駆動電圧と、第1駆動電圧と大きさの異なる第2駆動電圧を交互に生成してもよい。 i 番目のステージの第3制御端子には $i + 2k + 1$ (k は1以上の自然数)番目のゲート線が接続され、 $2k + 1$ (k は1以上の自然数)個のダミーゲート線をさらに含んでもよい。駆動電圧源は、充電期間と維持期間とを合わせた期間を1周期として、第1駆動電圧と、第1駆動電圧と大きさの異なる第2駆動電圧とを交互に生成する駆動電圧源を含んでもよい。 10

【0016】

隣接した任意の二つの蓄積電圧駆動部のうちのいずれか一つは、駆動電圧の位相を反転させるインバータをさらに含み、入力端子と駆動電圧源とはインバータを通じて電氣的に接続される。

【0017】

第1駆動電圧と第2駆動電圧の交代は、第1画素行の充電期間が経過した直後に行われてもよく、 i 番目のステージの第3制御端子は、 $i + k$ (k は2以上の自然数)番目のゲート線と接続されてもよい。 20

【0018】

蓄積電極線駆動部700は、第3制御端子及び蓄積電極線に接続されたドレイン電極、入力端子に接続されたソース電極、及び第3制御端子に接続されたゲート電極を有する第3スイッチング素子をさらに含んでもよい。第3制御端子は、蓄積電極線が重畳する画素行に接続されたゲート線と接続されてもよい。第3制御端子は、 k (k は1以上の自然数)個のダミーゲート線をさらに含んでもよい。

【0019】

駆動電圧源は、充電期間と維持期間とを合わせた期間を1周期として、第1駆動電圧と、第1駆動電圧と大きさの異なる第2駆動電圧とを交互に生成する第1駆動電圧源及び第2駆動電圧源を含み、第1及び第2駆動電圧源が生成する駆動電圧は位相が互いに反対であってもよい。 30

【0020】

第1駆動電圧源と第2駆動電圧源は上下に隣接した二つの蓄積電極駆動部の入力端子に交互に接続されてもよく、第1駆動電圧と第2駆動電圧との交代は第1画素行の充電期間が経過した直後に行われてもよい。

【0021】

第1制御端子には、蓄積電極線が重畳する画素行のゲート線の下側に隣接するゲート線が接続され、第2制御端子には少なくとも k (k は2以上の自然数)番目のゲート線が接続されてもよい。 40

【0022】

表示装置は、第3制御端子及び蓄積電極線に接続されたドレイン電極と、入力端子に接続されたソース電極と、第3制御端子に接続されたゲート電極とを有する第3スイッチング素子をさらに含むことができ、第3制御端子は蓄積電極線の重畳する画素行に接続されたゲート線と接続されてもよい。

【発明の効果】

【0023】

本発明によれば、容量性負荷の面積を広げる代わり、前記のように容量性負荷を複数の層に積層して形成することによって、十分な容量を確保することが可能である。 50

【0024】

このように、本発明によれば、蓄積電圧の変化によって画素電圧の範囲が広がるので、実際に印加されるデータ電圧の範囲を減少させても同一の水準の階調表現が可能である。

【0025】

また、液晶容量が目標階調に相当する容量に到達できない場合には、液晶容量によるオーバーシュートが発生するので、別途の記憶素子や演算素子なしでも液晶の応答速度の向上が可能であり、素子の追加による電力消耗がない。

【0026】

また、蓄積電圧を何回かに分けて印加することにより、電圧の蓄積に必要な電荷を十分に供給し、そのためキックバック現象による電圧降下を減らすことができる。

10

【0027】

さらに、容量性負荷の面積を広げる代わりに、上記のように容量性負荷を複数の層に積層して形成することにより、十分な容量を確保することが可能である。

【発明を実施するための最良の形態】

【0028】

以下、添付した図面を参照しながら、本発明についてさらに詳細に説明する。

まず、図1及び図2を参照して本発明の一実施形態による液晶表示装置について詳細に説明する。

【0029】

図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

20

【0030】

図1に示すように、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、液晶表示板組立体300に接続されたゲート駆動部 (Gate driver) 400及びデータ駆動部 (Data driver) 500、蓄積電極線駆動部 (Storage electrode line driver) 700、データ駆動部500に接続された階調電圧生成部 (Gray voltage generator) 800、並びにこれらを制御する信号制御部 (Signal controller) 600を含む。

【0031】

液晶表示板組立体300は、等価回路から見れば、複数の信号線G1～Gn、D1～DmおよびS1～Snと、これらに接続され、ほぼ行列状に配列された複数の画素PXとを含む。一方、図2に示すように、液晶表示板組立体300は、互いに対向する下部及び上部表示板100、200と、その間に入っている液晶層3とを含む。

30

【0032】

ゲート線G1～Gnはほぼ行方向にのび、互いにほとんど平行であり、データ線D1～Dmはほぼ列方向にのび、互いにほとんど平行である。蓄積電極線S1～Snはゲート線G1～Gnに対してほとんど平行にのび、互いにほとんど平行であり、対応する画素行に各々重畳している。

【0033】

各画素PX、例えば、i番目 ($i = 1, 2, \dots, n$) のゲート線Giと、j番目 ($j = 1, 2, \dots, m$) のデータ線Djとに接続された画素PXは、信号線Gi、Djに接続されたスイッチング素子Qと、スイッチング素子Qに接続された液晶容量 (liquid crystal capacitor) Clcと、蓄積容量 (storage capacitor) Cstとを含む。

40

【0034】

スイッチング素子Qは、下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線Giと接続されており、入力端子はデータ線Djと接続されており、出力端子は液晶容量Clc及び蓄積容量Cstと接続されている。

【0035】

50

液晶容量 C_{lc} は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 とを二つの端子とし、二つの電極 191、270 の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 Q と接続され、共通電極 270 は上部表示板 200 の全面に形成されており、共通電圧 V_{com} の印加を受ける。本発明において、共通電圧は一定の大きさを有する直流 (DC) 電圧である。共通電極 270 は下部表示板 100 に形成してもよい。

【0036】

液晶容量 C_{lc} の補助的な役割を果たす蓄積容量 C_{st} は、下部表示板 100 に具備された蓄積電極線 $S_1 \sim S_n$ と、画素電極 191 とが絶縁体をその間に重畳してなり、この蓄積電極線 $S_1 \sim S_n$ には低レベルまたは高レベル電圧が印加され、低レベル電圧の一例としては 0 V であり、高レベル電圧の一例としては 5 V であってもよい。

【0037】

図 2 において、各画素 PX は、画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示すカラーフィルタ 230 を備える。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上または下に形成されてもよい。

【0038】

液晶表示板組立体 300 の外側面には、光を偏光させる少なくとも一つの偏光子 (図示せず) が設置されている。

【0039】

再び図 1 を参照すれば、階調電圧生成部 800 は基準階調電圧を生成する。信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500 などを制御する。

【0040】

このような駆動装置 400、500、600、700、800 各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体 300 上に直接設置されてもよく、フレキシブル印刷回路膜 (flexible printed circuit film) (図示せず) 上に装着されて TCP (tape carrier package) の形態で液晶表示板組立体 300 に設置されてもよく、別途の印刷回路基板 (printed circuit board) (図示せず) 上に装着されてもよい。駆動装置 400、500、600、700、800 は、信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ 、 $S_1 \sim S_n$ 及び薄膜トランジスタスイッチング素子 Q などと共に液晶表示板組立体 300 に集積されてもよい。

【0041】

信号制御部 600 は、外部のグラフィック制御機 (図示せず) から入力映像信号 R 、 G 、 B 及びその表示を制御する入力制御信号を受信する。入力制御信号の例としては、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、メインクロック $MCLK$ 、データイネーブル信号 DE などがある。

【0042】

信号制御部 600 は、入力映像信号 R 、 G 、 B と入力制御信号に基づいて、入力映像信号 R 、 G 、 B を液晶表示板組立体 300 の動作条件に合うように適切に処理し、ゲート制御信号 $CONT_1$ 及びデータ制御信号 $CONT_2$ などを生成した後、ゲート制御信号 $CONT_1$ をゲート駆動部 400 に送信し、データ制御信号 $CONT_2$ と映像信号 DAT をデータ駆動部 500 に送信する。

【0043】

ゲート制御信号 $CONT_1$ は、走査開始を指示する走査開始信号 STV と、ゲートオン電圧 V_{on} の出力周期を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号 $CONT_1$ は、また、ゲートオン電圧 V_{on} の持続時間を限定する出力イネーブル信号 OE をさらに含んでもよい。

【0044】

データ制御信号 $CONT_2$ は、一つの行の画素 PX に対する映像信号の伝送開始を知らせる水平同期開始信号 STH と、データ線 $D_1 \sim D_m$ にデータ信号の印加を指示するロード信号 $LOAD$ と、データクロック信号 $HCLK$ とを含む。

【0045】

データ駆動部500は、信号制御部600からデジタル映像信号DATを受信し、各デジタル映像信号DATに対応する階調電圧を選択することによってデジタル映像信号DATをアナログデータ信号に変換した後、これに対応するデータ線D1～Dmに印加する。

【0046】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonをゲート線G1～Gnに印加し、このゲート線G1～Gnに接続されたスイッチング素子Qを導通させる。スイッチング素子Qが導通すると、データ線D1～Dmに印加されたデータ信号が、導通したスイッチング素子Qを通じて対応する画素PXに印加される。各画素PXの画素電極は、スイッチング素子Qにゲートオン電圧Vonが印加される間にだけデータ電圧の印加を受けるので、液晶容量C1cの充電期間はゲート信号のゲートオン電圧Vonの長さによって決定される。

10

【0047】

蓄積電極線駆動部700は、液晶表示板組立体300の蓄積電極線S1～Snと接続され、駆動電圧VSLに基づいた蓄積電圧を蓄積電極線S1～Snに印加する。

【0048】

蓄積電圧Vsの印加は、画素の充電期間中に1回行なわれ、充電が完了した後は次の充電期間まで少なくとも2回繰り返して行なわれる。充電期間中に印加される蓄積電圧の大きさは、充電が完了した後に印加される蓄積電圧の大きさと異なる。また、隣接した二つの蓄積電極線に印加される蓄積電圧の大きさは反対である。つまり、いずれか一つの蓄積電極線に印加される蓄積電圧が高レベルの電圧を有すれば、隣接した蓄積電極線に印加される蓄積電圧は低レベルの電圧を有する。このような蓄積電極線駆動部700の動作に対する詳細は後述する。

20

【0049】

一般に、液晶表示装置は液晶の劣化を防止するために、1フレームが終了し、次のフレームが開始されれば、画素電圧、つまり、画素電極の電圧と共通電極の電圧との差の極性を反転させる。つまり、現在フレームのある画素の電圧が(+)極性を有すれば、次のフレームにおける同一画素の電圧は(-)極性を有するようにデータ電圧が印加される。したがって、同一階調を表示するためのデータ電圧であっても、画素電圧の極性によってその大きさが変わる。言い換えれば、液晶容量を(+)極性の画素電圧で充電するときのデータ電圧と、(-)極性の画素電圧で充電するときのデータ電圧とは、同一階調に対して互いに異なる値を有する。このように、画素電圧の極性反転によってデータ電圧の和を変えることをデータ電圧の極性反転という。データ制御信号CONT2は、このようなデータ信号の電圧極性を制御するための反転信号RVSをさらに含んでもよい。

30

【0050】

本発明の一実施形態によれば、データ電圧は、(+)極性のフレームにおいて、最低階調のデータ電圧を0Vとし、最高階調のデータ電圧をAVDDとし、(-)極性のフレームにおいては、最低階調のデータ電圧をAVDDとし、最高階調のデータ電圧を0Vとする。任意の二つの階調間のデータ電圧の差は二つのデータ電圧の和と同一である。

【0051】

本発明の一実施形態によれば、一つの画素行に印加されるデータ電圧の極性はフレームごとに反転する。また、1フレームで同じ画素行に属する全ての画素に印加されるデータ電圧の極性が同一であり、隣接する二つの画素行に印加されるデータ電圧の極性は互いに反対になるが、このようなデータ電圧反転方式をライン反転という。

40

【0052】

既に説明したように、画素電極電圧と共通電圧Vcomとの差が液晶容量C1cの充電電圧、つまり、画素電圧になる。液晶分子の配列状態は、このような画素電圧の大きさによって変化し、これによって液晶層3を通過する光の偏光状態が変化する。偏光した光が表示板組立体300に設置された偏光子を通過する際の透過率により、画素の階調が表現される。

50

【0053】

このような原理によって、全てのゲート線 $G_1 \sim G_n$ に対して順次ゲートオン電圧 V_{on} を印加し、順次全ての画素 P_X にデータ信号が印加されれば、1 フレーム (frame) の映像が表示される。

【0054】

次に、図3乃至図6を参照して、蓄積電極線駆動部700について説明する。図3、図5は本発明の一実施形態による蓄積電極線駆動部のいろいろな例であり、図4、図6は各々図3、図5に示した蓄積電極線駆動部の駆動タイミング図である。

【0055】

図3、図5に示すように、本発明の一実施形態による蓄積電極線駆動部700は多様な例によって実現され、図3、図5に示す蓄積電極線駆動部700は液晶表示板組立体300の上に直接形成されるが、これに限定されない。 10

【0056】

まず、図3を参照して、本発明の一実施形態による蓄積電極線駆動部の第1実施形態について説明する。蓄積電極線駆動部700aは、各蓄積電極線 $S_1 \sim S_n$ に接続された複数のステージを含む。全てのステージは、構造と動作が同一であるので、 i 番目のステージについてのみ説明する。

【0057】

各ステージは3個の薄膜トランジスタを含む。第1スイッチング素子 $Q_{i,1}$ は、駆動電圧 V_{SL} が印加される配線 S_L に接続された入力端子、 i 番目のゲート線 G_i に接続された制御端子、及び i 番目の蓄積電極線 S_i に接続された出力端子を含み、第2スイッチング素子 $Q_{i,2}$ は、配線 S_L に接続された入力端子、 $(i+1)$ 番目のゲート線 G_{i+1} に接続された制御端子、及び i 番目の蓄積電極線 S_i に接続された出力端子を含み、第3スイッチング素子 $Q_{i,3}$ は、配線 S_L に接続された入力端子、 $(i+3)$ 番目のゲート線 G_{i+3} に接続された制御端子、及び i 番目の蓄積電極線 S_i に接続された出力端子を含む。つまり、第1乃至3スイッチング素子 $Q_{i,1}$ 、 $Q_{i,2}$ 、 $Q_{i,3}$ は、同じ配線 S_L を通じて駆動電圧 V_{SL} の供給を受ける。 20

【0058】

このような蓄積電極線駆動部700aの動作について、図4を参照して説明する。

【0059】

図4に示すように、駆動電圧 V_{SL} のレベルは、ゲートオン電圧が持続される期間、つまり、充電期間を1周期として高レベル V_H と低レベル V_L を交互に有する。以下、説明の便宜上、高レベル V_H の蓄積電極線を (+) 極性の蓄積電極線といい、低レベル V_L の蓄積電極線を (-) 極性の蓄積電極線という。 30

【0060】

1 フレームに印加されるデータ電圧が (+) 極性の電圧であると仮定する。そうすれば、 i 番目の画素行の充電期間において、 i 番目の画素行に印加されるデータ電圧の極性と、 i 番目の蓄積電極に印加される蓄積電極線の極性とが互いに反対であることが分かる。 i 番目の画素行の充電期間中に画素に印加されるデータ電圧と、充電が完了した後、維持期間中に蓄積電極に印加される蓄積電極線の極性とは互いに同一である。 40

【0061】

第1フレームが開始して、ゲート駆動部400から i 番目のゲート線 G_i に印加されるゲート信号 g_i がゲートオン電圧 V_{on} になれば、 i 番目の画素行は (+) 極性のデータ電圧によって充電され、同時に第1スイッチング素子 $Q_{i,1}$ が導通して蓄積電極に駆動電圧が印加される。このとき、駆動電圧 V_{SL} は低レベル V_L であるので、 i 番目の蓄積電極線 S_i は直前のフレームのような低レベル電圧 V_L を蓄積電極電圧 V_{si} として有するようになる。

【0062】

約1Hが経過すれば、 i 番目のゲート線 G_i に印加されるゲート信号 g_i がゲートオフ電圧 V_{off} に変わり、第1スイッチング素子 $Q_{i,1}$ は遮断される。反面、 $i+1$ 番目の 50

ゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} がゲートオン電圧 V_{on} になれば、第 2 スイッチング素子 $Q_{i, 2}$ は導通し、高レベル V_H の駆動電圧 V_{SL} が蓄積電圧 V_{si} として印加される。つまり、ゲートオン電圧 V_{on} の印加によってゲート線 G_i に接続された画素行の充電が完了した後、蓄積電圧 V_{si} は低レベル状態 V_L から高レベル V_H に変わる。このとき、 i 番目の画素行に属する画素電極は、充電が完了してデータ線との電氣的接続が解除されるので、電氣的に浮遊状態となる。

【0063】

充電期間における画素電極の電圧はデータ電圧によって決定され、このときの画素電極の電圧によって液晶容量の静電容量が決定される。しかし、浮遊状態である画素電極の電圧は、液晶容量と蓄積容量の静電容量、及び共通電極電圧と蓄積電極の電圧によって決定される。 10

【0064】

ゲートオン電圧 V_{on} が印加された後、蓄積電圧 V_{si} を変化させると、蓄積容量 C_{st} の電極電圧の変化によって液晶容量 C_{lc} に蓄積される電荷量が変わるので、画素電極電圧 V_p が変化する。

【0065】

維持期間のうちの画素電極の電圧を計算すれば、式 1 の通りである。式 1 において、 C_{lc} と C_{st} は各々液晶容量と蓄積容量の静電容量を示し、 V_H は高レベルの蓄積電圧 V_s であり、 V_L は低レベルの蓄積電圧 V_s である。式 1 から分かるように、画素電極電圧 V_p は、データ電圧 V_D と容量 C_{st} 、 C_{st} の静電容量と蓄積電圧 V_s の変化によって加減される変化量 (Δ) の合計である。 20

【数 1】

$$V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_H - V_L)$$

(式 1)

【0066】

データ電圧 V_D の範囲は約 $0\text{ V} \sim 5\text{ V}$ であり、 C_{st} と C_{lc} の値が互いに同一となるように画素を設計し、 $V_H - V_L = 5\text{ V}$ である場合、式 1 は $V_p = V_D \pm 2.5$ となる。 30

【0067】

結局、蓄積電圧 V_s が変わるとき、画素電極電圧 V_p は、データ電圧 V_D の極性によって、対応するデータ線 $D_1 \sim D_m$ を通じて印加されるデータ電圧 V_D より約 $\pm 2.5\text{ V}$ ほど増減される。つまり、(+) 極性の際に $+2.5\text{ V}$ 増加し、(-) 極性の際に -2.5 V 減少する。このような画素電極電圧 V_p の変化により、画素電圧の範囲も増加する。例えば、共通電圧 V_{com} が約 2.5 V のとき、画素に印加されるデータ電圧 V_D の範囲は約 $0 \sim 5\text{ V}$ であるが、充電が完了した後、画素電圧の範囲は約 $-5\text{ V} \sim +5\text{ V}$ に広がる。

【0068】

このように、蓄積電圧の変化 ($V_H - V_L$) によって増加した画素電極電圧 V_p の変化量 (Δ) ほど画素電圧の範囲が広がるので、実際に印加されるデータ電圧の範囲を減少させても同一の水準の階調表現が可能である。 40

【0069】

上記では、充電期間の間に最大階調を表示するデータ電圧が画素に印加されると、充電期間が終了する時点で画素の液晶容量が最大に到達すると仮定した。しかし、充電期間が画素の液晶容量を最大階調に相当する容量まで変化させるために十分でない場合 (液晶の応答速度が遅いか、または充電期間が短い場合) には、液晶容量は目標にした最大階調に未達となる。

【0070】

例えば、画素が最大階調を表示する場合に液晶容量が最大になり、そのときの液晶容量は $C_{lc, max}$ であり、 $C_{lc, max} = C_{st}$ となるように C_{st} を設計したと仮定す 50

る。また、上記のように液晶応答時間の問題によって、最大階調に相当するデータ電圧の印加が終了した時点の液晶容量が C_{lc} 、 C_{lc} 、 C_{lc} に到達できず、そのときに測定された液晶容量は C_{lc} 、 C_{lc} 、 $C_{lc} / 3$ と仮定する。

【0071】

充電期間が終了すれば、蓄積電極に印加される蓄積電圧の大きさが変わり、画素電極の電位は式1によって決定される。蓄積電極に印加される電圧が変わる瞬間の液晶容量は C_{lc} 、 C_{lc} 、 $C_{lc} / 3$ であり、 C_{lc} 、 C_{lc} 、 $C_{lc} = C_{st}$ であるので、式1に代入して整理すれば、式2で示される。

【数2】

$$V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_H - V_L)$$

$$= V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3} C_{st}} \times (V_H - V_L) = V_D \pm \frac{3}{4} \times (V_H - V_L)$$

10

(式2)

このとき、 $V_H - V_L = 5V$ であるので、

【数3】

$$V_p = V_D \pm 3.75V$$

20

である。

【0072】

このように、蓄積電圧が変化する時点で画素の電圧は、画素が最大階調に到達したときの電圧に比べて1.25Vのオーバーシュートを有するようになる。このオーバーシュートは液晶容量に印加される電圧を増加させる役割を果たし、この電圧が増加することによって液晶の容量に変化が加速し、最終的には最大階調に相当する液晶容量に到達することにより、目標にした階調を表示できるようになる。

【0073】

以上では最大階調をもって説明したが、オーバーシュートによる液晶の応答向上は全ての階調で得ることができる。

30

【0074】

従来技術においては、図8に示すように、フレームごとに目標画素電極電圧 V_T に相当する画素電極電圧 V_p を対応する画素電極に印加しても、画素電極に充電された画素電極電圧は充電動作が完了した後、隣接したデータ電圧などの影響によって減少し、結局、1フレーム内に目標画素電極電圧 V_T で到達できず、いくつかのフレームを経て目標画素電極電圧 V_T に到達するが、本実施形態においては、図7に示すように、対応する画素電極に印加される画素電極電圧 V_p が目標画素電極電圧 V_T より高い電圧であるので、1フレーム内に対応する画素電極が目標画素電極電圧 V_T に到達し、従来技術より液晶の応答速度が向上する。

40

【0075】

次のフレームでは、(ー)極性のデータ電圧が印加される。i番目のゲート線 G_i にゲートオン電圧 V_{on} が印加されるとき、駆動電圧 V_{SL} は低レベル状態 V_L であり、(i+1)番目のゲート線 G_{i+1} にゲートオン電圧 V_{on} が印加されるとき、駆動電圧 V_{SL} は高レベル状態 V_H に変わる。これによって、i番目のゲート線 G_i に接続された画素行の充電動作が完了した後、i番目の蓄積電極線 S_i に印加される蓄積電圧 V_{si} が高レベル状態 V_H から低レベル状態 V_L に変化し、画素電極電圧 V_p は式1または式2によって決められた変化量ほど減少する。

【0076】

本発明による第2スイッチング素子は、ドレイン電極とゲート電極との重畳による寄生容

50

量を含む。したがって、導通状態でゲート電極と重畳するドレイン電極及び画素電極に誘導された静電荷が、遮断状態で蓄積電極線を通じて蓄積電極線に接続された全ての蓄積容量と液晶容量に再分布する、いわゆる、キックバック現象が発生する。キックバックによる蓄積電極線の電圧降下は式 1 の ∇V に影響を与えるので、結果的に画素電圧の降下をもたらす。このような現象は寄生容量の大きさに比例するので、寄生容量を減らす必要がある。しかし、第 2 スイッチング素子は、一つの画素行にかける蓄積電極線に十分な電荷を供給しなければならないので、その大きさが非常に大きい。したがって、寄生容量を十分に減らすことが困難である。

【0077】

このような問題は、蓄積電圧を一回に供給せず、何回かに分けて供給することによって解決できる。つまり、何回かに分けて印加することによって電圧の蓄積に必要な電荷を十分に供給する代わり、第 2 スイッチング素子の大きさを小さくすることによってキックバック現象による電圧降下を減らすことができる。本発明の前記実施形態においては、第 3 スイッチング素子がこのような機能を担当する。図 4 を参照して続けて説明する。

10

【0078】

第 2 スイッチング素子が遮断された後、1 H が経過すれば、 $i + 3$ 番目のゲート線 G_{i+3} に印加されるゲート信号 g_{i+3} がゲートオン電圧 V_{on} となり、第 3 スイッチング素子 Q_{i+3} は導通し、高レベル V_H の駆動電圧 V_{SL} が蓄積電圧 V_{si} として印加される。このように、第 3 スイッチング素子が蓄積電極線に電荷を再び供給するので、蓄積電極線は十分に電圧を蓄積できるようになる。

20

【0079】

以上、3 個のスイッチング素子を有する実施形態について説明したが、蓄積電圧駆動部は、配線に接続された入力端子、蓄積電極線に接続された出力端子、及び $i + 2n + 1$ (n は 1 より大きい自然数) 番目のゲートラインに接続された制御端子を有する少なくとも一つのスイッチング素子をさらに含んでもよい。

【0080】

付加されたスイッチング素子の個数が増えるほどさらに頻繁に同じ大きさの蓄積電圧が印加されるので、第 2 スイッチング素子の駆動負担を減らすことができ、第 2 スイッチング素子の大きさを小さくすることが可能であるので、蓄積電圧の降下を誘発する寄生容量を十分に減らすことができる。

30

【0081】

このような実施形態の場合、表示装置は $2n + 1$ 個のダミーゲート線をさらに含んでもよい。例えば、図 3 及び図 4 に示す実施形態の表示装置が N 個の画素行を有する場合、 $N - 2$ 番目の画素行の蓄積電極線に接続される第 3 スイッチング素子は、 $N + 1$ ($N - 2 + 3$) 番目のゲート線と接続されなければならないが、 $N + 1$ 番目の画素行がない。したがって、 $N + 1$ 番目のゲート線は画素とは接続されず、第 3 スイッチング素子の駆動のためにだけ形成される。このようなダミーゲート線は、最後の画素行の蓄積電極線を駆動するためのものまで必要であるので、 $2n + 1$ 個が形成されることが好ましい。

【0082】

しかし、ダミーゲート線を形成せずに、次のフレームで第 2 または第 3 スイッチング素子と導通時間の同じゲートラインと接続することも可能である。

40

【0083】

次に、図 5 を参照して、本発明の他の実施形態による蓄積電極線駆動部 700b の例について説明する。

【0084】

図 3 を参照して説明した蓄積電極線駆動部 700a のように、図 5 に示す蓄積電極線駆動部 700b も各蓄積電極線 $S_1 \sim S_n$ に接続された複数のステージを含んでいる。

【0085】

図 3 と比較するとき、図 5 に示す蓄積電極線駆動部 700b は、2 つのスイッチング素子の入力端子に対する接続関係だけが相異している。したがって、同一の構造からなって同

50

一の動作を行う部分については、図3と同一の図面符号を付け、詳細な動作説明は省略する。

【0086】

図5に示す蓄積電極線駆動部700bは、第1駆動電圧 V_{SL1} と第2駆動電圧 V_{SL2} のような二つの駆動電圧を各々印加する第1及び第2配線 $SL1$ 、 $SL2$ を含み、第1スイッチング素子、第2スイッチング素子、及び第3スイッチング素子それぞれの入力端子と配線 $SL1$ 、 $SL2$ との接続は画素行単位で変わる。

【0087】

例えば、 i 番目の画素行において、第1スイッチング素子 $Q_{i,1}$ の入力端子は第1配線 $SL1$ に接続されており、第2スイッチング素子 $Q_{i,2}$ と第3スイッチング素子 $Q_{i,3}$ の入力端子は配線 $SL2$ に接続されているが、 $(i+1)$ 番目の画素行において、第1スイッチング素子 $Q_{i+1,1}$ の入力端子は第2配線 $SL2$ に接続されており、第2スイッチング素子 $Q_{i+1,2}$ 及び第3スイッチング素子 $Q_{i+1,3}$ の入力端子は第1配線 $SL1$ に接続されている。

10

【0088】

第1配線 $SL1$ を通じて印加される第1駆動電圧 V_{SL1} は、第2配線 $SL2$ を通じて印加される第2駆動電圧 V_{SL2} と異なる大きさを有し、これら駆動電圧 V_{SL1} 、 V_{SL2} の大きさはフレームごとに反転する。このような蓄積電極線駆動部700bの動作は、図6に示す通りである。

【0089】

現在のフレームにおいて、 $(+)$ 極性のデータ電圧が印加され、第1駆動電圧 V_{SL1} は低レベル VL を維持し、第2駆動電圧 V_{SL2} は高レベル VH を維持する。これら駆動電圧 V_{SL1} 、 V_{SL2} のレベルはフレームごとに反転する。

20

【0090】

第1フレームが開始され、ゲート駆動部400から i 番目のゲート線 G_i に印加されるゲート信号 g_i がゲートオン電圧 V_{on} となれば、 i 番目の画素行は $(+)$ 極性のデータ電圧によって充電され、同時に第1スイッチング素子 $G_{i,1}$ が導通して第1駆動電圧が蓄積電極に印加される。このとき、第1駆動電圧 V_{SL1} は低レベル VL であるので、 i 番目の蓄積電極線 S_i は直前のフレームと同一の低レベル電圧 VL を蓄積電圧 V_{si} として有するようになる。

30

【0091】

約1Hが経過すれば、 i 番目のゲート線 G_i に印加されるゲート信号 g_i がゲートオフ電圧 V_{off} に変わり、第1スイッチング素子 $Q_{i,1}$ は遮断される。反面、 $i+1$ 番目のゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} がゲートオン電圧 V_{on} になれば、第2スイッチング素子 $Q_{i,2}$ は導通し、第2駆動電圧 V_{SL2} が蓄積電圧 V_{si} として印加される。このとき、第2駆動電圧 V_{SL2} は高レベル VH であるので、 i 番目の蓄積電極線 S_i は直前のフレームとは大きさの異なる高レベル電圧 VH を蓄積電圧 V_{si} として有するようになる。

【0092】

次に、1Hが経過すれば、 $(i+2)$ 番目のゲート線 G_{i+2} に印加されるゲート信号 g_{i+2} にゲートオン電圧 V_{on} が印加される。第3スイッチング素子 $Q_{i,3}$ が導通し、高レベル状態 VH を維持する第2駆動電圧 V_{SL2} が蓄積電圧 V_{si} として再び印加される。このように、第3スイッチング素子が蓄積電極線に電荷を再び供給するので、蓄積電極線は十分に電圧を維持するようになる。

40

【0093】

以上、3個のスイッチング素子を有する実施形態について説明したが、蓄積電圧駆動部は第2及び第3スイッチング素子のような配線に接続された入力端子、蓄積電極線に接続された出力端子、及び $i+n+1$ (n は1より大きい自然数)番目のゲートラインに接続された制御端子を有する少なくとも一つのスイッチング素子をさらに含んでもよい。付加されたスイッチング素子の個数が増えるほど、さらに頻繁に同じ大きさの蓄積電圧が印加さ

50

れるので、第2スイッチング素子の駆動負担を減らすことができ、第2スイッチング素子の大きさを小さくすることが可能であるので、蓄積電圧の降下を誘発する寄生容量を十分に減らすことができる。式1または式2に従うことは図3に示す実施形態と同一であるので、説明は省略する。

【0094】

図3及び図4の駆動電圧VSLが1H単位で反転する反面、図5乃至図6の第1及び第2駆動電圧VSL1、VSL2はフレーム単位で反転するので、図3及び図4の蓄積電極線駆動部700aと比較すると、図5乃至図6に示す蓄積電極線駆動部700bは安定した駆動電圧VSL1、VSL2の印加が可能であり、消費電力も減少する。

【0095】

次に、このような本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板の詳細構造について、添付した図面を参照して詳細に説明する。

【0096】

図9は蓄積電極駆動部を薄膜トランジスタ形態で基板に形成した実施形態を示す平面図であり、図10A及び図10Bは各々図9の薄膜トランジスタ表示板のXIIa-XIIa線及びXIIb-XIIb線に沿った断面図である。

【0097】

透明なガラスまたはプラスチックなどで作られた絶縁基板110上に、ゲート線121、蓄積電極線(storage electrode line)131、及び第1電極197が形成されている。

【0098】

ゲート線121、蓄積電極線131、及び第1電極197は、アルミニウム(Al)、銀(Ag)、銅(Cu)、モリブデン(Mo)、クロム(Cr)、タンタル(Ta)、チタニウム(Ti)などの金属またはこれらの合金で作ることができ、二つ以上の金属または合金を用いて多層構造を有するように作ることも可能である。

【0099】

蓄積電極線131は、ゲート線と平行にのびており、幅が下に拡張された拡張部137を含む。蓄積電極線131の形状及び配置は多様に変更できる。ゲート線121及び蓄積電極線131上には、窒化ケイ素(SiNx)または酸化ケイ素(SiOx)などを含むゲート絶縁膜(gate insulating layer)140が形成されている。

【0100】

ゲート絶縁膜140上には、水素化非晶質シリコン(hydrogenated amorphous silicon)(非晶質シリコンは、略してa-Siと記す)または多結晶シリコン(polysilicon)などで作られた半導体151が形成されている。

【0101】

半導体151上にはオーミックコンタクト部材(ohmic contact)161、165が形成されている。オーミックコンタクト部材161、165は、リンなどのn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質、またはシリサイド(silicide)で作ってもよい。

【0102】

オーミックコンタクト部材161、165及びゲート絶縁膜140上には、データ線171とドレイン電極175が形成されている。ドレイン電極175は、データ線171と分離され、ソース電極173と対向する。また、ドレイン電極は、蓄積電極に向かって延長された延長部196を有する。ドレイン電極の延長部196は第1電極197と重畳し、第1容量性負荷を形成する。

【0103】

一つのゲート電極124、一つのソース電極173、及び一つのドレイン電極175は、半導体151の突出部154と共に一つの薄膜トランジスタ(thin film transistor、TFT)を構成し、薄膜トランジスタのチャンネルはソース電極173

10

20

30

40

50

とドレイン電極 175 との間の突出部 154 に形成される。

【0104】

データ線 171、駆動電圧印加配線 200、ソース電極、及びドレイン電極 175 は、高融点金属 (refractory metal) またはこれらの合金で作ることができ、金属膜と低抵抗導電膜を含む多重膜構造 (図示せず) を有してもよい。多重膜構造の例としては、クロムまたはモリブデン (合金) 下部膜とアルミニウム (合金) 上部膜の二重膜、モリブデン (合金) 下部膜、アルミニウム (合金) 中間膜、及びモリブデン (合金) 上部膜の三重膜がある。

【0105】

データ線 171、駆動電圧印加配線 200、ソース電極、及びドレイン電極 175 と、露出した半導体 151 部分の上には保護膜 (passivation layer) 180 が形成されている。保護膜 180 は、無機絶縁物または有機絶縁物などで作られ、下部層の厚さと無関係に平坦な表面を有するように形成されてもよい。無機絶縁物の例としては、窒化ケイ素と酸化ケイ素がある。保護膜 180 は下部無機膜と上部有機膜の二重膜構造を有してもよい。

【0106】

保護膜 180 には、データ線 171 の端部とドレイン電極 175 の延長部を各々露出する複数のコンタクトホール (contact hole) 183、184 が形成されており、保護膜 180 とゲート絶縁膜 140 にはゲート線 121 の端部、蓄積電極線の端部、及び第 1 電極 197 の端部を露出するコンタクトホール 181 が形成されている。

【0107】

保護膜 180 上には、画素電極 191、第 2 電極 198、及びコンタクト補助部材 (contact assistant)、199 が形成されている。特に、コンタクト補助部材 199 は、コンタクトホール 183、184 を通じて蓄積電極線駆動部の薄膜トランジスタのドレイン電極と蓄積電極線とを電氣的に接続させる。コンタクト補助部材 199 は、画素電極と同一の ITO または IZO などの透明導電物質から形成してもよい。しかし、コンタクト補助部材や第 2 電極 198 は、アルミニウム、銀、クロムまたはその合金などの反射性金属で形成してもよい。

【0108】

画素電極 191 は、コンタクトホール 185 を通じてドレイン電極 175 と物理的・電氣的に接続されており、ドレイン電極 175 からデータ電圧の印加を受ける。画素電極 191 及びこれと電氣的に接続されたドレイン電極 175 が、蓄積電極線 131 と重畳して蓄積容量 (storage capacitor) を形成する。蓄積電極線 131 の拡張部 137 は重畳面積を増加させて蓄積容量を増加させる。

【0109】

第 2 電極 198 は、第 1 電極 197 とコンタクトホール 181 を通じて接続され、ドレイン電極の延長部と重畳して第 2 容量性負荷を形成する。

【0110】

蓄積電極は画素行にかけて形成され、蓄積電圧の印加期間はほぼ 1 H 程度であって、維持期間に比べて非常に短いので、蓄積電圧を 1 フレームの間に蓄積させるためには蓄積電極駆動部の各ステージごとに相当な大きさの容量性負荷が必要である。一方、蓄積電極駆動部は画素のない周辺領域に形成され、周辺領域の面積は制限的であるので、十分な大きさの容量性負荷を形成することが困難である。

【0111】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、添付した請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0112】

【図 1】 本発明の一実施形態による液晶表示装置のブロック図である。

【図 2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図 3】本発明の一実施形態による蓄積電極駆動部の回路図である。

【図 4】図 3 の蓄積電極駆動部を駆動するための動作タイミング図である。

【図 5】本発明の他の実施形態による蓄積電極駆動部の例に対する回路図である。

【図 6】図 5 の蓄積電極駆動部を駆動するための動作タイミング図である。

【図 7】本発明の実施形態による蓄積電極駆動部の動作による画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図 8】従来の画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図 9】本発明の一実施形態による液晶表示装置の薄膜トランジスタに対する一例の配置図である。 10

【図 10A】図 9 の薄膜トランジスタ表示板の X a - X a 線に沿った断面図である。

【図 10B】図 9 の薄膜トランジスタ表示板の X b - X b 線に沿った断面図である。

【符号の説明】

【0113】

161、165 オーミックコンタクト部材

173 ソース電極

175 ドレイン電極

180 保護膜

183、184 コンタクトホール 20

191 画素電極

199 コンタクト補助部材

200 駆動電圧印加配線

300 液晶表示板組立体

400 ゲート駆動部

500 データ駆動部

600 信号制御部

700 蓄積電極線駆動部

800 階調電圧生成部

D1 ~ Dm データ線 30

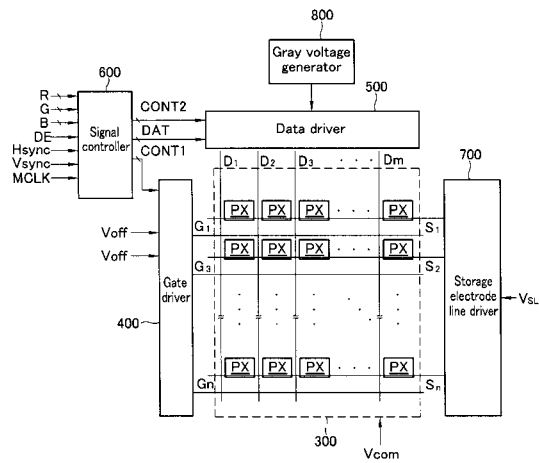
G1 ~ Gn, Gi, Gi + 1 ~ Gi + 4 ゲート線

S1 ~ Sn, Si, Si + 1 蓄積電極線

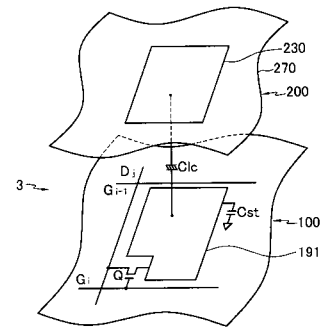
VSL1, VSL2 駆動電圧

Qi、1, Qi、2, Qi、3, Qi + 1、1, Qi + 1、2, Qi + 1、3 第 1、2、3 スイッチング素子

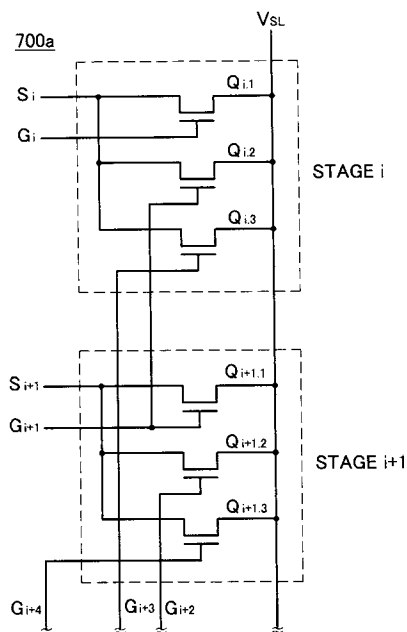
【図 1】



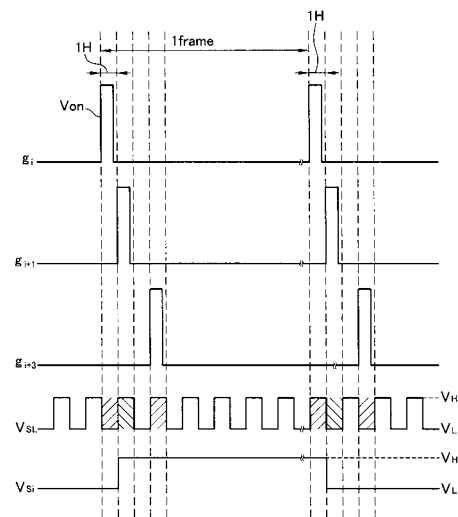
【図 2】



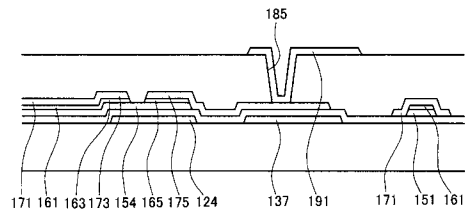
【図 3】



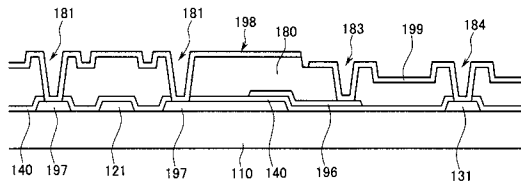
【図 4】



【図 10 A】



【図 10 B】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/133 5 5 0

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007316635A5	公开(公告)日	2010-06-17
申请号	JP2007129395	申请日	2007-05-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李白雲		
发明人	李 白 雲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.C G09G3/20.623.Z G09G3/20.612.U G02F1/133.550		
F-TERM分类号	2H093/NB07 2H093/NC02 2H093/NC03 2H093/NC16 2H093/ND32 2H093/ND33 2H093/ND39 2H093/ND49 2H093/ND58 5C006/AA16 5C006/BB16 5C006/BF34 5C006/FA14 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZF02 2H193/ZF03 2H193/ZH40		
优先权	1020060046028 2006-05-23 KR		
其他公开文献	JP2007316635A JP5134861B2		

摘要(译)

要解决的问题：提供低功耗的液晶显示装置。ŽSOLUTION：显示装置包括：具有像素电极并以矩阵排列的像素;数据线向像素电极提供数据电压;栅极线提供栅极信号，该栅极信号确定数据电压施加到像素电极的周期（充电周期）;存储电容器，其一个电极连接到存储电极线，从完成充电到下一个充电（维持周期），维持像素中充电的电压;存储电极线驱动器在充电期间向存储电极线施加第一存储电压，并且在维持期间中将与第一存储电压不同的第二存储电压施加至存储电极线至少两次。Ž