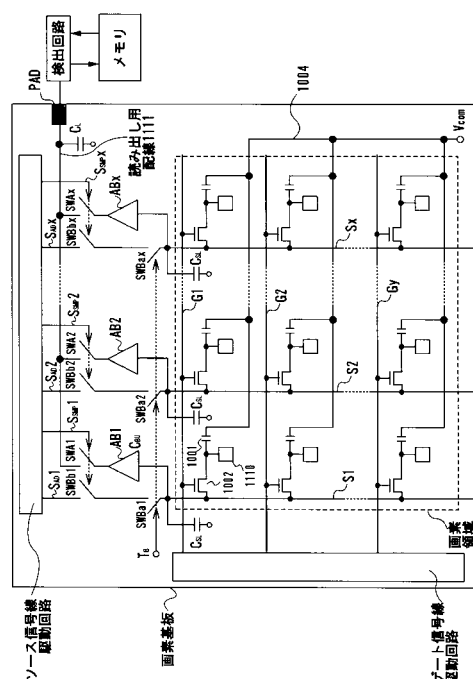




【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に、薄膜トランジスタと保持容量とを有する画素と、第 1 の信号線と、第 2 の信号線と、駆動回路と、アナログバッファと、第 1 のスイッチと、第 2 のスイッチとを有し、

前記薄膜トランジスタのソースとドレインの一方は、前記第 1 の信号線に接続され、他方は前記保持容量の一方の電極に接続され、

前記第 1 の信号線は、前記アナログバッファの入力に接続され、且つ前記第 2 のスイッチを介して前記駆動回路の出力と接続され、

前記アナログバッファの出力は、前記第 1 のスイッチを介して前記第 2 の信号線に接続され、

前記第 2 の信号線は、前記基板の外部に設けられた回路と電氣的に接続され、

前記第 1 のスイッチ及び前記第 2 のスイッチのオン状態又はオフ状態は、前記駆動回路が有するシフトレジスタの出力を用いて制御されることを特徴とする表示装置。

【請求項 2】

絶縁表面を有する基板上に、薄膜トランジスタと保持容量とを有する画素を複数と、複数の第 1 の信号線と、第 2 の信号線と、駆動回路と、複数のアナログバッファと、複数の第 1 のスイッチと、複数の第 2 のスイッチとを有し、

前記薄膜トランジスタのソースとドレインの一方は、前記複数の第 1 の信号線のうちの 1 本の第 1 の信号線に接続され、他方は前記保持容量の一方の電極に接続され、

前記複数の第 1 の信号線それぞれは、前記アナログバッファのうちの互いに異なる 1 つのアナログバッファの入力に接続され、且つ前記複数の第 2 のスイッチのうちの互いに異なる 1 つの第 2 のスイッチを介して前記駆動回路の出力と接続され、

前記複数のアナログバッファの出力は、前記複数の第 1 のスイッチのうちの互いに異なる 1 つの第 1 のスイッチを介して前記第 2 の信号線に接続され、

前記第 2 の信号線は、前記基板の外部に設けられた回路と電氣的に接続され、

前記複数の第 1 のスイッチ及び前記複数の第 2 のスイッチのオン状態又はオフ状態は、前記駆動回路が有するシフトレジスタの出力を用いて制御されることを特徴とする表示装置。

【請求項 3】

絶縁表面を有する基板上に、薄膜トランジスタと保持容量とを有する画素と、第 1 の信号線と、第 2 の信号線と、駆動回路と、アナログバッファと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチとを有し、

前記薄膜トランジスタのソースとドレインの一方は、前記第 1 の信号線に接続され、他方は前記保持容量の一方の電極に接続され、

前記第 1 の信号線は、前記アナログバッファの入力に接続され、且つ前記第 2 のスイッチ及び第 3 のスイッチを介して前記駆動回路の出力と接続され、

前記アナログバッファの出力は、前記第 1 のスイッチを介して前記第 2 の信号線に接続され、

前記第 2 の信号線は、前記基板の外部に設けられた回路と電氣的に接続され、

前記第 1 のスイッチ及び前記第 2 のスイッチのオン状態又はオフ状態は、前記駆動回路が有するシフトレジスタの出力を用いて制御されることを特徴とする表示装置。

【請求項 4】

絶縁表面を有する基板上に、薄膜トランジスタと保持容量とを有する画素を複数と、複数の第 1 の信号線と、第 2 の信号線と、駆動回路と、複数のアナログバッファと、複数の第 1 のスイッチと、複数の第 2 のスイッチと、複数の第 3 のスイッチとを有し、

前記薄膜トランジスタのソースとドレインの一方は、前記複数の第 1 の信号線のうちの 1 本の第 1 の信号線に接続され、他方は前記保持容量の一方の電極に接続され、

前記複数の第 1 の信号線それぞれは、前記アナログバッファのうちの互いに異なる 1 つのアナログバッファの入力に接続され、且つ前記複数の第 2 のスイッチのうちの互いに異

10

20

30

40

50

なる１つの第２のスイッチ及び前記複数の第３のスイッチのうちの互いに異なる第３のスイッチを介して前記駆動回路の出力と接続され、

前記複数のアナログバッファの出力は、前記複数の第１のスイッチのうちの互いに異なる１つの第１のスイッチを介して前記第２の信号線に接続され、

前記第２の信号線は、前記基板の外部に設けられた回路と電氣的に接続され、

前記複数の第１のスイッチ及び前記複数の第２のスイッチのオン状態又はオフ状態は、前記駆動回路が有するシフトレジスタの出力を用いて制御されることを特徴とする表示装置。

【請求項５】

請求項４において、

前記複数の第３のスイッチのオン状態またはオフ状態は一斉に切り換えられることを特徴とする表示装置。

【請求項６】

請求項１乃至請求項５のいずれかーにおいて、

前記アナログバッファは、薄膜トランジスタを用いて形成されていることを特徴とする表示装置。

【請求項７】

請求項１乃至請求項６のいずれかーにおいて、

前記画素は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極の間に挟まれた液晶とを有し、

前記薄膜トランジスタのソースまたはドレインのうち、前記保持容量と接続された側は、前記第１の電極と接続されていることを特徴とする表示装置。

【請求項８】

請求項１乃至請求項７のいずれかーにおいて、

前記表示装置を用いることを特徴とする電子機器。

【請求項９】

請求項１乃至請求項７のいずれかーにおいて、

前記表示装置を用いることを特徴とするパーソナルコンピュータ、画像再生装置またはテレビ受像機。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶素子を基板上に作り込み、その画素毎に半導体素子（半導体薄膜を用いた素子）を配した表示装置に関する。前記表示装置の検査方法に関する。また、前記検査方法を用いる表示装置を備えた電子機器に関する。

【背景技術】

【０００２】

近年、絶縁表面を有する基板上に薄膜トランジスタ（以下、ＴＦＴと表記する）を形成する技術が大幅に進歩し、画素毎にＴＦＴを配置したアクティブマトリクス型の表示装置への応用開発が進められている。特に、ポリシリコン（多結晶珪素）膜を用いたＴＦＴは、従来のアモルファスシリコン（非晶質珪素）膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、画素が形成された基板（画素基板）上に貼り付けられた単結晶ＩＣ基板上に形成された駆動回路で行っていた画素の制御を、画素基板上に形成した駆動回路で行うことが可能となっている。

【０００３】

ここで、画素毎に液晶素子の配向を制御して表示を行うアクティブマトリクス型の表示装置の例を以下に示す。

【０００４】

ここで、液晶素子とは、２つの電極間に液晶材料により形成される液晶層を挟んだ構成の素子を示すものとする。この２つの電極間に電圧を印加することによって、間に挟まれ

10

20

30

40

50

た液晶層の配向を制御し、液晶層の透過率を制御する。画素毎に液晶層の透過率を制御することによって、画像を表示する。

【0005】

ここで、本明細書中において、液晶素子の2つの電極間に電圧を印加することによって、間に挟まれた液晶層の配向を制御し、液晶層の透過率を制御することを、液晶素子を駆動するというようにする。

【0006】

図9に従来の液晶表示装置の構成をブロック図で示す。図9において、液晶表示装置は、複数の画素が形成された画素領域と、画素領域のソース信号線及びゲート信号線により各画素を選択し、信号を入力するゲート信号線駆動回路及びソース信号線駆動回路を有している。ゲート信号線駆動回路、ソース信号線駆動回路及び画素領域は、画素基板上に形成されている。この構成では、駆動回路を外付けした場合に問題となる、駆動回路と画素領域間の配線抵抗及び配線容量の影響を、低減することができる。

10

【0007】

画素部の詳細な構成を図10に示す。図10において、画素領域に、 y (y は、自然数)本のゲート信号線 $G_1 \sim G_y$ が行方向に配置され、 x (x は、自然数)本のソース信号線 $S_1 \sim S_x$ が列方向に配置されている。これらのソース信号線 $S_1 \sim S_x$ とゲート信号線 $G_1 \sim G_y$ の各交点においては、各画素を構成する画素TFT1002のゲート電極が、ゲート信号線に接続され、画素TFT1002のソース端子またはドレイン端子の一方が、ソース信号線に接続されている。画素TFT1002のソース端子とドレイン端子で、前記ソース信号線と接続されていない側は、液晶素子1003の一方の電極及び保持容量1001の一方の電極に接続されている。保持容量1001の前記画素TFT1002と接続されていない側の電極及び液晶素子1003の前記画素TFT1002と接続されていない側の電極は、コモン電位線1004に接続される。コモン電位線1004の電位を、コモン電位 V_{com} とする。

20

【0008】

ここで、本明細書中において、液晶素子の2つの電極のうち、画素TFTに接続された側の電極を、画素電極とよび、もう一方の電極を対向電極と呼ぶことにする。

【0009】

図9及び図10に示した表示装置が表示を行う際の動作について、図11に示すタイミングチャートを用いて説明する。図11において、 $G_1 \sim G_y$ は、ゲート信号線に入力される信号電位を示す。また、 $S_1 \sim S_x$ は、ソース信号線 $S_1 \sim S_x$ に入力される信号電位を示す。

30

【0010】

ここで、図11では、画素TFT1002が n チャネル型TFTの場合を例に説明するが、画素TFT1002は、 p チャネル型TFTでも構わない。

【0011】

表示装置が1画像を表示する期間を1フレーム期間(F)とする。1フレーム期間の長さは、動画を表示した場合に人間の目にチラツキを感じ無い程度に設定されている。通常、1フレーム期間の長さは、 $1/60$ 秒程度に設定されている。

40

【0012】

始めに、ゲート信号線駆動回路からゲート信号線 G_1 に入力された信号によって、ゲート信号線 G_1 にゲート電極が接続された画素TFT(第1行の画素TFT)は、オンの状態となる。このとき、他のゲート信号線 $G_2 \sim G_y$ にゲート電極が接続された画素TFTは、オフの状態である。

【0013】

ここで本明細書中では、TFTがオンの状態となるとは、ソース端子とゲート電極の電位差によって、ソース・ドレイン間が導通状態となることを示すものとする。また、TFTがオフの状態とは、逆にソース端子とゲート電極の間の電位差によって、ソース・ドレイン間が非導通状態であることを示すものとする。また、信号線にそのゲート電極が接続

50

されたT F Tがオンの状態となるような信号を信号線に入力することを、信号線を選択するというようにする。

【0014】

ソース信号線駆動回路よりソース信号線S 1 ~ S xに順に、アナログ信号が入力される。このアナログ信号の有するアナログ電位が、オンの状態となった第1行の画素T F Tのソース・ドレイン間を介して、液晶素子の画素電極及び保持容量の一方の電極に入力される。入力されたアナログ電位とコモン電位線により与えられる液晶素子の対向電極の電位との電位差に応じて、液晶素子を駆動する。

なお、液晶素子と並列に設けられた保持容量は、液晶素子の2つの電極（画素電極と対向電極）間に印加された電圧を、1フレーム期間の間保持するために設けられている。

10

【0015】

ここで、ゲート信号線G 1が選択されている期間をライン期間L 1と表記する。一般に、ゲート信号線G i（iは、y以下の自然数）が選択されている期間をライン期間L iと表記する。

【0016】

次に、ゲート信号線G 2が選択され、オンの状態となった第2行の画素T F Tのソース・ドレイン間を介して、ソース信号線S 1 ~ S xに順に入力されたアナログ信号の有するアナログ電位が、液晶素子の画素電極及び保持容量の電極に入力される。入力されたアナログ電位とコモン電位線により与えられる液晶素子の対向電極の電位との電位差に応じて、液晶素子を駆動する。

20

【0017】

上記動作を、全てのゲート信号線G 1 ~ G yについて繰り返し、ライン期間L 1 ~ L yが終了すると、1フレーム期間F 1が終了する。

【0018】

ここで、液晶素子の2つの電極（画素電極と対向電極）間の電界の向きが長時間同じ方向に偏ると、液晶材料は劣化する性質がある。そのため、通常、液晶表示装置は、液晶素子の2つの電極間の電界の向きを、周期的に反転させて駆動（反転駆動）している。反転駆動の仕方として、連続するフレーム期間それぞれにおいて、液晶素子の2つの電極間に印加される電界の向きを反転させる駆動方法（フレーム反転駆動）を用いる場合について以下に説明する。なお反転駆動方法は、これに限定されない。

30

【0019】

なお、長い間同じ方向の電界をかけ続けても劣化しにくい液晶材料であれば、頻繁に反転駆動を行う必要はない。

【0020】

図11では、フレーム反転駆動を用いた場合のタイミングチャートを示している。第1のフレーム期間F 1と、第2のフレーム期間F 2において、ソース信号線S 1 ~ S xに入力される信号の極性が反転している。第1のフレーム期間F 1においては、ソース信号線S 1 ~ S xに、液晶素子の対向電極に接続されたコモン電源線の電位より高い電位が入力される。一方、第2のフレーム期間F 2においては、ソース信号線S 1 ~ S xに、液晶素子の対向電極に接続されたコモン電源線の電位より低い電位が入力される。再び、第3のフレーム期間F 3においては、ソース信号線S 1 ~ S xに、液晶素子の対向電極に接続されたコモン電源線の電位より高い電位が入力される。こうして、フレーム期間毎にソース信号線S 1 ~ S xに入力される信号の極性が反転した信号が入力され、画像の表示を行っている。

40

【0021】

上述のアクティブマトリクス型の表示装置の各画素が有する、画素T F Tの動作が正常に行われるかどうかを、表示装置を作製する工程の早い段階において判断することが望まれている。それによって、動作が正常に行われない画素T F Tを有するパネルを除き、無駄を減らしコストを削減することができる。

【0022】

50

そこで、図 3 に示すような構成の表示装置が提案されている。ここでは、画素 T F T 1 0 0 2 及び保持容量 1 0 0 1 が形成され、液晶素子の画素電極 1 1 1 0 が形成された時点で検査を行う場合を想定する。図 3 において、画素基板上に、ソース信号線駆動回路、ゲート信号線駆動回路及び画素領域が形成されている。

画素の構造は、図 1 0 において示した構造と同様であるので、同じ部分は同じ符号を用いて示し説明は省略する。なお、図 1 0 における液晶素子は、まだ形成されていないので、代わりに画素電極 1 1 1 0 のみを示す。保持容量 1 0 0 1 の静電容量を C_s とする。

【 0 0 2 3 】

ソース信号線 $S_1 \sim S_x$ はそれぞれ、スイッチ $SWA_1 \sim SWA_x$ を介して読み出し用配線 1 1 1 1 に接続されている。読み出し用配線 1 1 1 1 は、画素基板上で P A D に電氣的に接続される。P A D において、画素基板の外部に設けられた検出回路が接続されている。こうして、読み出し用配線 1 1 1 1 は、画素基板の外部に電氣的に接続されている。また、ソース信号線駆動回路から出力された信号は、スイッチ $SWB_1 \sim SWB_x$ を介してソース信号線 $S_1 \sim S_x$ に入力される。ここで、ソース信号線 $S_1 \sim S_x$ それぞれの配線容量を C_{SL} 、読み出し用配線 1 1 1 1 の配線容量を C_L とする。

【 0 0 2 4 】

上記構成の表示装置の画素 T F T 1 0 0 2 が正常に動作するかどうかを検査する方法について、以下に説明する。

【 0 0 2 5 】

ソース信号線駆動回路より信号を入力して、各画素の保持容量 1 0 0 1 に電荷を蓄え、それを外部に設けた検出回路によって順に読み出すことによって、画素 T F T 1 0 0 2 が正常に動作するかどうかを検査する。

【 0 0 2 6 】

第 1 の手順として、各画素の保持容量に電荷を蓄える。各画素の保持容量 1 0 0 1 に電荷を蓄える動作については、前述した画像表示の際の動作と同様であるので、ここでは説明は省略する。なお、各画素の保持容量 1 0 0 1 に電荷を蓄える際は、全てのスイッチ $SWB_1 \sim SWB_x$ は、オンの状態となり、ソース信号線駆動回路の出力信号はソース信号線 $S_1 \sim S_x$ に入力される。ソース信号線駆動回路からソース信号線に与えられた信号電位を $V_{in}(V)$ (V_{in} は、 V_{com} とは異なる) とする。ここで、コモン電位線の電位 V_{com} を 0 (V) とする。画素が正常であれば、全ての画素の保持容量 1 0 0 1 の画素 T F T 1 0 0 2 に接続された側の電位が $V_{in}(V)$ になり、保持容量 1 0 0 1 に電荷が蓄えられる。

【 0 0 2 7 】

第 2 の手順として、全ての画素 T F T 1 0 0 2 をオフの状態にする。その後、スイッチ $SWB_1 \sim SWB_x$ がオンの状態で、ソース信号線駆動回路の出力信号を 0 (V) とし、全てのソース信号線 $S_1 \sim S_x$ に信号を書き込み、全てのソース信号線 $S_1 \sim S_x$ の電位を 0 (V) とする。

【 0 0 2 8 】

第 3 の手順として、スイッチ $SWA_1 \sim SWA_x$ を順に 1 つずつ選択し、2 本以上のソース信号線が読み出し用配線 1 1 1 1 に接続されていないようにする。

【 0 0 2 9 】

ここで、スイッチ SWA_1 を選択した場合を例に説明する。スイッチ SWA_1 を選択し、ソース信号線 S_1 が呼び出し用配線 1 1 1 1 に接続されている際、ソース信号線 S_1 に対応するスイッチ SWB_1 をオフの状態にして、ソース信号線 S_1 の電位が固定されないようにする。この状態で、ゲート信号線 G_1 が選択されている場合、第 1 行の画素が有する画素 T F T 1 0 0 2 の保持容量 1 0 0 1 に蓄積された電荷がソース信号線 S_1 を介して、読み出し用配線 1 1 1 1 に読み出される。保持容量 1 0 0 1 に蓄積された電荷によるソース信号線 S_1 の電位の変化が、外部の検出回路に入力され検出される。同様の動作を、全てのスイッチ $SWA_1 \sim SWA_x$ を順に選択し、ソース信号線 $S_1 \sim S_x$ に対して繰り返す。

10

20

30

40

50

【 0 0 3 0 】

上記第 2 の手順 ~ 第 3 の手順を、全ての画素行に関して繰り返す。

【 0 0 3 1 】

外部の検出回路に入力される電圧（検出電圧） V_{ex} は、式 1 で与えられる。

【 0 0 3 2 】

【 数 1 】

$$V_{ex} = \{ C_S / (C_{SL} + C_L + C_S) \} V_{in}$$

【 0 0 3 3 】

10

ここで、各画素において、その保持容量 1 0 0 1 に蓄積された電荷を読み出す操作を行い、検出電圧 V_{ex} が検出された画素においては、信号の書き込み動作が正常に行われること、つまり、画素 T F T 1 0 0 2 が正常に働き保持容量 1 0 0 1 への充電及び放電が可能なのが確認される。一方、検出電圧 V_{ex} が検出されなかった画素においては、画素 T F T 1 0 0 2 等に問題があることがわかる。

【 0 0 3 4 】

なお、検出電圧 V_{ex} は、検出回路の有するアンプによって増幅される。

【 0 0 3 5 】

こうして、液晶素子を形成する以前に、表示装置の画素 T F T が正常に動作するかどうかを検査することができる。

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 3 6 】

パネルが小さな場合は、ソース信号線の配線容量 C_{SL} 及び読み出し用配線の配線容量 C_L が小さく、式 1 で与えられる検出電圧 V_{ex} はそれ程小さくならないが、大型パネルでは、ソース信号線及び読み出し用配線の引き回しが長くなり、配線容量が増大する。特に、読み出し用配線の配線容量 C_L が増大するため、検出電圧 V_{ex} が微小となる。そのため、画素 T F T に問題があるかどうかの判断が難しいという問題がある。

【 0 0 3 7 】

そこで本発明は、上記問題を解決し、大型パネルにおいても画素 T F T が正常に動作するかどうかの判断が容易にできる、表示装置及びその検査方法を提供することを課題とする。

30

【 課題を解決するための手段 】

【 0 0 3 8 】

読み出し用配線の配線容量 C_L の影響を軽減するため、各ソース信号線は、アナログバッファを介して、読み出し用配線に接続されるようにする。

【 0 0 3 9 】

これによって、大型パネルにおいても画素 T F T が正常に動作するかどうかの判断が容易にできる、表示装置及びその検査方法を提供することができる。

【 0 0 4 0 】

40

以下に、本発明の構成について説明する。

【 0 0 4 1 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、前記第 1 の信号線に信号を出力する駆動回路と、第 2 の信号線と、第 1 のスイッチと、第 2 のスイッチとを有し、前記画素は、T F T と、保持容量とを有し、前記 T F T のソース端子とドレイン端子とは、一方は、前記第 1 の信号線に接続され、もう一方は、前記保持容量の一方の電極に接続され、前記第 1 の信号線は、前記第 1 のスイッチを介して前記第 2 の信号線に接続され、前記駆動回路の出力端子は、前記第 2 のスイッチを介して前記第 1 の信号線に接続され、前記第 2 の信号線は、前記絶縁表面を有する基板の外部に電氣的に接続されている表示装置であって、アナログバッファを有し、前記第 1 の信号線は

50

、前記アナログバッファを介して前記第 1 のスイッチに接続されていることを特徴とする表示装置が提供される。

【 0 0 4 2 】

本発明によって、絶縁表面を有する基板上に、複数の画素と、複数の第 1 の信号線と、前記複数の第 1 の信号線に信号を出力する駆動回路と、第 2 の信号線と、複数の第 1 のスイッチと、複数の第 2 のスイッチとを有し、前記複数の画素はそれぞれ、T F T と、保持容量とを有し、前記 T F T のソース端子とドレイン端子とは、一方は、前記複数の第 1 の信号線のうちの 1 本に接続され、もう一方は、前記保持容量の一方の電極に接続され、前記複数の第 1 の信号線はそれぞれ、前記複数の第 1 のスイッチのうちいずれか異なる 1 つを介して、前記第 2 の信号線に接続され、前記駆動回路の複数の出力端子はそれぞれ、前記複数の第 2 のスイッチのうちいずれか異なる 1 つを介して、前記複数の第 1 の信号線のうちいずれか異なる 1 本に接続され、前記第 2 の信号線は、前記絶縁表面を有する基板の外部に電氣的に接続されている表示装置であって、複数のアナログバッファを有し、前記複数の第 1 の信号線はそれぞれ、前記複数のアナログバッファのうちいずれか異なる 1 つを介して、前記複数の第 1 のスイッチのうちいずれか異なる 1 つに接続されていることを特徴とする表示装置が提供される。

10

【 0 0 4 3 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、前記第 1 の信号線に信号を出力する駆動回路と、第 2 の信号線と、第 1 のスイッチと、第 2 のスイッチとを有し、前記画素は、T F T と、液晶素子と、保持容量とを有し、前記液晶素子は、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に挟まれた液晶層とを有し、前記 T F T のソース端子とドレイン端子とは、一方は、前記第 1 の信号線に接続され、もう一方は、前記液晶素子の第 1 の電極と前記保持容量の一方の電極とに接続され、前記第 1 の信号線は、前記第 1 のスイッチを介して前記第 2 の信号線に接続され、前記駆動回路の出力端子は、前記第 2 のスイッチを介して前記第 1 の信号線に接続され、前記第 2 の信号線は、前記絶縁表面を有する基板の外部に電氣的に接続されている表示装置であって、アナログバッファを有し、前記第 1 の信号線は、前記アナログバッファを介して前記第 1 のスイッチに接続されていることを特徴とする表示装置が提供される。

20

【 0 0 4 4 】

本発明によって、絶縁表面を有する基板上に、複数の画素と、複数の第 1 の信号線と、前記複数の第 1 の信号線に信号を出力する駆動回路と、第 2 の信号線と、複数の第 1 のスイッチと、複数の第 2 のスイッチとを有し、前記複数の画素はそれぞれ、T F T と、液晶素子と、保持容量とを有し、前記液晶素子は、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に挟まれた液晶層とを有し、前記 T F T のソース端子とドレイン端子とは、一方は、前記複数の第 1 の信号線のうちの 1 本に接続され、もう一方は、前記液晶素子の第 1 の電極と前記保持容量の一方の電極とに接続され、前記複数の第 1 の信号線はそれぞれ、前記複数の第 1 のスイッチのうちいずれか異なる 1 つを介して、前記第 2 の信号線に接続され、前記駆動回路の複数の出力端子はそれぞれ、前記複数の第 2 のスイッチのうちいずれか異なる 1 つを介して、前記複数の第 1 の信号線のうちいずれか異なる 1 本に接続され、前記第 2 の信号線は、前記絶縁表面を有する基板の外部に電氣的に接続されている表示装置であって、複数のアナログバッファを有し、前記複数の第 1 の信号線はそれぞれ、前記複数のアナログバッファのうちいずれか異なる 1 つを介して、前記複数の第 1 のスイッチのうちいずれか異なる 1 つに接続されていることを特徴とする表示装置が提供される。

30

40

【 0 0 4 5 】

前記表示装置を用いることを特徴とする電子機器であってもよい。

【 0 0 4 6 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、前記第 1 の信号線に信号を入力する駆動回路と、第 2 の信号線と、第 1 のスイッチとを有し、前記

50

画素は、ＴＦＴと、第１の電極と第２の電極とを有する保持容量とを有し、前記ＴＦＴのソース端子またはドレイン端子は、一方は前記第１の信号線に接続され、もう一方は、前記保持容量の第１の電極に接続された表示装置の検査方法であって、アナログバッファを有し、前記ＴＦＴをオン状態にし、前記駆動回路より第１の電位を前記第１の信号線に入力し、前記保持容量に電荷を保持する手順と、前記第１の信号線と前記駆動回路の接続を切り、前記第１の信号線の電位を、前記アナログバッファと、前記第１のスイッチとを介して、前記第２の信号線に出力する手順とを有することを特徴する表示装置の検査方法が提供される。

【００４７】

本発明によって、絶縁表面を有する基板上に、画素と、第１の信号線と、駆動回路と、第２の信号線と、第１のスイッチとを有し、前記画素は、ＴＦＴと、第１の電極と第２の電極とを有する保持容量とを有し、前記ＴＦＴのソース端子またはドレイン端子は、一方は前記第１の信号線に接続され、もう一方は、前記保持容量の第１の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路とを有し、前記ＴＦＴをオン状態にし、前記駆動回路より第１の電位を前記第１の信号線に入力し、前記保持容量に電荷を保持する手順と、前記ＴＦＴをオフ状態にし、前記第１の信号線を、前記第１の電位とは異なる第２の電位とする手順と、前記第２の電位を、前記アナログバッファと前記第１のスイッチとを介して、前記第２の信号線に出力する手順と、前記第２の信号線に入力された電位と第３の電位の差を、前記検出回路において増幅し、第１の電圧とする手順と、前記第１の信号線と前記駆動回路の接続を切り、前記ＴＦＴをオンの状態にし、前記第１の信号線の電位を、前記アナログバッファと前記第１のスイッチとを介して、前記第２の信号線に出力する手順と、前記第２の信号線に入力された電位と前記第３の電位の差を、前記検出回路において増幅し、第２の電圧とする手順と、前記第１の電圧と前記第２の電圧とを比較する手順とを有することを特徴とする表示装置の検査方法が提供される。

【００４８】

本発明によって、絶縁表面を有する基板上に、画素と、第１の信号線と、駆動回路と、第２の信号線と、第１のスイッチとを有し、前記画素は、ＴＦＴと、第１の電極と第２の電極とを有する保持容量とを有し、前記ＴＦＴのソース端子またはドレイン端子は、一方は前記第１の信号線に接続され、もう一方は、前記保持容量の第１の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路と、メモリとを有し、前記ＴＦＴをオン状態にし、前記駆動回路より第１の電位を前記第１の信号線に入力し、前記保持容量に電荷を保持する手順と、前記ＴＦＴをオフ状態にし、前記第１の信号線を、前記第１の電位とは異なる第２の電位とする手順と、前記第２の電位を、前記アナログバッファと前記第１のスイッチとを介して、前記第２の信号線に出力する手順と、前記第２の信号線に入力された電位と第３の電位の差を、前記検出回路において増幅し、第１の電圧とする手順と、前記第１の電圧をメモリに記憶する手順と、前記第１の信号線と前記駆動回路の接続を切り、前記ＴＦＴをオンの状態にし、前記第１の信号線の電位を、前記アナログバッファと前記第１のスイッチとを介して、前記第２の信号線に出力する手順と、前記第２の信号線に入力された電位と前記第３の電位の差を、前記検出回路において増幅し、第２の電圧とする手順と、前記メモリに記憶された第１の電圧と前記第２の電圧とを比較する手順とを有することを特徴とする表示装置の検査方法が提供される。

【００４９】

本発明によって、絶縁表面を有する基板上に、画素と、第１の信号線と、第１の駆動回路と、第２の信号線と、第１のスイッチと、第２の駆動回路とを有し、前記画素は、ＴＦＴと、第１の電極と第２の電極とを有する保持容量とを有し、前記ＴＦＴのソース端子またはドレイン端子は、一方は前記第１の信号線に接続され、もう一方は、前記保持容量の第１の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路とを有し、前記ＴＦＴをオン状態

にし、前記第 1 の駆動回路より第 1 の電位を前記第 1 の信号線に入力し、前記保持容量に電荷を保持する手順と、前記 T F T をオフ状態にし、前記第 1 の信号線を、前記第 1 の電位とは異なる第 2 の電位とする手順と、前記第 2 の電位を、前記アナログバッファと、前記第 2 の駆動回路によってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と第 3 の電位の差を、前記検出回路において増幅し、第 1 の電圧とする手順と、前記第 1 の信号線と前記第 1 の駆動回路の接続を切り、前記 T F T をオンの状態にし、前記第 1 の信号線の電位を、前記アナログバッファと、前記第 2 の駆動回路によってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と前記第 3 の電位の差を、前記検出回路において増幅し、第 2 の電圧とする手順と、前記第 1 の電圧と前記第 2 の電圧とを比較する手順とを有することを特徴とする表示装置の検査方法が提供される。

10

【 0 0 5 0 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、第 1 の駆動回路と、第 2 の信号線と、第 1 のスイッチと、第 2 の駆動回路とを有し、前記画素は、T F T と、第 1 の電極と第 2 の電極とを有する保持容量とを有し、前記 T F T のソース端子またはドレイン端子は、一方は前記第 1 の信号線に接続され、もう一方は、前記保持容量の第 1 の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路と、メモリとを有し、前記 T F T をオン状態にし、前記第 1 の駆動回路より第 1 の電位を前記第 1 の信号線に入力し、前記保持容量に電荷を保持する手順と、前記 T F T をオフ状態にし、前記第 1 の信号線を、前記第 1 の電位とは異なる第 2 の電位とする手順と、前記第 2 の電位を、前記アナログバッファと、前記第 2 の駆動回路によってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と第 3 の電位の差を、前記検出回路において増幅し、第 1 の電圧とする手順と、前記第 1 の電圧をメモリに記憶する手順と、前記第 1 の信号線と前記第 1 の駆動回路の接続を切り、前記 T F T をオンの状態にし、前記第 1 の信号線の電位を、前記アナログバッファと、前記第 2 の駆動回路によってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と前記第 3 の電位の差を、前記検出回路において増幅し、第 2 の電圧とする手順と、前記メモリに記憶された第 1 の電圧と前記第 2 の電圧とを比較する手順とを有することを特徴とする表示装置の検査方法が提供される。

20

30

【 0 0 5 1 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、駆動回路と、第 2 の信号線と、第 1 のスイッチとを有し、前記画素は、T F T と、第 1 の電極と第 2 の電極とを有する保持容量とを有し、前記 T F T のソース端子またはドレイン端子は、一方は前記第 1 の信号線に接続され、もう一方は、前記保持容量の第 1 の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路とを有し、前記 T F T をオン状態にし、前記駆動回路より第 1 の電位を前記第 1 の信号線に入力し、前記保持容量に電荷を保持する手順と、前記 T F T をオフ状態にし、前記第 1 の信号線を、前記第 1 の電位とは異なる第 2 の電位とする手順と、前記第 2 の電位を、前記アナログバッファと、前記駆動回路が有するシフトレジスタによってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と第 3 の電位の差を、前記検出回路において増幅し、第 1 の電圧とする手順と、前記第 1 の信号線と前記駆動回路の接続を切り、前記 T F T をオンの状態にし、前記第 1 の信号線の電位を、前記アナログバッファと、前記駆動回路が有するシフトレジスタによってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と前記第 3 の電位の差を、前記検出回路において増幅し、第 2 の電圧とする手順と、前記第 1 の電圧と前記第 2 の電圧とを比較する手順とを有することを

40

50

特徴とする表示装置の検査方法が提供される。

【 0 0 5 2 】

本発明によって、絶縁表面を有する基板上に、画素と、第 1 の信号線と、駆動回路と、第 2 の信号線と、第 1 のスイッチとを有し、前記画素は、T F T と、第 1 の電極と第 2 の電極とを有する保持容量とを有し、前記 T F T のソース端子またはドレイン端子は、一方は前記第 1 の信号線に接続され、もう一方は、前記保持容量の第 1 の電極に接続された表示装置の検査方法であって、アナログバッファと、前記絶縁表面を有する基板の外部に設けられた検出回路と、メモリとを有し、前記 T F T をオン状態にし、前記駆動回路より第 1 の電位を前記第 1 の信号線に入力し、前記保持容量に電荷を保持する手順と、前記 T F T をオフ状態にし、前記第 1 の信号線を、前記第 1 の電位とは異なる第 2 の電位とする手順と、前記第 2 の電位を、前記アナログバッファと、前記駆動回路が有するシフトレジスタによってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と第 3 の電位の差を、前記検出回路において増幅し、第 1 の電圧とする手順と、前記第 1 の電圧をメモリに記憶する手順と、前記第 1 の信号線と前記駆動回路の接続を切り、前記 T F T をオンの状態にし、前記第 1 の信号線の電位を、前記アナログバッファと、前記駆動回路が有するシフトレジスタによってオン・オフが切り替えられる前記第 1 のスイッチとを介して、前記第 2 の信号線に出力する手順と、前記第 2 の信号線に入力された電位と前記第 3 の電位の差を、前記検出回路において増幅し、第 2 の電圧とする手順と、前記メモリに記憶された第 1 の電圧と前記第 2 の電圧とを比較する手順とを有することを特徴とする表示装置の検査方法が提供される。

【 0 0 5 3 】

前記第 1 の電圧と前記第 2 の電圧とを比較する手順では、前記第 1 の電圧と前記第 2 の電圧の差分を計算することを特徴とする表示装置の検査方法であってもよい。

【 0 0 5 4 】

前記第 3 の電位と前記第 2 の電極の電位が等しいことを特徴とする表示装置の検査方法であってもよい。

【 0 0 5 5 】

前記検査方法を用いることを特徴とする電子機器であってもよい。

【発明の効果】

【 0 0 5 6 】

上記構成によって、大型パネルであっても、画素部 T F T の検査が可能な表示装置を提供することができる。これにより、不良品を液晶封入前に除去可能であり、製造費用の削減を図ることができる。

【発明を実施するための最良の形態】

【 0 0 5 7 】

以下に、本発明の実施形態について説明する。

【 0 0 5 8 】

図 1 は、本発明の表示装置の構成を示す回路図である。なお、従来例において示した図 3 と同じ部分は、同じ符号を用いて示し説明は省略する。

【 0 0 5 9 】

従来の液晶表示装置と異なり、本発明の液晶表示装置では、アナログバッファ A B 1 ~ A B x が、各ソース信号線 S 1 ~ S x と、各スイッチ S W A 1 ~ S W A x それぞれの間に配置されている。

【 0 0 6 0 】

ここでは、液晶素子の画素電極のみが形成された段階で、つまり液晶材料が封入される前の段階で画素 T F T 1 0 0 2 が正常に動作するかどうかの検査を行う場合を想定する。なおこれに限定されず、表示装置の各駆動回路（ソース信号線駆動回路、ゲート信号線駆動回路）及び画素領域を構成する、T F T 同時や保持容量との結線が終了していれば、どの段階で検査を行っても良い。

10

20

30

40

50

【 0 0 6 1 】

図 1 において、液晶素子はまだ形成されておらず、画素電極 1 1 1 0 のみを示す。

【 0 0 6 2 】

図 1 の表示装置の検査方法を以下に説明する。

【 0 0 6 3 】

第 1 の手順として、各画素が有する保持容量 1 0 0 1 に信号を入力し、電圧を保持させる。なお、各画素が有する保持容量 1 0 0 1 に信号を入力する動作については、従来例と同様であるので、ここでは説明は省略する。ここで、保持容量 1 0 0 1 に信号を入力する際には、ソース信号線駆動回路と各ソース信号線 $S_1 \sim S_x$ の間に設けられているスイッチ $SWB_1 \sim SWB_x$ をオンの状態にして、ソース信号線駆動回路の出力が、各ソース信号線 $S_1 \sim S_x$ に入力されるようにする。また、スイッチ $SWA_1 \sim SWA_x$ は、オフの状態である。

10

【 0 0 6 4 】

各画素が有する保持容量 1 0 0 1 に信号を入力する際に、ソース信号線駆動回路からソース信号線に与えられた信号電位を V_{in} (V_{in} は、 V_{com} とは異なる) (V) とする。ここで、コモン電位線 1 0 0 4 の電位 (コモン電位) V_{com} を 0 (V) とする。画素が正常であれば、全ての画素の保持容量 1 0 0 1 の両電極間に電圧が保持される。

【 0 0 6 5 】

第 2 の手順として、全ての画素 TFT_{1002} をオフの状態にする。そして、スイッチ $SWB_1 \sim SWB_x$ がオンの状態で、ソース信号線駆動回路の出力信号を 0 (V) として、全てのソース信号線 $S_1 \sim S_x$ に信号を書き込み、ソース信号線 $S_1 \sim S_x$ の電位を 0 (V) とする。この際、画素 TFT_{1002} がオフの状態であるので、第 1 の手順において保持容量 1 0 0 1 の両電極間に保持された電圧はそのままである。その後、スイッチ $SWB_1 \sim SWB_x$ をオフの状態にする。このとき、ソース信号線 $S_1 \sim S_x$ の電位はその配線容量によって、0 (V) に保たれている。

20

【 0 0 6 6 】

以後の動作について説明する。

【 0 0 6 7 】

第 3 の手順として、画素 TFT_{1002} は、すべてオフの状態のままで、スイッチ $SWA_1 \sim SWA_x$ を順次選択する。こうして、ソース信号線 $S_1 \sim S_x$ の電位をアナログバッファ $AB_1 \sim AB_x$ を介して、それぞれ読み出し用配線 1 1 1 1 に出力する。読み出し用配線 1 1 1 1 に出力された電位と、基準電位 V_0 の電位差を基準電圧 V_{ref} とし、ソース信号線 $S_1 \sim S_x$ それぞれに対応する基準電圧 V_{ref} を $V_{ref1} \sim V_{refx}$ と表記する。この基準電圧 $V_{ref1} \sim V_{refx}$ はそれぞれ、外部に設けた検出回路においてアンプによって増幅された後、検出回路に接続されたメモリに記憶される。

30

【 0 0 6 8 】

基準電位 V_0 は、任意の電位とすることができる。なお、ここでは、コモン電位 V_{com} とする。

【 0 0 6 9 】

以後の動作において、図 2 のタイミングチャートを用いて説明する。

40

【 0 0 7 0 】

なお図 2 において、 $G_1 \sim G_y$ は、それぞれゲート信号線 $G_1 \sim G_y$ に入力される電位を示す。 $T_{SWA1} \sim T_{SWAx}$ は、それぞれスイッチ $SWA_1 \sim SWA_x$ を駆動する信号の電位を示し、「Hi」の電位が入力されているとき、スイッチ $SWA_1 \sim SWA_x$ はそれぞれオンしているものとする。 $V_{out}(q, p)$ は、 q (q は、 y 以下の自然数) 行 p (p は、 x 以下の自然数) 列の画素からの検出電圧 V_{out} を示す。

【 0 0 7 1 】

第 4 の手順として、図 2 のタイミングチャートに示すように、ゲート信号線 G_1 に信号を入力し、第 1 行の画素の画素 TFT をオンの状態とする。その後、信号 $T_{SWA1} \sim T_{SWAx}$

50

によって、スイッチ $SWA1 \sim SWAx$ を順に 1 つずつ選択する。始めに、信号 T_{SWA1} によってスイッチ $SWA1$ を選択し、第 1 行 1 列の保持容量 1001 の電荷が放電されたことにより変化したソース信号線 $S1$ の電位が、読み出し用配線 1111 に出力される。スイッチ $SWA1 \sim SWAx$ を順にすべて選択し、第 1 行の画素の保持容量の電荷が放電されたことにより変化したソース信号線 $S1 \sim Sx$ の電位が順に読み出し用配線に出力される。

【0072】

こうして、外部の検出回路に、第 1 行のそれぞれの画素に対応する読み出し用配線 1111 の電位と、基準電位 V_0 との電位差に対応する、検出電圧 $V_{out}(1,1) \sim V_{out}(1,x)$ が入力される。ここで、検出電圧 V_{out} は、式 2 で与えられる。

10

【0073】

【数 2】

$$V_{out} = \{C_s / (C_{SL} + C_{BU} + C_s)\} V_{in}$$

【0074】

C_{BU} は、アナログバッファの容量である。アナログバッファの容量 C_{BU} は、読み出し用配線の容量 C_L より非常に小さい。そのため、従来例において式 1 で示した検出電圧 V_{ex} と異なり、検出電圧 V_{out} は検出可能な大きさを有する。外部の検出回路に入力された検出電圧 $V_{out}(1,1) \sim V_{out}(1,x)$ は、アンプによって増幅される。

20

【0075】

ここで、外部の検出回路において、先ほどの基準電圧 V_{ref1} を増幅した信号をメモリから読み出し、検出電圧 $V_{out}(1,1) \sim V_{out}(1,x)$ をそれぞれ増幅した信号と、それぞれ比較する。基準電圧 V_{ref1} をアンプによって増幅した信号と、検出電圧 $V_{out}(1,1)$ をアンプによって増幅した信号の差分を $V_{sub}(1,1)$ とする。ここで、基準電圧 V_{ref1} と検出電圧 $V_{out}(1,1)$ のアンプによる増幅率は同じである。例えば、差分 $V_{sub}(1,1)$ が生じない場合、1 行 1 列の画素 TFT に異常があり、保持容量への充電及び放電ができないことを示す。

【0076】

全ての画素行において、第 2 の手順～第 4 の手順を繰り返す。こうして、全ての画素に対応する差分 $V_{sub}(1,1) \sim V_{sub}(y,x)$ を調べることによって、全ての画素の画素 TFT 1002 に問題がないかを検査することができる。

30

【0077】

図 2 において、1 行 2 列の画素の画素 TFT または保持容量に問題があり、電圧 $V_{sub}(2,1)$ が出力されない（図 2 中、9301 で示す）。

【0078】

本発明の検査方法では、ソース信号線 $S1 \sim Sx$ 毎に、基準電圧 V_{ref} を求め、検出電圧 V_{out} と基準電圧 V_{ref} との差分に対応する電圧 V_{sub} を用いて評価を行うため、アナログバッファ AB1～ABx を構成する TFT の特性ばらつきによるオフセット電圧の影響を除くことができる。

40

【0079】

一般に、液晶素子の 2 つの電極間には、コモン電位 V_{com} を中心に、5 (V) 程度の電圧が印加されて黒表示を行う。そこで、コモン電位 V_{com} を 0 (V) とし、また、画素 TFT 1002 にソース信号線駆動回路より 5 (V) の信号を入力し、つまり式 2 において、 V_{in} (V) を 5 (V) として、上述の検査方法で検査を行う場合についての例を示す。

【0080】

保持容量 1001 の静電容量 C_s を 0.2 (pF) とし、ソース信号線 $S1 \sim Sx$ の配線容量をそれぞれ C_L を 10 (pF) とする。また、アナログバッファ AB1～ABx それぞれの容量 C_{BU} は無視できる程小さいとする。ある画素において、その画素を構成する

50

画素 T F T 1 0 0 2 等に問題が無いとすれば、式 2 より、検出電圧 V_{out} は、 $0.02 (V)$ となる。ここで、基準電圧 V_{ref} は、 $0 (V)$ とする。よって、検出回路が有するアンプの増幅率を 50 倍とすると、差分 V_{sub} として、 $1 (V)$ が出力されるはずである。この様な差分 V_{sub} が検出されない場合、画素 T F T が不良であると判断することができる。

【 0 0 8 1 】

こうして、大型パネルにおいても、画素 T F T が正常に動作するかどうかを検査することができる。

【 0 0 8 2 】

本実施の形態において、アナログバッファ A B 1 ~ A B x、ソース信号線駆動回路、ゲート信号線駆動回路、スイッチ S W A 1 ~ S W A x 及びそのオン・オフを制御する駆動回路、スイッチ S W B 1 ~ S W B x 及びそのオン・オフを制御する駆動回路、メモリ、検出回路は、公知の構成の回路を自由に用いることができる。

【 0 0 8 3 】

以下に、本発明の実施例を説明する。

【実施例 1】

【 0 0 8 4 】

本実施例では、実施の形態において示した構造の表示装置において、スイッチ S W A 1 ~ S W A x のオン・オフを制御する検査用駆動回路を設けた例を示す。

【 0 0 8 5 】

図 4 に、本実施例の表示装置の構造を示す。なお、図 1 や図 3 と同じ部分は同じ符号を用いて示し、説明は省略する。検査用駆動回路によって、スイッチ S W A 1 ~ S W A x に信号を入力し、オン・オフを変化させる。

【 0 0 8 6 】

図 5 に、検査用駆動回路の構成例を示す。

【 0 0 8 7 】

検査用駆動回路は、D—F F (Deley Flip Flop) 9 4 0 1 から構成されるシフトレジスタ 9 4 0 2 と、N A N D 回路 9 4 0 3、9 4 0 4、9 4 0 5、インバータより構成されるバッファ回路 9 4 0 6、9 4 0 7、9 4 0 8 より成り立っている。

【 0 0 8 8 】

なお、図 5 では、検査用駆動回路の 3 本のソース信号線に対応する部分のみを示しているが、実際には、検査用駆動回路は、全てのソース信号線 S 1 ~ S x に対応する回路によって構成されてる。

【 0 0 8 9 】

バッファ回路 9 4 0 6、9 4 0 7、9 4 0 8 の出力 9 4 0 9、9 4 1 0、9 4 1 1 から順にシフトしたパルスが出力され、図 4 に示したスイッチ S W A 1、S W A 2、S W A 3 に入力されオン・オフを切り換える。こうしてアナログバッファ A B 1、A B 2、A B 3 を介してソース信号線 S 1、S 2、S 3 と読み出し用配線 1 1 1 を順に接続する。

【 0 0 9 0 】

なお、検出用駆動回路は、上記構成に限定されず、公知の構造のシフトレジスタ等を自由に用いることができる。

【 0 0 9 1 】

また、図 8 に、アナログバッファの回路の例を示す。

【 0 0 9 2 】

アナログバッファは、差動回路 5 5 0 1、カレントミラー回路 5 5 0 2、定電流源 5 5 0 3、高電位側電源線 5 5 2 1、低電位側電源線 5 5 2 2 によって構成されている。高電位側電源線 5 5 2 1 は、V d d の電位に保たれ、低電位側電源線 5 5 2 2 は、V s s の電位に保たれている。ここで、V d d は V s s より高い。差動回路 5 5 0 1 は、T F T 5 5 0 5、5 5 0 6 によって構成され、カレントミラー回路 5 5 0 2 は、T F T 5 5 0 7、5 5 0 8 によって構成される。定電流源 5 5 0 3 は、T F T 5 5 0 4 によって構成され、T

10

20

30

40

50

FT5504のゲート電極には一定の電圧 V_{bias} が印加されている。FT5504は、飽和領域で動作し、電圧 V_{bias} に対応した一定のドレイン電流を流す。FT5504のゲート電極5510が、アナログバッファの入力端子であり、FT5506のゲート電極5511がアナログバッファの出力端子である。

【0093】

図8に示した構成のアナログバッファは、オペアンプ（差動増幅回路）を利用した構成の例であるが、アナログバッファは上記構成に限定されない。ソースフォロワ型であっても良いし、その他の公知の構成の回路を自由に用いることができる。

【0094】

ここで、検査方法については、実施の形態と同様であるのでここでは説明は省略する。

10

【0095】

また、本実施例において、ソース信号線駆動回路、ゲート信号線駆動回路、スイッチSWA1～SWAx、スイッチSWB1～SWBx及びそのオン・オフを制御する駆動回路、メモリ、検出回路は、公知の構成の回路を自由に用いることができる。

【実施例2】

【0096】

本実施例では、実施例1において、図4で示した検査用駆動回路を、ソース信号線駆動回路と兼用した例について説明する。

【0097】

図7において、スイッチSWA1～SWAxと、スイッチSWBa1～SWBax、スイッチSWBb1～SWBbxが配置されている。ソース信号線駆動回路は、画素の輝度の情報に対応するアナログ信号ADを出力する配線 $S_{AD1} \sim S_{ADx}$ 及び、スイッチ開閉のためのパルスSMP1～SMPxを出力する配線 $S_{SMP1} \sim S_{SMPx}$ を有する。パルスSMP1～SMPxは、順にシフトしたパルスであり、それぞれのパルスは同時に出力されない。このパルスSMP1～SMPxとしては、ソース信号線駆動回路が有するシフトレジスタ等の出力を利用すればよい。

20

【0098】

スイッチSWBa1及びスイッチSWBb1が両方オンの状態となったとき、実施の形態や実施例1において、スイッチSWB1がオンの状態になったのと同様の効果がある。また、スイッチSWBa1及びスイッチSWBb1の少なくとも一方がオフの状態となったとき、実施の形態や実施例1において、スイッチSWB1がオフの状態になったのと同様の効果がある。他のスイッチSWBa2～SWBax、スイッチSWBb2～SWBbxについても同様である。

30

【0099】

スイッチSWBa1～SWBaxには、信号 T_B が入力される。この信号 T_B によって、スイッチSWBa1～SWBaxのオン・オフを一斉に切り換える。スイッチSWBa1～SWBaxがオンの状態で、ソース信号線駆動回路よりパルスSMP1～SMPxが入力されると、スイッチSWBb2～SWBbxが順にオンになり、配線 $S_{AD1} \sim S_{ADx}$ とソース信号線 $S1 \sim Sx$ が順に接続され、アナログ信号ADは、ソース信号線 $S1 \sim Sx$ に順に入力される。

40

【0100】

また、スイッチSWBa1～SWBaxがオフの状態で、ソース信号線駆動回路よりパルスSMP1～SMPxが入力されると、スイッチSWA1～SWAxが順にオンになり、読み出し用配線1111とソース信号線 $S1 \sim Sx$ が順に接続される。こうして、ソース信号線 $S1 \sim Sx$ の電位がそれぞれ、読み出し用配線1111に入力される。

【0101】

上記構成では、例えばソース信号線 $S1$ にアナログ信号ADを書き込む際、パルスSMP1が出力されると、スイッチSWBa1及びスイッチSWA1が同時にオンの状態となる。このとき、他のスイッチSWA2～SWAxはオフの状態であるので、ソース信号線 $S1$ へのアナログ信号ADの書き込みは正常に行われる。なお、ソース信号線にアナログ

50

信号 A D を書き込む際、書き込みが行われているソース信号線と読み出し用配線 1 1 1 1 の接続を切る構成であっても良い。

【 0 1 0 2 】

そこで図示して説明はしないが、スイッチ S W A 1 ~ S W A x の代わりに直列に接続されたスイッチ S W A a 1 ~ S W A a x とスイッチ S W A b 1 ~ S W A b x を設ける。スイッチ S W A a 1 及びスイッチ S W A b 1 が両方オンの状態となったとき、スイッチ S W A 1 がオンの状態になったのと同様の効果がある。また、スイッチ S W A a 1 及びスイッチ S W A b 1 の少なくとも一方がオフの状態となったとき、スイッチ S W A 1 がオフの状態になったのと同様の効果がある。他のスイッチ S W A a 2 ~ S W A a x 、スイッチ S W A b 2 ~ S W A b x についても同様である。

10

【 0 1 0 3 】

スイッチ S W A a 1 ~ S W A a x には、ソース信号線駆動回路よりパルス S M P 1 ~ S M P x が入力されている。また、スイッチ S W A b 1 ~ S W A b x には、信号 T_A が入力される。この信号 T_A によって、スイッチ S W A a 1 ~ S W A a x のオン・オフを一斉に切り換えることができる。ここで、ソース信号線にアナログ信号 A D を入力する際は、スイッチ S W A b 1 ~ S W A b x をオフにしておく。この様にソース信号線にアナログ信号を書き込む際、書き込みが行われているソース信号線と読み出し用配線の接続を切る構成としてもよい。

【 0 1 0 4 】

ここで、検査方法については、実施の形態と同様であるのでここでは説明は省略する。

20

【 0 1 0 5 】

スイッチ S W A a 1 ~ S W A a x 、スイッチ S W A b 1 ~ S W A b x 、スイッチ S W B a 1 ~ S W B a x 、スイッチ S W B b 1 ~ S W B b x 、ソース信号線駆動回路の構成は、公知の構成の回路を自由に用いることができる。

【 0 1 0 6 】

上記構成によって、検査のための回路がパネル内で閉める面積を減らすことができ、表示装置の小型化を可能とする。

【実施例 3】

【 0 1 0 7 】

本実施例では、本発明の表示装置の外付け検出回路の構成例を示す。

30

【 0 1 0 8 】

図 6 において、外付け検出回路 3 5 0 1 は、信号増幅を行うアンプ 3 5 0 2 、比較回路 3 5 0 3 、抵抗 3 5 0 5 ~ 3 5 0 7 、接続を切り換えるスイッチ 3 5 0 8 等によって構成されている。

【 0 1 0 9 】

検査を行う表示装置の基板の P A D からの出力を、入力端子 3 5 1 0 に接続し、実施の形態において示した手順によって検査を行う。アンプ 3 5 0 2 の出力は、スイッチ 3 5 0 8 によって、メモリ 3 5 5 5 に入力されるか比較回路 3 5 0 3 に直接入力されるかが選択される。比較回路は、メモリ 3 5 5 5 に記憶された信号を呼び出し、アンプ 3 5 0 2 より入力された信号との差分を出力端子 3 5 1 1 に出力する。

40

【 0 1 1 0 】

比較回路 3 5 0 3 は公知の構成の回路を自由に用いることができる。

【 0 1 1 1 】

アンプ 3 5 0 2 は、10 倍から 1000 倍程度の電圧利得を持ち、検出電圧を増幅して検知する。アンプの利得は 100 倍程度が望ましい。

【 0 1 1 2 】

本実施例は、実施例 1 や実施例 2 と自由に組み合わせて実施することが可能である。

【実施例 4】

【 0 1 1 3 】

本実施例では、本発明の液晶表示装置を利用した電子機器について図 1 2 を用いて説明

50

する。

【 0 1 1 4 】

図 1 2 (A) に本発明の表示装置を用いたパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体 2 7 0 2 a、筐体 2 7 0 2 b、表示部 2 7 0 2 c、操作スイッチ 2 7 0 2 d、電源スイッチ 2 7 0 2 e、外部入力ポート 2 7 0 2 f によって構成されている。本発明の表示装置は、表示部 2 7 0 2 c に用いることができる。

【 0 1 1 5 】

図 1 2 (B) に本発明の表示装置を用いた画像再生装置の模式図を示す。画像再生装置は、本体 2 7 0 3 a、筐体 2 7 0 3 b、記録媒体 2 7 0 3 c、表示部 2 7 0 3 d、音声出力部 2 7 0 3 e、操作スイッチ 2 7 0 3 f によって構成されている。本発明の表示装置は、表示部 2 7 0 3 d に用いることができる。

10

【 0 1 1 6 】

図 1 2 (C) に本発明の表示装置を用いたテレビ受像機の模式図を示す。テレビ受像機は、本体 2 7 0 4 a、筐体 2 7 0 4 b、表示部 2 7 0 4 c、操作スイッチ 2 7 0 4 d によって構成されている。本発明の表示装置は、表示部 2 7 0 4 c に用いることができる。

【 0 1 1 7 】

本発明は、上記応用電子機器に限定されず、様々な電子機器に応用することができる。

【 0 1 1 8 】

本実施例は、実施例 1 ~ 実施例 3 と自由に組み合わせて実施することが可能である。

【 図面の簡単な説明 】

20

【 0 1 1 9 】

【 図 1 】 本発明の表示装置の構成を示す図。

【 図 2 】 本発明の表示装置の検査方法を示すタイミングチャートを示す図。

【 図 3 】 従来 of 表示装置の構成を示す図。

【 図 4 】 本発明の表示装置の構成を示す図。

【 図 5 】 本発明の表示装置の検査用駆動回路を示す図。

【 図 6 】 本発明の表示装置の外付け検出回路を示す図。

【 図 7 】 本発明の表示装置の構成を示す図。

【 図 8 】 本発明のアナログバッファの回路図。

【 図 9 】 従来 of 表示装置の構成を示す図。

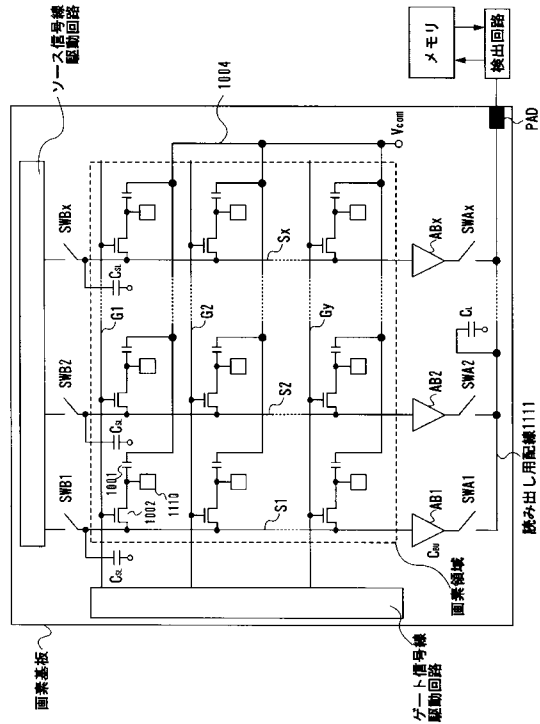
30

【 図 1 0 】 従来 of 表示装置の画素部の回路図。

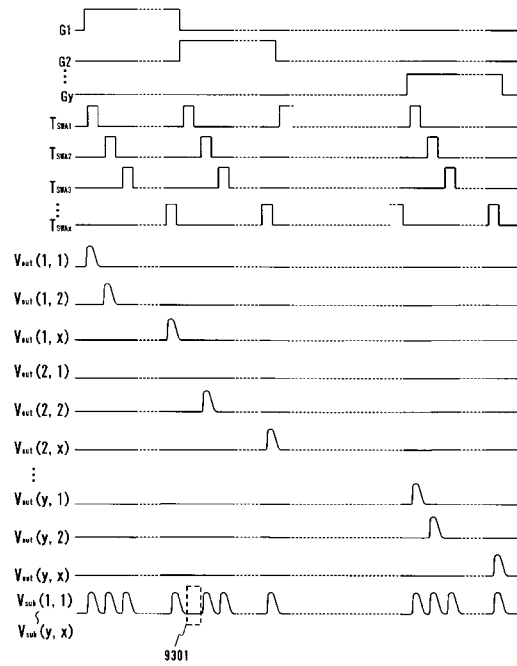
【 図 1 1 】 表示装置の駆動方法を示すタイミングチャートを示す図。

【 図 1 2 】 本発明の表示装置を用いた応用機器を示す図。

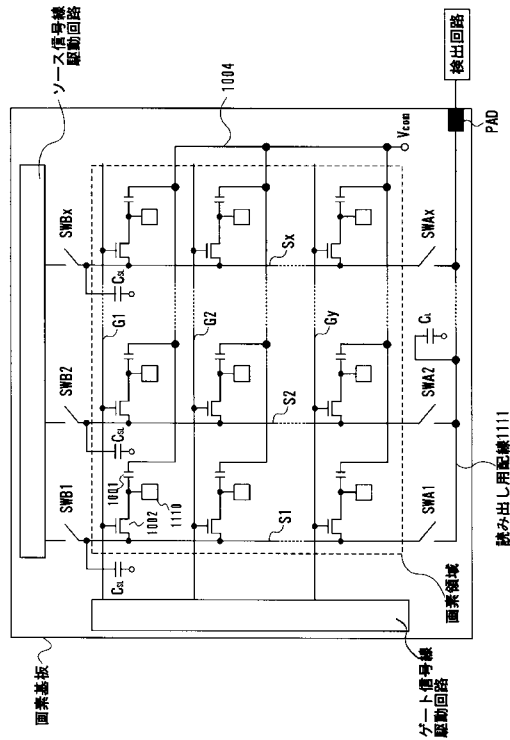
【図 1】



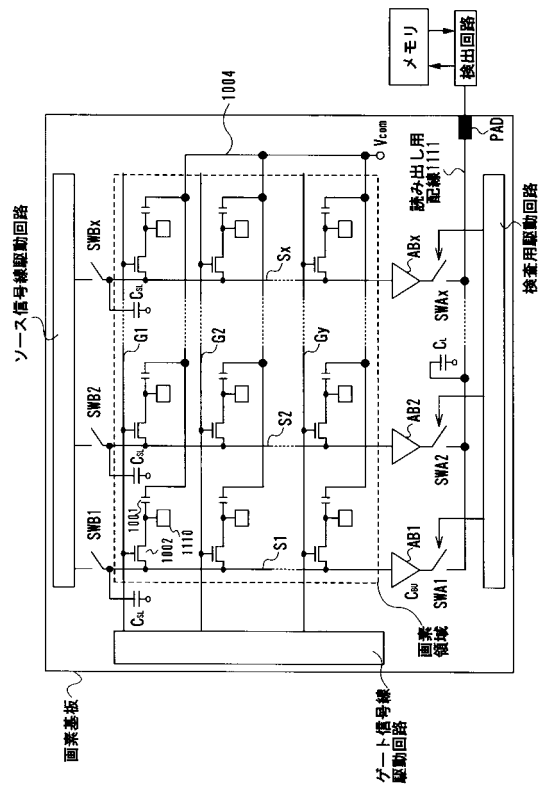
【図 2】



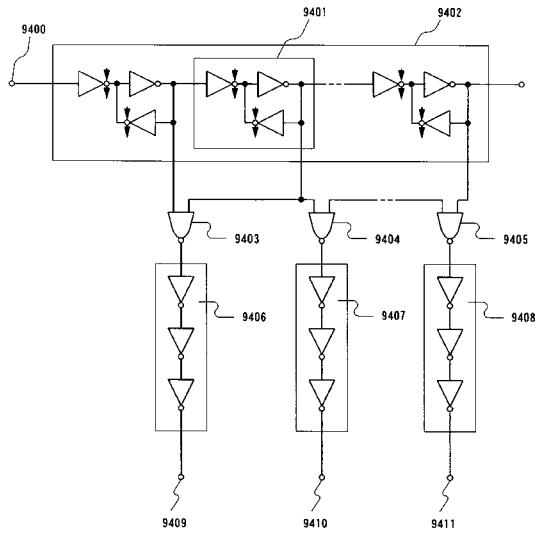
【図 3】



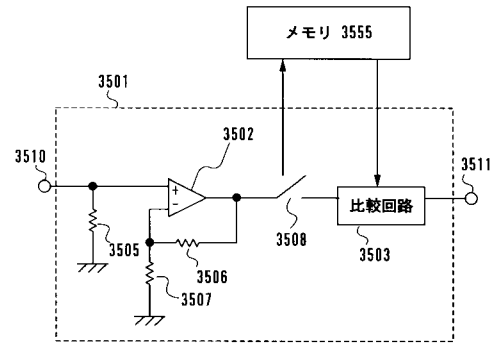
【図 4】



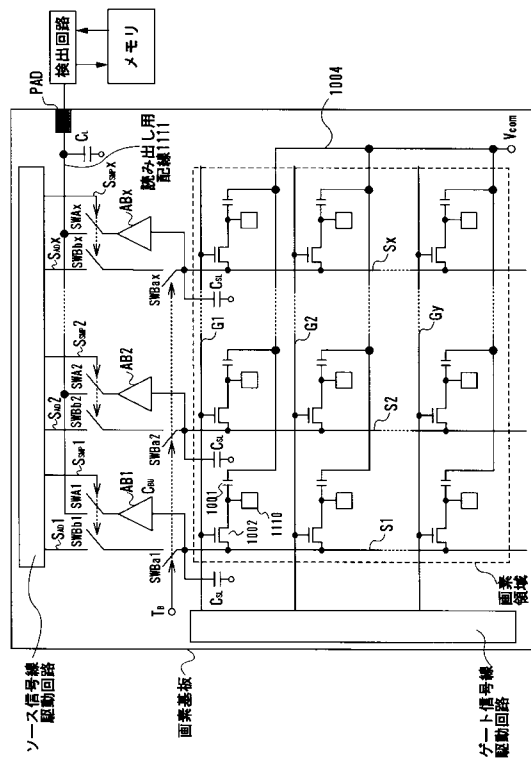
【図 5】



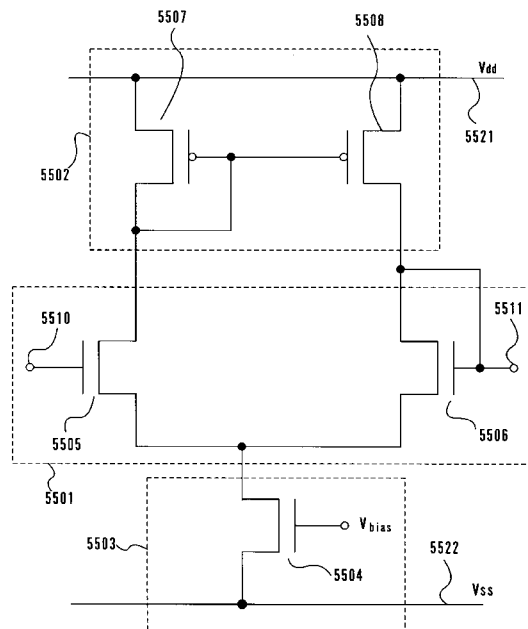
【図 6】



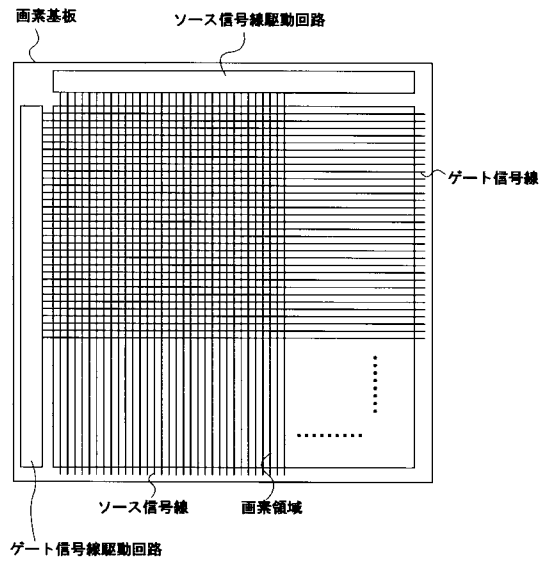
【図 7】



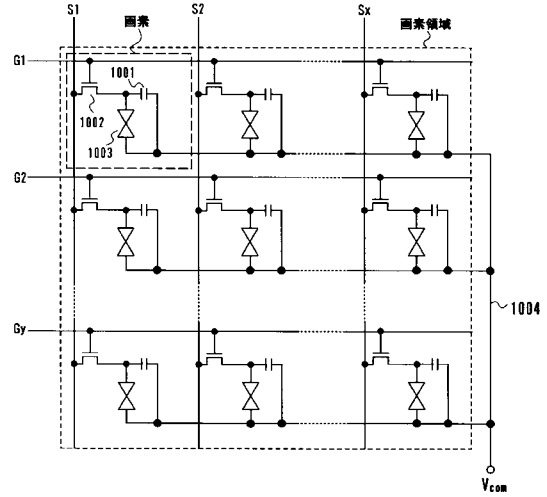
【図 8】



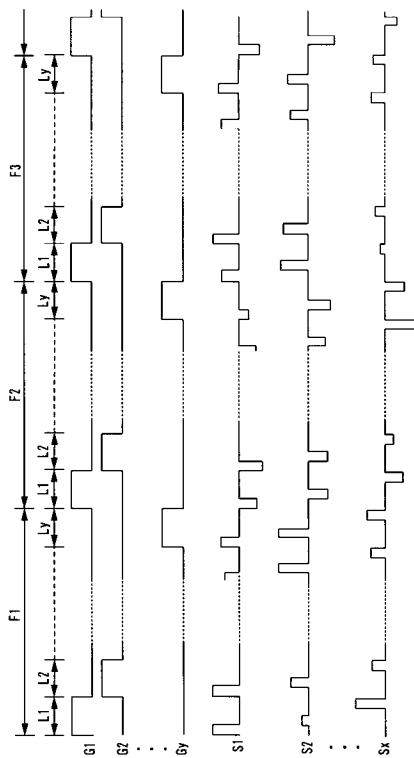
【図 9】



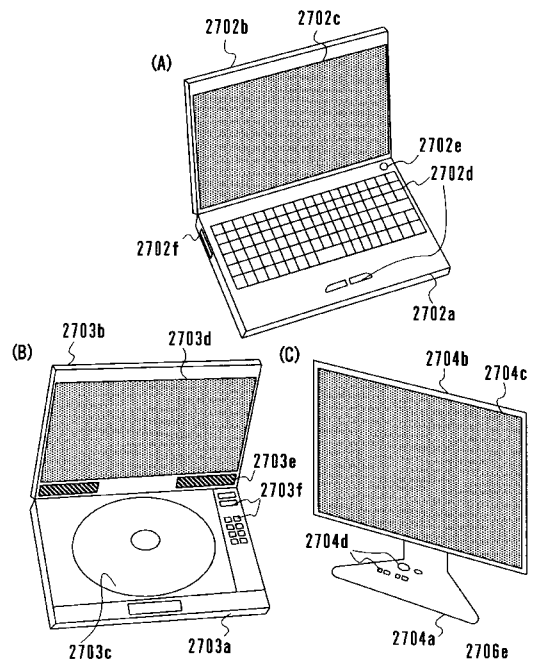
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/1368	
	G 0 2 F 1/133 5 5 0	

F ターム(参考)	2H093	NA16	NC12	NC34	NC35	NC58	NC59	ND56
	5C006	AA16	AF43	AF64	BB16	EB01		
	5C080	AA10	BB05	DD15	EE29	FF11	JJ02	JJ03 JJ04 JJ06

专利名称(译)	表示装置		
公开(公告)号	JP2007233406A	公开(公告)日	2007-09-13
申请号	JP2007112526	申请日	2007-04-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所 夏普株式会社		
申请(专利权)人(译)	半导体能源研究所有限公司 夏普公司		
[标]发明人	小山 潤 久保田 靖		
发明人	小山 潤 久保田 靖		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
FI分类号	G09G3/36 G09G3/20.670.Q G09G3/20.623.H G09G3/20.623.R G09G3/20.641.C G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB69 2H092/JB77 2H092/MA56 2H092/NA30 2H092/PA06 2H093/NA16 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC58 2H093/NC59 2H093/ND56 5C006/AA16 5C006/AF43 5C006/AF64 5C006/BB16 5C006/EB01 5C080/AA10 5C080/BB05 5C080/DD15 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/DA12 2H192/HB04 2H192/HB13 2H192/HB23 2H193/ZA04 2H193/ZF36 2H193/ZH21 2H193/ZK01		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置及其检查方法，即使在大尺寸面板的情况下，也能够形成液晶元件之前容易地确定像素TFT是否正常工作。 Σ SOLUTION：监测由于保持电容1001中的电荷放电引起的源信号线S1至Sx的电位变化，以确定像素TFT是否正常工作。在这种情况下，各个源极信号线S1至Sx连接到布线1111，用于通过模拟缓冲器AB1至ABx读取，以减小布线1111的布线电容C_L的影响。当读取源信号线的电位直到衬底外部时。

