

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-183556

(P2007-183556A)

(43) 公開日 平成19年7月19日(2007.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H091
GO2F 1/1335 (2006.01)	GO2F 1/1335 520	2H092

審査請求 有 請求項の数 11 O L (全 12 頁)

(21) 出願番号	特願2006-185703 (P2006-185703)	(71) 出願人	501046327 廣輝電子股▲ふん▼有限公司 台湾桃園縣龜山鄉華亜2路189号
(22) 出願日	平成18年7月5日(2006.7.5)	(74) 代理人	100064584 弁理士 江原 省吾
(31) 優先権主張番号	095100041	(74) 代理人	100093997 弁理士 田中 秀佳
(32) 優先日	平成18年1月2日(2006.1.2)	(74) 代理人	100101616 弁理士 白石 吉之
(33) 優先権主張国	台湾 (TW)	(74) 代理人	100107423 弁理士 城村 邦彦
		(74) 代理人	100120949 弁理士 熊野 剛
		(72) 発明者	姚▲后▼文 台湾桃園縣龜山鄉華亜2路189号 最終頁に続く

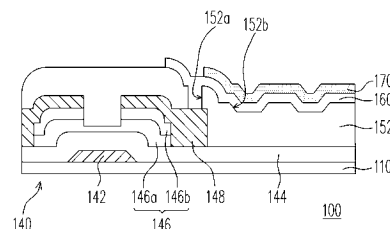
(54) 【発明の名称】 画素構造の製造方法

(57) 【要約】

【課題】画素構造の製造方法を提供する。

【解決手段】基板上に走査線、データ線、および走査線とデータ線に電氣的に接続した能動素子を形成する。基板上に誘電体層を形成し、それからパターンニングしたフォトリジスト層をその上に形成する。パターンニングしたフォトリジスト層は第一凹部と第一貫通孔を備え、前記第一貫通孔は誘電体層の一部を露出させる。パターンニングしたフォトリジスト層をエッチングマスクとして用いて、誘電体層の一部を除去し、パターンニングした誘電体層を形成する。パターンニングした誘電体層は第二凹部と第二貫通孔を備え、前記第二貫通孔は能動素子の一部を露出させる。パターンニングしたフォトリジスト層を除去し、パターンニングした誘電体層上に反射層を形成する。反射層は第二凹部を被覆し、能動素子と電氣的に接続する。

【選択図】 図2 F



【特許請求の範囲】**【請求項 1】**

基板を提供し、
基板上に走査線、データ線および能動素子を形成し、前記走査線およびデータ線と能動素子とを電氣的に接続し、

基板上に誘電体層を形成して、能動素子とデータ線を被覆し、
パターンニングしたフォトリソ層を誘電体層上に形成し、前記パターンニングしたフォトリソ層が第一貫通孔と複数の第一凹部を備え、第一貫通孔が誘電体層の一部を露出させ、

パターンニングしたフォトリソ層をエッチングマスクとして用いて、誘電体層の一部を除去し、パターンニングした誘電体層を形成し、前記パターンニングした誘電体層が第二貫通孔と複数の第二凹部を備え、第二貫通孔が能動素子の一部を露出させ、

パターンニングしたフォトリソ層を除去し、
パターンニングした誘電体層上に反射層を形成し、前記反射層が第二凹部を被覆し、能動素子と電氣的に接続するステップを有する画素構造の製造方法。

【請求項 2】

パターンニングしたフォトリソ層を形成する処理において、ハーフトーンマスクを用いる請求項 1 記載の方法。

【請求項 3】

誘電体層の一部を除去するステップが、乾式エッチングまたは湿式エッチングを含む請求項 1 記載の方法。

【請求項 4】

反射層がさらに第二貫通孔を被覆し、反射層が第二貫通孔を介して、能動素子と電氣的に接続される請求項 1 記載の方法。

【請求項 5】

さらに、パターンニングした誘電体層上に透明導電層を形成するステップを含み、透明導電層が第二貫通孔と第二凹部を被覆し、パターンニングしたフォトリソ層を除去するステップの後であるが、反射層を形成するステップの前に、反射層が透明導電層を介して、能動素子と電氣的に接続される請求項 1 記載の方法。

【請求項 6】

反射層が開口部を備え、前記開口部が透明導電層の一部を露出させる請求項 5 記載の方法。

【請求項 7】

さらに、パターンニングした誘電体層上に透明導電層を形成するステップを有し、パターンニングしたフォトリソ層を除去するステップの後であるが、反射層を形成するステップの前に、透明導電層が反射層を介して、能動素子と電氣的に接続される請求項 1 記載の方法。

【請求項 8】

反射層が開口部を備え、前記開口部が透明導電層の一部を露出させる請求項 7 記載の方法。

【請求項 9】

さらに、反射層上に透明導電層を形成するステップを有し、透明導電層が第二貫通孔を被覆し、反射層を形成するステップの後、反射層が透明導電層を介して、能動素子と電氣的に接続される請求項 1 記載の方法。

【請求項 10】

反射層が開口部を備え、透明導電層が開口部を被覆する請求項 9 記載の方法。

【請求項 11】

走査線、データ線および能動素子を形成するステップが、
基板上に走査線、および走査線に接続したゲートを形成し、
基板上にゲート絶縁層を形成して、ゲートを被覆し、

10

20

30

40

50

ゲート上のゲート絶縁層上に半導体層を形成し、

データ線、およびデータ線に接続したソース/ドレインを形成し、前記ゲートの両側の半導体層上にソース/ドレインを配置し、第二貫通孔がソース/ドレインの一部を露出させることを含む請求項1記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画素構造の製造方法に関する。より詳細には、この発明は、トランスフレクティブ液晶表示(LCD)パネルまたは反射型LCDパネル用の画素構造の製造方法に関する。

【背景技術】

【0002】

一般に、多くの薄膜トランジスタ液晶表示装置は主に三種類、つまり透過型、反射型およびトランスフレクティブ型の一つに属するものとして分類される。この分類は、光源の利用およびアレイ基板の違いに基づいている。透過型薄膜トランジスタ液晶表示装置(透過型TFT-LCD)は、バックライト源を用いる。薄膜トランジスタアレイ基板上の画素電極は透明電極であり、背面光源からの光を容易に透過する。反射型薄膜トランジスタ液晶表示装置(反射型TFT-LCD)は、光源として前面光源または外部光源を用いる。薄膜トランジスタアレイ基板上の画素電極は金属電極または他の反射電極であり、前面光源または外部光源からの光の反射に適した良好な反射特性を備えている。一方、トランスフレクティブ薄膜トランジスタ液晶表示装置(トランスフレクティブTFT-LCD)は、透過型TFT-LCDと反射型TFT-LCDの両方を一体化した構造とみなすことができる。言い換えると、トランスフレクティブTFT-LCDは、画像を表示する際、背面光源と、前面光源または外部光源の両方を同時に利用することができる。

【0003】

図1A~1Dは、米国特許第6,490,019号による反射型液晶表示装置の製造方法を示す概略断面図である。既存の反射型液晶表示装置は、次のステップに従って製造できる。まず、図1Aに示したように、基板10上に第一絶縁層50を形成する。次に、第一絶縁層50上にゲート52を形成する。図1Bに示したように、第一絶縁層50上に第二絶縁層54を形成し、ゲート52を被覆する。その後、ゲート52上の第二絶縁層54上に半導体層57を形成する。半導体層57は、チャンネル層56、およびチャンネル層56上に配置したオーミック接触層58を有する。

【0004】

図1Cに示したように、オーミック接触層58上にソース60とドレイン62を形成する。次に、基板10上に保護層64を形成し、ソース60とドレイン62を被覆する。その後、保護層64の一部を除去し、コンタクトホール63を形成する。コンタクトホール63は、ドレイン62の一部を露出させる。その後、第一絶縁層50、第二絶縁層54および保護層64をエッチングして、複数の凹部66aを形成する。凹部66aの形成方法は、乾式エッチング処理を行うことを含んでいる。

【0005】

保護層64は第一絶縁層50および第二絶縁層54とは異なるエッチング速度を有するので、凹部66aは傾斜形状を有する。第一絶縁層50は凹部66aの形成に必要な時間を増大させるので、保護層64はより長いエッチング時間に曝される。言い換えると、凹部66aは、より滑らかな傾斜形状を有する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

図1Dに示したように、保護層64上に反射電極68を形成する。反射電極68は、凹部66aの表面を被覆する。反射電極68はコンタクトホール63を介して、ドレイン62と電氣的に接続する。凹部66aは滑らかな傾斜形状を有するが、それでも反射電極6

10

20

30

40

50

8 は容易に断線される。

【 0 0 0 7 】

上記の米国特許第 6 , 4 9 0 , 0 1 9 号は反射電極 6 8 内の断線の形成を実際に低減できるが、製造工程中に第一絶縁層 5 0 を形成するための別のステップが必要とされる。さらに、その滑らかな表面にもかかわらず、凹部 6 6 a がより深いために、反射電極 6 8 内に断線を有する可能性がなお存在する。

【 0 0 0 8 】

従って、この発明の少なくとも一つの目的は、トランスフレクティブ液晶表示パネル、または反射型液晶表示パネルに適した画素構造の製造方法を提供することである。

【 課題を解決するための手段 】

【 0 0 0 9 】

これらの利点および他の利点を実現するために、そしてこの発明の目的に従って、ここで具現化され広く説明されるように、この発明は次のステップを含む画素構造の製造方法を提供する。まず、基板を提供する。それから、基板上に走査線、データ線および能動素子を形成する。能動素子は、走査線およびデータ線と電氣的に接続する。基板上に誘電体層を形成し、能動素子とデータ線を被覆する。それから、誘電体層上にパターンニングしたフォトリソ層を形成する。パターンニングしたフォトリソ層は第一貫通孔と複数の第一凹部を有し、前記第一貫通孔は誘電体層の一部を露出させる。パターンニングしたフォトリソ層をエッチングマスクとして用い、誘電体層の一部を除去し、パターンニングした誘電体層を形成する。パターンニングした誘電体層は第二貫通孔と複数の第二凹部を有し、前記第二貫通孔は能動素子の一部を露出させる。パターンニングしたフォトリソ層を除去し、パターンニングした誘電体層上に反射層を形成する。反射層は第二凹部を被覆し、能動素子と電氣的に接続する。

【 0 0 1 0 】

この発明の一実施例によると、パターンニングしたフォトリソ層を形成する方法は、ハーフトーンマスクを用いることを含んでいる。

【 0 0 1 1 】

この発明の一実施例によると、誘電体層の一部を除去する方法は、乾式エッチングまたは湿式エッチングを行うことを含んでいる。

【 0 0 1 2 】

この発明の一実施例によると、反射層はさらに第二貫通孔を被覆し、第二貫通孔を介して、能動素子と電氣的に接続する。

【 0 0 1 3 】

この発明の一実施例によると、パターンニングしたフォトリソ層を除去した後であるが、反射層を形成する前に、パターンニングした誘電体層上に透明導電層を形成する。透明導電層は、第二貫通孔と第二凹部を被覆する。さらに、反射層は透明導電層を介して、能動素子と電氣的に接続する。その上、反射層は開口部を有し、透明導電層の一部を露出させる。

【 0 0 1 4 】

この発明の一実施例によると、パターンニングしたフォトリソ層を除去した後であるが、反射層を形成する前に、パターンニングした誘電体層上に透明導電層を形成する。さらに、透明導電層は反射層を介して、能動素子と電氣的に接続する。その上、反射層は開口部を有し、透明導電層の一部を露出させる。

【 0 0 1 5 】

この発明の一実施例によると、反射層を形成した後、反射層上に透明導電層を形成する。透明導電層は、第二貫通孔を被覆する。さらに、反射層は透明導電層を介して、能動素子と電氣的に接続する。その上、反射層は開口部を有し、透明導電層は開口部を被覆する。

【 0 0 1 6 】

この発明の一実施例によると、走査線、データ線および能動素子を形成する方法は、基

10

20

30

40

50

板上に走査線、および走査線に接続したゲートを形成することを含んでいる。それから、基板上にゲート絶縁層を形成し、ゲートを被覆する。その後、ゲート上のゲート絶縁層上に半導体層を形成する。その後、基板上にデータ線、およびデータ線に接続したソース/ドレインを形成する。ソース/ドレインは、ゲートの両側の半導体層上に配置する。さらに、上記の第二貫通孔は、ソース/ドレインの一部を露出させる。

【発明の効果】

【0017】

従って、この発明はハーフトーンマスクを用いて、パターンニングしたフォトレジスト層を形成し、前記フォトレジスト層は第一貫通孔と第一凹部を備えている。それから、パターンニングしたフォトレジスト層をマスクとして、誘電体層に対して乾式エッチングまたは湿式エッチングを行い、第二貫通孔と第二凹部を形成する。その結果、第二凹部の深さと形状を良好に制御できる。

10

【0018】

当然のことながら、以上の一般的な説明と以降の詳細な説明はどちらも例示的なものであり、請求のとおりの発明をさらに説明するものとする。

【0019】

添付の図面は、発明をさらに理解するために含められ、この明細書に組み込まれ、その一部を構成する。図面は発明の実施例を示し、その説明と共に、発明の原理を説明するのに役立つ。

【発明を実施するための最良の形態】

20

【0020】

ここで、この発明の好ましい実施例について詳しく参照するが、その例は添付の図面に示されている。同一または同様の部品を参照する場合、可能な限り、図面および説明において同一の参照番号を用いる。

【0021】

図2A～2Fは、この発明の一実施例による画素構造の製造方法を示す概略断面図である。図2Gは、第一実施例による画素構造の別の製造方法を示す概略断面図である。図3は、図2Fに示した画素構造の平面図である。図2Aと3に示したように、この発明の方法は、トランスフレクティブ液晶表示パネル、または反射型液晶表示パネルの画素構造の製造に適している。この実施例では、説明の一例として、反射型液晶表示パネルの画素構造を用いる。画素構造の製造方法は、次のステップを含んでいる。まず、基板110を提供する。基板110は、ガラス基板、水晶基板または他の構成の基板であってもよい。次に、基板110上に走査線120、データ線130および能動素子140を形成する。能動素子140は、走査線120とデータ線130に電氣的に接続する。例えば、能動素子140は、ボトムゲートを備えた薄膜トランジスタ、トップゲートを備えた薄膜トランジスタ、低温多結晶シリコンを備えた薄膜トランジスタまたは他の種類の能動素子であってもよい。この実施例では、説明中の能動素子の一例として、ボトムゲートを備えた薄膜トランジスタを用いる。

30

【0022】

より詳細には、基板110上に第一導電層を形成する。それから、第一導電層をパターンニングして、走査線120、および走査線120に接続したゲート142を形成する。その後、基板110上にゲート絶縁層144を形成し、ゲート142を被覆する。それから、ゲート142上のゲート絶縁層144上に半導体層146を形成する。半導体層146は、チャネル層146a、およびその上に配置したオーミック接触層146bを有する。次に、基板110上に第二導電層を形成する。第二導電層をパターンニングして、データ線130、およびデータ線130に接続したソース/ドレイン148を形成する。ソース/ドレイン148は、ゲート142の両側の半導体層146上に配置する。その後、オーミック接触層146bとチャネル層146aの一部を除去して、能動素子140の製造ステップを完了する。

40

【0023】

50

図 2 B に示したように、基板 1 1 0 上に誘電体層 1 5 0 を形成し、能動素子 1 4 0 とデータ線 1 3 0 を被覆する。この実施例では、誘電体層 1 5 0 は保護層であってもよい。それから、誘電体層 1 5 0 上にパターンニングしたフォトレジスト層 2 1 0 を形成する。パターンニングしたフォトレジスト層 2 1 0 は、第一貫通孔 2 1 2 と複数の第一凹部 2 1 4 を有する。第一貫通孔 2 1 2 は、誘電体層 1 5 0 の一部を露出させる。パターンニングしたフォトレジスト層 2 1 0 の形成方法は、誘電体層 1 5 0 上にフォトレジスト材料層を形成し、それからハーフトーンマスクを介して、フォトレジスト材料層に露光処理を行うことを含んでいる。より詳細には、ハーフトーンマスクは、透明領域、不透明領域および半透明領域を有する。透明領域は第一貫通孔 2 1 2 に対応し、半透明領域は第一凹部 2 1 4 に対応する。半透明領域と透明領域は異なる光透過率を有するので、現像処理を行った後、パターンニングしたフォトレジスト層 2 1 0 に第一貫通孔 2 1 2 と第一凹部 2 1 4 が形成される。

10

【 0 0 2 4 】

図 2 C ~ 2 E に示したように、パターンニングしたフォトレジスト層 2 1 0 をマスクとして用いて、誘電体層 1 5 0 の一部を除去し、パターンニングした誘電体層 1 5 2 を形成する。パターンニングした誘電体層 1 5 2 は、第二貫通孔 1 5 2 a と複数の第二凹部 1 5 2 b を有する。さらに、第二貫通孔 1 5 2 a は、能動素子 1 4 0 の一部を露出させる。第二貫通孔 1 5 2 a は能動素子 1 4 0 の一部を露出させるので、第二貫通孔 1 5 2 a はコンタクトホールとみなすこともできる。

【 0 0 2 5 】

より詳細には、パターンニングした誘電体層 1 5 2 の形成方法は、次のステップを含んでいる。まず、誘電体層 1 5 0 の一部を除去して、図 2 C に示したように、第二貫通孔 1 5 2 a を形成する。次に、パターンニングしたフォトレジスト層 2 1 0 の一部を除去して、図 2 D に示したように、第一凹部 2 1 4 が下地の誘電体層 1 5 0 を露出させる。その後、誘電体層 1 5 0 の一部を除去し、図 2 E に示したように、第二凹部 1 5 2 b を形成する。さらに、第二貫通孔 1 5 2 a と第二凹部 1 5 2 b の形成方法は、乾式エッチング処理または湿式エッチング処理を含むこともできる。この実施例では、乾式エッチング処理が用いられる。その後、パターンニングしたフォトレジスト層 2 1 0 を除去する。

20

【 0 0 2 6 】

図 2 F と 3 に示したように、パターンニングした誘電体層 1 5 2 上に透明導電層 1 6 0 を形成する。透明導電層 1 6 0 は、第二貫通孔 1 5 2 a と第二凹部 1 5 2 b を被覆する。このため、透明導電層 1 6 0 は第二貫通孔 1 5 2 a を介して、能動素子 1 4 0 と電氣的に接続される。さらに、透明導電層 1 6 0 は、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、アルミニウム亜鉛酸化物 (AZO) または他の透明導電性材料を用いて製造できる。次に、透明導電層 1 6 0 上に反射層 1 7 0 を形成する。反射層 1 7 0 は、少なくとも第二凹部 1 5 2 b を被覆する。さらに、反射層 1 7 0 は透明導電層 1 6 0 を介して、能動素子 1 4 0 と電氣的に接続する。この段階までに、画素構造 1 0 0 の製造はほとんど完了している。反射層 1 7 0 は、アルミニウム、アルミニウム合金、銀または高反射率の他の金属を用いて製造できる。

30

【 0 0 2 7 】

図 2 G に示したように、この実施例は、透明導電層 1 6 0 と反射層 1 7 0 の形成に限定されない。反射層 1 7 0 のみを形成することも可能である。この場合、反射層 1 7 0 が第二貫通孔 1 5 2 a を被覆すべきであり、反射層 1 7 0 が第二貫通孔 1 5 2 a を介して、能動素子 1 4 0 と電氣的に接続できるようにする。

40

【 0 0 2 8 】

この実施例では、ハーフトーンマスクを用いて、パターンニングしたフォトレジスト層 2 1 0 を形成し、フォトレジスト層 2 1 0 は第一貫通孔 2 1 2 と第一凹部 2 1 4 を備えている。それから、パターンニングしたフォトレジスト層 2 1 0 をエッチング処理でマスクとして用い、第二貫通孔 1 5 2 a と第二凹部 1 5 2 b を形成する。従って、第二凹部 1 5 2 b の深さと形状を良好に制御できる。さらに、この発明の画素構造の製造方法は既存の

50

処理に適合し、余分な装置を必要としない。その上、追加の第一絶縁層を必要とする既存の技術に比べて、この発明では余分なフィルム層を形成することなく、反射型液晶表示パネルの画素構造を形成できる。さらに、この発明の第二凹部 1 5 2 b の深さは、既存の技術より浅い。従って、反射層 1 7 0 は容易に断線されない。

【 0 0 2 9 】

図 4 A と 4 B は、この発明の第二実施例による画素構造の製造方法を示す概略断面図である。図 5 は、図 4 B に示した画素構造の平面図である。図 4 C と 4 D は、この発明の第二実施例による画素構造の別の製造方法を示す概略断面図である。図 4 A と 5 に示したように、この発明は、前述の実施例と非常に類似している。主な違いの一つは、この発明では、湿式エッチング処理を行うことによって、第二貫通孔 3 1 2 a と第二凹部 3 1 2 b を製造することである。従って、第二凹部 3 1 2 b は、半球の形状を有することができる。

10

【 0 0 3 0 】

図 4 B と 5 に示したように、パターンニングしたフォトリジスト層 2 1 0 を除去した後、パターンニングした誘電体層 3 1 0 上に透明導電層 1 6 0 を形成する。透明導電層 1 6 0 は、第二貫通孔 3 1 2 a と第二凹部 3 1 2 b を被覆する。従って、透明導電層 1 6 0 は第二貫通孔 3 1 2 a を介して、能動素子 1 4 0 と電気的に接続される。その後、透明導電層 1 6 0 上に反射層 3 2 0 を形成する。反射層 3 2 0 は少なくとも第二凹部 3 1 2 b を被覆し、開口部 3 2 0 a を備え、開口部 3 2 0 a は透明導電層 1 6 0 の一部を露出させる。言い換えると、開口部 3 2 0 a は、透明領域でもある。画素構造 3 0 0 は反射領域と透明領域に分割されるので、トランスフレクティブ液晶表示パネル内で用いることができる。

20

【 0 0 3 1 】

図 4 C に示したように、反射層 3 2 0 は第二貫通孔 3 1 2 a を介して、能動素子 1 4 0 と電気的に直接接続でき、透明導電層 1 6 0 は反射層 3 2 0 を介して、能動素子 1 4 0 と電気的に接続できる。

【 0 0 3 2 】

図 4 D に示したように、この実施例では、透明導電層 1 6 0 と反射層 3 2 0 の形成順序には制限はない。従って、別の実施例では、反射層 3 2 0 は透明導電層 1 6 0 の前に形成できる。さらに、透明導電層 1 6 0 は第二貫通孔 3 1 2 a を介して、能動素子 1 4 0 と電気的に接続される。

【産業上の利用可能性】

30

【 0 0 3 3 】

当業者には明らかなように、発明の範囲または精神から逸脱することなく、この発明の構造に様々な修正および変更を行うことができる。以上の観点から、この発明は、添付の請求項およびそれらと等価なものの範囲内にある限り、この発明の修正および変更を含むものとする。

【図面の簡単な説明】

【 0 0 3 4 】

【図 1 A】米国特許第 6 , 4 9 0 , 0 1 9 号による反射型液晶表示装置の製造方法を示す概略断面図である。

【図 1 B】米国特許第 6 , 4 9 0 , 0 1 9 号による反射型液晶表示装置の製造方法を示す概略断面図である。

40

【図 1 C】米国特許第 6 , 4 9 0 , 0 1 9 号による反射型液晶表示装置の製造方法を示す概略断面図である。

【図 1 D】米国特許第 6 , 4 9 0 , 0 1 9 号による反射型液晶表示装置の製造方法を示す概略断面図である。

【図 2 A】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

【図 2 B】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

【図 2 C】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

【図 2 D】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

【図 2 E】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

50

【図 2 F】この発明の一実施例による画素構造の製造方法を示す概略断面図である。

【図 2 G】第一実施例による画素構造の別の製造方法を示す概略断面図である。

【図 3】図 2 F の画素構造の平面図である。

【図 4 A】この発明の第二実施例による画素構造の製造方法を示す概略断面図である。

【図 4 B】この発明の第二実施例による画素構造の製造方法を示す概略断面図である。

【図 4 C】この発明の第二実施例による画素構造の別の製造方法を示す概略断面図である。

。

【図 4 D】この発明の第二実施例による画素構造の別の製造方法を示す概略断面図である。

。

【図 5】図 4 B に示した画素構造の平面図である。

10

【符号の説明】

【 0 0 3 5 】

1 0 基板

5 0 第一絶縁層

5 2 ゲート

5 4 第二絶縁層

5 6 チャネル層

5 7 半導体層

5 8 オーミック接触層

6 0 ソース

20

6 2 ドレイン

6 3 コンタクトホール

6 4 保護層

6 6 a 凹部

6 8 反射電極

1 0 0 画素構造

1 1 0 基板

1 2 0 走査線

1 3 0 データ線

1 4 0 能動素子

30

1 4 2 ゲート

1 4 4 ゲート絶縁層

1 4 6 半導体層

1 4 6 a チャネル層

1 4 6 b オーミック接触層

1 4 8 ドレイン

1 5 0 誘電体層

1 5 2 誘電体層

1 5 2 a 第二貫通孔

1 5 2 b 第二凹部

40

1 6 0 透明導電層

1 7 0 反射層

2 1 0 フォトレジスト層

2 1 2 第一貫通孔

2 1 4 第一凹部

3 0 0 画素構造

3 1 0 誘電体層

3 1 2 a 第二貫通孔

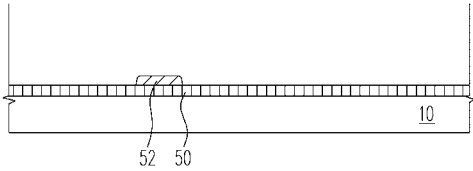
3 1 2 b 第二凹部

3 2 0 反射層

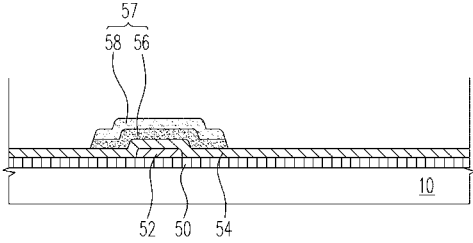
50

3 2 0 a 開口部

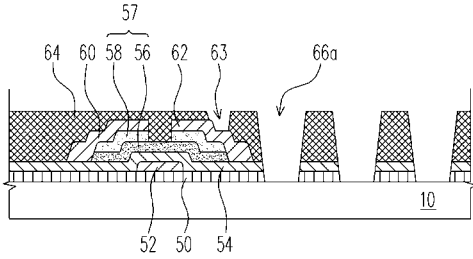
【図 1 A】



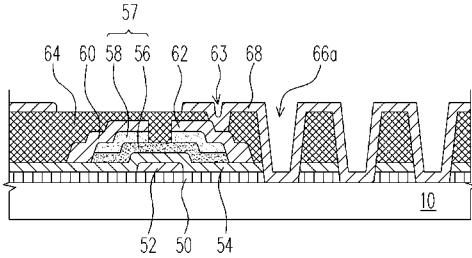
【図 1 B】



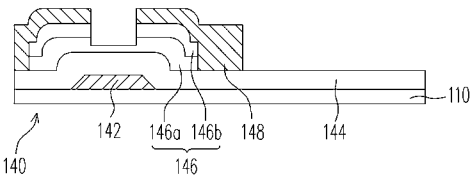
【図 1 C】



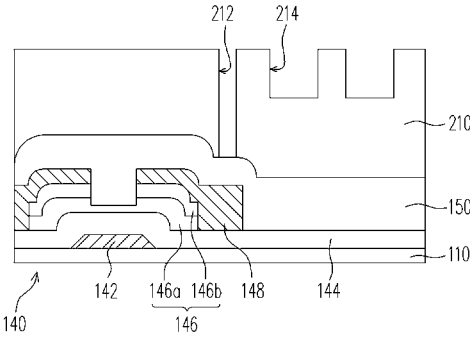
【図 1 D】



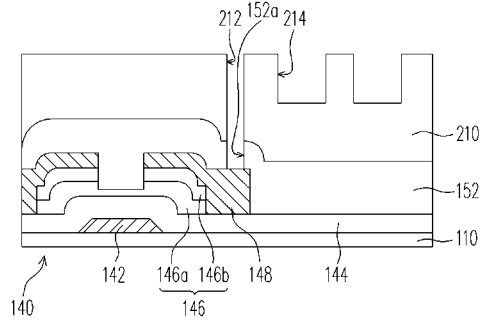
【図 2 A】



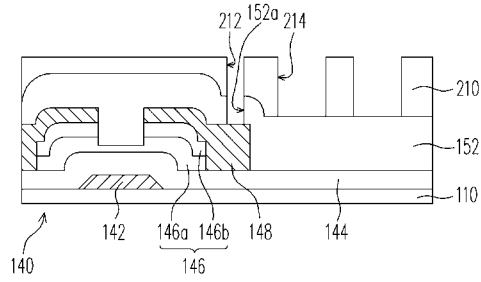
【図 2 B】



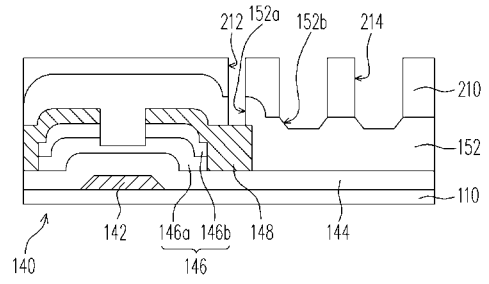
【図 2 C】



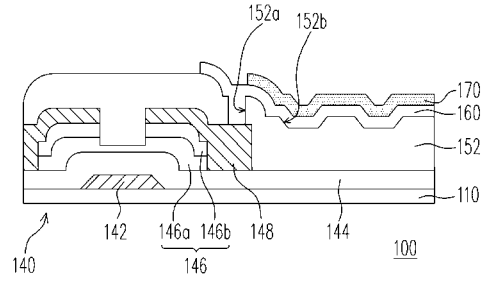
【図 2 D】



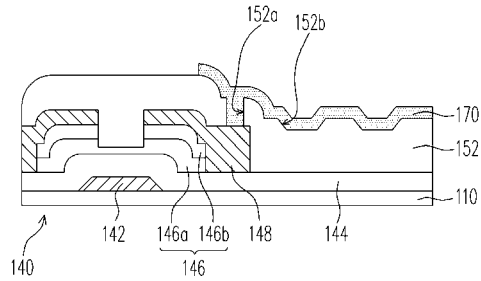
【図 2 E】



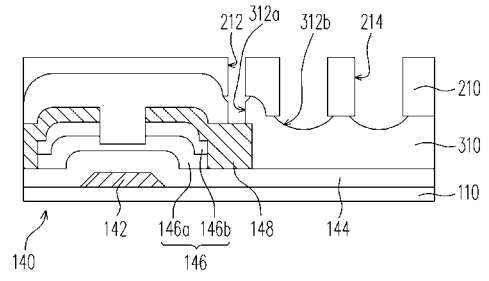
【図 2 F】



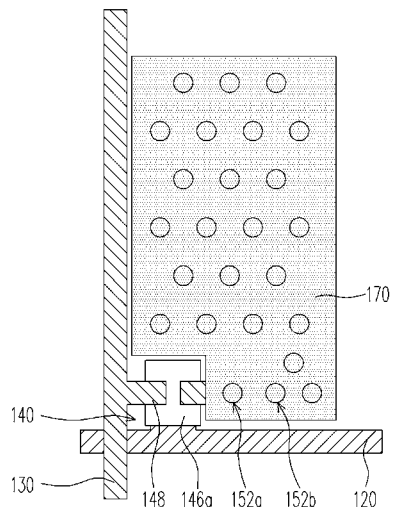
【図 2 G】



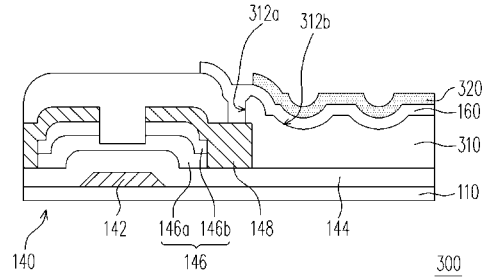
【図 4 A】



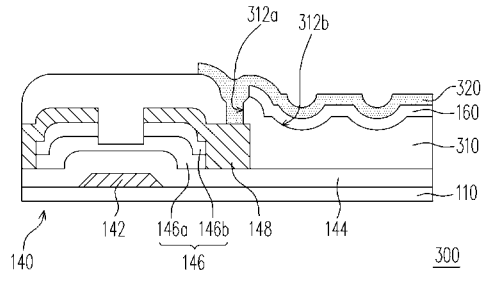
【図 3】



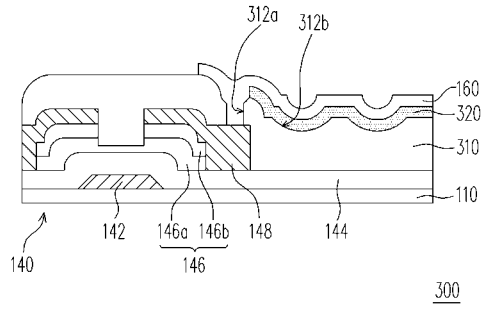
【図 4 B】



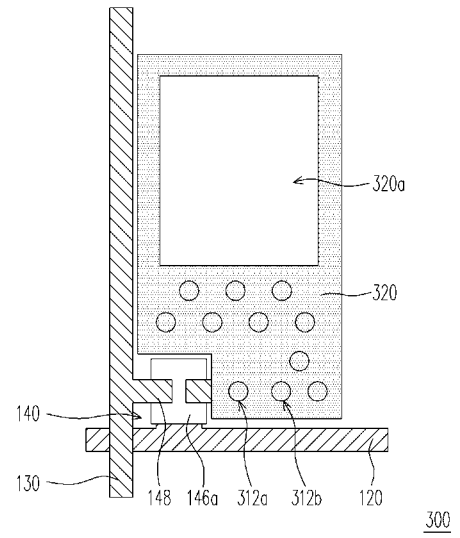
【図 4 C】



【図 4 D】



【図 5】



フロントページの続き

F ターム(参考) 2H091 FA15Z FA16Y FC10 FC23 FC25 FC26 FC27 LA12 LA30
2H092 GA19 GA24 HA05 JB07 JB08 MA13 MA14 MA17 MA18 MA21
NA01 NA15

专利名称(译)	制造像素结构的方法		
公开(公告)号	JP2007183556A	公开(公告)日	2007-07-19
申请号	JP2006185703	申请日	2006-07-05
[标]申请(专利权)人(译)	HiroshiTeru电子裆粪便		
申请(专利权)人(译)	广辉电子股▲ふん▼有限公司		
[标]发明人	姚后文		
发明人	姚▲后▼文		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/133555 G02F1/133553		
FI分类号	G02F1/1343 G02F1/1335.520		
F-TERM分类号	2H091/FA15Z 2H091/FA16Y 2H091/FC10 2H091/FC23 2H091/FC25 2H091/FC26 2H091/FC27 2H091/LA12 2H091/LA30 2H092/GA19 2H092/GA24 2H092/HA05 2H092/JB07 2H092/JB08 2H092/MA13 2H092/MA14 2H092/MA17 2H092/MA18 2H092/MA21 2H092/NA01 2H092/NA15 2H191/FA34 2H191/FA34Y 2H191/FB14 2H191/FC10 2H191/FD04 2H191/GA04 2H191/GA05 2H191/GA19 2H191/LA01 2H191/LA40 2H191/NA28 2H191/NA30 2H191/NA34 2H191/NA35 2H191/NA37 2H191/NA43 2H191/NA45 2H191/NA48 2H291/FA34Y 2H291/FB14 2H291/FC10 2H291/FD04 2H291/GA04 2H291/GA05 2H291/GA19 2H291/LA01 2H291/LA40 2H291/NA28 2H291/NA30 2H291/NA34 2H291/NA35 2H291/NA37 2H291/NA43 2H291/NA45 2H291/NA48		
代理人(译)	田中 秀佳 熊野刚		
优先权	095100041 2006-01-02 TW		
外部链接	Espacenet		

摘要(译)

提供一种制造像素结构的方法。在基板上形成电连接到扫描线，数据线以及扫描线和数据线的有源元件。在基板上形成介电层，然后在其上形成图案化的光致抗蚀剂层。图案化的光致抗蚀剂层包括第一凹槽和第一通孔，其中第一通孔暴露介电层的一部分。使用图案化的光致抗蚀剂层作为蚀刻掩模去除部分介电层，以形成图案化的介电层。图案化介电层包括第二凹槽和第二通孔，第二通孔暴露出有源元件的一部分。去除图案化的光致抗蚀剂层，并在图案化的介电层上形成反射层。反射层覆盖第二凹槽并电连接到有源元件。点域2F

