

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-114771

(P2007-114771A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 621F	5C080
G11C 19/00 (2006.01)	G09G 3/20 622E	
	G09G 3/20 611J	

審査請求 未請求 請求項の数 9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2006-258792 (P2006-258792)
 (22) 出願日 平成18年9月25日 (2006.9.25)
 (31) 優先権主張番号 10-2005-0098144
 (32) 優先日 平成17年10月18日 (2005.10.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 李 紘
 大韓民国 ソウル ドンザクグ ボン
 ドン ガンピョン ユウォン アパート
 102-1104
 Fターム(参考) 2H093 NA16 NA80 NC13 NC22 NC23
 NC34 NC35 ND32 ND37 ND60
 5C006 AC22 AF72 BB16 BC03 BC11
 BC20 BF03 EB04 EB05 FA11
 最終頁に続く

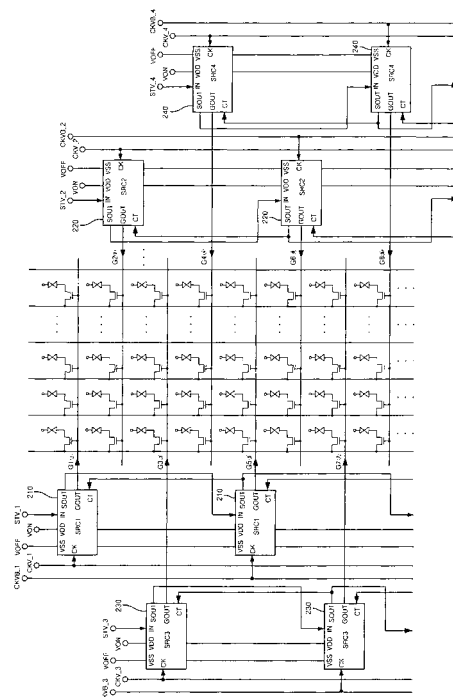
(54) 【発明の名称】 ゲート駆動回路及びこれを備える液晶表示装置

(57) 【要約】

【課題】 各々複数のステージを有する複数のシフトレジスタを用いて多数のゲート線を駆動するゲート駆動回路及びこれを備える液晶表示装置を提供する。

【解決手段】 複数のゲート線に駆動信号を出力するゲート駆動回路において、 p (ここで、 p は3以上の整数) 個のグループに分けられるゲート線をグループ別に駆動する p 個のシフトレジスタを有し、前記各々のシフトレジスタは、互いに従属的に接続される複数のステージを有し、前記各々のシフトレジスタで最初のステージの入力端子には開始信号が入力され、各ステージの出力信号は次のステージの入力端子に接続されて、前記各ステージの出力信号により前記複数のゲート線を順次に駆動する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のゲート線に駆動信号を出力するゲート駆動回路において、
p（ここで、p は 3 以上の整数）個のグループに分けられるゲート線をグループ別に駆動する p 個のシフトレジスタを有し、

前記各々のシフトレジスタは、互いに従属的に接続される複数のステージを有し、

前記各々のシフトレジスタで最初のステージの入力端子には開始信号が入力され、各ステージの出力信号は次のステージの入力端子に接続されて、前記各ステージの出力信号により前記複数のゲート線を順次に駆動することを特徴とするゲート駆動回路。

【請求項 2】

前記 p 個のシフトレジスタに用いられる p 個の開始信号は、それぞれ p 分の 1（ $1/p$ ）だけシフトされていることを特徴とする請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記各ステージは、前段のステージのうちのいずれか 1 つのステージから出力されたステージ駆動信号を受信する入力端子と、

位相の異なる複数のクロック信号のうちのいずれか 1 つのクロック信号を受信するクロック端子と、

次段のステージのうちのいずれか 1 つのステージから出力されたステージ駆動信号を受信する制御端子と、

前記クロック端子に受信された前記クロック信号を前記ゲート駆動信号として出力する第 1 の出力端子と、

前記クロック端子に受信された前記クロック信号をステージ駆動信号として出力する第 2 の出力端子とを備えることを特徴とする請求項 1 または 2 に記載のゲート駆動回路。

【請求項 4】

前記 p は、整数 4 であり、前記ゲート線は、 $4n - 3$ 、 $4n - 2$ 、 $4n - 1$ 、 $4n$ （ここで、n は 1 以上の整数）の順にグループ分けされることを特徴とする請求項 1 または 2 に記載のゲート駆動回路。

【請求項 5】

複数のゲート線と、該ゲート線と交差する複数のデータ線と、前記ゲート線とデータ線との間に設けられるスイッチング素子と、画素電極とを有する液晶表示パネルと、

前記ゲート線を選択して、これと接続されているスイッチング素子を導通させるゲート駆動回路部と、

前記スイッチング素子の導通により画素電極と接続されているデータ線を入力された画像データに対応して駆動するソース駆動回路部とを備え、

前記ゲート駆動回路部は、p（ここで、p は 3 以上の整数）個にグループ分けされたゲート線をグループ別に駆動する p 個のシフトレジスタを有し、前記各々のシフトレジスタは、互いに従属的に接続される複数のステージを有し、前記各々のシフトレジスタで最初のステージの入力端子には開始信号が入力され、各ステージの出力信号は次のステージの入力端子に接続されて、前記各ステージの出力信号により前記複数のゲート線に対し順次に駆動することを特徴とする液晶表示装置。

【請求項 6】

前記 p 個のシフトレジスタに用いられる p 個の開始信号は、それぞれ p 分の 1（ $1/p$ ）だけシフトされていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記各ステージは、前段のステージのうちのいずれか 1 つのステージから出力されたステージ駆動信号を受信する入力端子と、

位相の異なる複数のクロック信号のうちのいずれか 1 つのクロック信号を受信するクロック端子と、

次段のステージのうちのいずれか 1 つのステージから出力されたステージ駆動信号を受信する制御端子と、

10

20

30

40

50

前記クロック端子に受信された前記クロック信号を前記ゲート駆動信号として出力する第1の出力端子と、

前記クロック端子に受信された前記クロック信号をステージ駆動信号として出力する第2の出力端子とを備えることを特徴とする請求項5または6に記載の液晶表示装置。

【請求項8】

前記pは、整数4であり、前記ゲート線は、 $4n - 3$ 、 $4n - 2$ 、 $4n - 1$ 、 $4n$ （ここで、nは1以上の整数）の順にグループ分けされることを特徴とする請求項5または6に記載の液晶表示装置。

【請求項9】

前記ソース駆動回路部は、前記ゲート線にゲート信号が印加される期間をp個の期間に分け、前記p個の期間のうちの最後の期間にデータ電圧を印加することを特徴とする請求項5または6に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明はゲート駆動回路及びこれを備える液晶表示装置に係り、さらに詳しくは、各々複数のステージを有する複数のシフトレジスタを用いて多数のゲート線を駆動するゲート駆動回路及びこれを備える液晶表示装置に関する。

【背景技術】

20

【0002】

液晶表示装置(LCD: Liquid Crystal Display)とは、両基板の間に注入されている異方性の誘電率を持つ液晶物質に電界を印加し、この電界の強度を調節して基板への透光量を調節することにより、所望の画像を表示する装置のことである。

この種の液晶表示装置の基板の上には、互いに平行な複数のゲート線と、これらのゲート線とは絶縁されて交差する複数のデータ線が形成され、これらのゲート線とデータ線により囲まれた領域に1つの画素が定義される。ここで、各ゲート線とデータ線が交差する箇所には薄膜トランジスタ(Thin Film Transistor、以下、「TFT」と称する。)及び画素電極が形成される。

30

【0003】

液晶表示装置は、ゲート線を駆動するためのゲート駆動回路部と、データ線を駆動するためのソース駆動回路部とを有する。液晶表示装置は、ゲート駆動回路部がゲート線に所定の電圧を印加すると、TFTの両端に接続されているデータ線と画素電極が電気的に接続され、このとき、ソース駆動回路部がデータ線を介して画素電極に所定のデータ電圧を印加することにより駆動される。

ここで、ゲート駆動回路部は、シフトレジスタを用いて駆動することができる。

【0004】

図1は、従来技術による液晶表示パネルのゲート駆動回路を構成するシフトレジスタを示すブロック図である。

40

シフトレジスタは複数のステージ21により構成され、それぞれのステージ21はそれぞれのゲート線G1~G4...を駆動するための第1の出力端子GOUT、第2の出力端子SOUT、入力端子IN、制御端子CT、クロック入力端子CK、接地電圧端子VSS、及び駆動電圧端子VDDを有する。

【0005】

ステージ21はそれぞれのゲート線と接続され、第2の出力端子SOUTが次段のステージの入力端子INに接続されると共に、前段のステージの制御端子CTに接続されることにより、従属的な接続がなされて全てのゲート線が駆動される。

このとき、液晶表示装置において、動画像を滑らかに表示するためには、ゲート線は1秒につき60回以上駆動されることが求められるが、上記の如き構成のシフトレジスタは

50

その動作速度が遅いため、約400個以上のゲート線を駆動するには問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明は上記従来 of ゲート駆動回路及びこれを備える液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、各々複数のステージを有する複数のシフトレジスタを用いて多数のゲート線を駆動するゲート駆動回路及びこれを備える液晶表示装置を提供するところにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明によるゲート駆動回路は、複数のゲート線に駆動信号を出力するゲート駆動回路において、 p （ここで、 p は3以上の整数）個のグループに分けられるゲート線をグループ別に駆動する p 個のシフトレジスタを有し、前記各々のシフトレジスタは、互いに従属的に接続される複数のステージを有し、前記前記各々のシフトレジスタで最初のステージの入力端子には開始信号が入力され、各ステージの出力信号は次のステージの入力端子に接続されて、前記各ステージの出力信号により前記複数のゲート線を順次に駆動することを特徴とする。

【0008】

前記 p 個のシフトレジスタに用いられる p 個の開始信号は、それぞれ p 分の 1 （ $1/p$ ）だけシフトされていることを特徴とする。

前記各ステージは、前段のステージのうちいずれか1つのステージから出力されたステージ駆動信号を受信する入力端子と、位相の異なる複数のクロック信号のうちいずれか1つのクロック信号を受信するクロック端子と、次段のステージのうちいずれか1つのステージから出力されたステージ駆動信号を受信する制御端子と、前記クロック端子に受信された前記クロック信号を前記ゲート駆動信号として出力する第1の出力端子と、前記クロック端子に受信された前記クロック信号をステージ駆動信号として出力する第2の出力端子とを備えることを特徴とする。

前記 p は整数4であり、前記ゲート線は、 $4n-3$ 、 $4n-2$ 、 $4n-1$ 、 $4n$ （ここで、 n は1以上の整数）の順にグループ分けされることを特徴とする。

【0009】

上記目的を達成するためになされた本発明による液晶表示装置は、複数のゲート線と、該ゲート線と交差する複数のデータ線と、前記ゲート線とデータ線との間に設けられるスイッチング素子と、画素電極を有する液晶表示パネルと、前記ゲート線を選択して、これと接続されているスイッチング素子を導通させるゲート駆動回路部と、前記スイッチング素子の導通により画素電極と接続されているデータ線を入力された画像データに対応して駆動するソース駆動回路部とを備え、前記ゲート駆動回路部は、 p （ここで、 p は3以上の整数）個にグループ分けされたゲート線をグループ別に駆動する p 個のシフトレジスタを有し、前記各々のシフトレジスタは、互いに従属的に接続される複数のステージを有し、前記各々のシフトレジスタで最初のステージの入力端子には開始信号が入力され、各ステージの出力信号は次のステージの入力端子に接続されて、前記各ステージの出力信号により前記複数のゲート線を順次に駆動することを特徴とする。

【0010】

前記 p 個のシフトレジスタに用いられる p 個の開始信号は、それぞれ p 分の 1 （ $1/p$ ）だけシフトされていることを特徴とする。

前記各ステージは、前段のステージのうちいずれか1つのステージから出力されたステージ駆動信号を受信する入力端子と、位相の異なる複数のクロック信号のうちいずれか1つのクロック信号を受信するクロック端子と、次段のステージのうちいずれか1つのステージから出力されたステージ駆動信号を受信する制御端子と、前記クロック端子に受信された前記クロック信号を前記ゲート駆動信号として出力する第1の出力端子と、前記クロック端子に受信された前記クロック信号をステージ駆動信号として出力する第2の出力端

10

20

30

40

50

子とを備えることを特徴とする。

前記 p は、正数 4 であり、前記ゲート線は、 $4n - 3$ 、 $4n - 2$ 、 $4n - 1$ 、 $4n$ （ここで、 n は 1 以上の整数）の順にグループ分けされることを特徴とする。

前記ソース駆動回路部は、前記ゲート線にゲート信号が印加される期間を p 個の期間に分け、前記 p 個の期間のうち最後の期間にデータ電圧を印加することを特徴とする。

【発明の効果】

【0011】

本発明に係るゲート駆動回路及びこれを備える液晶表示装置によれば、 p 個（ここで、 p は 3 以上の整数）以上のシフトレジスタを用いてゲート線を p 以上のグループに分け、 p 分の 1 だけシフトされている信号を用いて p 倍のゲート線を駆動することができる。これにより、複数のシフトレジスタを用いて多数のゲート線を駆動することができ、高解像度の液晶表示装置を安価に製造することができるという効果がある。

10

【発明を実施するための最良の形態】

【0012】

次に、本発明に係るゲート駆動回路及びこれを備える液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0013】

図 2 は、本発明の一実施形態による液晶表示装置の概略図である。

図 2 に示す本発明の一実施形態による液晶表示装置は、液晶表示パネル 100、ゲート駆動回路部 200、ソース駆動回路部 300、ゲート駆動電圧発生部 400、タイミング制御部 500 及び階調電圧発生部 600 を備える。

20

【0014】

液晶表示パネル 100 は、行方向に形成された複数のゲート線 G_1 、 G_2 、 \dots 、 G_{4n} 、及び列方向に形成された複数のデータ線 D_1 、 D_2 、 \dots 、 D_m を有し、ゲート線とデータ線により囲まれた領域に画素が定義される。画素は、ゲート線とデータ線に接続されている TFT 及び画素電極を有する。ここで、 n 及び m は 1 以上の整数である。

液晶表示パネル 100 は、ゲート駆動回路部 200 がゲート線に所定の電圧を印加すると、TFT の両端に接続されているデータ線と画素電極が電氣的に接続され、このとき、ソース駆動回路部 300 がデータ線を介して画素電極に所定のデータ電圧を印加することにより駆動される。

30

【0015】

タイミング制御部 500 は、LCD モジュールの外部のグラフィック制御部（図示せず）から赤色（R）、緑色（G）、青色（B）のデータ信号、フレーム区別信号としての垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 及びメインクロック信号 CLK を受信して、ゲート駆動回路部 200 及びソース駆動回路部 300 を駆動するためのデジタル信号を生成し、出力する。

【0016】

タイミング制御部 500 からゲート駆動回路部 200 に出力するタイミング信号としては、ゲート線へのゲート信号の印加開始を指令する垂直開始信号、このゲート信号をそれぞれのゲート線に順次に印加するためのゲートクロック信号、及びゲート駆動回路部 200 の出力をイネーブルさせるゲートオン信号などの制御信号がある。

40

タイミング制御部 500 からソース駆動回路部 300 に出力するタイミング信号としては、グラフィック制御部から受信した R、G、B のデータ信号の駆動開始を指令する水平開始信号、ソース駆動回路部 300 内においてアナログ変換されたデータ信号の印加を指令する信号、及びソース駆動回路部 300 内におけるデータのシフトのための水平クロック信号などの制御信号がある。

【0017】

ゲート駆動電圧発生部 400 は、ゲート信号として用いられるゲートオン電圧 V_{on} 及びゲートオフ電圧 V_{off} と、階調電圧と共通電圧 V_{com} を生成する際に基準となる駆動基準電圧 AV_{dd} を生成する。ゲートオン電圧 V_{on} 及びゲートオフ電圧 V_{off} はゲ

50

ート駆動回路部 200 に出力し、駆動基準電圧 AV_{dd} は共通電圧発生部（図示せず）及び階調電圧発生部 600 に出力する。

このとき、ゲート駆動回路部 200 はタイミング制御部 500 からゲートクロック信号と垂直開始信号を受信し、ゲート駆動電圧発生部 400 からゲート駆動電圧 V_{on} 、 V_{off} を受信して、液晶表示パネル 100 上の各画素にデータ電圧が伝わるように当該 TFT を制御する。

【0018】

本発明の一実施形態によるゲート駆動回路部 200 は、複数のステージを有する第 1 ~ 第 4 のシフトレジスタを用いてゲートオン電圧 V_{on} をゲート線 G_1 、 G_2 、 \dots 、 G_{4n} に順次に印加することにより、液晶表示パネル 100 の TFT をオン、オフにする。ここで、第 1 のシフトレジスタは $(4n - 3)$ 番目のゲート線 G_1 、 G_5 、 \dots 、 $G_{4n - 3}$ を駆動し、第 2 のシフトレジスタは $(4n - 2)$ 番目のゲート線 G_2 、 G_6 、 \dots 、 $G_{4n - 2}$ を駆動し、第 3 のシフトレジスタは $(4n - 1)$ 番目のゲート線 G_3 、 G_7 、 \dots 、 $G_{4n - 1}$ を駆動し、そして第 4 のシフトレジスタは $4n$ 番目のゲート線 G_4 、 G_8 、 \dots 、 G_{4n} を駆動する。すなわち、本発明の一実施形態によるゲート駆動回路部 200 は、ゲート線を 4 つのグループに分け、4 つのシフトレジスタを用いてゲート線 G_1 、 G_2 、 \dots 、 G_{4n} を駆動する。

10

【0019】

ゲート駆動回路部 200 は、液晶表示パネル 100 の周縁領域に形成される。具体的には、液晶表示パネル 100 中の画素が形成されていない領域、つまり、画像非表示領域の両側に形成される。このとき、4 つのシフトレジスタのうち一方の側に 2 つのシフトレジスタが、他方の側に 2 つのシフトレジスタが配設されることが好ましい。また、ゲート駆動回路部 200 は、液晶表示パネル 100 の画素が形成されるときに一緒に形成可能である。

20

階調電圧発生部 600 は、グラフィック制御部から受信した RGB データのビット数に応じて階調電圧を生じさせ、ソース駆動回路部 300 に伝送する。

ソース駆動回路部 300 は、タイミング制御部 500 から出力される信号に基づいてデータ電圧をデータ線 D_1 、 D_2 、 \dots 、 D_m に印加する。

【0020】

図 3 は、図 2 に示す液晶表示パネルのゲート駆動回路部を構成する第 1 ~ 第 4 のシフトレジスタを示すブロック図であり、図 4 は、図 3 に示すシフトレジスタとゲート線に印加される電圧の波形タイミング図である。

30

図 3 を参照すると、ゲート駆動回路部 200 は、複数の第 1 のステージ 210 (SRC 1) が従属的に接続されている第 1 のシフトレジスタ、複数の第 2 のステージ 220 (SRC 2) が従属的に接続されている第 2 のシフトレジスタ、複数の第 3 のステージ 230 (SRC 3) が従属的に接続されている第 3 のシフトレジスタ、及び複数の第 4 のステージ 240 (SRC 4) よりなる第 4 のシフトレジスタを備える。

【0021】

ここで、第 1 のシフトレジスタは $(4n - 3)$ 番目のゲート線 G_1 、 G_5 、 \dots 、 $G_{4n - 3}$ と接続され、第 2 のシフトレジスタは $(4n - 2)$ 番目のゲート線 G_2 、 G_6 、 \dots 、 $G_{4n - 2}$ と接続され、第 3 のシフトレジスタは $(4n - 1)$ 番目のゲート線 G_3 、 G_7 、 \dots 、 $G_{4n - 1}$ と接続され、第 4 のシフトレジスタは $4n$ 番目のゲート線 G_4 、 G_8 、 \dots 、 G_{4n} と接続される。

40

【0022】

シフトレジスタの各ステージは、それぞれ入力端子 IN 、第 1 の出力端子 $GOUT$ 、第 2 の出力端子 $SOUT$ 、制御端子 CT 、クロック入力端子 CK 、接地電圧端子 VSS 、駆動電圧端子 VDD を備える。

シフトレジスタに含まれている最初のステージの入力端子には開始信号が入力され、各ステージの第 2 の出力端子 $SOUT$ はそれぞれ該当シフトレジスタの次段のステージの入力端子 IN に接続されると共に、前段のステージの制御端子 CT に接続されることにより

50

、従属的な接続がなされる。

【0023】

第1のシフトレジスタから最初のステージの入力端子INには第1の開始信号STV__1が入力される。各ステージの第1の出力信号GOUTは、対応する各ゲート線G1、G5、...、G4n-3に接続される。ここで、奇数番目のステージには第1のクロック信号CKV__1が与えられ、偶数番目のステージには第1の反転クロック信号CKVB__1が与えられる。このとき、第1のクロック信号CKV__1と第1の反転クロック信号CKVB__1は互いに逆位相を有する。

第2のシフトレジスタから最初のステージの入力端子INには、第2の開始信号STV__2が入力される。各ステージの第1の出力信号GOUTは、対応する各ゲート線G2、G6、...、G4n-2に接続される。ここで、奇数番目のステージには第2のクロック信号CKV__2が与えられ、偶数番目のステージには第2の反転クロック信号CKVB__2が与えられる。このとき、第2のクロック信号CKV__2と第2の反転クロック信号CKVB__2は互いに逆位相を有する。

10

【0024】

第3のシフトレジスタから最初のステージの入力端子INには、第3の開始信号STV__3が入力される。各ステージの第1の出力信号GOUTは、対応する各ゲート線G3、G7、...、G4n-1に接続される。ここで、奇数番目のステージには第3のクロック信号CKV__3が与えられ、偶数番目のステージには第3の反転クロック信号CKVB__3が与えられる。このとき、第3のクロック信号CKV__3と第3の反転クロック信号CKVB__3は互いに逆位相を有する。

20

第4のシフトレジスタから最初のステージの入力端子INには、第4の開始信号STV__4が入力される。各ステージの第1の出力信号GOUTは、対応する各ゲート線G4、G8、...、G4nに接続される。ここで、奇数番目のステージには第4のクロック信号CKV__4が与えられ、偶数番目のステージには第4の反転クロック信号CKVB__4が与えられる。このとき、第4のクロック信号CKV__4と第4の反転クロック信号CKVB__4は互いに逆位相を有する。

【0025】

シフトレジスタにおいて、現在のステージの制御端子CTには次段のステージの出力信号が制御信号として入力される。このとき、制御端子CTに入力される制御信号は、当該ステージの出力信号を「ロウ」の状態に立ち下げようとする役割を果たす。こうして第1～第4のシフトレジスタの出力信号が順次に「ハイ」の状態を有することになり、その結果、ゲート線G1～G4nが順次に駆動される。

30

【0026】

次に、図4に基づき、本発明の一実施形態によるゲート駆動回路部の動作について詳細に説明する。

図4を参照すると、本発明の一実施形態による第1～第4のシフトレジスタに用いられる第1～第4の開始信号(STV__1～4)は、第1の開始信号STV__1を基準としてそれぞれ4分の1の長さだけシフトされた信号である。すなわち、第2の開始信号STV__2は、第1の開始信号STV__1が4分の1の長さだけシフトされた信号であり、第3の開始信号STV__3は、第2の開始信号STV__2が4分の1の長さだけシフトされた信号であり、そして、第4の開始信号STV__4は、第3の開始信号STV__3が4分の1の長さだけシフトされた信号である。

40

【0027】

第1～第4のクロック信号(CKV__1～4)、及び第1～第4の反転クロック信号(CKVB__1～4)もまた、第1～第4の開始信号(STV__1～4)と同様に、第1のクロック信号CKV__1と第1の反転クロック信号CKVB__1を基準としてそれぞれ4分の1の長さだけシフトされた信号である。このため、第1～第4のシフトレジスタから出力されるゲート信号も同様に、第1のシフトレジスタから出力される信号を基準として4分の1の長さだけシフトされる。

50

すなわち、本発明の一実施形態によるゲート駆動回路部は、第1のゲート線G1から第8のゲート線G8に出力するゲート信号を、第1のゲート線G1に出力される信号を基準としてそれぞれ4分の1の長さだけシフトして出力する。

【0028】

このとき、図4における期間「1」を参照すると、期間「1」中には、第1のゲート線G1に対応する画素を駆動するためのデータ電圧D1がデータ線D1～Dmに出力される。このとき、第1のゲート線G1～第4のゲート線G4にゲート信号が出力されているため、第1のゲート線G1～第4のゲート線G4に対応する4ラインの画素にデータ電圧D1が充電される。このため、第1のゲート線G1～第4のゲート線G4に対応する4ラインの画素は同じデータ電圧を有することになる。

10

【0029】

次に、期間「2」を参照すると、期間「2」中には、第1のゲート線G1のゲート信号が遮断されるため、当該第1のゲート線G1に対応する画素にはデータ電圧D1がそのまま維持される。

また、期間「2」中には、第2のゲート線G2に対応する画素を駆動するためのデータ電圧D2がデータ線D1～Dmに出力される。このとき、第2のゲート線G2～第5のゲート線G5にゲート信号が出力されているため、第2のゲート線G2～第5のゲート線G5に対応する4ラインの画素にデータ電圧D2が充電される。このため、第2のゲート線G2～第5のゲート線G5に対応する4ラインの画素は同じデータ電圧を有することになる。

20

【0030】

次に、期間「3」を参照すると、期間「3」中には、第2のゲート線G2のゲート信号が遮断されるため、当該第2のゲート線G2に対応する画素にはデータ電圧D2がそのまま維持される。

また、期間「3」中には、第3のゲート線G3に対応する画素を駆動するためのデータ電圧D3がデータ線D1～Dmに出力される。このとき、第3のゲート線G3～第6のゲート線G6にゲート信号が出力されているため、第3のゲート線G3～第6のゲート線G6に対応する4ラインの画素にデータ電圧D3が充電される。このため、第3のゲート線G3～第6のゲート線G6に対応する4ラインの画素は、同じデータ電圧を有することになる。

30

【0031】

こうして、期間「4」～期間「8」中にもデータ電圧D4～D8が印加され、第4のゲート線G4～第8のゲート線G8に対応する画素にデータ電圧D4～D8が充電される。

【0032】

すなわち、本発明の一実施形態による液晶表示装置は、ゲート線G1～G4nにゲート信号が印加される期間を4等分し、4等分された期間のうち最後の期間にデータ電圧を印加して、当該ゲートラインに対応する画素にデータ電圧を充電する。

このようなゲート駆動回路部を用いると、1つのシフトレジスタを用いたゲート駆動回路部と比較して4倍のゲート線を駆動することができる。

本発明の一実施形態によるゲート駆動回路部においては、4つのシフトレジスタを用いるものとして説明したが、p個（ここで、pは3以上の整数）以上のシフトレジスタを用いてゲート線をp以上のグループに分け、p分の1（ $1/p$ ）だけシフトされている信号を用いてp倍のゲート線を駆動することができる。

40

【0033】

以下、シフトレジスタを構成するステージの内部回路について説明する。但し、上記のようなステージには同じ動作を行う種々の回路が存在するため、その中で多用される1つの回路を例にとって説明する。

図5は、シフトレジスタに組み込まれる各ステージの内部回路図である。

図5を参照すると、それぞれのステージは、第1のプルアップ部251、第2のプルアップ部252、第1のプルダウン部253、第2のプルダウン部254、プルアップ駆動

50

部 2 5 5 及びプルダウン駆動部 2 5 6 を備える。

【 0 0 3 4 】

第 1 のプルアップ部 2 5 1 は、クロック端子 C K に与えられる信号をゲート駆動信号として第 1 の出力端子 G O U T に出力する。第 2 のプルアップ部 2 5 2 は、クロック端子 C K に与えられる信号をゲート駆動信号として第 2 の出力端子 S O U T に出力する。

第 1 のプルアップ部 2 5 1 は、ゲート電極が第 1 のノード N 1 に接続され、ソース電極がクロック端子 C K に接続され、ドレイン電極が第 1 の出力端子 G O U T に接続されている第 1 のトランジスタ N T 1 を有する。第 2 のプルアップ部 2 5 2 は、ゲート電極が第 1 のノード N 1 に接続され、ソース電極がクロック端子 C K に接続され、ドレイン電極が第 2 の出力端子 S O U T に接続されている第 2 のトランジスタ N T 2 を有する。

10

【 0 0 3 5 】

第 1 のプルダウン部 2 5 3 は、第 1 のプルアップ部 2 5 1 がターンオフされてからターンオンされて、第 1 の出力端子 G O U T に出力されるゲート駆動信号を放電させ、第 2 のプルダウン部 2 5 4 は、第 2 のプルアップ部 2 5 2 がターンオフされてからターンオンされて、第 2 の出力端子 S O U T に出力されるステージ駆動信号を放電させる。

第 1 のプルダウン部 2 5 3 は、ゲート電極が第 2 のノード N 2 に接続され、ドレイン電極が第 1 の出力端子 G O U T に接続され、ソース電極が接地電圧端子 V S S に接続されている第 3 のトランジスタ N T 3 を有する。第 2 のプルダウン部 2 5 4 は、ゲート電極が第 2 のノード N 2 に接続され、ドレイン電極が第 2 の出力端子 S O U T に接続され、ソース電極が接地電圧端子 V S S に接続されている第 4 のトランジスタ N T 4 を有する。

20

【 0 0 3 6 】

プルアップ駆動部 2 5 5 は、第 5 ~ 第 7 のトランジスタ N T 5 、 N T 6 、 N T 7 を有して、第 1 及び第 2 のプルアップ部 2 5 1 、 2 5 2 をターンオンさせる。

第 5 のトランジスタ N T 5 は、ゲート電極が入力端子 I N に接続され、ドレイン電極が駆動電圧端子 V D D に接続され、ソース電極が第 1 のノード N 1 に接続される。第 6 のトランジスタ N T 6 は、ゲート電極とドレイン電極が駆動電圧端子 V D D に接続され、ソース電極が第 3 のノード N 3 に接続される。第 7 のトランジスタ N T 7 は、ゲート電極が第 1 のノード N 1 に接続され、ドレイン電極が第 3 のノード N 3 に接続され、ソース電極が接地電圧端子 V S S に接続される。

【 0 0 3 7 】

30

プルダウン駆動部 2 5 6 は、第 8 ~ 第 1 2 のトランジスタ N T 8 、 N T 9 、 N T 1 0 、 N T 1 1 、 N T 1 2 を有して、第 1 及び第 2 のプルアップ部 2 5 1 、 2 5 2 をターンオフさせると共に、第 1 及び第 2 のプルダウン部 2 5 3 、 2 5 4 をターンオンさせる。

第 8 のトランジスタ N T 8 は、ゲート電極が第 3 のノード N 3 に接続され、ドレイン電極が駆動電圧端子 V D D に接続され、ソース電極が第 2 のノード N 2 に接続される。第 9 のトランジスタ N T 9 は、ゲート電極が第 1 のノード N 1 に接続され、ドレイン電極が第 2 のノード N 2 に接続され、ソース電極が接地電圧端子 V S S に接続される。第 1 0 のトランジスタ N T 1 0 は、ゲート電極が入力端子 I N に接続され、ドレイン電極が第 2 のノード N 2 に接続され、ソース電極が接地電圧端子 V S S に接続される。

第 1 1 のトランジスタ N T 1 1 は、ゲート電極が第 2 のノード N 2 に接続され、ドレイン電極が第 1 のノード N 1 に接続され、ソース電極が接地電圧端子 V S S に接続される。第 1 2 のトランジスタ N T 1 2 は、ゲート電極が制御端子 C T に接続され、ドレイン電極が第 1 のノード N 1 に接続され、ソース電極が接地電圧端子 V S S に接続される。

40

【 0 0 3 8 】

入力端子 I N に、前段のステージの第 2 の出力端子 S O U T から出力されたステージ駆動信号が与えられると、第 5 のトランジスタ N T 5 がターンオンされて第 1 のノード N 1 の電位が次第に上がる。第 1 のノード N 1 の電位が上がるに伴い、第 1 及び第 2 のトランジスタ N T 1 、 N T 2 がターンオンされて、第 1 及び第 2 の出力端子 G O U T 、 S O U T にはゲート駆動信号及びステージ駆動信号がそれぞれ出力される。

【 0 0 3 9 】

50

一方、第6のトランジスタNT6は常時ターンオンの状態を維持している状態で、第1のノードN1の電位が上がるに伴い、第7のトランジスタNT7がターンオンされると、第3のノードN3の電位が下がる。

第3のノードN3の電位が下がることにより、第8のトランジスタNT8はターンオフの状態を維持する。このため、第2のノードN2には、駆動電圧VDDが与えられない。また、第9のトランジスタNT9は、第1のノードN1の電位が上がる時にターンオンされて第2のノードN2の電位を接地電圧VSSに維持することにより、第3及び第4のトランジスタNT3、NT4をターンオフさせる。

【0040】

この後、制御端子CTを介して次段のステージの第2の出力端子SOUTから出力されたステージ駆動信号が与えられると、第12のトランジスタNT12がターンオンされて、第1のノードN1の電位を接地電圧VSSに放電させる。第1のノードN1の電位が下がるに伴い、第7及び第9のトランジスタNT7、NT9がターンオフされる。

したがって、第2のノードN2の電位が次第に上がり、これに伴い、第3及び第4のトランジスタNT3、NT4がターンオンされて、第1及び第2の出力端子GOUT、SOUTから出力されたゲート駆動信号を接地電圧VSSに放電させる。

【0041】

このとき、第10及び第11のトランジスタNT10、NT11は、第2のノードN2の電位が上がるに伴いターンオンされて、第1のノードN1の電位を素早く放電させる。このような過程を繰り返し行うことにより、各ステージは、所定の区間中に「ハイ」の状態を維持するゲート駆動信号及びステージ駆動信号を出力する。

【0042】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0043】

【図1】従来の技術による液晶表示パネルのゲート駆動回路を構成するシフトレジスタを示すブロック図である。

【図2】本発明の一実施形態による液晶表示装置の概略図である。

【図3】本発明の一実施形態による液晶表示パネルの駆動回路を構成するシフトレジスタを示すブロック図である。

【図4】図3に示すシフトレジスタとゲート線に印加される電圧の波形図である。

【図5】図3に示すシフトレジスタの各ステージの内部回路を示す回路図である。

【符号の説明】

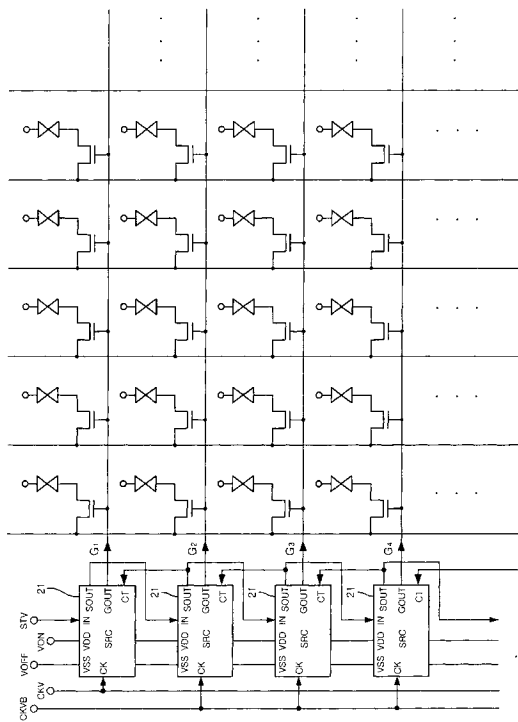
【0044】

100	液晶表示パネル
200	ゲート駆動回路部
210	第1のステージ
220	第2のステージ
230	第3のステージ
240	第4のステージ
251	第1のプルアップ部
252	第2のプルアップ部
253	第1のプルダウン部
254	第2のプルダウン部
255	プルアップ駆動部
256	プルダウン駆動部
300	ソース駆動回路部
400	ゲート駆動電圧発生部
500	タイミング制御部

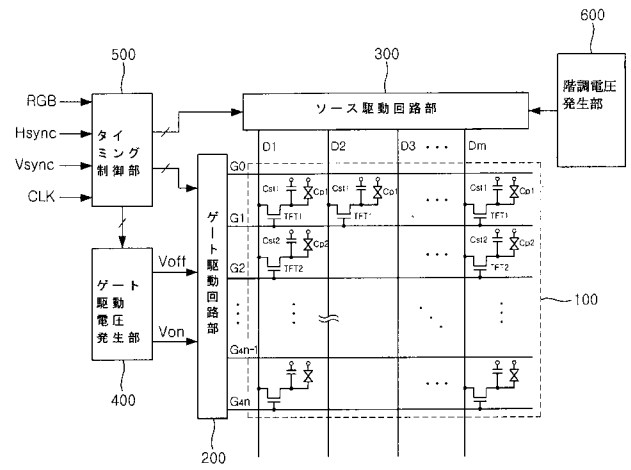
6 0 0

階調電圧発生部

【図1】



【図2】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 1 1 C 19/00

J

Fターム(参考) 5C080 AA10 BB05 DD07 DD08 DD09 DD28 FF11 JJ02 JJ03 JJ04

专利名称(译)	栅极驱动电路和具有该栅极驱动电路的液晶显示装置		
公开(公告)号	JP2007114771A	公开(公告)日	2007-05-10
申请号	JP2006258792	申请日	2006-09-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李 絃		
发明人	李 絃		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C19/00		
CPC分类号	G09G3/3677 G09G2300/0408		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.F G09G3/20.622.E G09G3/20.611.J G11C19/00.J G11C19/00 G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC34 2H093/NC35 2H093/ND32 2H093/ND37 2H093/ND60 5C006/AC22 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/EB04 5C006/EB05 5C006/FA11 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD08 5C080/DD09 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZE31 2H193/ZF23 5B074/AA10 5B074/CA01 5B074/EA01		
优先权	1020050098144 2005-10-18 KR		
外部链接	Espacenet		

摘要(译)

栅极驱动电路和使用该栅极驱动电路的液晶显示装置，该栅极驱动电路使用多个具有多个级的移位寄存器来驱动大量的栅极线。在将驱动信号输出到多条栅极线的栅极驱动电路中，驱动用于驱动被划分为 p （其中， p 是3或3以上的整数）组的栅极线的 p 个移位寄存器。并且每个移位寄存器具有以相关方式彼此连接的多个级，起始信号被输入到每个移位寄存器的第一级的输入端子，并且每个级的输出信号是选通线连接到下一级的输入端子，并通过各个级的输出信号顺序地驱动多条选通线。[选择图]图3

