

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-330649

(P2006-330649A)

(43) 公開日 平成18年12月7日(2006.12.7)

|                              |             |             |
|------------------------------|-------------|-------------|
| (51) Int. Cl.                | F I         | テーマコード (参考) |
| <b>GO2F 1/135 (2006.01)</b>  | GO2F 1/135  | 2H092       |
| <b>GO2F 1/1368 (2006.01)</b> | GO2F 1/1368 |             |

審査請求 未請求 請求項の数 11 O L (全 15 頁)

|           |                              |          |  |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2005-158215 (P2005-158215) | (71) 出願人 | 303018827<br>NEC液晶テクノロジー株式会社<br>神奈川県川崎市中原区下沼部1753番地  |
| (22) 出願日  | 平成17年5月30日(2005.5.30)        | (74) 代理人 | 100099830<br>弁理士 西村 征生   |
|           |                              | (72) 発明者 | 高橋 美朝<br>神奈川県川崎市中原区下沼部1753番地<br>NEC液晶テクノロジー株式会社内   |
|           |                              | Fターム(参考) | 2H092 GA61 JA24 JB22 JB31 JB42<br>JB46 KA05 KA10 LA03 LA12<br>LA14 NA11 NA22 NA27 PA06<br>RA10 |

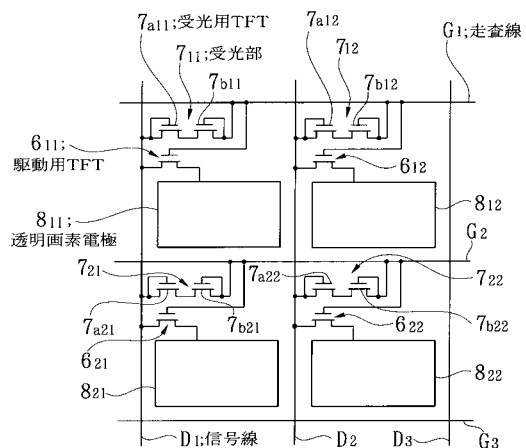
(54) 【発明の名称】 タブレット機能を備えた液晶表示装置

(57) 【要約】

【課題】 確実に誤動作を防止する。

【解決手段】 受光用素子として、駆動用のスイッチング素子と略同一の構造のTFTを用い、特に、その半導体層は、ドーピングされていないa-Si層と、ドーピングしてn<sup>+</sup>形とされたn<sup>+</sup>形a-Si層とから構成されている。各受光用TFT 7<sub>a<sub>m</sub>n</sub>、7<sub>b<sub>m</sub>n</sub>は、そのゲート電極が、自身のソース電極又はドレイン電極と接続されている。これによって、各受光用TFT 7<sub>a<sub>m</sub>n</sub>、7<sub>b<sub>m</sub>n</sub>は、誤ってオン状態となることがない。また、バイアスの設定の仕方に関わらず、オフ状態を確実に保持することができる。したがって、確実に誤動作を防止することができる。受光用素子7<sub>a<sub>m</sub>n</sub>、7<sub>b<sub>m</sub>n</sub>で発生した光電流を検出することによって、確実にかつ正確に、光入力位置を特定することができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

走査信号が供給される走査線と、表示信号が供給される信号線と、マトリックス状に配置され、液晶層に電圧を印加するための画素電極と、前記走査線と前記信号線との交差点近傍に設けられ、対応する前記画素電極へ与える表示信号を走査信号によりスイッチングするための電界効果トランジスタからなるスイッチング素子と、少なくとも一部の画素電極に対応して設けられ、表示画面に光を当てて座標位置を指示するための位置指示手段から出射された光を受けると、前記位置指示手段によって指示された座標位置を示すための座標位置検出信号を出力する座標位置検出素子とを備え、前記座標位置検出素子は、電界効果トランジスタからなることを特徴とするタブレット機能を備えた液晶表示装置。

10

## 【請求項 2】

前記座標位置検出素子のゲート電極は、自身のドレイン電極又はソース電極に接続されていることを特徴とする請求項 1 記載のタブレット機能を備えた液晶表示装置。

## 【請求項 3】

前記ドレイン電極又はソース電極が共通とされ、互いに対称な構造を有する一対の前記座標位置検出素子を備えたことを特徴とする請求項 1 又は 2 記載のタブレット機能を備えた液晶表示装置。

## 【請求項 4】

前記スイッチング素子と前記座標位置検出素子とは、略同一の層状構造を有していることを特徴とする請求項 1、2 又は 3 記載のタブレット機能を備えた液晶表示装置。

20

## 【請求項 5】

前記座標位置検出信号を受け取って前記座標位置検出素子で発生した光電流を計測する光電流計測手段を備えたことを特徴とする請求項 1 乃至 4 のいずれか 1 に記載のタブレット機能を備えた液晶表示装置。

## 【請求項 6】

前記座標位置検出素子に接続され、前記座標位置検出素子から出力された前記座標位置検出信号を読み出すための第 1 の配線及び第 2 の配線を備え、前記座標位置検出素子は、前記第 1 の配線と前記第 2 の配線との交差点近傍に設けられ、前記座標位置検出素子の前記ドレイン電極又は前記ソース電極は、前記第 1 の配線又は前記第 2 の配線に接続されていることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載のタブレット機能を備えた液晶

30

## 【請求項 7】

光入力の有無の検知のための前記座標位置検出素子の選択を行い、前記光電流計測手段を、前記第 1 の配線及び前記第 2 の配線を介して、選択された前記座標位置検出素子に接続する駆動制御手段と、前記座標位置検出信号が得られた前記座標位置検出素子の配置位置に基づいて、前記位置指示手段によって指示入力された座標位置を特定する座標位置特定手段とを備えたことを特徴とする請求項 6 記載のタブレット機能を備えた液晶表示装置。

## 【請求項 8】

前記第 1 の配線と前記第 2 の配線とのうち、少なくとも一方は、前記走査線又は前記信号線が兼ねていることを特徴とする請求項 6 又は 7 記載のタブレット機能液晶表示装置。

40

## 【請求項 9】

前記座標位置検出素子は、前記第 1 の配線を兼ねる前記走査線と、前記第 2 の配線を兼ねる前記信号線とに接続されていることを特徴とする請求項 8 記載のタブレット機能を備えた液晶表示装置。

## 【請求項 10】

前記駆動制御手段は、前記スイッチング素子がオフ状態とされた書込休止期間に、前記スイッチング素子に対応する前記座標位置検出素子を、座標位置検出信号読出対象の座標位置検出素子として選択することを特徴とする請求項 7、8 又は 9 記載のタブレット機能を備えた液晶表示装置。

50

## 【請求項 1 1】

前記座標位置検出素子の半導体層は、不純物がドーピングされていない第 1 のアモルファスシリコン層と、前記第 1 のアモルファスシリコン層上に形成され、n 形又は p 形の不純物がドーピングされた第 2 のアモルファスシリコン層とから構成されていることを特徴とする請求項 1 乃至 10 のいずれか 1 に記載のタブレット機能を備えた液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、タブレット機能を備えた液晶表示装置に係り、例えば、ライトペン等からの出射光を受光して指示入力された座標位置を検知するための多数の受光素子が、画素電極とスイッチング素子とがマトリックス状に配置された基板上に設けられたタブレット機能を備えた液晶表示装置に関する。

10

## 【背景技術】

## 【0002】

従来より、タブレット PC (Personal Computer) と呼ばれ、液晶パネルの表面に、圧力を検出して位置入力を可能とするタブレットが積層された情報処理装置が普及している。

このタブレット PC には、位置検出用タブレットとして、2 枚の透明電極が形成された透明基板が所定の離隔を保って両透明基板の透明電極が互いに対向配置された構造のものが組み込まれ、押圧されることによって互いに接触した透明電極の位置を、検出回路によって検出して、位置情報を制御部へ送っていた。

20

このようなタブレット PC では、液晶表示パネルの上に位置検出用のタブレットが積層されているために、表示画面が奥まったように視認されて見難くなり (深窓効果)、かつ、厚く重いという問題点もあった。

## 【0003】

このため、液晶表示パネルを構成する TFT (Thin Film Transistor) 基板に、スイッチング素子と共に受光素子を形成し、ライトペン等から照射された光を受光素子によって受光して、位置検出を可能とした液晶表示装置が提案されている (例えば、特許文献 1 参照)。

ここで、駆動用のスイッチング素子としては、例えば、横型の npn 構造の TFT が用いられ、受光素子としては、pnp 構造又は npn 構造のフォトトランジスタや、p 形又は n 形の単一極性の半導体が用いられる。

30

## 【0004】

上記スイッチング素子では、透明絶縁基板上に形成されたゲート電極がゲート絶縁膜によって被覆され、ゲート絶縁膜上に半導体層が形成され、半導体層と接触してドレイン電極とソース電極とが形成されている。半導体層は、ゲート電極の上方に形成された p 形領域と、p 形領域の両側の n 形領域とからなっている。

上記半導体層は、ゲート絶縁膜形成後に、P (リン) をドーブした n 形のアモルファスシリコン層をパターンニングしてソース及びドレインとし、さらに、B (ボロン) をドーブした p 形のアモルファスシリコン層を積層して形成される。

40

## 【0005】

ここで、ソース及びドレインのエッジ付近では、上層側の p 形のアモルファスシリコン層のみエッチングする必要がある。すなわち、p 形のアモルファスシリコン層は全て除去し、n 形のアモルファスシリコン層は所定の厚さ分残す必要がある。このため、同一材料である p 形及び n 形のアモルファスシリコン層で、選択比を持たせてエッチングを行わなければならない。

上記受光素子もスイッチング素子の形成工程と同様の工程で同時に形成される。

## 【0006】

また、受光素子として単一極性の半導体を用いる場合に、この受光素子を、対応する画素電極へ与える表示信号が供給されるデータ線と、走査信号が供給される走査線とに接続

50

する際に、当該受光素子を、画素への書込用のスイッチング素子とは別に、読出用のスイッチング素子を介して走査線側に接続する技術が提案されている。

読出用のスイッチング素子は、書込用のスイッチング素子と同様にTFTからなり、そのゲートはデータ線に接続され、そのドレイン及びソースは、それぞれ受光素子及び走査線に接続される。

【0007】

ここで、走査線をオフ状態とするためのオフ電位は、通常 - 10 V程度とされる。このオフ電位は、半導体層の構成材料としてアモルファスシリコンを用いる場合、オフ状態でのリーク電流が、- 5 V程度まで、逆バイアスのゲート電圧に従って小さくなることにより、小さい画素電極からのリークを防止するために設定される。また、走査線をオン状態とするためのオン電位は、通常 + 20 V程度とされる。また、信号線に供給される画素への書込電圧は、数Vとされる。

【特許文献1】特開昭56-085792号公報(図8、図12、図14)

【発明の開示】

【発明が解決しようとする課題】

【0008】

解決しようとする問題点は、上記従来技術では、受光素子が誤ってオン状態となることにあるという点である。

受光素子としてフォトトランジスタを用いる場合に、ライトペン等からの光照射がなくても、例えば、バックライトからの漏れ光によっても、誤ってオン状態となることがある。

すなわち、受光素子として、バイポーラのフォトトランジスタを用いる場合に、ベースがフローティングとされたpn構造又はnpn構造が採用されているため、両端(エミッタ・コレクタ間)の電位差が大きい場合には、寄生素子の影響により、誤ってオン状態となってしまうことがある。

【0009】

また、受光素子として単一極性の半導体を用い、受光素子に読出用のスイッチング素子としてのTFTを接続して、光入力検出を行う場合には、不要動作を含む誤動作を引き起こしてしまうことがある。

例えば、所定の画素の次段の行の走査線が選択されてオン状態とされた場合は、上記所定の画素のTFT基板の表面に沿って直下の同列の画素に、表示信号が供給されるので、同一の信号線にそのゲートが接続された上記所定の画素に対応した読出用のスイッチング素子は、オン状態とされ、不要動作を引き起こしてしまう。

【0010】

上記所定の画素以外の同列の選択されていない画素についても同様に、対応した読出用のスイッチング素子はオン状態とされる。この場合、読出用のスイッチング素子は、本来の機能を果たさず、消費電流を無駄に増加させてしまう。

このように、バイアス電圧の設定の仕方によって、選択されていない受光素子に対応した読出用のスイッチング素子までオン状態とされて、誤動作を引き起こしてしまうことがある。

【0011】

この発明は、上述の事情に鑑みてなされたもので、光入力検出の際の誤動作を確実に防止することができるタブレット機能を備えた液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【0012】

上記課題を解決するために、請求項1記載の発明に係るタブレット機能を備えた液晶表示装置は、走査信号が供給される走査線と、表示信号が供給される信号線と、マトリクス状に配置され、液晶層に電圧を印加するための画素電極と、上記走査線と上記信号線との交差点近傍に設けられ、対応する上記画素電極へ与える表示信号を走査信号によりスイ

10

20

30

40

50

ツチングするための電界効果トランジスタからなるスイッチング素子と、少なくとも一部の上記画素電極に対応して設けられ、表示画面に光を当てて座標位置を指示するための位置指示手段から出射された光を受けると、上記位置指示手段によって指示された座標位置を示すための座標位置検出信号を出力する座標位置検出素子とを備え、上記座標位置検出素子は、電界効果トランジスタからなることを特徴としている。

【0013】

また、請求項2記載の発明は、請求項1記載のタブレット機能を備えた液晶表示装置は、上記座標位置検出素子のゲート電極は、自身のドレイン電極又はソース電極に接続されていることを特徴としている。

【0014】

また、請求項3記載の発明は、請求項1又は2記載のタブレット機能を備えた液晶表示装置に係り、上記ドレイン電極又はソース電極が共通とされ、互いに対称な構造を有する一対の上記座標位置検出素子を備えたことを特徴としている。

【0015】

また、請求項4記載の発明は、請求項1、2又は3記載のタブレット機能を備えた液晶表示装置に係り、上記スイッチング素子と上記座標位置検出素子とは、略同一の層状構造を有していることを特徴としている。

【0016】

また、請求項5記載の発明は、請求項1乃至4のいずれか1に記載のタブレット機能を備えた液晶表示装置に係り、上記座標位置検出信号を受け取って上記座標位置検出素子で発生した光電流を計測する光電流計測手段を備えたことを特徴としている。

【0017】

また、請求項6記載の発明は、請求項1乃至5のいずれか1に記載のタブレット機能を備えた液晶表示装置に係り、上記座標位置検出素子に接続され、上記座標位置検出素子から出力された上記座標位置検出信号を読み出すための第1の配線及び第2の配線を備え、上記座標位置検出素子は、上記第1の配線と上記第2の配線との交差点近傍に設けられ、上記座標位置検出素子の上記ドレイン電極又は上記ソース電極は、上記第1の配線又は上記第2の配線に接続されていることを特徴としている。

【0018】

また、請求項7記載の発明は、請求項6記載のタブレット機能を備えた液晶表示装置に係り、光入力の有無の検知のための上記座標位置検出素子の選択を行い、上記光電流計測手段を、上記第1の配線及び上記第2の配線を介して、選択された上記座標位置検出素子に接続する駆動制御手段と、上記座標位置検出信号が得られた上記座標位置検出素子の配置位置に基づいて、上記位置指示手段によって指示入力された座標位置を特定する座標位置特定手段とを備えたことを特徴としている。

【0019】

また、請求項8記載の発明は、請求項6又は7記載のタブレット機能を備えた液晶表示装置に係り、上記第1の配線と上記第2の配線とのうち、少なくとも一方は、上記走査線又は上記信号線が兼ねていることを特徴としている。

【0020】

また、請求項9記載の発明は、請求項8記載のタブレット機能を備えた液晶表示装置に係り、上記座標位置検出素子は、上記第1の配線を兼ねる上記走査線と、上記第2の配線を兼ねる上記信号線とに接続されていることを特徴としている。

【0021】

また、請求項10記載の発明は、請求項7、8又は9記載のタブレット機能を備えた液晶表示装置に係り、上記駆動制御手段は、上記スイッチング素子がオフ状態とされた書込休止期間に、上記スイッチング素子に対応する上記座標位置検出素子を、座標位置検出信号読出対象の座標位置検出素子として選択することを特徴としている。

【0022】

また、請求項11記載の発明は、請求項1乃至10のいずれか1に記載のタブレット機

10

20

30

40

50

能を備えた液晶表示装置に係り、上記座標位置検出素子の半導体層は、不純物がドーピングされていない第1のアモルファスシリコン層と、上記第1のアモルファスシリコン層上に形成され、n形又はp形の不純物がドーピングされた第2のアモルファスシリコン層とから構成されていることを特徴としている。

【発明の効果】

【0023】

この発明のタブレット機能を備えた液晶表示装置の構成によれば、少なくとも一部の画素電極に対応して設けられた座標位置検出素子が、光によって座標位置を指示入力するための位置指示手段から出射された光を受けると、位置指示手段によって指示入力された座標位置を示すための座標位置検出信号を出力し、この座標位置検出素子は、電界効果トランジスタからなっているので、光入力検出の際の誤動作を確実に防止することができる。

10

【発明を実施するための最良の形態】

【0024】

少なくとも一部の画素電極に対応して設けられた座標位置検出素子が、光によって座標位置を指示入力するための位置指示手段から出射された光を受けると、位置指示手段によって指示入力された座標位置を示すための座標位置検出信号を出力し、この座標位置検出素子は、電界効果トランジスタからなっていることによって、光入力検出の際の誤動作を確実に防止するという目的を実現した。

【実施例1】

【0025】

図1は、この発明の第1の実施例に係る液晶表示パネルの電氣的構成を示す等価回路図、図2は、同液晶表示パネルの構成を模式的に示す斜視図、図3は、同液晶表示パネルの構成を模式的に示す断面図、図4は、同液晶表示パネルを用いた液晶表示装置の電氣的構成を示すブロック図、図5は、同液晶表示パネルのTFT基板の構成を示す平面図、また、図6は、図5のA-A線に沿った断面図である。

20

【0026】

この例の液晶表示装置1は、例えば、タブレットPCの入力装置及び表示装置として用いられ、図2乃至図4に示すように、液晶表示パネル2と、液晶表示パネル2を駆動するためのLCD(Liquid Crystal Display)駆動回路部3と、液晶表示パネル2に照明光を与えるためのバックライト装置4とを備え、表示機能と共に、例えば、位置指示手段(ポインティングデバイス)としてのライトペンRを用いた座標位置情報の入力機能を有している。

30

液晶表示パネル2は、例えばTFT構造の透過型の液晶表示パネルであり、図1乃至図3に示すように、駆動用TFT $6_{m,n}$ ( $m, n$ :自然数)、一对の受光用TFT $7_{a,m,n}$ ,  $7_{b,m,n}$ からなる受光部 $7_{m,n}$ 、及び透明画素電極 $8_{m,n}$ が多数形成されているTFT基板9と、TFT基板9と数 $[\mu m]$ の間隙を介して対向して固定され、着色層(カラーフィルタ)11が形成された対向基板12と、上記間隙に封入された液晶層13と、TFT基板9、対向基板12の外側に配設された一对の偏向板14, 15とを有している。

なお、駆動用TFT $6_{m,n}$ 等における添字 $m, n$ は、 $m$ が行数、 $n$ が列数を示し、例えば、駆動用TFT $6_{m,n}$ は、 $m$ 行 $n$ 列の位置に配置され、 $m$ 番目の走査線 $G_m$ と $n$ 番目の信号線 $D_n$ とに接続された駆動用TFTであることを示す。

40

【0027】

TFT基板9には、多数の透明画素電極 $8_{1,1}$ ,  $8_{1,2}$ , ...がマトリックス状に配置され、透明画素電極 $8_{1,1}$ ,  $8_{1,2}$ , ...の周囲に、互いに直交するように、走査信号を供給するための各走査線 $G_m$ と、表示信号を供給するための各信号線 $D_n$ とが設けられている。上記走査信号及び表示信号は、それぞれ、外部回路と接続される外部入力端子部から入力される。

駆動用TFT $6_{m,n}$ 及び受光用TFT $7_{a,m,n}$ ,  $7_{b,m,n}$ は、走査線 $G_m$ と信号線 $D_n$ との各交差箇所近傍に配置され、駆動用TFT $6_{m,n}$ は、そのソース電極が透明画素電極 $8_{m,n}$ に接続されて対応する液晶セルに信号電荷を印加するスイッチング素子として用

50

いられ、受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> は、ライトペン R から出射された光を受光する座標位置検出素子（受光素子）として用いられる。

【0028】

駆動用 T F T 6<sub>m n</sub> は、走査線 G<sub>m</sub> に接続されたゲート電極に、走査線 G<sub>m</sub> を介して走査信号が入力されると共に、信号線 D<sub>n</sub> に接続されたドレイン電極に表示信号（データ信号）が入力されることによって、駆動制御される。

また、駆動用 T F T 6<sub>m n</sub> のソース電極は、コンタクトホールを介して、透明画素電極 8<sub>m n</sub> に接続されている。また、駆動用 T F T 6<sub>m n</sub> について、必要に応じて、上方からの光に対する遮光が施される。

この例では、受光部 7<sub>m n</sub> は、互いに接続された一对の受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> から構成している。 10

すなわち、受光用 T F T 7 a<sub>m n</sub> のゲート電極は、自身のドレイン電極及び信号線 D<sub>n</sub> に接続され、そのソース電極は、受光用 T F T 7 b<sub>m n</sub> のドレイン電極に接続されている。また、受光用 T F T 7 b<sub>m n</sub> のゲート電極は、自身のソース電極及び走査線 G<sub>m</sub> に接続され、そのドレイン電極は、受光用 T F T 7 a<sub>m n</sub> のソース電極に接続されている。

【0029】

このように、受光用 T F T 7 a<sub>m n</sub> のゲート電極は、自身のドレイン電極に接続され、かつ、受光用 T F T 7 b<sub>m n</sub> のゲート電極は、自身のソース電極に接続されているため、いかなるバイアスがかかっても、オフ状態が確実に保持される。

この例では、駆動用 T F T 6<sub>m n</sub> と受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> とは、略同一の構造を有しており、同一の工程を経て同時に形成され、特に、半導体層は、ドーピングされていない第 1 のアモルファスシリコン層としてのアモルファスシリコン（以下、a - S i という）層と、n 形不純物として P（リン）をドーピングして n<sup>+</sup> 形とされた第 2 のアモルファスシリコン層としてのアモルファスシリコン（以下、n<sup>+</sup> 形 a - S i という）層とからなっている。 20

【0030】

T F T 基板 9 は、透明絶縁基板（パネル基板）17 上に各電極や絶縁膜等が積層された構造を有している。すなわち、図 5 及び図 6 に示すように、透明絶縁基板 17 上に、ゲート電極 18 が形成され、ゲート電極 18 がゲート絶縁膜 19 によって被覆され、ゲート電極 18 の上方のゲート絶縁膜 19 上に半導体層 21 が形成され、ゲート絶縁膜 19 上で半導体層 21 と接触してドレイン電極 22 とソース電極 23 とが形成され、ゲート絶縁膜 19 と半導体層 21 とドレイン電極 22 とソース電極 23 とがパッシベーション膜 24 により被覆されている。パッシベーション膜 24 の所定の領域は、I T O 膜 25 により被覆されている。 30

なお、図 5 で、H a は、ドレイン電極又はソース電極側のコンタクトホール、H b は、ゲート電極側のコンタクトホールである。ここで、走査線 G<sub>m</sub> は、ゲート電極 18 と同層に形成されている。

また、受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> の配置領域に形成されたゲート電極 18 は、バックライト装置 4 からの照明光を遮光して、受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> に無用な光が照射されることを防止する機能を兼ねている。 40

【0031】

このようにして、駆動用 T F T 6<sub>m n</sub> と受光用 T F T 7 a<sub>m n</sub> , 7 b<sub>m n</sub> とが、透明絶縁基板 17 上に形成されている。なお、I T O 膜 25 の所定の領域は、透明画素電極 8<sub>m n</sub> とされている。

また、透明画素電極層 8<sub>m n</sub>（I T O 膜 25）上には、透明画素電極層 8<sub>m n</sub> を覆うように、液晶配向膜 26 が形成されている。

また、対向基板 12 は、透明絶縁基板 28 を覆うように例えばモザイク状に赤色、緑色、青色の着色層 11 が配列され、着色層 11 を覆うように対向電極 29 が形成されてなっている。さらに、対向電極 29 を覆うように、液晶配向膜 31 が形成されている。

T F T 基板 9 と対向基板 12 とは、液晶配向膜 26 と液晶配向膜 31 とが向かい合うよ 50

うに配置され、液晶配向膜 2 6 と液晶配向膜 3 1 との間に液晶層 1 3 が挟持されている。

【0032】

LCD 駆動回路部 3 は、例えば、CPU (中央処理装置) を有してなり構成各部を制御する制御部 3 5 と、ROM、RAM 等の半導体メモリ等からなり、制御部 3 5 が実行する処理プログラムや、光入力による図形や文字パターン等の各種データ等を記憶するための記憶部 3 6 と、各信号線  $D_n$  に表示信号 (データ信号) を供給するデータ電極駆動回路 3 7 と、各走査線  $G_m$  に走査信号を供給する走査電極駆動回路 3 8 と、各受光部  $7_{mn}$  を流れる光電流を計測してライトペン R からの光入力を検出するための光入力検出部 3 9 とを有している。

【0033】

制御部 3 5 は、データ電極駆動回路 3 7 及び走査電極駆動回路 3 8 を制御して、各画素へ書込みを行うと共に、対応する画素へ書込みを行っていない受光部  $7_{mn}$  (すなわち、オフ期間の画素に対応する受光部  $7_{mn}$ ) を選択して、光入力の有無を検知するために、光入力検出部 3 9、データ電極駆動回路 3 7、及び走査電極駆動回路 3 8 を制御して、選択された受光部  $7_{mn}$  と対応する走査線  $G_m$  及び信号線  $D_n$  と光入力検出部 3 9 の対応する電流計測回路とによって閉回路が形成されるようにする。

制御部 3 5 は、対応する画素へ書込みを行っている受光部  $7_{mn}$  が接続されている走査線  $G_m$  及び信号線  $D_n$  に接続されている受光部  $7_{mn}$  を除く受光部  $7_{mn}$  を (対応する画素へ書込みを行っている受光部  $7_{mn}$  が属する行及び列以外の全ての受光部  $7_{mn}$ ) を光入力検出対象として選択することが可能である。

ここで、光入力検出対象として選択された受光部  $7_{mn}$  が接続された走査線  $G_m$  及び信号線  $D_n$  への走査信号及び表示信号の供給は休止される。

【0034】

この例では、制御部 3 5 は、受光部  $7_{11}$  に対応する画素へ書込みを行っている場合には、走査線  $G_1$  及び信号線  $D_1$  に接続されていない受光部  $7_{22}, 7_{23}, \dots, 7_{32}, 7_{33}, \dots$  を選択する。

例えば、制御部 3 5 は、走査線  $G_m$  を  $m = 1$  から選択して、書込処理と光入力検出処理とを交互に実行する。すなわち、走査線  $G_1$  を選択し、走査線  $G_1$  に接続された画素への書込処理後に、走査線  $G_1$  に接続された受光部  $7_{1n}$  を選択して、この行の全ての受光部  $7_{1n}$  について略同時に光入力検出処理を行い、次に、走査線  $G_2$  を選択して、書込処理後に光入力検出処理を実行し、以降、行  $m$  を 1 つずつ変えて書込処理と光入力検出処理とを実行していく。

【0035】

制御部 3 5 は、光入力検出部 3 9 から送られてきた計測信号に基づいて、ライトペン R によって指定された位置 (座標) を特定する。

光入力検出部 3 9 は、例えば、複数 (信号線数  $n$ ) の電流計測回路を有し、各電流計測回路は、同一の信号線  $D_n$  に接続された複数 (走査線数  $m$ ) の受光部  $7_{mn}$  に流れる電流を切り換えて列単位で計測する。この例では、同一の走査線  $G_m$  に接続された受光部  $7_{mn}$  に流れる電流は、略同時に計測される。

各電流計測回路は、光照射時には、対応する受光部  $7_{mn}$  に流れる光電流 (通常、光非照射時の暗電流の 1000 倍以上) を計測する。

【0036】

バックライト装置 4 は、例えば、複数の LED からなる光源ユニットと、光源ユニットから出射した光を受光し面状の照明光を液晶表示パネル 2 へ向けて出射する導光板、輝度のばらつきを補正するための拡散シート及び導光板側から入射した照明光を集光するプリズムシートを含む光学部材群とを有してなり、液晶表示パネル 2 に裏面側から照明光を照射して、液晶表示パネル 2 を透過した光を観察者に視認させる。

【0037】

次に、図 6 を参照して、この例の TFT 基板 9 の製造方法について説明する。

まず、同図に示すように、超音波洗浄等によって清浄化したガラス製の透明絶縁基板 1

10

20

30

40

50

7 上に、スパッタ法により、ゲート電極形成材料として、例えば、クロムを 200 nm 程成膜し、フォトリソグラフィ技術を用いてパターンングを行って、ゲート電極 18 を形成する。例えば、駆動用 TFT 6<sub>m n</sub> と受光用 TFT 7<sub>b m n</sub> とのゲート電極 18 は、兼用される。

次に、化学的気相成長法（以下、CVD (Chemical Vapor Deposition) 法という）やスパッタ法によって、窒化シリコン膜又は酸化シリコン膜を全面に 400 nm 程成膜し、ゲート絶縁膜 19 を形成する。

#### 【0038】

次に、ドーピングされていない a-Si と、リンをドーピングして n<sup>+</sup> 形とされた n<sup>+</sup> 形 a-Si とを連続して CVD 法によって、それぞれ、250 nm、50 nm 程成膜し、フォトリソグラフィ技術と反応性イオンエッチング (RIE: Reactive Ion Etching) とを用いて、これらをパターンングして、半導体層 21 を形成して、駆動用 TFT 6<sub>m n</sub> と受光用 TFT 7<sub>a m n</sub>、7<sub>b m n</sub> との形成のために必要な領域に a-Si 層及び n<sup>+</sup> 形 a-Si 層を残す。

10

次に、半導体層 21 上に、ドレイン・ソース電極形成材料として、例えば、クロムをスパッタ法によって 200 nm 程成膜し、このクロム膜を、フォトリソグラフィ技術と、例えば、硝酸セリウム系エッチング液を用いたエッチングとによって、パターンングし、ソース電極 23 とドレイン電極 22 とを形成する。

次に、六弗化硫黄 (SF<sub>6</sub>) と塩化水素 (HCl) と含むエッチングガスを用いた PE (プラズマエッチング) によって、チャンネル部の n<sup>+</sup> 形 a-Si が全て除かれるように、100 nm 程エッチングする。

20

#### 【0039】

次に、CVD 法によって窒化シリコン膜を 150 nm 程パッシベーション膜 24 として成膜し、この窒化シリコン膜を、フォトリソグラフィ技術と、例えば、フッ酸系エッチング液を用いたエッチングとによって、コンタクトホール H<sub>a</sub>、H<sub>b</sub> を形成する。

次に、パッシベーション膜 24 上に ITO 膜 25 をスパッタ法によって成膜し、フォトリソグラフィ技術と、例えば、王水系エッチング液を用いたエッチングとによって、パターンングして透明画素電極 8<sub>m n</sub> を形成する。

#### 【0040】

次に、図 3 及び図 4 を参照して、この例の液晶表示装置 1 の動作について説明する。

30

制御部 35 は、データ電極駆動回路 37 及び走査電極駆動回路 38 を制御して、各画素へ書込みを行うと共に、対応する画素へ書込みを行っていない受光部 7<sub>m n</sub> (すなわち、オフ期間の画素に対応する受光部 7<sub>m n</sub>) を選択して、光入力の有無を検知するために、光入力検出部 39、データ電極駆動回路 37、及び走査電極駆動回路 38 を制御して、選択された受光部 7<sub>m n</sub> と対応する走査線 G<sub>m</sub> 及び信号線 D<sub>n</sub> と光入力検出部 39 の対応する電流計測回路とによって閉回路が形成されるようにする。

#### 【0041】

制御部 35 は、対応する画素へ書込みを行っている受光部 7<sub>m n</sub> が接続されている走査線 G<sub>m</sub> 及び信号線 D<sub>n</sub> に接続されている受光部 7<sub>m n</sub> を除く受光部 7<sub>m n</sub> を (対応する画素へ書込みを行っている受光部 7<sub>m n</sub> が属する行及び列以外の全ての受光部 7<sub>m n</sub>) を選択することが可能である。

40

ここで、光入力検出対象として選択された受光部 7<sub>m n</sub> が接続された走査線 G<sub>m</sub> 及び信号線 D<sub>n</sub> への走査信号及び表示信号の供給は休止される。

#### 【0042】

この例では、制御部 35 は、受光部 7<sub>1 1</sub> に対応する画素へ書込みを行っている場合には、走査線 G<sub>1</sub> 及び信号線 D<sub>1</sub> に接続されていない受光部 7<sub>2 2</sub>、7<sub>2 3</sub>、...、7<sub>3 2</sub>、7<sub>3 3</sub>、... を選択する。

例えば、制御部 35 は、走査線 G<sub>m</sub> を m = 1 から選択して、書込処理と光入力検出処理とを交互に実行する。すなわち、走査線 G<sub>1</sub> を選択し、走査線 G<sub>1</sub> に接続された画素への書込処理後に、走査線 G<sub>1</sub> に接続された受光部 7<sub>1 n</sub> を選択して、この行の全ての受光部

50

$7_{1n}$  について略同時に光入力検出処理を行い、次に、走査線  $G_2$  を選択して、書込処理後に光入力検出処理を実行し、以降、行  $m$  を 1 つずつ変えて書込処理と光入力検出処理とを実行していく。

【0043】

光入力検出部 39 の各電流計測回路は、同一の信号線  $D_n$  に接続された複数（走査線数  $m$ ）の受光部  $7_{mn}$  に流れる電流を切り換えて列単位で計測する。この例では、同一の走査線  $G_m$  に接続された受光部  $7_{mn}$  に流れる電流は、略同時に計測される。

各電流計測回路は、ライトペン R による光照射時には、対応する受光部  $7_{mn}$  に流れる光電流（通常、光非照射時の暗電流の 1000 倍以上）を計測する。

ここで、光非照射時には、受光用 T F T は、そのゲート電極が、自身のソース電極又はドレイン電極と接続されているので、バイアスの設定の仕方に関わらず、オフ状態が確実に保持される。

制御部 35 は、光入力検出部 39 から送られてきた計測信号に基づいて、ライトペン R によって指定された位置（座標）を特定する。

【0044】

このように、この例の構成によれば、受光用素子として、駆動用のスイッチング素子と略同一の構造の T F T を用い、特に、その半導体層は、ドーピングされていない a - S i 層と、ドーピングして  $n^+$  形とされた  $n^+$  形 a - S i 層とから構成されているので、従来技術で例えばバイポーラのフォトトランジスタを用いた場合のように、誤ってオン状態となる（寄生ターンオンする）ことがない。

【0045】

また、各受光用 T F T  $7_{am_n}$  ,  $7_{bm_n}$  は、そのゲート電極が、自身のソース電極又はドレイン電極と接続されているので、バイアスの設定の仕方に関わらず、オフ状態を確実に保持することができる。したがって、確実に誤動作を防止することができる。

また、受光用素子  $7_{am_n}$  ,  $7_{bm_n}$  で発生した光電流を検出することによって、確実にかつ正確に、光入力位置を特定することができる。

また、受光用 T F T  $7_{am_n}$  ,  $7_{bm_n}$  において、少なくともそのゲート電極がバックライト装置 4 から照射される照明光を遮光するので、照明光による誤動作を防止することができる。

【実施例 2】

【0046】

図 7 は、この発明の第 2 の実施例に係る液晶表示パネルの電氣的構成を示す等価回路図、図 8 は、同液晶表示パネルの T F T 基板の構成を示す平面図、また、図 9 は、図 8 の B - B 線に沿った断面図である。

この例が上述した第 1 の実施例と大きく異なるところは、受光部をゲート電極同士を接続した一対の受光用 T F T から構成した点である。

これ以外の構成は、上述した第 1 の実施例の構成と略同一であるので、その説明を簡略にする。

【0047】

この例では、T F T 基板 41 には、多数の透明画素電極  $42_{11}$  ,  $42_{12}$  , ... がマトリックス状に配置され、透明画素電極  $42_{11}$  ,  $42_{12}$  , ... の周囲に、互いに直交するように、走査信号を供給するための各走査線  $G_m$  と、表示信号を供給するための各信号線  $D_n$  とが設けられている。

駆動用 T F T  $43_{mn}$  及び受光用 T F T  $44_{am_n}$  ,  $44_{bm_n}$  は、走査線  $G_m$  と信号線  $D_n$  との各交差箇所近傍に配置され、駆動用 T F T  $43_{mn}$  は、そのソース電極が透明画素電極  $42_{mn}$  に接続されて対応する液晶セルに信号電荷を印加するたスイッチング素子として用いられ、受光用 T F T  $44_{am_n}$  ,  $44_{bm_n}$  は、ライトペン R から出射された光を受光する受光素子として用いられる。

【0048】

駆動用 T F T  $43_{mn}$  は、走査線  $G_m$  に接続されたゲート電極に、走査線  $G_m$  を介して

10

20

30

40

50

走査信号が入力されると共に、信号線  $D_n$  に接続されたドレイン電極に表示信号（データ信号）が入力されることによって、駆動制御される。

また、駆動用 T F T  $43_{m n}$  のソース電極は、コンタクトホールを介して、透明画素電極  $42_{m n}$  に接続されている。

この例では、受光部  $44_{m n}$  は、互いに接続された一对の受光用 T F T  $44a_{m n}$  ,  $44b_{m n}$  から構成している。

すなわち、受光用 T F T  $44a_{m n}$  のゲート電極は、自身のソース電極と、受光用 T F T  $44b_{m n}$  のゲート電極及びドレイン電極とに接続され、そのドレイン電極は、信号線  $D_n$  に接続され、そのソース電極は、自身のゲート電極と、受光用 T F T  $44b_{m n}$  のゲート電極及びドレイン電極とに接続されている。

10

#### 【0049】

また、受光用 T F T  $44b_{m n}$  のゲート電極は、自身のドレイン電極と、受光用 T F T  $44a_{m n}$  のゲート電極及びソース電極とに接続され、そのドレイン電極は、自身のゲート電極と、受光用 T F T  $44a_{m n}$  のゲート電極及びソース電極とに接続され、そのソース電極は、走査線  $G_m$  に接続されている。

T F T 基板  $41$  は、図 8 及び図 9 に示すように、透明絶縁基板  $46$  上に、ゲート電極  $47$  が形成され、ゲート電極  $47$  がゲート絶縁膜  $48$  によって被覆され、ゲート電極  $47$  の上方のゲート絶縁膜  $48$  上に半導体層  $49$  が形成され、ゲート絶縁膜  $48$  上で半導体層  $49$  と接触してドレイン・ソース電極  $51$  とが形成され、ゲート絶縁膜  $48$  と半導体層  $49$  とドレイン・ソース電極  $51$  とがパッシベーション膜  $54$  により被覆されている。パッシベーション膜  $54$  の所定の領域は、I T O 膜  $55$  により被覆されている。

20

#### 【0050】

なお、図 8 で、 $H_c$  は、ドレイン電極又はソース電極側のコンタクトホール、 $H_d$  は、ゲート電極側のコンタクトホールである。ここで、走査線  $G_m$  は、ゲート電極  $55$  と同層に形成されている。

また、受光用 T F T  $44a_{m n}$  ,  $44b_{m n}$  の配置領域に形成されたゲート電極  $55$  は、バックライト装置  $4$  からの照明光を遮光して、受光用 T F T  $44a_{m n}$  ,  $44b_{m n}$  に無用な光が照射されることを防止する機能を兼ねている。

#### 【0051】

このように、この例の構成によれば、上述した第 1 の実施例と略同様の効果を得ることができる。

30

#### 【実施例 3】

#### 【0052】

図 10 は、この発明の第 3 の実施例に係る液晶表示パネルの電気的構成を示す等価回路図である。

この例が上述した第 1 の実施例と大きく異なるところは、受光部を単一の受光用 T F T から構成し、受光用 T F T を、信号線と、走査線に代えて走査線に平行に設けた光検出用配線とに接続した点である。

これ以外の構成は、上述した第 1 の実施例の構成と略同一であるので、その説明を簡略にする。

40

#### 【0053】

図 10 に示すように、この例の T F T 基板には、多数の透明画素電極  $61_{11}$  ,  $61_{12}$  , ... がマトリックス状に配置され、透明画素電極  $61_{11}$  ,  $61_{12}$  , ... の周囲に、互いに直交するように、走査信号を供給するための各走査線  $G_m$  と、表示信号を供給するための各信号線  $D_n$  と、光入力を検出するための光検出用配線  $P_m$  とが設けられている。

駆動用 T F T  $62_{m n}$  及び受光用 T F T  $63a_{m n}$  は、走査線  $G_m$ （光検出用配線  $P_m$ ）と信号線  $D_n$  との各交差箇所近傍に配置され、駆動用 T F T  $62_{m n}$  は、そのソース電極が透明画素電極  $61_{m n}$  に接続されて対応する液晶セルに信号電荷を印加するスイッチング素子として用いられ、受光用 T F T  $63a_{m n}$  は、ライトペン R から出射された光を受光する受光素子として用いられる。

50

## 【0054】

駆動用 T F T 6 2<sub>m n</sub> は、走査線 G<sub>m</sub> に接続されたゲート電極に、走査線 G<sub>m</sub> を介して走査信号が入力されると共に、信号線 D<sub>n</sub> に接続されたドレイン電極に表示信号（データ信号）が入力されることによって、駆動制御される。

また、駆動用 T F T 6 2<sub>m n</sub> のソース電極は、コンタクトホールを介して、透明画素電極 6 1<sub>m n</sub> に接続されている。

この例では、受光部は、単一の受光用 T F T 6 3 a<sub>m n</sub> から構成されている。受光用 T F T 6 3 a<sub>m n</sub> のゲート電極は、自身のソース電極と、光検出用配線 P<sub>m</sub> とに接続され、そのドレイン電極は、信号線 D<sub>n</sub> に接続され、そのソース電極は、自身のゲート電極と、光検出用配線 P<sub>m</sub> とに接続されている。

10

この例では、検出用配線 P<sub>m</sub> は高電位に、信号線 D<sub>n</sub> は低電位に保持される。

## 【0055】

制御部 3 5 は、各画素へ書込みを行うと共に、対応する画素へ書込みを行っていない受光部（すなわち、オフ期間の画素に対応する受光部）を選択して、光入力の有無を検知するために、選択された受光部と対応する光検出用配線 P<sub>m</sub> 及び信号線 D<sub>n</sub> と光入力検出部の対応する電流計測回路とによって閉回路が形成されるようにする。

## 【0056】

このように、この例の構成によれば、上述した第 1 の実施例と略同様の効果を得ることができる。

加えて、光検出用配線 P<sub>m</sub> を独立に設けたので、画素へのデータ書込と、受光用 T F T 6 3 a<sub>m n</sub> からの光電流読出を独立に（例えば同時に）行うことができる。

20

## 【0057】

以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。

例えば、上述の実施例では、ゲート電極をクロムを用いて構成する場合について述べたが、ゲート電極をクロムに代えてアルミニウムや、タンタル、モリブデン等の金属を用いて構成するようにしても良い。

## 【0058】

また、ドーピングされていない a - S i 層に代えて、ドーピングして n<sup>-</sup> 形とされた n<sup>-</sup> 形 a - S i 層が形成された半導体層を用いても良い。

30

また、T F T 基板の周縁に形成された外部入力端子部においては、必要に応じて、例えば、走査線が、信号線と同電位となるような構造を形成するようにしても良い。

また、音声出力部として、透明部材が用いられ、液晶表示パネルを保護するスクリーン部材を兼ねる振動板と、圧電素子を有し振動板を振動させて音波を放射させるアクチュエータモジュールとを有するフラットパネルスピーカ（F P S）を設ける場合に適用できる。

また、バックライト装置の光源ユニットとしては、L E D に限らず、例えば、アパーチャ形蛍光ランプ等を用いても良い。また、L E D としては、白色 L E D でも良いし、これ以外の単色 L E D でも良い。また、点状光源として、L E D 以外にも白熱電球を用いても

40

## 【0059】

また、第 1 の実施例で、光入力検出部は、書込箇所接続された走査線及び信号線に接続された箇所以外の箇所について、列単位又は行単位で同時に計測し、切換走査を行う場合について述べたが、列単位や行単位と限らず、所定のグループ毎に切り換えて同時に計測しても良いし、1 つ単位で切り換えて計測しても良いし、計測可能な箇所について全て同時に計測するようにしても良い。

また、駆動用 T F T と、受光用 T F T とは、1 対 1 に対応していなくても良く、両者は、互いに独立に配置するようにしても良い。

## 【0060】

50

また、各電流計測回路が、同一の信号線  $D_n$  に接続された複数（走査線数  $m$ ）の受光部  $7_{m n}$  に流れる電流を切り換えて列単位で計測する場合について述べたが、行単位で計測するようにしても良い。

また、走査線  $G_m$  を  $m = 1$  から選択して、光入力検出処理後に書込処理を行うようにしても良い。

また、全ての走査線  $G_m$  について、書込処理を実行した後に、行を変えながら全ての受光部  $7_{m n}$  について、光入力検出処理を行うようにしても良い。

また、CVD法としては、例えば、常圧CVD法や、減圧CVD法、プラズマ増速CVD（PECVD：Plasma Enhanced Chemical Vapor Deposition）法等を選択することができる。

10

【産業上の利用可能性】

【0061】

半導体層を、アモルファスシリコンを用いて形成する場合のほか、ポリシリコンを用いて形成する場合に適用できる。

【図面の簡単な説明】

【0062】

【図1】この発明の第1の実施例である液晶表示パネルの電気的構成を示す等価回路図である。

【図2】同液晶表示パネルの構成を模式的に示す斜視図である。

【図3】同液晶表示パネルの構成を模式的に示す断面図である。

20

【図4】同液晶表示パネルを用いた液晶表示装置の電気的構成を示すブロック図である。

【図5】同液晶表示パネルのTFT基板の構成を示す平面図である。

【図6】図5のA-A線に沿った断面図である。

【図7】この発明の第2の実施例である液晶表示パネルの電気的構成を示す等価回路図である。

【図8】同液晶表示パネルのTFT基板の構成を示す平面図である。

【図9】図8のB-B線に沿った断面図である。

【図10】この発明の第3の実施例である液晶表示パネルの電気的構成を示す等価回路図である。

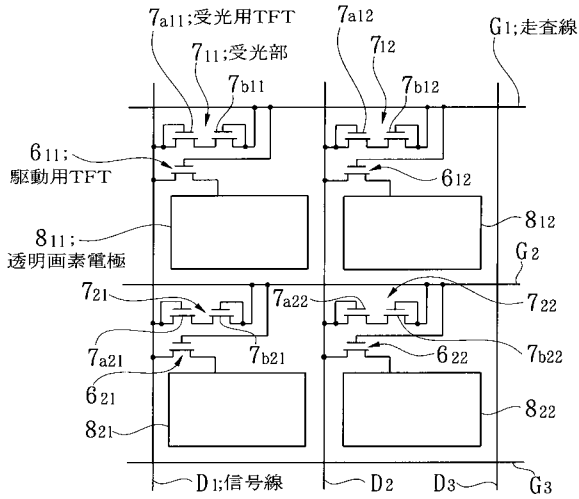
【符号の説明】

30

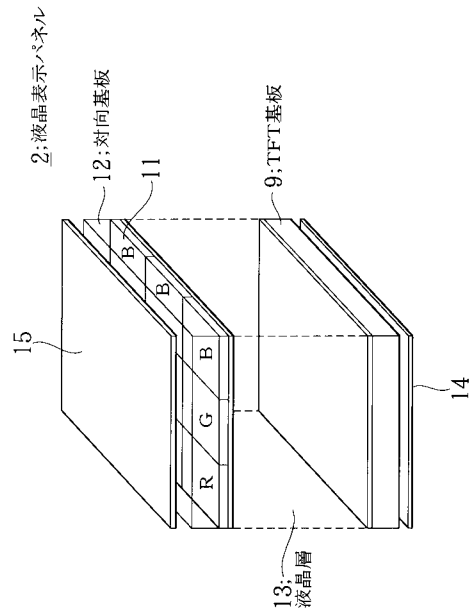
【0063】

|   |                      |    |
|---|----------------------|----|
| 1   | 液晶表示装置               |    |
| 2   | 液晶表示パネル              |    |
| 3   | LCD駆動回路部             |    |
| $6_{m n}, 4_{3 m n}, 6_{2 m n}$                               | 駆動用TFT（スイッチング素子）     |    |
| $7_{m n}, 4_{4 m n}$  | 受光部                  |    |
| $7_{a m n}, 7_{b m n}, 4_{4 a m n}, 4_{4 b m n}, 6_{3 a m n}$ | 受光用TFT（座標位置検出素子）     |    |
| $8_{m n}, 4_{2 m n}, 6_{1 m n}$                               | 透明明画素電極（画素電極）        |    |
| 9   | TFT基板                | 40 |
| 18, 47  | ゲート電極                |    |
| 21, 49  | 半導体層                 |    |
| 22  | ドレイン電極               |    |
| 23  | ソース電極                |    |
| 35  | 制御部（駆動制御手段、座標位置特定手段） |    |
| 39  | 光入力検出部（光電流計測手段）      |    |
| $D_n$   | 信号線（第2の配線）           |    |
| $G_m$   | 走査線（第1の配線）           |    |
| $P_m$   | 光検出用配線（第1の配線）        |    |
| R   | ライトペン（位置指示手段）        | 50 |

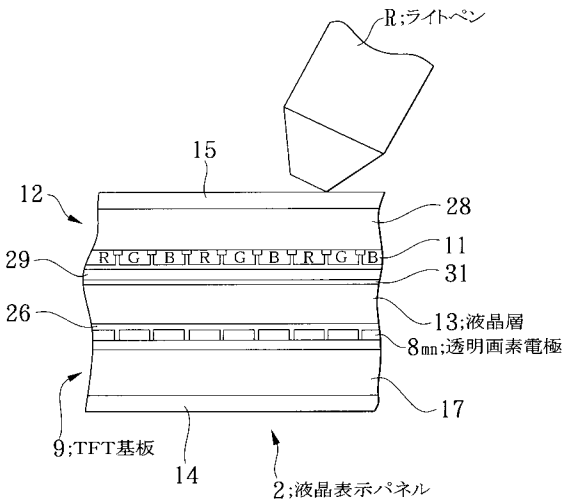
【 図 1 】



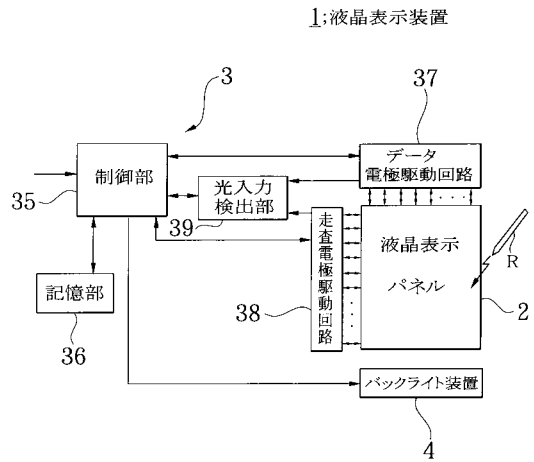
【 図 2 】



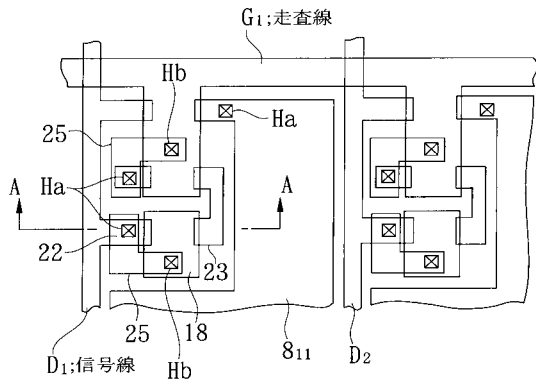
【 図 3 】



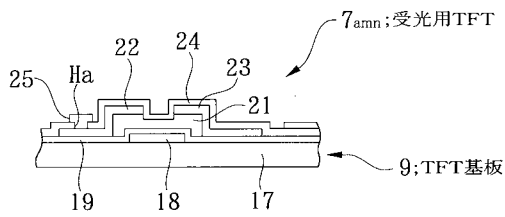
【 図 4 】



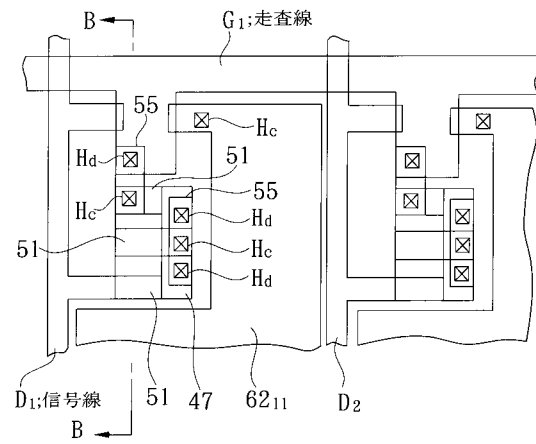
【 図 5 】



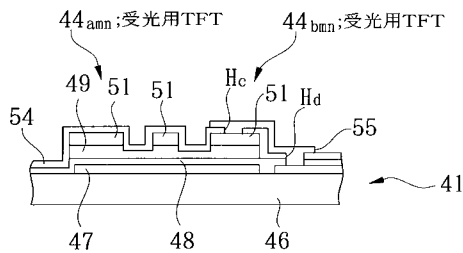
【 図 6 】



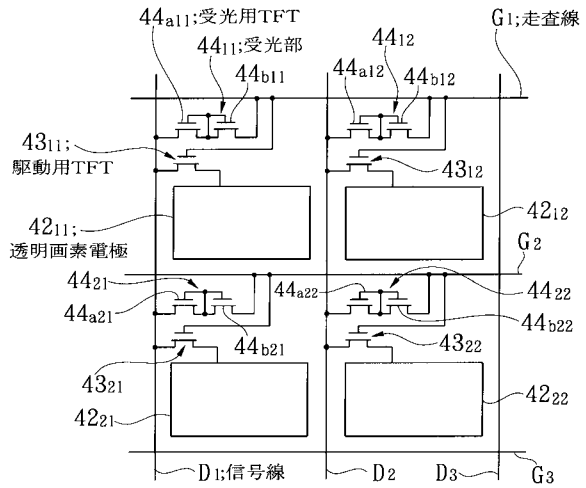
【 図 8 】



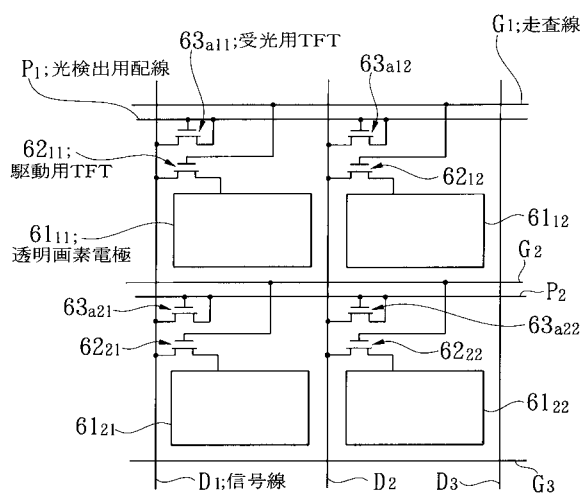
【 図 9 】



【 図 7 】



【 図 10 】



|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 具有平板功能的液晶显示装置   |         |            |
| 公开(公告)号        | <a href="#">JP2006330649A</a>   | 公开(公告)日 | 2006-12-07 |
| 申请号            | JP2005158215  | 申请日     | 2005-05-30 |
| [标]申请(专利权)人(译) | NEC液晶技术株式会社   |         |            |
| 申请(专利权)人(译)    | NEC LCD科技有限公司   |         |            |
| [标]发明人         | 高桥美朝  |         |            |
| 发明人            | 高桥 美朝   |         |            |
| IPC分类号         | G02F1/135 G02F1/1368  |         |            |
| CPC分类号         | G06F3/0412 G02F1/13338 G02F1/13624  |         |            |
| FI分类号          | G02F1/135 G02F1/1368 G02F1/133.530  |         |            |
| F-TERM分类号      | 2H092/GA61 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB46 2H092/KA05 2H092/KA10 2H092/LA03 2H092/LA12 2H092/LA14 2H092/NA11 2H092/NA22 2H092/NA27 2H092/PA06 2H092/RA10 2H192/AA24 2H192/BC31 2H192/CB05 2H192/EA04 2H192/EA43 2H192/GB03 2H192/ZA04 2H193/ZG14 2H193/ZH13 2H193/ZJ03 |         |            |
| 代理人(译)         | 西村 征生   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

摘要(译)

要解决的问题要可靠地防止故障。 解决方案：具有与用于驱动的开关元件基本相同的结构的TFT用作光接收元件，并且特别地，半导体层掺杂有未掺杂的a-Si层并且n + type n + a型 - Si层。每个光接收TFT 7a mn，7b mn 的栅电极连接到其自己的源电极或漏电极。结果，光接收TFT 7a mn 和7b mn 不会错误地导通。另外，无论如何设置偏置，都可以可靠地保持OFF状态。因此，可以可靠地防止错误操作。通过检测在光接收元件7a mn，7b mn 中产生的光电流，可以可靠且准确地指定光输入位置。 点域1

