

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-323040
(P2006-323040A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621H	5C006
G02F 1/133 (2006.01)	G09G 3/20 622B	5C080
	G09G 3/20 621A	
	G09G 3/20 611A	
審査請求 未請求 請求項の数 10 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2005-145036 (P2005-145036)	(71) 出願人	503121103
(22) 出願日	平成17年5月18日 (2005.5.18)		株式会社ルネサステクノロジ
			東京都千代田区丸の内二丁目4番1号
		(74) 代理人	100085811
			弁理士 大日方 富雄
		(72) 発明者	納富 志信
			北海道亀田郡七飯町字中島145番地 株
			式会社ルネサス北日本セミコンダクタ内
		Fターム(参考)	2H093 NA16 NC10 NC21 NC34 ND38
			ND39
			5C006 AC22 AF42 AF71 BB16 BC03
			BC20 BF24 BF34 BF46 EB05
			FA11 FA41 FA46 FA47
			5C080 AA10 BB05 DD08 DD22 DD25
			DD26 FF11 JJ02 JJ03 JJ04
			JJ06

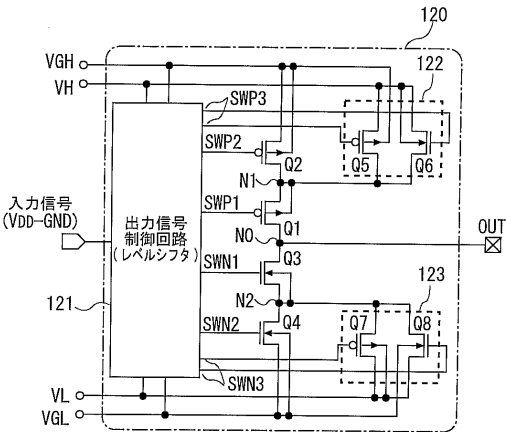
(54) 【発明の名称】 半導体集積回路および液晶表示駆動用半導体集積回路

(57) 【要約】

【課題】 液晶パネルのゲート信号生成回路へ供給する信号を出力する回路を低耐圧の素子で構成しもって高耐圧プロセスを使用せずに製造可能して低コスト化を図るとともに、出力回路の動作速度を向上させ、消費電力を低減させることができる液晶表示駆動用半導体集積回路を実現する。

【解決手段】 2つの電源電圧端子間に2つの出力トランジスタが直列に接続されてなる出力段を有し、液晶パネルのゲート信号生成回路（210）へ供給する信号を出力する出力回路（120）にて、2つの出力トランジスタ（Q2、Q4）間にさらに1または2以上のトランジスタ（Q1、Q3）を直列に接続して、ドレイン・ソース間に印加される電圧を減少させる。これとともに、上記2つの電源電圧の中間の電位を用意し、出力トランジスタがオフ状態にされている間、該オフ状態の出力トランジスタの基体上記中間の電位を印加させる電位設定用のスイッチ素子（Q5～Q8）を設けるようにした。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 の電源電圧が印加される第 1 の電源電圧端子と第 2 の電源電圧が印加される第 2 の電源電圧端子との間に直列に接続された複数のトランジスタを有する出力回路を備えた半導体集積回路であって、

上記複数のトランジスタのいずれかの接続ノードには、該接続ノードに接続されている 2 つのトランジスタが共にオフ状態にされているときに当該接続ノードの電位を上記第 1 の電源電圧の電位と上記第 2 の電源電圧の電位の間の電位に設定する電位設定手段が接続され、

上記複数のトランジスタの各々耐圧は、上記第 1 の電源電圧と上記第 2 の電源電圧の電位差よりも小さいことを特徴とする半導体集積回路。 10

【請求項 2】

上記直列に接続された複数のトランジスタは、第 1 の導電型の第 1 および第 2 トランジスタと第 2 の導電型の第 3 および第 4 トランジスタとからなり、

上記第 1 トランジスタと第 2 トランジスタとの接続ノードに第 1 の電位設定手段が接続され、上記第 3 トランジスタと第 4 トランジスタとの接続ノードに第 2 の電位設定手段が接続され、

上記第 2 トランジスタと第 3 トランジスタとの接続ノードは出力端子に接続されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

20

上記複数のトランジスタは絶縁ゲート型電界効果トランジスタであり、

上記第 1 の電位設定手段は、上記第 1 トランジスタと第 2 トランジスタとの接続ノードおよび上記第 2 トランジスタの基体を、上記第 1 の電源電圧の電位と上記第 2 の電源電圧の電位の間の第 1 電位に設定し、

上記第 2 の電位設定手段は、上記第 3 トランジスタと第 4 トランジスタとの接続ノードおよび上記第 3 トランジスタの基体を、上記第 1 電位と上記第 2 の電源電圧の電位の間の第 2 電位に設定することを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】

上記複数のトランジスタは、第 1 の振幅の入力信号を該第 1 の振幅よりも大きな第 2 の振幅の信号に変換するレベル変換回路により変換された信号によってそれぞれ制御されるように構成されていることを特徴とする請求項 1～3 のいずれかに記載の半導体集積回路。 30

【請求項 5】

上記電位設定手段は、第 1 の導電型のトランジスタと第 2 の導電型のトランジスタが並列接続されたスイッチ回路であることを特徴とする請求項 1～4 のいずれかに記載の半導体集積回路。

【請求項 6】

液晶パネルの走査線に印加されるべき駆動信号を生成する走査線駆動回路を搭載した液晶パネルの上記走査線駆動回路に供給される信号を出力する出力回路を内蔵した液晶表示駆動用半導体集積回路であって、 40

上記出力回路は、第 1 の電源電圧が印加される第 1 の電源電圧端子と第 2 の電源電圧が印加される第 2 の電源電圧端子との間に直列に接続された複数のトランジスタを有する出力回路を備え、

上記複数のトランジスタのいずれかの接続ノードには、該接続ノードに接続されている 2 つのトランジスタが共にオフ状態にされているときに当該接続ノードの電位を上記第 1 の電源電圧の電位と上記第 2 の電源電圧の電位の間の電位に設定する電位設定手段が接続され、

上記複数のトランジスタは各々耐圧が上記第 1 の電源電圧と上記第 2 の電源電圧の電位差よりも小さいことを特徴とする液晶表示駆動用半導体集積回路。

【請求項 7】

50

上記直列に接続された複数のトランジスタは、第１の導電型の第１および第２トランジスタと第２の導電型の第３および第４トランジスタとからなり、

上記第１トランジスタと第２トランジスタとの接続ノードに第１の電位設定手段が接続され、上記第３トランジスタと第４トランジスタとの接続ノードに第２の電位設定手段が接続され、

上記第２トランジスタと第３トランジスタとの接続ノードは出力端子に接続されていることを特徴とする請求項６に記載の液晶表示駆動用半導体集積回路。

【請求項８】

上記複数のトランジスタは、絶縁ゲート型電界効果トランジスタであり、

上記第１の電位設定手段は、上記第１トランジスタと第２トランジスタとの接続ノードおよび上記第２トランジスタの基体を、上記第１の電源電圧の電位と上記第２の電源電圧の電位の間の第１電位に設定し、

上記第２の電位設定手段は、上記第３トランジスタと第４トランジスタとの接続ノードおよび上記第３トランジスタの基体を、上記第１電位と上記第２の電源電圧の電位の間の第２電位に設定することを特徴とする請求項７に記載の液晶表示駆動用半導体集積回路。

【請求項９】

上記複数のトランジスタは、第１の振幅の入力信号を該第１の振幅よりも大きな第２の振幅の信号に変換するレベル変換回路により変換された信号によってそれぞれ制御されるように構成されていることを特徴とする請求項６～８のいずれかに記載の液晶表示駆動用半導体集積回路。

【請求項１０】

上記電位設定手段は、第１の導電型のトランジスタと第２の導電型のトランジスタが並列接続されたスイッチ回路であることを特徴とする請求項６～９のいずれかに記載の液晶表示駆動用半導体集積回路。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、高電位差の信号を出力する出力回路を有する半導体集積回路（ＩＣ）に適用して有効な技術に関し、例えば液晶パネルに供給する信号を出力する回路を内蔵した液晶表示駆動用ＩＣ（液晶コントロールドライバ）に利用して有効な技術に関する。

【背景技術】

【０００２】

近年、携帯電話器やＰＤＡ（Personal Digital Assistants）などの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に２次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルへの表示制御や駆動を行なう半導体集積回路化された液晶表示制御装置（液晶コントロールドライバＩＣ）が搭載されている。

【０００３】

かかる液晶コントロールドライバＩＣの内部のロジック回路等は、通常５Ｖ以下の低電圧で動作可能であるのに対し、液晶パネルの表示駆動には２０～４０Ｖのような高電圧を必要とする。そのため、液晶コントロールドライバＩＣには、５Ｖ以下の電圧で動作する内部ロジック回路のほかに、電源電圧を昇圧した電圧で動作する駆動回路や出力回路が設けられる。

【０００４】

ところで、周知のように、ドットマトリックス型液晶パネルには、画像信号が印加される信号線の他に、該信号線と交差する方向に配置され順次選択レベルに駆動される走査線が設けられ、信号線と走査線との交点に画素が設けられている。そこで、液晶パネルを駆動する従来の液晶表示駆動用ＩＣには、一般に、信号線（データ線）に印加する電圧を出力する駆動回路（ソースドライバ）と走査線に印加する電圧を出力する駆動回路（コモンドライバ）が設けられていた。

10

20

30

40

50

【0005】

ところが、近年、TFT液晶パネルには、TFTで構成された走査線駆動回路やデータ線駆動回路を搭載したものも提供されている。かかる構成の液晶パネルは、例えば特許文献1に開示されている。走査線駆動回路が設けられている液晶パネルを表示駆動する液晶表示駆動用ICには、走査線駆動回路が不要となり、チップサイズの低減が可能になるという利点がある。

【特許文献1】特開2004-163600号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

近年、液晶パネルは、大型化および高精細化に伴い数100本の走査線が設けられるようになってきている。ところで、走査線駆動回路は、走査線を順次選択駆動する回路であるため、シフトレジスタのような比較的単純な回路で構成することができる。

【0007】

かかる走査線駆動回路が液晶表示駆動用ICに設けられている場合、液晶表示駆動用ICには、走査線の数に対応して数100本の駆動信号を出力する回路を設ける必要がある。一方、走査線駆動回路が液晶パネルに設けられている場合、液晶表示駆動用ICには、走査線駆動回路を水平同期信号やフレーム同期信号などに同期して動作させるため、数本（通常は3～6本）のタイミング信号やクロック信号を出力する回路を設ければよい。

【0008】

20

また、いずれの場合にも液晶表示駆動用ICから液晶パネルに供給する信号は、通常のICの信号よりも振幅の大きな例えば20V～-10Vの信号であり、かかる信号を出力する回路は高耐圧の素子で構成される。ところが、一般に高耐圧の素子は低耐圧の素子に比べて動作速度が遅いという欠点がある。そこで、低消費電力化と高速化のため内部回路は低耐圧の素子で構成し、低い動作電源電圧で動作する回路とする設計が行なわれている。しかし、このように高耐圧の素子と低耐圧の素子が混在する半導体集積回路は、製造プロセスが複雑になるためコストアップを招く。

【0009】

ところで、上述したように、走査線駆動回路が液晶表示駆動用ICに設けられている場合には数100本の駆動信号を出力する回路を設ける必要があるが、走査線駆動回路が液晶パネルに設けられている場合、液晶表示駆動用ICには数本の信号を出力する回路を設ければよい。ところが、かかる数本の信号を出力する回路を構成する僅かな素子のために高耐圧の素子を用い、高耐圧プロセスを採用すると、コストパフォーマンスを非常に悪くする。

30

【0010】

この発明の目的は、例えば走査線駆動回路を搭載した液晶パネルを駆動する液晶表示駆動用半導体集積回路のような高電位差の信号を出力する出力回路を有する半導体集積回路において、出力回路を低耐圧の素子で構成しもって高耐圧プロセスを使用せずに製造可能して低コスト化を図ることにある。

【0011】

40

この発明の他の目的は、例えば走査線駆動回路を搭載した液晶パネルを駆動する液晶表示駆動用半導体集積回路のような高電位差の信号を出力する出力回路を有する半導体集積回路において、出力回路を低耐圧の素子で構成し出力回路の動作速度を向上させ、消費電力を低減させることにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

50

すなわち、2つの電源電圧端子間に2つの出力トランジスタが直列に接続されてなる出力段を有する出力回路において、2つの出力トランジスタ間にさらに1または2以上のトランジスタを直列に接続して、出力トランジスタのドレイン・ソース間に印加される電圧を減少させる。これとともに、上記2つの電源電圧の中間の電位を用意し、出力トランジスタがオフ状態にされている間、該オフ状態の出力トランジスタの基体に上記中間の電位を印加させる電位設定用のスイッチ素子を設ける。

【0013】

上記した手段によれば、内部回路の電源電圧よりも高い電源電圧を用いて高電位差の信号を出力する出力回路において、出力トランジスタに高い電圧が印加されないようにすることのできるため、比較的低い耐圧の素子で出力回路を構成することができる。そのため、高耐圧プロセスを使用せずに出力回路を構成するトランジスタを形成することができ、これにより低コスト化が図れるようになる。

10

【0014】

また、低耐圧のトランジスタは、高耐圧のトランジスタよりもオン抵抗が小さく、しきい値電圧も低いため、低耐圧のトランジスタで出力段を構成することで、出力インピーダンス特性を向上させることができる。その結果、出力回路の動作速度を向上させ、消費電力を低減させることができる。

【0015】

さらに、走査線駆動回路を搭載した液晶パネルを駆動する液晶表示駆動用半導体集積回路であって、内部ロジック回路と信号線（ソース線）を駆動する信号線駆動回路を内蔵するものにおいては、内部ロジック回路を構成する素子よりも耐圧が高い素子（例えば20V）で信号線駆動回路を構成することになる。そのため、従来のオンチップの走査線駆動回路を構成する素子の耐圧（例えば40V）よりも耐圧が低い素子（20V）により走査線駆動回路を構成することができれば、信号線駆動回路を構成する素子と同じ耐圧の素子で走査線駆動回路を構成することができる。

20

【0016】

これにより、内部ロジック回路を構成する素子にかかる電圧よりも高い電圧（20V）が走査線駆動回路を構成する素子にかかる場合にも、素子が破壊されるのを防止することができ、かつ走査線駆動回路を構成する素子のためにのみ高耐圧プロセス（20V耐圧プロセス）を使用する必要がなくなる。つまり、20V耐圧の素子と40V耐圧の素子の両方を形成する場合に比べてプロセスを簡略化することができる。

30

【発明の効果】

【0017】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、高電位差の信号を出力する出力回路を有する半導体集積回路において、出力回路を低耐圧の素子で構成し高耐圧プロセスを使用せずに製造可能して低コスト化を達成するとともに、出力回路の動作速度を向上させ、消費電力を低減させることができるという効果がある。

【発明を実施するための最良の形態】

40

【0018】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

図1は、本発明を適用した液晶表示駆動用半導体集積回路（液晶コントロールドライバIC）100と、このドライバICにより駆動される液晶パネル200とからなる液晶表示システムの概略構成を示したものである。図1に示されているように、この実施例の液晶コントロールドライバIC100により駆動される液晶パネル200は、パネル上の走査線を順次駆動するシフトレジスタなどからなるゲート信号発生回路（走査線駆動回路）210を備えている。

【0019】

液晶コントロールドライバIC100は、液晶パネル200のソース線に印加するデー

50

タ信号を生成し出力するソースドライバ回路110と、ゲート信号発生回路210に供給する信号を出力するゲート信号バッファ120と、液晶パネルのコモン電極に印加する信号を生成し出力するコモンドライバ回路130を有する。ゲート信号バッファ120は、ゲート信号発生回路210を水平同期信号やフレーム同期信号などに同期して動作させてゲート信号を生成させるタイミング信号やクロック信号などの信号ASW1～3を生成し出力する。特に制限されるものでないが、この実施例では、信号ASW1～3は+20～-10Vの振幅で変動する信号とされる。信号ASW1～3のうち1つはシフトレジスタのシフト動作を開始させるとともに順次転送される"1"のデータを与えるタイミング信号、残りの2つは位相が180°異なるシフトクロックである。

【0020】

また、この実施例の液晶コントールドライバIC100は、上記ソースドライバ回路110およびゲート信号バッファ120で使用する液晶の階調電圧およびその基準となる定電圧を生成する液晶駆動用電源回路160を備える。また、上記電源回路160およびドライバ回路110、130や出力バッファ120で使用する昇圧電圧を生成する昇圧回路170を備える。

【0021】

さらに、ドライバIC100は、液晶駆動用電源回路160が発生する階調電圧の振幅や特性を指定するための制御レジスタ180、チップ外部のマイクロコンピュータからコマンドや表示データを受け取って内部回路の制御信号を生成したり表示データを加工したりするコントローラ190を備える。なお、図1には示されていないが、外部のマイクロコンピュータなどから供給される表示データを格納するRAM（ランダムアクセスメモリ）が設けられることもある。

【0022】

次に、本発明を適用した液晶コントールドライバICにより駆動されるTF T液晶パネル200の構成を、図2を用いて説明する。

図2の液晶パネル200は、ガラス基板のような透明基板上に画像信号が印加される複数の信号線としてのソース線（ソース電極）SL1、SL2、SL3……と、所定の周期で順次選択駆動される複数の走査線としてのゲート線（ゲート電極）GL1、GL2、……が直交する方向に配置されてなる。ゲート線（ゲート電極）GL1、GL2、……は、ゲート信号発生回路210に接続され、いずれか1本のゲート線に選択レベルの駆動電圧が順次印加される。そして、ソース線SL1、SL2、SL3……とゲート線GL1、GL2、……との各交点に画素が配置されている。

【0023】

各画素は、いずれかのゲート線にゲート端子が接続され、またいずれかのソース線にソース端子が接続された選択素子としてのTF T（薄膜トランジスタ）と、該TF Tのドレイン端子と液晶中心電位（COM電位）VCOMを与える各画素共通の対向電極との間に接続された画素容量CLとからなる。そしてこれらの画素が、ソース線とゲート線の各交点にそれぞれ設けられ、アクティブマトリックス型パネルとして構成されている。

【0024】

上記選択用TF Tのドレイン端子に接続された画素容量CLの一方の電極（画素電極）と対向電極との間に挟持されている液晶に電圧が印加され、画素電極の電位とCOM電位との電位差に応じて液晶の偏光率が変化して画素の輝度が変化され、階調表示が行なわれる。さらに、液晶は直流電圧を印加し続けると劣化するため、ソース線とゲート線に印加する電圧は液晶中心電位VCOMを中心に正極性の電位と負極性の電位が交互に選択されることで、交流駆動がなされる。

【0025】

図3には、本発明を適用した液晶コントールドライバICにおけるゲート信号バッファ120の一実施例が示されている。図3において、MOSFET（絶縁ゲート型電界効果トランジスタ）を表わす記号のゲート部分に○印が付されているのはPチャネル型MOSFETであり、○印が付されていないNチャネル型MOSFETと区別される。

10

20

30

40

50

【0026】

本実施例のゲート信号バッファ120は、MOSFET Q1～Q4からなるプッシュプル型の出力段と、前記MOSFET Q1～Q4のゲート端子に印加される信号SWP2, SWP1, SWN1, SWN2を生成する出力制御論理回路121とから構成されている。前記出力段のMOSFET Q1～Q4は、例えば20Vのような高電源電圧VGHが印加された電源端子と、-10Vのような低電源電圧VGLが印加された電源端子との間に直列に接続されている。出力制御論理回路121は、内部ロジック部から供給されるロジック電圧VDD-接地電位GND（例えば5V-0V）のような振幅の信号INを受けて、それぞれのMOSFETに適した振幅の信号に変換するレベルシフタの機能を備えている。

10

【0027】

前記出力段のMOSFET Q1～Q4のうちQ2の基体（基板もしくはウェル領域）には高電源電圧VGHが印加され、Q4の基体には低電源電圧VGLが印加される。一方、MOSFET Q1の基体にはQ1とQ2の接続ノードN1の電位が印加され、MOSFET Q3の基体にはQ3とQ4の接続ノードN2の電位が印加されるように、接続がなされている。

【0028】

また、本実施例のゲート信号バッファ120は、前記MOSFET Q1とQ2の接続ノードN1の電位を設定するMOSFET Q5, Q6からなる電位設定手段122と、前記MOSFET Q3とQ4の接続ノードN2の電位を設定するMOSFET Q7, Q8からなる電位設定手段123を備える。MOSFET Q5とQ6は、並列形態のPチャネル型MOSFETとNチャネル型MOSFETからなる電位降下量の少ないトランスミッションゲートであり、電源電圧VHと接続ノードN1との間に並列に接続されている。また、MOSFET Q7とQ8もトランスミッションゲートを構成しており、Q3とQ4の接続ノードN2と電源電圧VLとの間に並列に接続されている。電源電圧VHは例えば10Vのような電位とされ、電源電圧VLは例えば0Vのような電位とされる。

20

【0029】

さらに、Q1とQ5の基体（ウェル領域）には電源電圧VGHが印加され、Q4とQ8の基体には電源電圧VGLが印加されることにより、基体とドレイン領域と間のPN接合が順方向バイアスされてリーク電流が流れるのが防止されている。

30

【0030】

図4には、図3のゲート信号バッファ120の動作タイミングが示されている。図4（A）のようなVDD～0V振幅の信号INが出力制御論理回路121に入力されると、信号INの立上がり立下がりに応じて図4（B）のように変化するゲート制御信号SWP1～SWN3が生成される。SWP1～SWN3のうちSWP1はMOSFET Q1のゲート端子に、またSWP2はMOSFET Q2のゲート端子に印加される。また、SWN1はMOSFET Q3のゲート端子に、SWN2はMOSFET Q4のゲート端子に印加される。さらに、SWP3はハイ側の電位設定用のMOSFET Q5、Q6のゲート端子に、またSWN3はロウ側の電位設定手段のMOSFET Q7、Q8のゲート端子に印加される。

40

【0031】

なお、図4（B）のゲート制御信号SWP1～SWN3は対応するMOSFETをオン状態にさせるか、オフ状態にさせるかを示しており、電位を表わすものでない。すなわち、対応するMOSFETがPチャネル型の場合、ゲート制御信号のロウレベルがオン状態に相当し、ゲート制御信号のハイレベルがオフ状態に相当する。また、対応するMOSFETがNチャネル型の場合、ゲート制御信号のハイレベルがオン状態に相当し、ゲート制御信号のロウレベルがオフ状態に相当する。さらに、Q1とQ2のように同一導電型であっても、ソースやドレインに印加される電圧が異なるため、それに応じてゲート制御信号のレベルも異なる。

【0032】

50

入力信号 I_N がロウレベルからハイレベルに変化する場合、図 4 (B) のように変化するゲート制御信号 $SWP1$, $SWP2$, $SWN1$, $SWN2$ により、出力段の MOSFET $Q1 \sim Q4$ は、まず出力ノード $N0$ から遠い側の $Q4$ がオフされる。続いて、出力ノード $N0$ に近い側の $Q3$ がオフ、 $Q1$ がオンされ、最後に遠い側の $Q2$ がオンされる。これにより、 $Q1 \sim Q4$ が同時にオン状態にされて貫通電流が流れるのが防止される。

【0033】

また、液晶コントロールドライバ IC では、ドライバ回路 110 およびゲート信号バッファ 120 で使用する昇圧電圧を生成する昇圧回路 170 が設けられており、内部電源電圧 V_{DD} (5V) よりも高い上記電源電圧 V_{GH} (20V) や V_H (10V) は、昇圧回路 170 で生成される。ここで、ノード $N1$ の電位 V_{N1} に着目すると、図 4 (D) のように、タイミング $t4$ で V_{GH} から V_H へ変化する。このときノード $N1$ の電荷は V_H を生成する昇圧回路 (チャージポンプ) に回収される。出力段が 2 個の直列 MOSFET ($Q1$ と $Q4$ あるいは $Q2$ と $Q3$) のみからなる従来回路の場合には、出力ノード $N0$ の電位変化は $V_{GH} - V_{GL}$ であり、ノード $N0$ の電荷が昇圧回路に回収されることはないので、本実施例の出力段は従来回路に比べて消費電力を低減することができる。

10

【0034】

さらに、電位設定用の MOSFET $Q7$, $Q8$ は、ゲート制御信号 $SWN3$ により、出力ノード $N0$ から遠い側の $Q4$ がオフされるタイミング $t1$ にてオンされる。また、電位設定用の MOSFET $Q5$, $Q6$ は、ゲート制御信号 $SWP3$ により、出力ノード $N0$ から遠い側の $Q2$ がオンされるタイミング $t3$ にてオフされる。出力ノード $N0$ に近い側の $Q3$ は、 $t1$ と $t3$ の間のタイミング $t2$ でオフ、 $Q1$ はタイミング $t2$ でオンされる。

20

【0035】

これにより、バッファの出力 OUT は、図 4 (C) のように電源電圧 $V_{GL} \rightarrow V_L \rightarrow V_H \rightarrow V_{GH}$ の順に段階的に変化する。各 MOSFET $Q1 \sim Q4$ のソース・ドレイン間に高い電圧が印加されるのが防止される。ゲート信号バッファ 120 の入力信号 I_N がハイレベルからロウレベルに変化する場合は、上記と逆の順序で動作する (タイミング $t4 \sim t6$)。

【0036】

また、ハイ側の MOSFET $Q1$, $Q2$ がオフされている期間 $T1$ は、電位設定用の MOSFET $Q5$, $Q6$ がオンされる。これにより、ノード $N1$ の電位 V_{N1} が V_H とされ、 $Q1$ のソース・ドレイン間には $V_{GH} - V_{GL}$ ($= 30V$) よりも小さな $V_H - V_{GL}$ ($= 20V$) の電圧が、また $Q2$ のソース・ドレイン間には $V_{GH} - V_H$ ($= 10V$) の電圧が印加されるに過ぎない。

30

【0037】

同様に、ロウ側の MOSFET $Q3$, $Q4$ がオフされている期間 $T2$ は、電位設定用の MOSFET $Q7$, $Q8$ がオンされる。これにより、ノード $N2$ の電位 V_{N2} が V_L とされ、 $Q3$ のソース・ドレイン間には $V_{GH} - V_{GL}$ ($= 30V$) よりも小さな $V_{GH} - V_L$ ($= 20V$) の電圧が、また $Q4$ のソース・ドレイン間には $V_L - V_{GL}$ ($= 10V$) の電圧が印加されるに過ぎない。

40

【0038】

このように、出力段の MOSFET $Q1 \sim Q4$ のソース・ドレイン間には最大で 20V の電圧しか印加されない。これに対し、本実施例を適用しない 2 個の直列 MOSFET からなる出力段を有するバッファでは、出力 MOSFET のソース・ドレイン間に 30V 近い電圧が印加される。

【0039】

そのため、本実施例の出力段の MOSFET $Q1 \sim Q4$ は、本実施例を適用しない 2 個の直列 MOSFET からなる従来タイプの出力段を有するバッファの素子よりも、耐圧の低い素子で構成することができるようになる。具体的には、本実施例を適用しない場合には、出力バッファの出力段の素子として、例えば図 5 (A) のような構造の高耐圧 MO

50

S F E Tを使用しなければならなかったものが、本実施例を適用した場合には、例えば図5 (B) のような構造の比較的耐圧の低いM O S F E Tを使用できるようになる。

【0040】

図5 (A) , (B) において、101は単結晶シリコン基板、102はチャネル領域となるNウェル領域、104はソース・ドレイン領域となる拡散層、105は素子間分離用の絶縁膜、106はゲート絶縁膜、107はポリシリコンゲート電極である。図5 (A) の素子は、ソース・ドレイン領域となる拡散層104をウェル領域103上に形成するとともに、ゲート電極107と拡散層104との間に絶縁膜105aを設けて、ゲート電極107の端部から離すことで耐圧が高くなるように設計されている。図5 (A) と図5 (B) を比較すると分かるように、図5 (A) の高耐圧の素子は図5 (B) の低耐圧の素子に比べて占有面積が大きい。そのため、本実施例を適用することにより、出力バッファの占有面積を小さくすることができる。

10

【0041】

また、図面からははっきりと分からないが、図5 (A) の高耐圧の素子は図5 (B) の低耐圧の素子に比べてゲート絶縁膜106が厚く形成される。そのため、図5 (A) の高耐圧の素子を使用する場合には、そのためにのみ厚いゲート絶縁膜を形成する工程が必要になり、その分製造コストが高くなる。また、ゲート電極107と拡散層104との間の絶縁膜105aも一般には素子間分離用の絶縁膜105とは別の工程で生成されることが多い。したがって、高耐圧の素子を使用する場合には、かかる絶縁膜105aを形成する工程が必要になる。

20

【0042】

特に、図1の実施例のように液晶パネル側にゲート信号発生回路210が設けられている場合には、ゲート信号発生回路210に供給する信号は数本（実施例では3本）であり、ドライバIC100に設けられるバッファの数が少なくてもよい。従って、このような数の少ないバッファを構成する素子として図5 (A) のような高耐圧の素子を使用し、その素子を形成するためにのみ工程を増やすことはコスト上、得策ではない。

【0043】

さらに、図5 (B) の低耐圧の素子にしても、5Vのような電源電圧で動作する内部ロジックを構成する素子（図示略）よりも耐圧の高い素子である。図5 (B) の素子は、ソース・ドレイン領域となる拡散層104をソース・ドレイン領域となる拡散層104をウェル領域103上に形成しゲート電極107の端部から離すように形成することで耐圧が高くなるように設計される。

30

【0044】

より耐圧を高くするには、ゲート絶縁膜106を、内部ロジックを構成する素子のそれよりも厚く形成するのが良い。ただし、そのようにしたとしても、図1の実施例のドライバICでは、ソース線駆動回路110が20V近い振幅の信号を出力するように構成されるため、ソース線駆動回路110を構成する素子は内部ロジックを構成する素子よりも耐圧の高い素子とする必要がある。そこで、図3の出力バッファを構成する素子としてソース線駆動回路110を構成する素子と同一のプロセスにより形成される素子を使用することで、工程数の増加を回避することができる。

40

【0045】

図6には、ゲート信号バッファ120の出力制御論理回路121に用いられるレベルシフト回路の具体的な回路例が示されている。この実施例のレベルシフト回路は、M O S F E T Q11~Q14からなる前段のC M O S ラッチ回路L T1の次段に、M O S F E T Q21~Q24からなるC M O S ラッチ回路L T2を接続した構成を備えている。また、レベルシフト回路は、出力する信号が出力段のM O S F E T Q1~Q4のゲート制御信号S W P1~S W N3のうちいずれであるかに応じて、使用する電源電圧としてV G H , V H , V L , V G L の中からいずれか2つが選択される。

【0046】

これによって、図7 (A) ~ (C) に示すようにそれぞれ電位および振幅の異なるゲー

50

ト制御信号SWP1～SWN3に変換される。図7において、左側の波形は変換前の信号、右側の波形は変換後の信号である。ゲート制御信号SWP1，SWN1は、図7（A）のように、VDD－GNDの信号がVH－VLの信号に変換される。また、ゲート制御信号SWP2，SWP3は、図7（B）のように、VDD－GNDの信号がVGH－VLの信号に変換される。さらに、ゲート制御信号SWN2，SWN3は、図7（C）のように、VDD－GNDの信号がVH－VGLの信号に変換される。

【0047】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、電位設定手段122，123としてMOSFET Q5，Q6；Q7，Q8からなるトランスマッションゲートを使用しているが、一方のMOSFETのみ例えばQ5とQ8で電位設定手段122，123を構成しても良い。

10

【0048】

また、スイッチ素子としてのMOSFET Q5，Q6；Q7，Q8の代わりに、順方向電圧が電源電圧VGH－VHやVL－VGLに応じて適切に設定されたダイオードを用いても良い。ここで、MOSFETの代わりに順方向電圧が電源電圧VGH－VHやVL－VGLに比べて小さいダイオードを使用する場合には、複数のダイオードを直列接続したものをを用いるようにしても良い。

【0049】

さらに、本発明を外部バスに接続されるトライステートの出力バッファを有する半導体集積回路に適用することもできる。その場合、図3における出力制御論理回路121を、出力すべき信号と出力の状態を指定する制御信号を入力とする論理回路とレベルシフト回路とで構成する。そして、出力をハイインピーダンス状態にしたい場合には、論理回路によって出力段のMOSFET Q1～Q4をすべてオフさせるような信号を生成し、その信号をレベルシフト回路で変換してゲート制御信号SWP1，SWP2，SWN1，SWN2としてQ1～Q4を制御させるようにすれば良い。

20

【0050】

また、この場合にも、SWP1，SWP2，SWN1，SWN2のタイミングを適宜調整することで、出力がVGHまたはVGLから一旦VHまたはVLを経由してハイインピーダンス状態へ移行するように制御される。また、かかるトライステートの出力バッファにおいて、Q1～Q4をすべてオフさせる間、電位設定手段122，123のスイッチ素子Q5～Q8をすべてオン状態にさせることで、Q1～Q4に耐圧以上の電圧がかからないようにすることができる。

30

【産業上の利用可能性】

【0051】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である TFT 液晶パネルを駆動する液晶コントールドライバ IC に適用した場合について説明した。この発明は、そのような IC に限定されるものでなく、直列形態の複数のトランジスタを備え高電位差の信号を出力する出力回路や出力バッファを有する半導体集積回路一般に適用することができる。

40

【図面の簡単な説明】

【0052】

【図1】図1は、本発明を適用して有効な液晶表示駆動用半導体集積回路（液晶コントールドライバ IC）とこのドライバ IC により駆動される液晶パネルとからなる液晶表示システムの概略構成を示すブロック図である。

【図2】図2は、本発明を適用して有効な液晶コントールドライバにより駆動される TFT 液晶パネルの構成を示すブロック図である。

【図3】図3は、本発明を適用した液晶コントールドライバ IC におけるゲート信号バッファの一実施例を示す回路構成図である。

50

【図 4】図 4 は、図 3 のゲート信号バッファにおける各信号やノードの電位変化を示すタイミングチャートである。

【図 5】図 5 は、実施例の液晶コントロールドライバ IC に用いられる素子 (M O S F E T) の構造を示す断面図で、(A) は高耐圧の素子の構造を示し、(B) は低耐圧の素子の構造を示す。

【図 6】図 6 は、ゲート信号バッファにおけるレベルシフト回路の具体例を示す回路図である。

【図 7】図 7 は、実施例で用いられるレベルシフト回路の入力信号と出力信号の電位変化を示す説明図である。

【符号の説明】

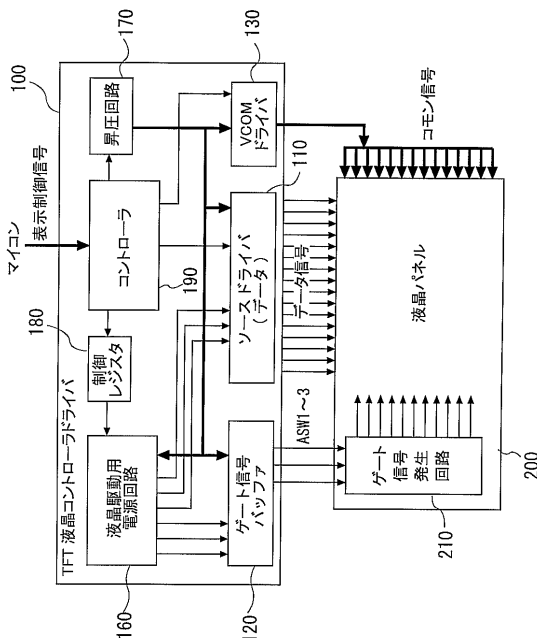
10

【0053】

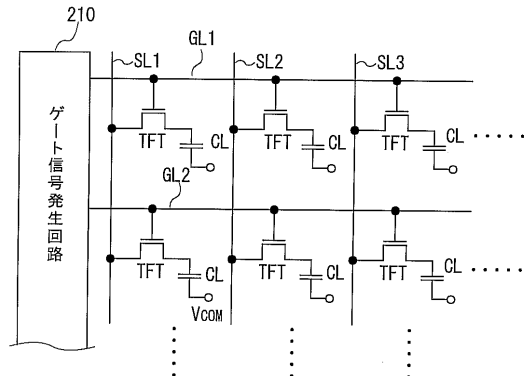
- 100 液晶コントロールドライバ IC
- 110 ソースドライバ回路
- 120 ゲート信号バッファ
- 121 出力制御論理回路
- 122, 123 電位設定手段
- 130 コモンドライバ回路
- 160 液晶駆動用電源回路
- 170 昇圧回路
- 180 制御レジスタ
- 190 コントローラ
- 200 T F T 液晶パネル
- 210 ゲート信号発生回路 (走査線駆動回路)

20

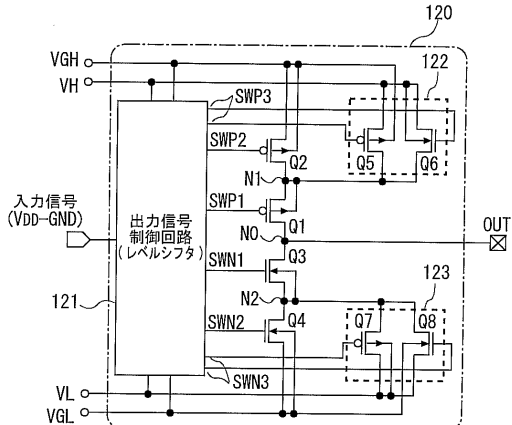
【図 1】



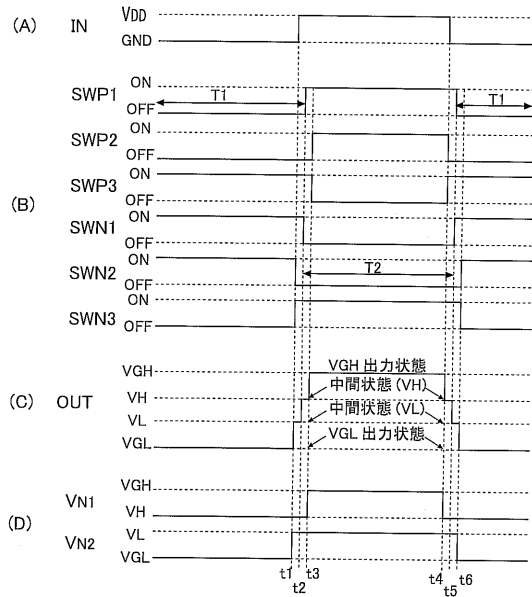
【図 2】



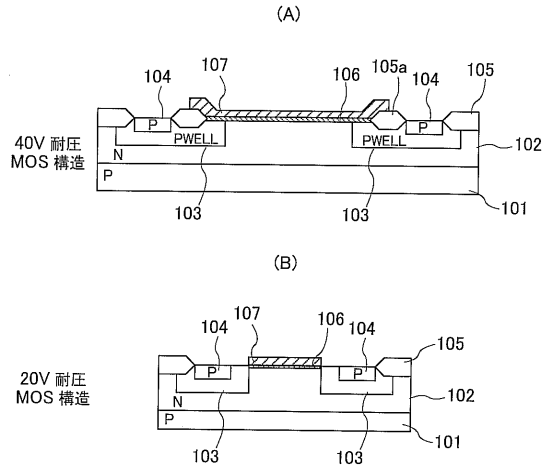
【図 3】



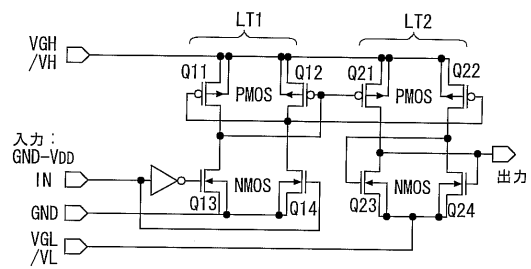
【図 4】



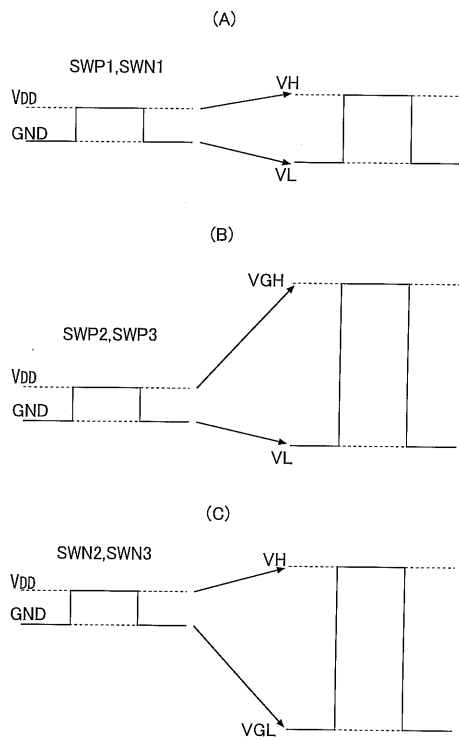
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 1 L

G 0 2 F 1/133 5 5 0

专利名称(译)	用于驱动液晶显示器的半导体集成电路和半导体集成电路		
公开(公告)号	JP2006323040A	公开(公告)日	2006-11-30
申请号	JP2005145036	申请日	2005-05-18
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	納富志信		
发明人	納富 志信		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/0289 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.621.H G09G3/20.622.B G09G3/20.621.A G09G3/20.611.A G09G3/20.621.L G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC21 2H093/NC34 2H093/ND38 2H093/ND39 5C006/AC22 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF24 5C006/BF34 5C006/BF46 5C006/EB05 5C006/FA11 5C006/FA41 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD22 5C080/DD25 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZF22		
其他公开文献	JP4831657B2		
外部链接	Espacenet		

摘要(译)

用于输出要提供给液晶面板的栅极信号产生电路的信号的电配置有低耐压元件，并且可以在不使用高耐压工艺来降低成本的情况下进行制造，以及输出电路的操作。实现了能够提高速度并降低功耗的液晶显示驱动半导体集成电路。输出电路（120）具有将两个输出晶体管串联连接在两个电源电压端子之间的输出级，并输出要提供给液晶面板的栅极信号产生电路（210）的信号。然后，一个或多个晶体管（Q1，Q3）进一步串联连接在两个输出晶体管（Q2，Q4）之间，以减小施加在漏极和源极之间的电压。与此一起，准备两个电源电压之间的中间电位，并且在输出晶体管处于截止状态的同时，将用于将电位施加到处于截止状态的输出晶体管的基板的电位设置用开关元件（提供了Q5至Q8）。[选择图]图3

