

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-301265

(P2006-301265A)

(43) 公開日 平成18年11月2日(2006.11.2)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 611E	5C080
	G09G 3/20 612D	
	G09G 3/20 612K	
審査請求 未請求 請求項の数 12 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2005-122346 (P2005-122346)

(22) 出願日 平成17年4月20日(2005.4.20)

(71) 出願人 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 土山 宇騎

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

(72) 発明者 青木 義典

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

(72) 発明者 後藤 充

千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置

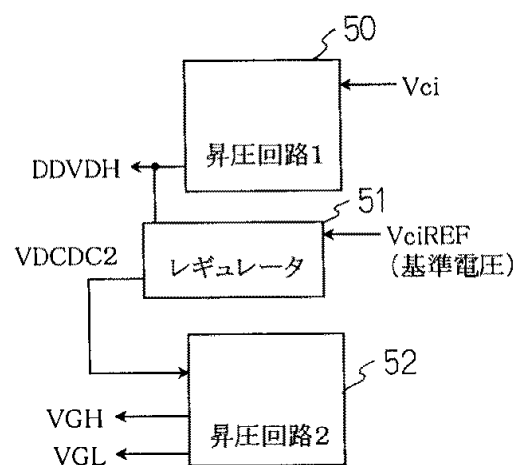
(57) 【要約】

【課題】 S R A Mを有する表示装置において、電源変動と表示タイミングが非同期となり、液晶表示パネルの表示画面にちらつきが生じるのを防止する。

【解決手段】 複数の画素と、前記複数の画素に走査電圧を印加する走査線とを有する表示パネルと、前記走査線に走査電圧を供給する駆動回路とを備え、前記駆動回路は、基準電圧を昇圧して第1の電圧を生成する第1の昇圧回路と、前記第1の電圧をレギュレートとするレギュレータと、前記レギュレータから出力される電圧を昇圧して第2の電圧を生成する第2の昇圧回路とを有する。第2の昇圧回路は、第2の電圧（選択走査電圧）と第3の電圧（非選択走査電圧）とを生成する。外部から映像データがR G Bインターフェースに基づき入力される場合に、前記第2の昇圧回路は、前記外部クロックで動作する。

【選択図】 図6

図6



【特許請求の範囲】

【請求項 1】

複数の画素と、前記複数の画素に走査電圧を印加する走査線とを有する表示パネルと、
前記走査線に走査電圧を供給する駆動回路とを備え、
前記駆動回路は、基準電圧を昇圧して第 1 の電圧を生成する第 1 の昇圧回路と、
前記第 1 の電圧をレギュレートとするレギュレータと、
前記レギュレータから出力される電圧を昇圧して第 2 の電圧を生成する第 2 の昇圧回路
とを有することを特徴とする表示装置。

【請求項 2】

前記第 2 の昇圧回路は、第 2 の電圧と第 3 の電圧とを生成することを特徴とする請求項 10
1 に記載の表示装置。

【請求項 3】

前記第 2 の電圧は、前記走査線を介して前記複数の画素に印加する選択走査電圧であり、
前記第 3 の電圧は、前記走査線を介して前記複数の画素に印加する非選択走査電圧である
ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

内部クロックを生成するクロック生成回路を有し、
前記第 1 の昇圧回路は、前記内部クロックで動作し、
前記第 2 の昇圧回路は、前記内部クロック、あるいは、外部から入力される制御信号に
同期する外部クロックで動作することを特徴とする請求項 1 ないし請求項 3 のいずれか 1
項に記載の表示装置。

【請求項 5】

外部から映像データが R G B インターフェースに基づき入力される場合に、前記第 2 の
昇圧回路は、前記外部クロックで動作することを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

外部から映像データが供給される駆動回路と、前記駆動回路が出力する映像信号が供給
される映像線と、前記映像線を介して前記映像信号が供給される画素とを有する表示装置
であって、
前記駆動回路は、前記映像データを格納する S R A M と、メモリ制御手段とを有し、
前記 S R A M は、複数のマットに分割され、
前記メモリ制御手段は、前記 S R A M から映像データを読み出す際に、各マット毎にビ
ット線に対するプリチャージ開始時期をそれぞれ異ならせることを特徴とする表示装置。

【請求項 7】

外部から映像データが供給される駆動回路と、前記駆動回路が出力する映像信号が供給
される映像線と、前記映像線を介して前記映像信号が供給される画素とを有する表示装置
であって、
前記駆動回路は、前記映像データを格納する S R A M と、メモリ制御手段とを有し、
前記 S R A M は、複数のマットに分割され、
前記複数のマットは、グループ分けされ、
前記メモリ制御手段は、前記 S R A M から映像データを読み出す際に、各グループのマ
ット毎にビット線に対するプリチャージ開始時期をそれぞれ異ならせることを特徴とする
表示装置。

【請求項 8】

外部から映像データが供給される駆動回路と、前記駆動回路が出力する映像信号が供給
される映像線と、前記映像線を介して前記映像信号が供給される画素とを有する表示装置
であって、
前記駆動回路は、前記映像データを格納する S R A M と、メモリ制御手段とを有し、
前記 S R A M は、複数のマットに分割され、
前記メモリ制御手段は、前記 S R A M に映像データを書き込む際に、書き込み対象とな
50

るメモリセルを含むマトのビット線に対してプリチャージを行い、それ以外のマトのビット線についてはプリチャージを行わないことを特徴とする表示装置。

【請求項 9】

外部から映像データが供給される駆動回路と、前記駆動回路が出力する映像信号が供給される映像線と、前記映像線を介して前記映像信号が供給される画素とを有する表示装置であって、

前記駆動回路は、前記映像データを格納する S R A M と、メモリ制御手段とを有し、

前記メモリ制御手段は、前記表示装置がパースシャル表示状態の時に、 n ビットの表示データの中の 1 ビットのデータを格納するセルを有効となし、それ以外の $(n - 1)$ ビットのデータを格納するセルを無効とすることを特徴とする表示装置。

10

【請求項 10】

前記 S R A M は、前記パースシャル表示状態の時に、無効とされたセルが接続されるビット線に第 1 の基準電圧、あるいは、第 2 の基準電圧を印加する手段 1 を有することを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記 S R A M は、前記パースシャル表示状態の時に、無効とされたセルに対するデータ書き込みを禁止する手段 2 を有することを特徴とする請求項 9 または請求項 10 に記載の表示装置。

【請求項 12】

前記パースシャル表示状態の時に、無効とされたセルに対する書き込みデータは、無効とされたセルに接続されるビット線の電圧が前記手段 1 により印加された電圧となるデータであることを特徴とする請求項 10 または請求項 11 に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、特に、携帯型電話などに用いられる液晶表示装置の駆動回路に適用して有効な技術に関する。

【背景技術】

【0002】

サブピクセル数が、カラー表示で $240 \times 320 \times 3$ 程度の小型の液晶パネルを有する T F T (Thin Film Transistor) 方式の液晶表示モジュールは、携帯電話機などの携帯機器の表示部として広く使用されている。

30

携帯電話機等の表示部として使用される液晶表示モジュールでは、消費電力を低減するために、半導体メモリ (Static Random Access Memory; 以下、S R A M という) を備えるものが知られている (下記特許文献 1、特許文献 2 参照)。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献 1】特開 2004 - 61892 号公報

【特許文献 2】特願 2003 - 408359 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0004】

フレームメモリとして、S R A M を内蔵した液晶表示モジュールでは、1 H 毎に、1 表示ラインに対応するデータを、S R A M から一括で読み出し、ラッチ回路に転送する。

また、M P U アクセス用ポートと表示アクセス用ポートの 2 つのポートを有しており、M P U アクセス時 (データの書き込み時) は、2 つのポートの切り換え (書き込み、読出しの切り換え) が頻発する。

S R A M では、書き込み / 読み出し動作を行う場合は、必ずビット線を電源電圧にプリチャージする必要がある、ビット線プリチャージは S R A M 消費電流の大半を占めている。

50

近年、液晶表示パネルの解像度が大きく（ＱＣＩＦ→ＱＶＧＡ）なるにつれて、ＳＲＡＭも大容量化（ＱＣＩＦ→ＱＶＧＡ）が進み、映像線およびワード線の負荷が増大傾向にある。

そのため、ＳＲＡＭを有する液晶表示モジュールの更なる低消費電力化を阻害する要因となっている。特に、液晶表示モジュールを備える携帯機器が電池駆動の場合は、使用時間を長くする上で大きな問題となっている。

さらに、前述したビット線プリチャージ電流によって無視できない電圧ドロップが発生し、動作マージンが劣化することが懸念される。

【０００５】

また、携帯電話機などに使用される液晶表示モジュールでは、内部に昇圧回路を内蔵し、液晶表示パネルを駆動するための駆動電圧を生成している。この場合に、昇圧回路で出力される各電圧は、昇圧回路の動作クロックの周期で変動する。

そして、表示タイミング信号が、外部から入力される外部入力信号に同期して動作する時に、昇圧回路を内蔵される発振回路からのクロックで動作させた場合に、電源変動と表示タイミングが非同期となるため、液晶表示パネルの表示画面にちらつきが生じる場合があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、ＳＲＡＭを有する表示装置において、更なる低消費電力化を図るとともに、ビット線プリチャージ電流によって動作マージンが劣化するのを防止することが可能となる技術を提供することにある。

また、本発明の他の目的は、ＳＲＡＭを有する表示装置において、電源変動と表示タイミングが非同期となり、液晶表示パネルの表示画面にちらつきが生じるのを防止することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【０００６】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

前述の課題を達成するための、本発明は、複数の画素と、前記複数の画素に走査電圧を印加する走査線とを有する表示パネルと、前記走査線に走査電圧を供給する駆動回路とを備える表示装置であって、前記駆動回路は、基準電圧を昇圧して第１の電圧を生成する第１の昇圧回路と、前記第１の電圧をレギュレートとするレギュレータと、前記レギュレータから出力される電圧を昇圧して第２の電圧を生成する第２の昇圧回路とを有する。

ここで、前記第２の昇圧回路は、前記走査線を介して前記複数の画素に印加する選択走査電圧と、前記走査線を介して前記複数の画素に印加する非選択走査電圧とを生成する。

また、本発明では、内部クロックを生成するクロック生成回路を有し、前記第１の昇圧回路は、前記内部クロックで動作し、前記第２の昇圧回路は、前記内部クロック、あるいは、外部から入力される制御信号に同期する外部クロックで動作する。

例えば、外部から映像データがＲＧＢインターフェースに基づき入力される場合に、前記第２の昇圧回路は、前記外部クロックで動作する。

【０００７】

また、本発明は、外部から映像データが供給される駆動回路と、前記駆動回路が出力する映像信号が供給される映像線と、前記映像線を介して前記映像信号が供給される画素とを有する表示装置であって、前記駆動回路は、前記映像データを格納するＳＲＡＭと、メモリ制御手段とを有し、前記ＳＲＡＭは、複数のマットに分割され、前記メモリ制御手段は、前記ＳＲＡＭから映像データを読み出す際に、各マット毎にビット線に対するプリチャージ開始時期をそれぞれ異ならせる。

または、前記メモリ制御手段は、前記ＳＲＡＭから映像データを読み出す際に、各グループのマット毎にビット線に対するプリチャージ開始時期をそれぞれ異ならせる。

10

20

30

40

50

あるいは、前記メモリ制御手段は、前記 S R A M に映像データを書き込む際に、書き込み対象となるメモリセルを含むマットのビット線に対してプリチャージを行い、それ以外のマットのビット線についてはプリチャージを行わない。

さらに、前記メモリ制御手段は、前記表示装置がパースシャル表示状態の時に、 n ビットの表示データの中の 1 ビットのデータを格納するセルを有効となし、それ以外の $(n - 1)$ ビットのデータを格納するセルを無効とする。

【発明の効果】

【0008】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

10

本発明によれば、S R A M を有する表示装置において、更なる低消費電力化を図るとともに、ビット線プリチャージ電流によって動作マージンが劣化するのを防止することが可能となる。

本発明によれば、S R A M を有する表示装置において、電源変動と表示タイミングが非同期となり、液晶表示パネルの表示画面にちらつきが生じるのを防止することが可能となる。

【発明を実施するための最良の形態】

【0009】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

20

〔本発明の前提となる液晶表示モジュール〕

図 1 は、本発明の前提となる液晶表示モジュールの概略構成を示すブロック図である。

液晶パネル (P N L) には、複数の走査線 (またはゲート線) ($G1 \sim G320$) と、映像線 (またはドレイン線) ($S1 \sim S720$) とが各々並列して設けられる。

走査線 (G) と映像線 (S) との交差する部分に対応して画素部が設けられる。複数の画素部はマトリックス状に配置され、各画素部には、画素電極 ($I T O 1$) と薄膜トランジスタ ($T F T$) が設けられる。図 1 では、液晶パネル (P N L) のサブピクセル数は、 $240 \times 320 \times 3$ である。

液晶を挟み、各画素電極 ($I T O 1$) に対向するように、共通電極 (対向電極、または、コモン電極ともいう) ($I T O 2$) が設けられる。そのため、各画素電極 ($I T O 1$) と共通電極 ($I T O 2$) との間には液晶容量 ($L C$) が形成される。

30

液晶パネル (P N L) は、画素電極 ($I T O 1$) 、薄膜トランジスタ ($T F T$) 等が設けられたガラス基板 ($G L A S S$) と、カラーフィルタ等が形成されるガラス基板 (図示せず) とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、本発明は、液晶パネルの内部構造とは関係がないので、液晶パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶パネルであっても適用可能である。

40

【0010】

図 1 に示す液晶表示モジュールにおいて、ガラス基板 ($G L A S S$) 上には、駆動回路 ($D R V$) が搭載される。

駆動回路 ($D R V$) は、コントローラ回路 100 と、液晶パネル (P N L) の映像線 (S) を駆動するソースドライバ 130 と、液晶パネル (P N L) の走査線 (G) を駆動するゲートドライバ 140 と、液晶パネル (P N L) に画像を表示するために必要な電源電圧 (例えば、液晶パネル (P N L) の共通電極 ($I T O 2$) に供給する共通電圧 ($V c o m$)) などを生成する液晶駆動電源発生回路 120 と、メモリ回路 (以下、 $R A M$ という) 150 とを有する。また、図 1 において、 $F P C$ はフレキシブル配線基板である。

50

なお、図 1 では、駆動回路 (DRV) は、1 個の半導体チップで構成される場合を図示しているが、駆動回路 (DRV) を、例えば、半導体層に低温ポリシリコンを使用する薄膜トランジスタを用いて、ガラス基板 (GLASS) 上に直接形成するようにしてもよい。

同様に、駆動回路 (DRV) の一部の回路を分割し、駆動回路 (DRV) を複数の半導体チップで構成してもよく、駆動回路 (DRV) の一部の回路を、例えば、半導体層に低温ポリシリコンを使用する薄膜トランジスタを用いて、ガラス基板 (GLASS) 上に直接形成するようにしてもよい。

さらに、駆動回路 (DRV) あるいは駆動回路 (DRV) の一部の回路を、ガラス基板 (GLASS) 上に搭載する代わりに、フレキシブル配線基板上に形成するようにしてもよい。 10

【0011】

コントローラ回路 100 には、本体側のマイコン (Micro controller Unit; 以下、MCU という) から、または、グラフィックコントローラなどから、表示データと表示コントロール信号が入力される。

図 1 において、SI は、システムインターフェースのことであり、MCU 等から各種コントロール信号および画像データが入力される系である。

DI は、表示データインターフェース (RGB インターフェース) のことであり、外部のグラフィックコントローラで形成された画像データと、データ取り込み用のクロックが連続的に入力される系 (外部データ) である。 20

この表示データインターフェース (DI) では、従来のパーソナルコンピュータに使用されるドレインドライバと同様に、データ取り込み用クロックに合わせて画像データを順次取り込む。

コントローラ回路 100 は、システムインターフェース (SI)、および表示データインターフェース (DI) から受け取った画像データを、ソースドライバ 130、RAM 150 に送り表示を制御する。

【0012】

図 2 は、図 1 に示す RAM 150 の内部の SRAM の 1 メモリセルを示す回路図である。

同図に示すように、SRAM の 1 メモリセルは、ワード線 (W)、ビット線 (DT, DB)、転送スイッチ素子を構成する N 型の MOS トランジスタ (以下、単に、NMOS という) (M1, M2) およびインバータ (I1, I2) とから構成される。なお、図 2 において、node 1 および node 2 は内部ノードを表す。 30

さらに、各 NMOS (M1, M2) のサイズは、MOS (M1, M2) により接続されているビット線 DT と内部ノード (node 1)、およびビット線 DB と内部ノード (node 2) のレベル値が、それぞれ異なる場合には、必ず High レベル (以下、H レベルという) 側のノードが、Low レベル (以下、L レベルという) に変化するように各 MOS (M1, M2) のサイズが調整してある。

つまり、L レベルのみ書き込み / 読み出しが可能であるため、図 2 の SRAM セルの動作は、以下になる。 40

【0013】

(1) 書き込み動作

ワード線 W を H レベルとする前に、ビット線 (DT, DB) を、一度電源電圧 Vcc まですりチャージを行う。

次に、ワード線 W を H レベルとし NMOS (M1, M2) をオンとする。この時点では、ビット線 (DT, DB) は共に H レベルであるため、内部ノードの値は変化せず、RAM のデータは保持される。

次に、書き込みを行う SRAM のビット線のみを変化させる。たとえば、「0」を書き込み場合には、ビット線 (DT) を L レベルとすると、内部ノード (node 1) は必ず L レベルとなり、「0」が書き込まれる。 50

逆に、「1」を書き込む場合はプリチャージ後、ビット線(D B)のみをLレベルにする。すると内部ノード(node 2)は必ずLレベルとなり、インバータ(I 2)により内部ノード(node 1)はHレベルとなる。これにより、S R A Mには「1」が書き込まれる。

(2) 読み出し動作

ワード線WをHレベルとする前に、ビット線(D T, D B)を、一度電源電圧V c cまでプリチャージを行う。

次に、ワード線WをHレベルとし、N M O S(M 1, M 2)をオンとする。すると、メモリセルに格納されたデータが「0」の場合、内部ノード(node 1)がLレベルであるため、ビット線(D T)のみがLレベルに変化する。

逆に、メモリセルに格納されたデータが「1」の場合は、内部ノード(node 2)がLレベルのため、ビット線(D B)のみがLレベルに変化する。これによりS R A Mのデータの読み出し動作が行える。

勿論、前述の動作を実現するために、各インバータ内のトランジスタサイズを調整していることは言うまでもない。

【0014】

図3は、図1に示すコントローラ回路100、ソースドライバ130、およびR A M 150の一例の概略構成を示すブロック図である。

図3に示す構成では、コントローラ回路100は、S R A Mコントロール回路1と、発振器10と、表示タイミング発生回路11とで構成される。

また、ソースドライバ130は、演算回路9と、表示データラッチ回路(1)12と、表示データラッチ回路(2)13と、レベルシフト回路14と、D A変換回路(階調電圧デコード回路)15と、出力回路(電流増幅アンプ回路)16と、階調電圧生成回路17とで構成される。

さらに、R A M 150は、S R A M 2と、S R A Mデータラッチ回路3とで構成される。

図3に示す構成において、S I(システムインターフェース)からの画像データ、あるいは、D I(R G Bインターフェース)からの画像データは、S R A Mコントロール回路1に入力され、S R A M 2に送られる。

S R A M 2に格納されたデータ(S R A Mデータ)は、S R A Mデータラッチ回路3にラッチされた後、液晶パネル(P N L)に画像を表示するために使用される。

【0015】

S R A M 2に送られたデータはR A M容量分まで保存でき、静止画および動画のフレームメモリとして使用される。

R A M容量は、液晶パネル(P N L)の画素数と表示色数に依存して変化する。全画素数、全階調分を持つ場合や、さらに携帯電話の時計表示などを表示画像に重ね合わせるために、液晶パネル(P N L)の画素数を超える分を持つ場合もある。逆に、R A M容量は、携帯電話の待ち受け画面のみの情報(時計表示のみなど)だけを持つ場合もある。

例えば、Q V G Aでは、全320ライン分のR A M容量は持たずに、96ライン分のみを持つ場合や、表示色は8色(R G B各1ビット)のみに限定する場合である。ここで、待ち受け画面の画像情報のみを持つのは低消費電力化のためである。

S R A M 2を使用することにより、外部バスを駆動することなく、液晶パネル(P N L)に静止画を表示することが可能となる。なお、待ち受け時の表示ライン限定、表示色限定した状態をパースシャル表示と呼ぶ。

S R A Mデータラッチ回路3にラッチされた映像データは、演算回路9を経て、表示データラッチ回路(1)12、表示データラッチ回路(2)13で1走査ライン分のデータとして保持される。

なお、表示データラッチ回路(2)13は、D I(R G Bインターフェース)から入力される信号のタイミングによっては、特に必要ない場合もある。

【0016】

10

20

30

40

50

S R A M データラッチ回路 3、演算回路 9、表示データラッチ回路 (1) 1 2、表示データラッチ回路 (2) 1 3 は、表示タイミング発生回路 1 1 で生成される表示タイミング用クロック (C L 1) に基づき動作する。

D I (R G B インターフェース) から入力される同期信号 (ドットクロック) が無い場合には、内部発振器 1 0 により、同期用のタイミングクロックを発生させる必要がある。

S I (システムインターフェース) のみを使用したシステム、または低消費電力表示のパーシャル表示時がそれにあたる。

即ち、表示タイミング用クロック (C L 1) は、D I (R G B インターフェース) 使用時には、D I (R G B インターフェース) に含まれる同期用クロック (D O T C L K) により生成され、D I (R G B インターフェース) 不使用時には、発振器 1 0 で生成されたクロックが使用される。

10

表示データラッチ回路 (2) 1 3 にラッチされた映像データは、レベルシフト回路 1 4 により電圧レベルが変換された後、D A 変換回路 (階調電圧デコード回路) 1 5 においてアナログの階調電圧に変換される。

この階調電圧は、出力回路 (電流増幅アンプ回路) 1 6 により電流増幅され、各映像線 (S 1 ~ S 720) に出力される。

ここで、D A 変換回路 (階調電圧デコード回路) 1 5 には、階調電圧生成回路 1 7 で生成された 6 4 階調 (V 0 ~ V 63) の階調電圧が入力される。

【 0 0 1 7 】

[実施例 1]

20

携帯電話機等の小型携帯機器では、電源として電池の利用が一般的である。また、流通量の多さから電池は出力電圧が 1 . 5 V 程度から 4 V 程度のものが利用される。そのため、従来周知のチャージポンプ方式の昇圧回路を用いて液晶表示装置用の電源電圧を作成している。

図 4 は、薄膜トランジスタ方式の液晶表示モジュールにおいて、駆動に必要な駆動電圧を示す。なお、図 4 では、画素電極 (I T O 1) と、共通電極 (I T O 2) に印加する電圧を一定周期で反転させる、所謂、コモン電圧反転駆動方式を用いる場合の各駆動電圧を示している。

図 4 において、V G H は、画素部の薄膜トランジスタ (T F T) をオンさせる電圧 (所謂、選択走査電圧) であり、(V G H - G N D) で、約 9 . 0 ~ 1 6 . 5 V 程度が必要となる。また、V G L は、薄膜トランジスタ (T F T) をオフするための電圧 (所謂、非選択走査電圧) であり、(V G L - G N D) で、約 - 4 . 0 ~ - 5 . 5 V 程度が必要となる。

30

V D H は、階調基準電圧であり、この階調基準電圧 V D H を基準に、ソースドライバ 1 3 0 で階調電圧を生成する。(V D H - G N D) は、液晶材の特性から約 4 . 0 ~ 5 . 0 V 程度が必要である。

V c o m H は、共通電極 (I T O 2) に印加する H i g h レベル (以下、H レベル) 側の電圧、V c o m L は、共通電極 (I T O 2) に印加する L o w レベル (以下、L レベル) 側の電圧を示す。

【 0 0 1 8 】

40

図 5 は、従来の電源回路の回路構成を説明するためのブロック図である。

この図 5 に示す電源回路は、図 1 に示す液晶駆動電源発生回路 1 2 0 の中の、V D H と V G L の電圧を生成する部分を示す。

図 5 に示す昇圧回路 1 (5 0) は、V c i の基準電圧から、D D V D H の電圧を生成する。D D V D H は、V D H の電圧、V c o m H の電圧、V c o m L の電圧を生成するための電圧である。

図 5 に示す昇圧回路 2 (5 2) は、D D V D H の電圧から、V G H、V G L の電圧を生成する。なお、(V c i - G N D) は、約 2 . 5 ~ 3 . 5 V、(D D V D H - G N D) は、約 4 . 0 ~ 6 . 0 V である。

一般に、昇圧回路から出力される各電圧は、昇圧回路の動作クロックの周期で電圧が変

50

動をしている。特に、VGH、VGLは、昇圧回路の出力電圧を直接ゲートドライバ140から出力している。

CPUインターフェースなどを使用して画面データを転送し表示を行う場合、昇圧回路の動作クロックと、クロック(CL1)などの表示タイミング信号は共にソースドライバ130に内蔵される発振器10で生成されるクロックに同期しているため、前述の電圧変動は表示に対して悪影響を及ぼさなかった。

しかしながら、RGBインターフェースを使用した場合は、クロック(CL1)などの表示タイミングは、垂直同期信号(VSYNC)、水平同期信号(HSYNC)、ドットクロック(DOTCLK)などの外部入力信号に同期して動作するのに対し、昇圧回路は、内蔵する発振器10によるクロックで動作するために、前述の電圧変動と表示タイミングが非同期となり、表示画面にちらつきが生じる場合があった。

10

【0019】

本実施例は、前述した電圧変動と表示タイミングが非同期となり、表示画面にちらつきが生じるのを防止するための実施例である。

図6は、本発明の実施例1の電源回路の回路構成を説明するためのブロック図である。

この図6に示す電源回路は、図1に示す液晶駆動電源発生回路120の中の、VDHとVGLの電圧を生成する部分を示す。

図6に示す電源回路でも、昇圧回路1(50)により、Vciの基準電圧から、DDVDHの電圧を生成する。

しかしながら、本実施例の電源回路では、昇圧回路1(50)から出力されるDDVDHの電圧を、レギュレータ51でレギュレートし、昇圧回路2(52)は、レギュレータ51から出力されるVDCDC2の電圧から、VGH、VGLの電圧を生成する。

20

レギュレータ51は、DDVDHの電圧を電源電圧として、入力されるVciREFの電圧からVDCDC2の電圧を生成する。なお、 $VciREF = Vci$ 、 $(VDCDC2 - GND)$ は、約4.0 ~ $(DDVDH - 0.5)$ Vである。

図6に示すレギュレータ51の一例を図7に示す。

図7に示す回路では、DDVDHの電圧を電源電圧とするアンプ回路(AM1)により、VciREFの電圧を増幅し、当該増幅された電圧を、DDVDHの電圧を電源電圧とするボルテージホロワ回路(AM2)を介して出力する。

【0020】

30

前述のちらつきを発生させているのは、薄膜トランジスタ(TFT)のゲートのON電圧であるVGHの電圧変動である。そこで、本実施例では、昇圧回路2(52)の基準電源であるDDVDHをレギュレートするようにしたものである。

なお、VGHの電圧の安定化を行うためには、VGHの電圧をレギュレートすることが望ましいが、高耐圧MOSトランジスタを使用しなければならない。そこで、本実施例では、前述したように、低耐圧MOSトランジスタで構成可能なDDVDHの電圧をレギュレートするレギュレータ51を追加するようにしている。

さらに、本実施例では、RGBインターフェースの場合、VGHの電圧を生成する昇圧回路2(52)のみを、クロック信号(CL1)など表示タイミング信号と同期した信号で動作させる。

40

但し、ソースドライバ130に内蔵される電源回路120は、表示を行う以前に動作している必要があるため、表示を行う以前には、従来同様、ソースドライバ130に内蔵した発振器10で生成されるクロックを使用し、RGBインターフェースなどを使用し表示を行う際に、昇圧回路2(52)のみ動作クロックを変更させる。これは、インストラクション信号を用いて、MPUから設定する。

なお、電圧変動を同期させれば良いという観点では、レギュレータ51を追加する代わりに、DDVDHの電圧を生成する昇圧回路1(50)の動作クロックもクロック(CL1)などの表示タイミング信号に同期させれば良いが、DDVDHの電圧は消費される電流が多く、駆動能力を確保するためには、クロック信号(CL1)では速度が足りない。そのため動作クロックは変更せず、レギュレータ51を採用している。

50

【 0 0 2 1 】

[実施例 2]

本実施例は、ビット線プリチャージ電流によって動作マージンが劣化するのを防止する実施例である。

図 8 は、本発明の実施例 2 のメモリ回路のメモリ配置の一例を示す図である。なお、図 8 に示すメモリ回路は、図 1 に示すメモリ回路 150 に相当する。

図 8、および後述する図 11 において、200 はソースドライバ、201 は制御回路、202 は I/O コントロール回路、203 は X デコーダ、204 は Y デコーダ、205 はプリチャージ回路、206 はラッチ回路、210 はメモリセル部である。なお、ソースドライバ 200 は、図 1 のソースドライバ 130 に相当し、ラッチ回路 206 は、図 3 に示す S R A M データラッチ回路に相当する。

10

図 8 に示すように、S R A M 2 は、画面表示の配置に対応しており、横に映像線 (S) の順に対応したビット線 (B L)、縦に走査線 (G) の順に対応したワード線 (W L) が設けられる。

一般に、S R A M は、駆動負荷を軽くするために適宜分割されている。図 8 では、ワード線 (W L) を 8 つのメモリマット (M a t 0 ~ M a t 7) に分割している。

図 9 は、図 8 に示す 1 サブピクセル分のメモリの構成を示す図であり、1 サブピクセルが 6 ビットの場合を示している。図 9 では、6 ビットのビット線 (B 1 ~ B 6) が、1 つの映像線に対応していることを示している。

20

【 0 0 2 2 】

前述したように、S R A M では、書き込み / 読み出し動作を行う場合は、必ずビット線を電源電圧にプリチャージする必要がある。そして、8 つのメモリマット (M a t 0 ~ M a t 7) で一斉に読み出し動作を実行すると、プリチャージ電流によって無視できない電源電圧ドロップが発生し、動作マージンが劣化することが懸念される。

そこで、本実施例では、S R A M の読み出し時に、図 10 に示すように、マット毎に少しずつプリチャージ信号 X P R E のタイミングをずらして、ビット線プリチャージ時のプリチャージ電流を分散させ、ピーク電流を少なくしている。

なお、図 10 において、D I S P A は同期信号、Y M A S K は Y アドレスマスク信号、W L はワード線、B L はビット線である。

また、マット毎に少しずつプリチャージ信号 X P R E のタイミングをずらす代わりに、複数のマットをグループ分け、例えば、マット 0, 2, 4, 6 と、マット 1, 3, 5, 7 の 2 グループに分け、各グループのマット毎に、ビット線プリチャージ時のプリチャージ電流を分散させるようにしてもよい。

30

同様に、本実施例では、S R A M への書き込み時に、図 11 に示すように、X アドレスがヒットしたマット (ここでは、マット M a t 0) のみプリチャージ動作を行い、X アドレスがヒットしていない非活性マット (ここでは、M a t 1 ~ M a t 7) は、依然の状態を保持し、Y アドレス遷移にともなうプリチャージは行なわないようにしている。

これにより、本実施例では、S R A M を有する液晶表示モジュールにおいて、更なる低消費電力化を図るとともに、ビット線プリチャージによって動作マージンが劣化するのを防止することが可能となる。

40

【 0 0 2 3 】

[実施例 3]

本実施例は、パーシャル表示状態 (ローパワーモード) 時の、ビット線プリチャージ電流を低減する実施例である。

前述の本発明の前提となる液晶表示モジュールでは、S R A M 2 を使用することにより、外部バスを駆動することなく、液晶パネル (P N L) に静止画を表示することが可能となる。この際、待ち受け時の表示ライン限定、表示色限定した状態をパーシャル表示と呼ぶ。

パーシャル表示とは、R、G、B それぞれ 2 色の合計 8 色 (= 2 × 2 × 2) 表示で、時計などのみの表示し、さらに、使用する走査ライン数も減少させる表示方法である。

50

図 1 2 は、パーシャル表示状態のときに、液晶パネル (P N L) に表示される画像を模式的に示す図である。尚、図 1 2 の a , b の領域は 8 色表示の箇所を示しており、それ以外の領域は、白又は黒の非表示領域を示している。

例えば、表示データが 6 ビットで、B L [6n+5 : 6n+0] の 6 本のビット線が、1 つの映像線に対応しているとする、パーシャル表示状態において、S R A M への書き込み時には、B L [6n+5] のビット線にのみアクセスし、その他の B L [6n+4 : 6n+0] のビット線にはアクセスすることがないので、B L [6n+4 : 6n+0] のビット線を無効 (あるいは、スタティック化) することができる。

S R A M の消費電流は、プリチャージ電流が大半を占めるので、6 本のビット線の中の 5 本のビット線をプリチャージレスとすれば無駄なプリチャージ電流を抑制することが可能である。 10

【 0 0 2 4 】

そのため、本実施例では、パーシャル表示状態のときに、図 1 3 に示すように、B L [6n+4 : 6n+0] のビット線における、T r u e 側を G N D の電圧に固定する p 型 M O S トランジスタ (P M) と、B a r 側を V D D の電圧に固定する n 型 M O S トランジスタ (N M) を追加する。なお、図 1 3 において、1 5 1 はメモリセル、2 0 5 はプリチャージ回路である。

したがって、ビット線の制御は、それぞれ個別の制御が必要となるので、プリチャージ信号は X P R E 1 / 2 / 3 / 4 の 4 となる。図 1 4 に、ビット線の制御波形を示す。

さらに、本実施例では、このパーシャル表示状態において、S R A M への書き込み時に、ライトイネーブル信号 (W E [6n+4 : 6n+0]) により、B L [6n+4 : 6n+0] のビット線への書き込みを禁止すると同時に、B U S [6n+4 : 6n+0] の値を、「 1 」に固定する。 20

このように、パーシャル表示状態の 8 色モードライト時に、B L [6n+5] のビット線のみアクセスし、その他の B L [6n+4 : 6n+0] のビット線を無効 (あるいは、スタティック化) したので、無駄なプリチャージ電流を抑制でき、S R A M の消費電流を少なくすることが可能となる。

なお、前述の説明では、本発明を T F T 方式の液晶表示モジュールに適用した実施例について説明したが、本発明はこれに限定されるものではなく、本発明は、有機 E L 素子を有する E L 表示装置にも適用可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。 30

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】図 1 は、本発明の前提となる液晶表示モジュールの概略構成を示すブロック図である。

【図 2】図 1 に示す R A M の内部の S R A M の 1 メモリセルを示す回路図である。

【図 3】図 1 に示すコントローラ回路、ソースドライバ、および S R A M の一例の概略構成を示すブロック図である。

【図 4】薄膜トランジスタ方式の液晶表示モジュールにおいて、駆動に必要な駆動電圧を示す。 40

【図 5】従来の電源回路の回路構成を説明するためのブロック図である。

【図 6】本発明の実施例 1 の電源回路の回路構成を説明するためのブロック図である。

【図 7】図 6 に示すレギュレータの一例を示す回路図である。

【図 8】本発明の実施例 2 のメモリ回路のメモリ配置の一例を示す図である。

【図 9】図 8 に示す 1 サブピクセル分のメモリの構成を示す図である。

【図 1 0】図 8 に示すメモリ配置における読み出し時の各制御信号のタイミングチャートを示す図である。

【図 1 1】図 8 に示すメモリ配置における書き込み動作を説明するための図である。

【図 1 2】パーシャル表示状態のときに、液晶パネル (P N L) に表示される画像を模式 50

的に示す図である。

【図 1 3】本発明の実施例 2 の S R A M のプリチャージ回路を示す図である。

【図 1 4】図 1 4 に示す S R A M の書き込み動作を説明するための図である。

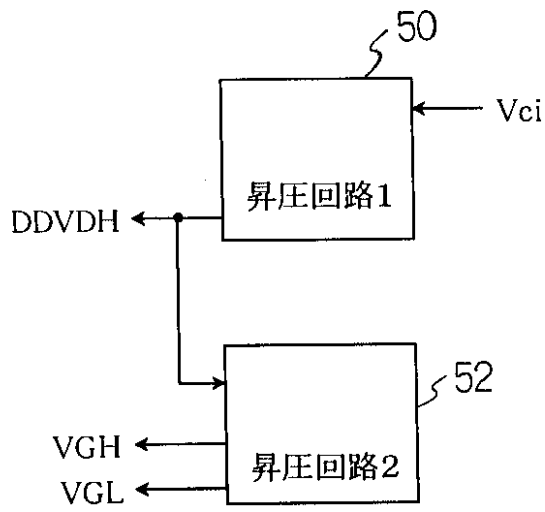
【符号の説明】

【 0 0 2 6 】

1	S R A M コントロール回路	
2	半導体メモリ (Static Random Access Memory ; S R A M)	
3	S R A M データラッチ回路	
9	演算回路	
1 0	発振器	10
1 1	表示タイミング発生回路	
1 2	表示データラッチ回路 (1)	
1 3	表示データラッチ回路 (2)	
1 4	レベルシフト回路	
1 5	D A 変換回路 (階調電圧デコード回路)	
1 6	出力回路 (電流増幅アンプ回路)	
1 7	階調電圧生成回路	
5 0 , 5 2	昇圧回路	
5 1	レギュレータ	
1 0 0	コントローラ回路	20
1 2 0	液晶駆動電源発生回路	
1 3 0 , 2 0 0	ソースドライバ	
1 4 0	ゲートドライバ	
1 5 0	メモリ回路	
1 5 1	メモリセル	
2 0 1	制御回路	
2 0 2	I O コントロール回路	
2 0 3	X デコーダ	
2 0 4	Y デコーダ	
2 0 5	プリチャージ回路	30
2 0 6	ラッチ回路	
2 1 0	メモリセル部	
P N L	液晶パネル	
S	映像線 (またはドレイン線)	
G	走査線 (またはゲート線)	
T F T	薄膜トランジスタ	
I T O 1	画素電極	
I T O 2	共通電極 (対向電極、または、コモン電極)	
L C	液晶容量	
G L A S S	ガラス基板	40
D R V	駆動回路	
W , W L	ワード線	
D T , D B , B L	ビット線	
N M , M 1 , M 2	N 型 M O S トランジスタ	
P M	P 型 M O S トランジスタ	
I 1 , I 2	インバータ	
n o d e 1 , n o d e 2	内部ノード	
A M 1 , A M 2	アンプ回路	

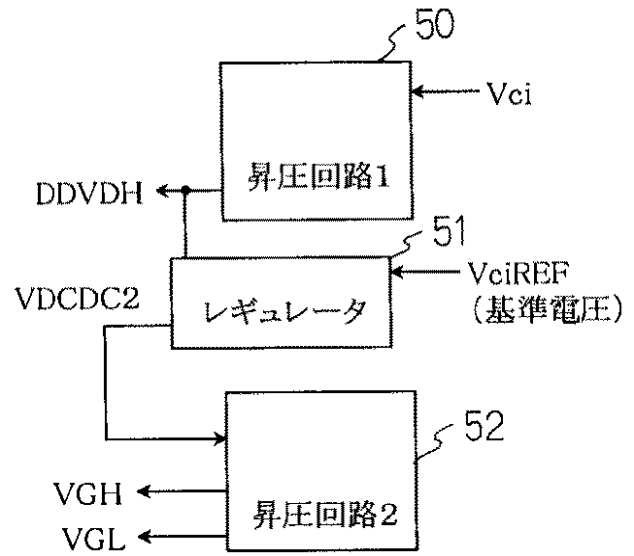
【図 5】

図 5



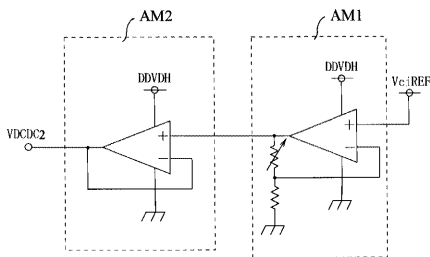
【図 6】

図 6



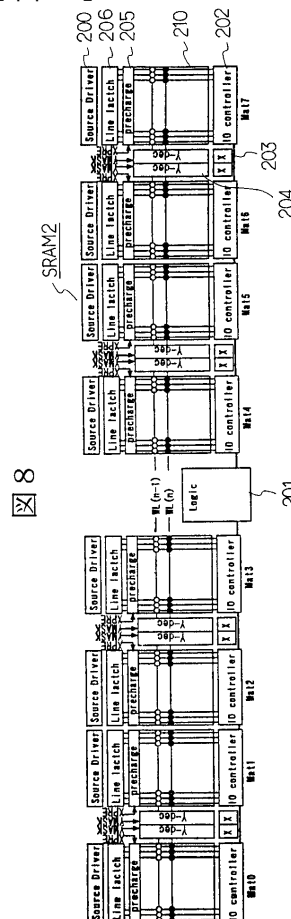
【図 7】

図 7



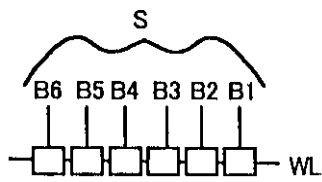
【図 8】

図 8



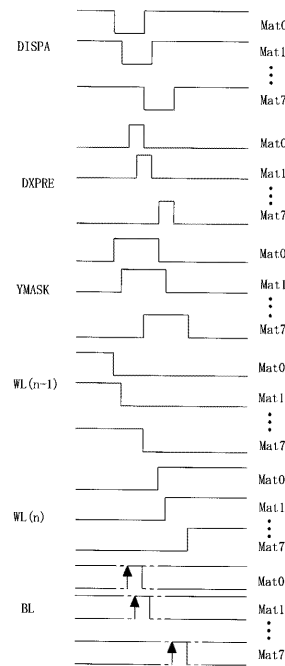
【図 9】

図 9



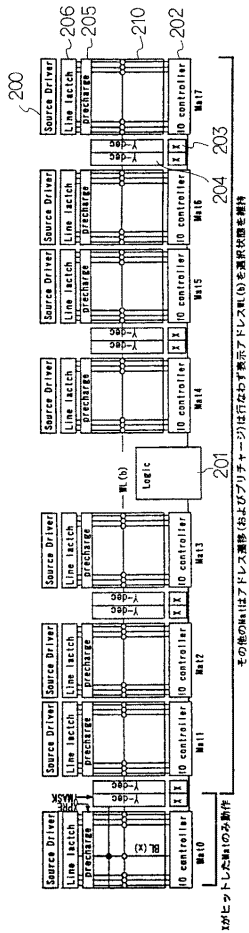
【図 10】

図 10



【図 11】

図 11



【図 12】

図 12

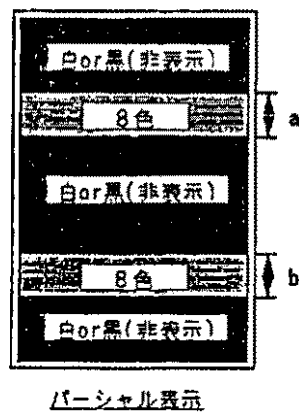
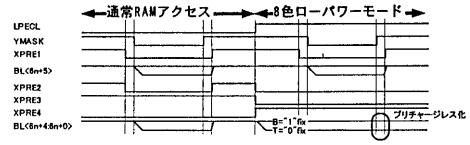


図 14



 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 B
	G 0 9 G 3/20	6 3 1 M
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 1 1 B
	G 0 9 G 3/20	6 1 2 U
	G 0 2 F 1/133	5 2 0
	G 0 2 F 1/133	5 0 5

(72)発明者 秋山 賢一

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NC03 NC10 NC12 NC18 NC29 NC34 NC49 ND10 ND34
 ND39 ND40 ND46 ND60
 5C006 AF01 AF03 AF04 AF41 AF44 AF45 AF68 BB16 BC03 BC20
 BF02 BF42 BF46 FA05 FA23 FA47
 5C080 AA06 AA10 BB05 DD06 DD26 EE29 FF03 FF11 GG12 GG15
 GG17 JJ01 JJ02 JJ03 JJ04 KK47

专利名称(译)	表示装置		
公开(公告)号	JP2006301265A	公开(公告)日	2006-11-02
申请号	JP2005122346	申请日	2005-04-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	土山宇騎 青木義典 後藤充 秋山賢一		
发明人	土山 宇騎 青木 義典 後藤 充 秋山 賢一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/08 G09G2320/0247 G09G2330/02 G09G2360/18		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.E G09G3/20.612.D G09G3/20.612.K G09G3/20.631.B G09G3/20.631.M G09G3/20.612.E G09G3/20.611.B G09G3/20.612.U G02F1/133.520 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC29 2H093/NC34 2H093/NC49 2H093/ND10 2H093/ND34 2H093/ND39 2H093/ND40 2H093/ND46 2H093/ND60 5C006/AF01 5C006/AF03 5C006/AF04 5C006/AF41 5C006/AF44 5C006/AF45 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF02 5C006/BF42 5C006/BF46 5C006/FA05 5C006/FA23 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK47 2H193/ZA04 2H193/ZB08 2H193/ZF03 2H193/ZF05 2H193/ZF06 2H193/ZF22 2H193/ZF34 2H193/ZF36 2H193/ZF44 2H193/ZF59 2H193/ZK21		
外部链接	Espacenet		

摘要(译)

解决的问题：由于电源波动和显示定时是异步的，因此在具有SRAM的显示装置中，为了防止在液晶显示面板的显示屏上发生闪烁。显示面板，其具有多个像素和用于向多个像素施加扫描电压的扫描线，以及用于向扫描线提供扫描电压的驱动电路，其中，驱动电路具有基准电压 升压电压以产生第一电压的第一升压电路，调节第一电压的调节器和升压从调节器输出的电压以产生第二电压的电压。2个升压电路。第二升压电路生成第二电压（选择性扫描电压）和第三电压（非选择性扫描电压）。当基于RGB接口从外部输入视频数据时，第二升压电路将使用外部时钟进行操作。[选择图]图6

