

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-261129
(P2005-261129A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H02M 3/155	H02M 3/155 U	2H092
G02F 1/133	G02F 1/133 52O	2H093
G02F 1/1345	G02F 1/1345	5C006
G09G 3/20	G09G 3/20 611A	5C080
G09G 3/36	G09G 3/20 612D	5F038
審査請求 有 請求項の数 16 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2004-70988 (P2004-70988)	(71) 出願人	000002369
(22) 出願日	平成16年3月12日 (2004.3.12)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	矢島 秀彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	2H092 GA32 GA40 GA59 JA03 JB22 NA25 PA06 2H093 NA16 NC02 NC37 ND54
			最終頁に続く

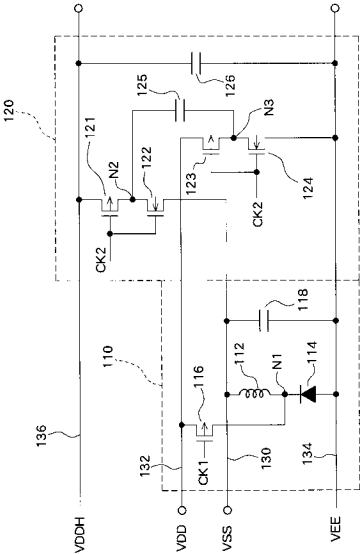
(54) 【発明の名称】 電源回路並びにそれを用いたドライバIC、液晶表示装置及び電子機器

(57) 【要約】

【課題】 大電圧を生成しながらも、プロセスコストを低減しながらIC化に適した電源回路を提供すること。

【解決手段】 電源回路100は、降圧回路110と、その後段の昇圧回路120とを有する。降圧回路110は、第1の電位VSSを供給する第1の電源線130と、第2の電位VDDを供給する第2の電源線132に接続され、第1の電位VSSを基準として、第1の電位と前記第2の電位との差(VDD-VSS)に基づいて降圧した負極性の第3の電位VEEを、第3の電源線134に供給する。昇圧回路120は、第1～第3の電源線130～134に接続され、第2の電位VDDを基準として、第1の電位と前記第3の電位との差(VSS-VEE)に基づいて昇圧した正極性の第4の電位VDDHを、第4の電源線136に供給する。降圧回路110はスイッチングレギュレータにて構成される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の電位を供給する第 1 及び第 2 の電源線に接続され、前記第 1 の電位を基準として、前記第 1 の電位と前記第 2 の電位との差に基づいて降圧した負極性の第 3 の電位を、第 3 の電源線に供給する降圧回路と、

前記第 1 ～第 3 の電源線に接続され、前記第 2 の電位を基準として、前記第 1 の電位と前記第 3 の電位との差に基づいて昇圧した正極性の第 4 の電位を、第 4 の電源線に供給する昇圧回路と、

を有し、

前記降圧回路はスイッチングレギュレータにて構成されていることを特徴とする電源回路。 10

【請求項 2】

請求項 1 において、

前記スイッチングレギュレータは、

前記第 1 の電源線に一端が接続されたインダクタ素子と、

カソードが前記インダクタ素子の他端に接続され、アノードが前記第 3 の電源線に接続されたダイオードと、

前記インダクタ素子と前記ダイオードとの間のノードと、前記第 2 の電源線とに接続され、クロック信号に基づいてオン・オフ制御される第 1 のスイッチング素子と、

前記第 1 及び第 3 の電源線間にて、前記インダクタ素子及び前記ダイオードと並列接続された第 1 のキャパシタと、 20
を有することを特徴とする電源回路。

【請求項 3】

請求項 2 において、

前記第 1 のスイッチング素子は、トリプルウェル構造を持つ P 型半導体基板に形成された P 型トランジスタであり、

前記 P 型半導体基板の最深部の第 1 層ウェルが高耐圧 N 型ウェルであり、前記第 1 層ウェル内に形成される第 2 層ウェルが低耐圧 N 型ウェルであり、前記第 2 層ウェル内に前記 P 型トランジスタのソース、ドレイン用のロジックウェルが形成されていることを特徴とする電源回路。 30

【請求項 4】

請求項 3 において、

前記低耐圧 N 型ウェル内には N 型コンタクトがさらに設けられ、

前記ソース用の前記ロジックウェルと前記 N 型コンタクトとに前記第 2 の電源線が接続されることを特徴とする電源回路。

【請求項 5】

請求項 4 において、

前記 P 型半導体基板は、

前記高耐圧 N 型ウェルに隣接して設けられた高耐圧 P 型ウェルと、

前記高耐圧 P 型ウェル内に配置された N 型ウェルと、 40
を有し、

前記高耐圧 P 型ウェルと前記 N 型ウェルとの P N 接合により前記ダイオードが形成されることを特徴とする電源回路。

【請求項 6】

請求項 5 において、

前記高耐圧 P 型ウェル内に P 型コンタクトがさらに設けられ、前記 P 型コンタクトに前記第 3 の電源線が接続されることを特徴とする電源回路。

【請求項 7】

請求項 5 または 6 において、

前記 N 型ウェルは、前記ドレイン用の前記ロジックウェルと配線により接続されること 50

を特徴とする電源回路。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記昇圧回路はチャージポンプであることを特徴とする電源回路。

【請求項 9】

請求項 8 において、

前記チャージポンプは、

前記第 1 及び第 4 の電源線間に直列接続され、相補的に駆動される第 2 及び第 3 のスイッチング素子と、

前記第 2 及び第 3 の電源線間に直列接続され、相補的に駆動される第 4 及び第 5 のスイッチング素子と、

前記第 2 及び第 3 のスイッチング素子間のノードと、前記第 4 及び第 5 のスイッチング素子間のノードとに接続された第 2 のキャパシタと、

前記第 3 及び第 4 の電源線間に接続された第 3 のキャパシタと、

を有することを特徴とする電源回路。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第 1 の電位は接地電源電位 (VSS) であり、前記第 2 の電位はロジック電源回路用電源電位 (VDD) であることを特徴とする電源回路。

【請求項 11】

請求項 1 乃至 9 のいずれかにおいて、

前記降圧回路の前段に配置される前置昇圧回路と、第 5 の電源線とがさらに設けられ、

前記前置昇圧回路は、前記第 1 及び第 5 の電源線が接続され、前記第 1 の電位を基準として、前記第 1 の電位と前記第 5 の電位との差に基づいて昇圧した前記第 2 の電位を前記第 2 の電源線に供給することを特徴とする電源回路。

【請求項 12】

請求項 11 において、

前記前置昇圧回路は、スイッチングレギュレータまたはチャージポンプにて構成されることを特徴とする電源回路。

【請求項 13】

請求項 11 または 12 において、

前記第 1 の電位は接地電源電位 (VSS) であり、前記第 5 の電位はロジック電源回路用電源電位 (VDD) であることを特徴とする電源回路。

【請求項 14】

請求項 1 乃至 13 のいずれかに記載の電源回路と、

前記電源回路からの電圧に基づいて、走査線を駆動する走査線駆動部と、
を有することを特徴とするドライバ IC。

【請求項 15】

請求項 14 に記載のドライバ IC と、液晶表示部とを有し、

前記液晶表示部は、

複数本の走査線と、

複数本のデータ線と、

前記複数本の走査線及びデータ線の各 1 本の間に直列接続された薄膜ダイオード及び液晶素子と、

を有し、

前記ドライバ IC が前記複数本の走査線に接続されていることを特徴とする液晶表示装置。

【請求項 16】

請求項 15 に記載の液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、例えば40～60Vほどの大電圧を生成する電源回路、並びにそれを用いたドライバIC、液晶表示装置及び電子機器に関する。

【背景技術】

【0002】

近年の携帯電話機、携帯情報端末またはゲーム装置などの電子機器には、表示装置及び表示駆動のために用いられる電源回路が組み込まれている。

【0003】

このような表示装置を駆動するために用いられる電源回路では、電池から供給される電源電圧よりも高い電圧を生成している。 10

【0004】

一例として、アクティブマトリクス型液晶装置のスイッチング素子として、薄膜ダイオード(TFD)例えば金属層－絶縁層－金属層(MIM)を用いる場合、その薄膜ダイオードに接続される走査線には40～60V程の大きな電圧を供給する必要がある。

【0005】

特許文献1には、薄膜トランジスタ(TFT)を画素スイッチとして有するアクティブマトリクス型液晶表示装置の電源回路が開示されている。この電源回路は、データ線(ソース線)ドライバICに内蔵され、走査線(ゲート線)ドライバICに対して、0～16Vの電圧を供給している。さらに、データ線及び信号線ドライバICの外部に電圧変換回路を設ける必要がある。この電圧変換回路は、電源回路からの電圧に基づいて-15～0Vの負極性電位を生成する負電源生成回路を含んでいる。走査線(ゲート線)ドライバICには、電圧変換回路からの負極性電位も供給され、結果としてほぼ30V(-15～+16V)の電圧が供給されている。 20

【特許文献1】特開2003-22062号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1の電圧変換回路は、ドライバICの外部に設けられるもので、生成電圧も30V程度であった。よって、この電圧変換回路は、上述した薄膜ダイオード(TFD)を画素スイッチとするアクティブマトリクス型液晶表示装置の電源回路として使用できない。生成電圧を60V程度もの大電圧とすると、特許文献1に記載のチャージポンプを用いた場合には、昇圧段数が増え、回路規模が増大してしまう。 30

【0007】

いずれにしろ、60V程度の大電圧を生成する電源回路をIC化することは極めて困難であった。IC化のために半導体基板に高電圧(HV)型トリプルウェル構造を採用したとしても、高耐圧ウェルの形成が極めて困難であるし、たとえ可能であったとしてもプロセスコストが増大してしまう。

【0008】

そこで、本発明の目的とするところは、大電圧を生成しながらも、プロセスコストを低減しながらIC化に適した電源回路を提供することにある。さらにはその電源回路を用いたドライバIC、液晶表示装置及び電子機器を提供することにある。 40

【課題を解決するための手段】

【0009】

本発明の一態様に係る電源回路は、降圧回路と、その後段の昇圧回路とを有する。降圧回路は、第1及び第2の電位を供給する第1及び第2の電源線に接続され、前記第1の電位を基準として、前記第1の電位と前記第2の電位との差に基づいて降圧した負極性の第3の電位を、第3の電源線に供給する。昇圧回路は、前記第1～第3の電源線に接続され、前記第2の電位を基準として、前記第1の電位と前記第3の電位との差に基づいて昇圧した正極性の第4の電位を、第4の電源線に供給する。そして、降圧回路をスイッチング 50

レギュレータにて構成した。

【0010】

本発明の一態様によれば、降圧回路が、供給された第1、第2の電位との差に基づいて、第1の電位を基準として降圧された負極性となる第3の電位を生成する。昇圧回路には、降圧回路にて生成された第3の電位と、第1及び第2の電位とが供給される。昇圧回路は、第1の電位と第3の電位との差に基づいて、第2の電位を基準として昇圧された第4の電位を生成する。よって、この電源回路にて、正極性の第4の電位と、負極性の第3の電位との電位差である大電圧が生成される。降圧回路をスイッチングレギュレータにて構成することで、降圧回路を多段チャージポンプにて構成した場合と比較して、キャパシタ部品の点数が減少するため、電源回路をIC内蔵とした場合の外付け部品の数が減少し、IC化が低コストにて実現できる。また、多段チャージポンプよりもスイッチング素子の数も減少するので、消費電流を低減できる。

10

【0011】

本発明の一態様では、前記スイッチングレギュレータは、前記第1の電源線に一端が接続されたインダクタ素子と、カソードが前記インダクタ素子の他端に接続され、アノードが前記第3の電源線に接続されたダイオードと、前記インダクタ素子と前記ダイオードとの間のノードと、前記第2の電源線とに接続され、クロック信号に基づいてオン・オフ制御される第1のスイッチング素子と、前記第1及び第3の電源線間にて、前記インダクタ素子及び前記ダイオードと並列接続された第1のキャパシタとを有することができる。

20

【0012】

このスイッチングレギュレータでは、第1のスイッチング素子がオンすると、インダクタ素子に電流が流れて誘起起電力を生ずるためのエネルギー（電荷）がインダクタ素子に蓄えられる。第1のスイッチング素子がオフすると、第1及び第2の電位の差の電圧に基づいてインダクタ素子に蓄えられた電荷が、第1の電源線を介して第1のキャパシタに移動する。こうして、第1のキャパシタの第3の電源線側の端子に、第1の電位を基準とした負極性の第3の電位が生成される。また、ダイオードの存在によってインダクタ素子には逆電流は流れず、第3の電源線に負極性となる第3の電位が維持される。

【0013】

本発明の一態様では、前記第1のスイッチング素子は、トリプルウェル構造を持つP型半導体基板に形成されたP型トランジスタとすることができる。P型半導体基板の最深部の第1層ウェルが高耐圧N型ウェルであり、前記第1層ウェル内に形成される第2層ウェルが低耐圧N型ウェルであり、前記第2層ウェル内に前記P型トランジスタのソース、ドレイン用のロジックウェルが形成される。

30

【0014】

第2層ウェルを低耐圧ウェルとすることができるので、低電圧（LV）型トリプルウェル構造となり、高電圧（HV）型トリプルウェル構造と比較してプロセスコストが安価となり、素子のレイアウト面積も縮小するのでIC化に適している。

【0015】

前記低耐圧N型ウェル内にはN型コンタクトをさらに設けることができる。そして、前記ソース用の前記ロジックウェルと前記N型コンタクトとに、前記第2の電源線を接続することができる。

40

【0016】

前記P型半導体基板は、前記高耐圧N型ウェルに隣接して設けられた高耐圧P型ウェルと、前記高耐圧P型ウェル内に配置されたN型ウェルとを有することができる。この場合、前記高耐圧P型ウェルと前記N型ウェルとのPN接合により前記ダイオードを形成することができる。なお、ダイオードは半導体基板外に設けても良い。

【0017】

前記高耐圧P型ウェル内にP型コンタクトがさらに設けられ、前記P型コンタクトに前記第3の電源線を接続することができる。さらに、前記N型ウェルは、前記ドレイン用の前記ロジックウェルと配線により接続される。

50

【0018】

こうして、P型半導体基板上にて第1のスイッチング素子とダイオードとを形成することができる。このとき、第2層ウェル（低耐圧N型ウェル）は第2の電位とされ、高耐圧P型ウェル及びP型半導体基板は負極性となる第3の電位に設定されるが、第2層ウェルとP型半導体基板及び高耐圧P型ウェルとの間には、第1層ウェル（高耐圧N型ウェル）が存在する。よって、第1層及び第2層ウェル間には高電圧は印加されず、第2層ウェルを低耐圧型とすることができる。

【0019】

本発明の一態様では、前記昇圧回路はチャージポンプにて構成することができる。このチャージポンプは、前記第1及び第4の電源線間に直列接続され、相補的に駆動される第2及び第3のスイッチング素子と、前記第2及び第3の電源線間に直列接続され、相補的に駆動される第4及び第5のスイッチング素子と、前記第2及び第3のスイッチング素子間のノードと、前記第4及び第5のスイッチング素子間のノードとに接続された第2のキャパシタと、前記第3及び第4の電源線間に接続された第3のキャパシタとを有することができる。

【0020】

第3及び第5のスイッチング素子がオンすると、第2のキャパシタに第1及び第3の電位の差に基づく電荷が蓄えられる。次に、第2及び第4のスイッチング素子がオンすると、第2のキャパシタの一端が第2の電位にシフトされるので、第2のキャパシタの他端、すなわち第4の電源線に昇圧された第4の電位が現われる。そして、第3のキャパシタには、第3及び第4の電位の差に基づく電荷が蓄えられる。

【0021】

本発明の一態様では、前記第1の電位を接地電源電位（VSS）とし、前記第2の電位をロジック電源回路用電源電位（VDD）とすることができる。

【0022】

本発明の一態様では、前記降圧回路の前段に配置される前置昇圧回路と、第5の電源線とをさらに設けることができる。この前置昇圧回路は、前記第1及び第5の電源線が接続され、前記第1の電位を基準として、前記第1の電位と前記第5の電位との差に基づいて昇圧した前記第2の電位を前記第2の電源線に供給する。前置昇圧回路は、スイッチングレギュレータまたはチャージポンプにて構成することができる。この場合、前記第1の電位を接地電源電位（VSS）とし、前記第5の電位をロジック電源回路用電源電位（VDD）とすると、第2の電位はVDDより高い電位とすることができる。

【0023】

本発明の他の態様に係るドライバICは、上述のいずれかの電源回路と、前記電源回路からの電圧に基づいて、走査線を駆動する走査線駆動部とを有することができる。

【0024】

本発明のさらに他の態様に係る液晶表示装置は、前記ドライバICと、液晶表示部とを有することができる。前記液晶表示部は、複数本の走査線と、複数本のデータ線と、前記複数本の走査線及びデータ線の各1本の間に直列接続された薄膜ダイオード及び液晶素子と有することができる。そして、前記ドライバICが前記複数本の走査線に接続される。

【0025】

本発明のさらに他の態様に係る電子機器は、前記液晶表示装置を有することを特徴とする。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態について図面を参照して説明する。

【0027】

（液晶表示装置及び走査線ドライバ）

図1は、液晶表示装置の一例を示している。一对の基板の一方には、横方向に延びる複数本の走査線10が形成され、他方の基板には横方向に延びる複数本のデータ線20が形

10

20

30

40

50

成され、両基板間に液晶30が封入される。一方の基板上の複数の画素領域40の各々には、一端が走査線10に接続され、他端が液晶30に接続される画素スイッチとして例えば薄膜ダイオード(TFD)50が形成されている。この薄膜ダイオード50として、例えばMIM(金属-絶縁膜-金属)素子を用いることができる。

【0028】

図1では、複数本の走査線10を駆動する走査線ドライバIC60と、複数本のデータ線20を駆動するデータ線ドライバIC70とが示されている。本発明の電源回路は、例えば50V以上の大きな電圧を供給する必要がある走査線ドライバIC60に搭載されている。走査線ドライバIC60は、図1に示すように、電源回路100と、この電源回路100からの電圧に基づいて、複数本の走査線10を駆動する走査線駆動部80とを有する。 10

【0029】

(電源回路)

図1に示す走査線ドライバIC60に内蔵される電源回路100の一例を図2に示す。図2に示す電源回路100は、降圧回路110と昇圧回路120とを含んでいる。また、この電源回路100には、第1の電源線130、第2の電源線132、第3の電源線134及び第4の電源線136が接続されている。図3に、第1～第4の電源線130～136の電位の一例が示されている。第1の電源線130に供給される第1の電位は接地電源電位(VSS)であり、第2の電源線132に供給される電位はロジック電源回路用電源電位(VDD)である。 20

【0030】

降圧回路110は、第1の電位VSSを供給する第1の電源線130と、第2の電位VDDを供給する第2の電源線132に接続され、第1の電位VSSを基準として、第1の電位と前記第2の電位との差($VDD - VSS$)に基づいて降圧した負極性の第3の電位VEEを、第3の電源線134に供給する。

【0031】

昇圧回路120は、前記第1～第3の電源線130～134に接続され、第2の電位VDDを基準として、前記第1の電位と前記第3の電位との差($VSS - VEE$)に基づいて昇圧した正極性の第4の電位VDDHを、第4の電源線136に供給する。

【0032】

本実施形態では、 $VSS = 0V$ 、 $VDD = +5V$ 、 $VEE = -2.5V$ 、 $VDDH = +5.5V$ とするが、各電位は一例である。

【0033】

降圧回路110をスイッチングレギュレータにて構成し、昇圧回路120をチャージポンプにて構成した回路図を図4に示す。このスイッチングレギュレータ110は、コイル(インダクタ素子)112、ダイオード114、第1のスイッチングトランジスタ(第1のスイッチング素子)116及び第1のキャパシタ118を備えている。コイル112の一端は第1の電源線130に接続されている。ダイオード114は、第1及び前記第3の電源線130、134間にて、コイル112と直列に、逆方向接続されている。すなわち、ダイオード114のカソードがコイル112の他端に接続され、アノードが第3の電源線134に接続されている。第1のスイッチングトランジスタ116は、インダクタ素子112とダイオードとの間のノードN1と、第2の電源線132とに接続され、第1のクロック信号CK1に基づいてオン・オフ制御されるP型トランジスタである。第1のキャパシタ118は、第1及び第3の電源線130、134間にて、インダクタ素子112及びダイオード114と並列に接続されている。第3の電源線136の第3の電位VEEは、第1のキャパシタ118により平滑化される。 40

【0034】

チャージポンプ120は、第2～第5のスイッチングトランジスタ(第2～第5のスイッチング素子)121～124と、第2及び第3のキャパシタ125、126とを有している。第2及び第3のスイッチングトランジスタ121、122は、第1及び第4の電源 50

線 1 3 0, 1 3 6 間に直列接続されて、相補的に駆動される。第 4 及び第 5 のスイッチングトランジスタ 1 2 3, 1 2 4 は、第 2 及び第 3 の電源線 1 3 2, 1 3 4 間に直列接続され、相補的に駆動される。第 2 及び第 4 のスイッチングトランジスタ 1 2 1, 1 2 3 は P 型トランジスタにて形成され、第 3 及び第 5 のスイッチングトランジスタ 1 2 2, 1 2 4 は N 型トランジスタにて形成される。

【0035】

第 2 のキャパシタ 1 2 5 は、第 2 及び第 3 のスイッチングトランジスタ 1 2 1, 1 2 2 間のノード N 2 と、第 4 及び第 5 のスイッチングトランジスタ 1 2 3, 1 2 4 間のノード N 3 とに接続されている。第 3 のキャパシタ 1 2 6 は、第 3 及び第 4 の電源線 1 3 4, 1 3 6 間に接続されている。

10

【0036】

図 5 には、この降圧・昇圧回路 1 1 0, 1 2 0 に第 1, 第 2 のクロック信号 C K 1, C K 2 を供給するクロック供給系が示されている。クロック信号発生回路 1 4 0 は、第 1, 第 2 の電位 V S S, V D D に基づいて第 1, 第 2 のクロック信号 C K 1, C K 2 を発生する。第 1 のレベルシフタ 1 4 1 は、第 1 のクロック信号 C K 1 を、第 2, 第 3 の電位間の電圧 ($V D D - V E E$) にレベルシフトさせて、第 1 のスイッチングトランジスタ 1 1 6 のゲートに供給する。第 2 及び第 3 のレベルシフタ 1 4 2, 1 4 3 は、第 2 のクロック信号 C K 2 を、第 1, 第 4 の電位間の電圧 ($V D D H - V S S$) にレベルシフトさせて、第 2 及び第 3 のスイッチングトランジスタ 1 2 1, 1 2 2 のゲートに供給する。第 4 及び第 5 のレベルシフタ 1 4 4, 1 4 5 は、第 2 のクロック信号 C K 2 を、第 2, 第 3 の電位間の電圧 ($V D D - V E E$) にレベルシフトさせて、第 4 及び第 5 のスイッチングトランジスタ 1 2 3, 1 2 4 のゲートに供給する。なお、第 3 及び第 5 のレベルシフタ 1 4 3, 1 4 5 を削除し、第 2 のレベルシフタ 1 4 2 を第 2, 第 3 のスイッチングトランジスタ 1 2 1, 1 2 2 に兼用し、第 4 のレベルシフタ 1 4 4 を第 4, 第 5 のスイッチングトランジスタ 1 2 3, 1 2 4 に兼用しても良い。

20

【0037】

(降圧回路の動作説明)

図 6 は、図 4 及び図 5 に示す電源回路中の降圧回路 (スイッチングレギュレータ) 1 1 0 の動作タイミングチャートである。図 6 に示す第 1 のクロック信号 C K 1 は、レベルシフトされて図 5 に示す第 1 のスイッチングトランジスタ 1 1 6 のゲートに入力される。この第 1 のスイッチングトランジスタ 1 1 6 は P 型トランジスタであるので、第 1 のクロック信号 C K 1 が L O W の時にオンされ、H I G H の時にオフされる。

30

【0038】

第 1 のスイッチングトランジスタ 1 1 6 がオンすると、ノード N 1 の電位は第 2 の電位 V D D になる。このため、第 1 のスイッチングトランジスタ 1 1 6 を介してコイル 1 1 2 に電流 I (L) が流れる (図 6 参照)。この時、コイル 1 1 2 にて誘起起電力を発生するためのエネルギー (電荷) が、コイル 1 1 2 に蓄えられる。なお、この電源回路 1 0 0 の駆動開始前は、 $V D D = V S S = 0 V$ であったので、初期状態での第 3 の電源線 1 3 4 の電位は接地電位である。よって、第 1 のスイッチングトランジスタ 1 1 2 がオンした時には、ダイオード 1 1 4 には逆電圧が印加されるので、ダイオード 1 1 4 は非導通となる。

40

【0039】

その後、第 1 のクロック信号 C K 1 の電位が H I G H となると、第 1 のスイッチングトランジスタ 1 1 6 がオフする。このとき、コイル 1 1 2 に蓄えられた電荷が第 1 のキャパシタ 1 1 6 に移動するまで電流 I (L) が流れる (図 6 参照)。コイル 1 1 2 には、電流 I (L) の流れを妨げる方向に誘起起電力が生ずるため、この誘起起電力により、第 1 の電源線 1 3 0 の第 1 の電位 (V S S) を基準として負極性となる降圧電位 (反転昇圧電位) V E E が第 3 の電源線 1 3 4 に現われる。ダイオード 1 1 4 は、電流 I (L) が流れる期間にのみ導通して、ノード N 1 の電位を第 3 の電位 V E E に設定するが (図 6 参照)、それ以外の時には非導通となり、電流 I (L) の逆電流は生じない。

【0040】

50

そして、第1のスイッチングトランジスタ116のオン・オフ動作を繰り返すことで、第1のキャパシタ118により第3の電源線134の第3の電位V E Eが平滑化される。

【0041】

以上のようにして、降圧回路（スイッチングレギュレータ）110は、第1の電位V S Sを基準として、第1の電位と前記第2の電位との差（ $VDD - VSS$ ）に基づいて降圧した負極性の第3の電位V E Eを、第3の電源線134に供給する。

【0042】

（昇圧回路の動作）

図7は、図5に示す第2のクロック信号（昇圧クロック）CK2の波形図である。第2のクロック信号CK2がHIGHとなる第1期間では、第2，第4のスイッチングトランジスタ121，123がオフとなり、第3，第5のスイッチングトランジスタ122，124がオンする。よって、第2のキャパシタ125の一端は第3のスイッチングトランジスタ122を介して第1の電源線130に接続され、その他端は第5のスイッチングトランジスタ124を介して第3の電源線134に接続される。こうして、第2のキャパシタ125の両端には、電位差（ $VSS - VEE$ ）の電圧が印加され、それに相当する電荷が蓄積される。

【0043】

第1期間に続く第2期間では、第2のクロック信号CK2がLOWとなる。よって、第2，第4のスイッチングトランジスタ121，123がオンとなり、第3，第5のスイッチングトランジスタ122，124がオフする。

【0044】

このため、第2のキャパシタ125の一端は第2のスイッチングトランジスタ121を介して第4の電源線136に接続され、その他端は第4のスイッチングトランジスタ123を介して第2の電源線132に接続される。

【0045】

この第2期間では、電位差（ $VSS - VEE$ ）に相当する電荷が蓄積された第2のキャパシタ125の他端の電位が第3の電位V E Eから第2の電位V D Dにシフトされるため、第2のキャパシタ125の一端の電位も同じだけシフトする。

【0046】

このため、第2のキャパシタ125の一端に接続される第4の電源線136の第4の電位V D D Hとして、電位（ $VSS - VEE + VDD$ ）という昇圧電位が現われる。例えば、 $VSS = 0V$ 、 $VDD = +5V$ 、 $VEE = -2.5V$ とすると、第3の電位V D D H = $+3.0V$ となる。また、第3及び第4の電源線134，136間の電位差は、電位差（ $VDDH - VEE$ ） = $3.0 - (-2.5) = +5.5V$ となる。この第1，第2期間の動作を繰り返すことで、第3のキャパシタ126の両端にて、電位差（ $VDDH - VEE$ ）の電圧が維持される。こうして、図2に示す電源回路100にて、第1及び第2の電位V S S，V D Dに基づいて大電圧V（ $VDDH - VEE$ ）が生成されることになる。

【0047】

（電源回路の断面構造）

図5に示す素子のうち、コイル112と、第1～第3のキャパシタ118，125，126以外の各素子が走査線ドライバIC60の外付け部品となり、それ以外の素子は半導体基板上に形成することができる。

【0048】

図8は、図5に示す第1のスイッチングトランジスタ（P型トランジスタ）116とダイオード114の断面構造を示している。P型トランジスタ116は、低電圧（LV）型トリプルウェル構造を持つP型半導体基板150上に形成されている。

【0049】

P型半導体基板150上のトランジスタ形成領域の最深部の第1層ウェル152が高耐圧N型ウェルである。第1層ウェル152内に形成される第2層ウェル154が低耐圧N型ウェルである。第2層ウェル154内にP型トランジスタ116のソース用ロジックウ

10

20

30

40

50

エル156とドレイン用ロジックウェル158が形成され、その間のチャネル領域とゲート絶縁層を介して対向する位置にゲート159が形成されている。また、第2層ウェル154内にはN型コンタクト160が形成されている。このN型コンタクト160と、ソース用ロジックウェル156とに第2の電源線132が接続されている。

【0050】

P型半導体基板150には、高耐圧N型ウェル152に隣接して高耐圧P型ウェル170が設けられている。この高耐圧P型ウェル170内にはN型ウェル172が形成されている。そして、高耐圧P型ウェル170とN型ウェル172とのPN接合により、ダイオード114が形成される。

【0051】

さらに、高耐圧P型ウェル170内にP型コンタクト174が設けられ、このP型コンタクトに第3の電源線134が接続されている。また、N型ウェル172は、ドレイン用ロジックウェル158と配線176により接続されている。

【0052】

ここで、N型コンタクト160により第2の電位VDD（例えば+5V）に設定される第2層ウェル154は、P型コンタクト174により第3の電位VEE（例えば-25V）に設定される高耐圧P型ウェル170に対して、第1層ウェル（高耐圧N型ウェル）152を介して隔離されている。このため、第2層ウェル154は高耐圧でなく、低耐圧N型ウェルにて形成することができる。

【0053】

これに対して、高電圧（HV）型トリプルウェル構造では、図9に示すように、P型半導体基板180が第1の電位（VSS）に設定されるため、第1層ウェル182がP型半導体基板180よりも高い第4の電位VDDH（例えば+30V）に設定され、その第1層ウェル182内に形成される第2層ウェル184が第3の電位VEE（例えば-25V）となる。よって、第1層ウェル182を高耐圧N型ウェルにて形成すると共に、その中に形成される第2層ウェル184もまた高耐圧P型ウェルにて形成する必要がある。

【0054】

本実施形態では、第2層ウェル154を低耐圧ウェルにて形成できるので、プロセスコストを低減できる。

【0055】

本実施形態の他の効果として、降圧回路110をスイッチングレギュレータにて構成しているので、降圧回路110を多段チャージポンプで構成した場合と比較して、レイアウト面積を縮小することができる。例えば、供給電圧の4倍の電圧を得る多段チャージポンプでは、IC内部にスイッチングトランジスタが少なくとも4つ必要であるのに対して、スイッチングレギュレータ110では図4の通り、IC内部には一つのスイッチングトランジスタ116と一つのダイオード114を設ければよいからである。

【0056】

ICへの外付け部品としては、スイッチングレギュレータ110では一つのコイル112と一つのキャパシタ118が必要であるのに対して、4倍降圧の多段チャージポンプでは少なくとも4つのキャパシタが必要となり、外付け部品の数も少なくなる。なお、図4に示すダイオード114を外付け部品としても、外付け部品点数は少なくなる。

【0057】

本実施形態の電源回路100では、消費電流も少なくなる。すなわち、スイッチングレギュレータ110では一つのスイッチングトランジスタ116のみ必要である。これに対して、4倍降圧の多段チャージポンプでは、少なくとも4つのスイッチングトランジスタが必要であるので、充放電流が多く、消費電流が多くなるからである。

【0058】

よって、本実施形態の表示装置を備えた電子機器の消費電力を低減させることができる。特に、電池で駆動される携帯機器例えば図10に示す携帯電話機190に本実施形態の表示装置を使用すると好適である。

10

20

30

40

50

【0059】

なお、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、降圧回路110の後段に設けられる昇圧回路120は図4及び図5の構成に示すものに限らず、例えば昇圧回路120を多段チャージポンプとし、昇圧倍数を大きくしても良い。

【0060】

図11は、降圧回路110の前段に前置昇圧回路210を付加した電源回路200を示すブロック図である。ここで、図11において、図2と同一機能を有する部材については同一符号を付している。図11では、前置昇圧回路210に供給される2種の電位を、第1の電位VSS及び第5の電位VDDとしている。また、図11では第2の電位をVDDH1、第4の電位をVDDH2としている。

10

【0061】

図12は、図11に示す電源回路に供給される第1の電位VSS及び第5の電位VDDと、電源回路200により生成される第2の電位VDDH1、第3の電位VEE及び第4の電位VDDH2を説明するための図である。例えば、第1の電位VSS=0V（接地電源電位）、第5の電位VDD=5V（ロジック電源回路用電源電位）とする。

【0062】

図11に示す前置昇圧回路210は、第1の電源線130及び第5の電源線138が接続され、第1の電位VSSを基準として、第1の電位VSSと第5の電位VDDとの差に基づいて昇圧した第2の電位VDDH1を第2の電源線132に供給するものである。降圧回路110と昇圧回路120は上述した通りの構成とする。この場合、降圧回路110及び昇圧回路120に供給される第2の電位VDDH1がロジック電源回路用電源電位VDDよりも大きくなるため、第3の電位VEE及び第4の電位VDDH2の絶対値を図3よりも大きくすることができる。

20

【0063】

前置増幅回路210は、スイッチングレギュレータまたはチャージポンプのいずれかにて構成することができる。図13は、前置昇圧回路210を構成するスイッチングレギュレータの一例を示す回路図である。このスイッチングレギュレータ210は、インダクタ素子（コイル）212、ダイオード214、スイッチングトランジスタ216及びキャパシタ218を有する。コイル212の一端は第5の電源線138に接続されている。ダイオード214のアノードがコイル212の他端に接続され、ダイオード214のカソードは第2の電源線132に接続されている。スイッチングトランジスタ216はN型トランジスタであり、そのソースが第1の電源線130に接続され、そのドレインが、コイル212とダイオード214との間のノードに接続されている。キャパシタ218は第1の電源線130と第2の電源線132との間に接続されている。

30

【0064】

このスイッチングレギュレータ210では、スイッチングトランジスタ216のゲートに入力されるクロック信号がHIGHとなると、スイッチングトランジスタ216がオンされ、第5の電源線138→コイル212→スイッチングトランジスタ216→第1の電源線130と電流が流れる。この時に流れる電流により、誘起起電力を生じさせるためのエネルギー（電荷）がコイル212に蓄えられる。クロック信号がLOWになるとスイッチングトランジスタ216はオフするが、ダイオード214が導通され、コイル212に蓄えられていた電荷がキャパシタ218に移動して、第2の電源線132に昇圧電位である第2の電位VDDH1が現われる。なお、電源投入後の初期状態においては、第2の電源線132の電位は0Vであるので、昇圧動作が進んで第2の電位VDDH1がVDD以上になるまでは、スイッチングトランジスタ216のオン、オフにかかわらずダイオード214は導通している。

40

【図面の簡単な説明】

【0065】

【図1】 液晶表示装置の一例を示す図である。

50

【図 2】図 1 の走査線ドライバ IC に搭載される電源回路のブロック図である。

【図 3】図 2 に示す電源回路に供給される第 1 及び第 2 の電位と、電源回路により生成される第 3 及び第 4 の電位を説明するための図である。

【図 4】図 2 に示す電源回路の回路図である。

【図 5】図 4 に示す電源回路へのクロック供給系を示す回路図である。

【図 6】図 4 及び図 5 に示す電源回路中の降圧回路（スイッチングレギュレータ）の動作タイミングチャートである。

【図 7】図 5 に示す昇圧回路に供給される昇圧クロックの波形図である。

【図 8】図 4 及び図 5 に示すスイッチングレギュレータを構成する素子が形成される低電圧（LV）型トリプルウェル断面構造を示す図である。

10

【図 9】高電圧（HV）型トリプルウェル断面構造の比較例を示す図である。

【図 10】本発明が適用される電子機器の一例である携帯電話機を示す図である。

【図 11】前置昇圧回路を付加した電源回路の変形例を示すブロック図である。

【図 12】図 11 に示す電源回路に供給される第 1 及び第 5 の電位と、電源回路により生成される第 2、第 3 及び第 4 の電位を説明するための図である。

【図 13】図 11 に示す前置昇圧回路を構成するスイッチングレギュレータの回路図である。

【符号の説明】

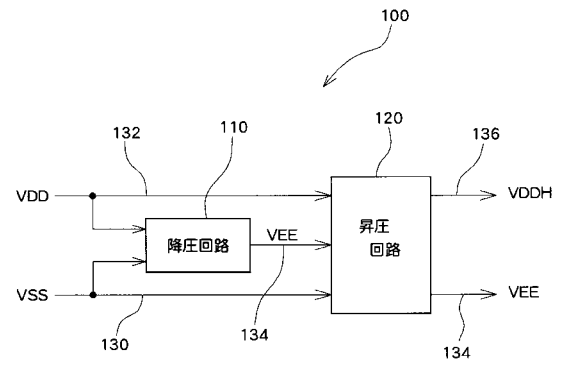
【0066】

10 走査線、20 データ線、30 液晶、40 画素、50 画素スイッチ（薄膜ダイオード）、60 走査線ドライバ IC、70 データ線ドライバ IC、80 走査線駆動部、100 電源回路、110 降圧回路（スイッチングレギュレータ）、112 インダクタ素子（コイル）、114 ダイオード、116 第 1 のスイッチングトランジスタ、118 第 1 のキャパシタ、120 昇圧回路（チャージポンプ）、121 第 2 のスイッチングトランジスタ、122 第 2 のスイッチングトランジスタ、123 第 3 のスイッチングトランジスタ、124 第 4 のスイッチングトランジスタ、125 第 2 のキャパシタ、126 第 3 のキャパシタ、130 第 1 の電源線、132 第 2 の電源線、134 第 3 の電源線、136 第 4 の電源線、138 第 5 の電位、140 クロック信号発生回路、141 第 1 のレベルシフタ、142 第 2 のレベルシフタ、143 第 3 のレベルシフタ、144 第 4 のレベルシフタ、145 第 5 のレベルシフタ、150 P 型半導体基板、152 第 1 層ウェル（高耐圧 N 型ウェル）、154 第 2 層ウェル（低耐圧 N 型ウェル）、156 ソース用ロジックウェル、158 ドレイン用ロジックウェル、159 ゲート、160 N 型コンタクト、170 高耐圧 P 型ウェル、172 N 型ウェル、174 P 型コンタクト、176 配線、180 P 型半導体基板、182 高耐圧第 1 層ウェル、184 高耐圧第 2 層ウェル、190 携帯電話機、200 電源回路、210 前置昇圧回路、212 インダクタ素子（コイル）、214 ダイオード、216 スwitchングトランジスタ、218 キャパシタ

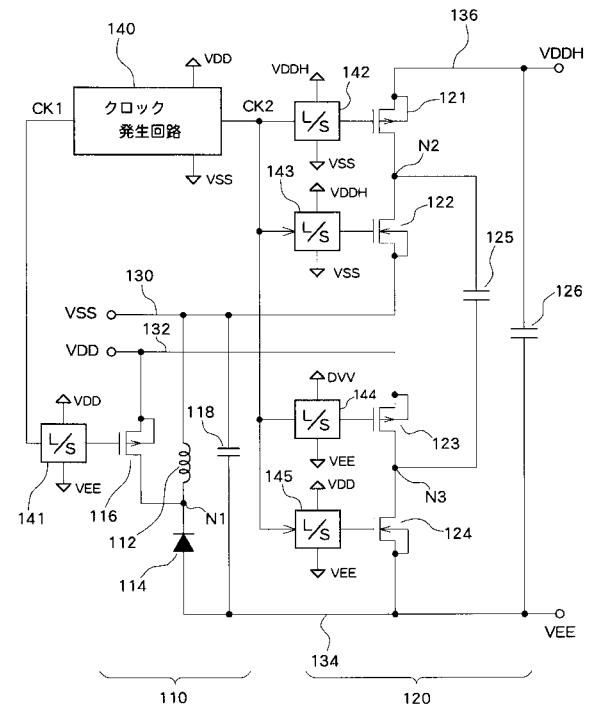
20

30

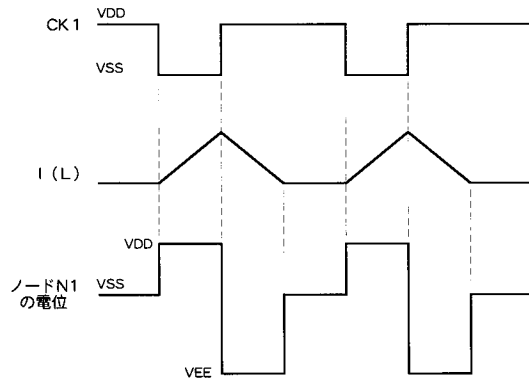
【図 2】



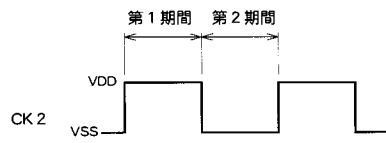
【図 5】



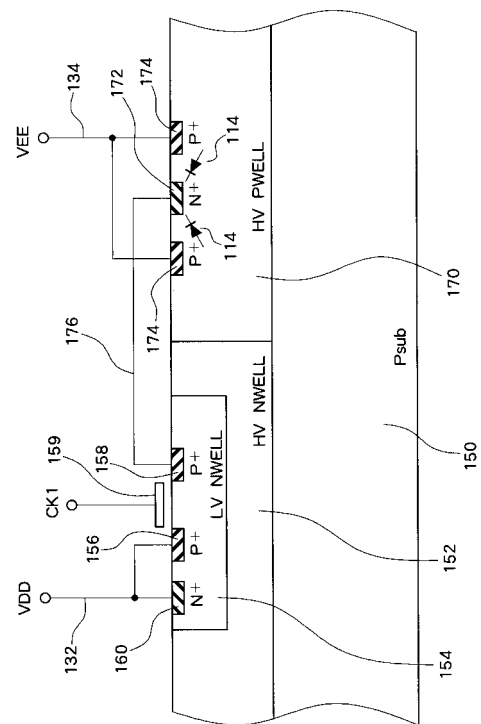
【図 6】



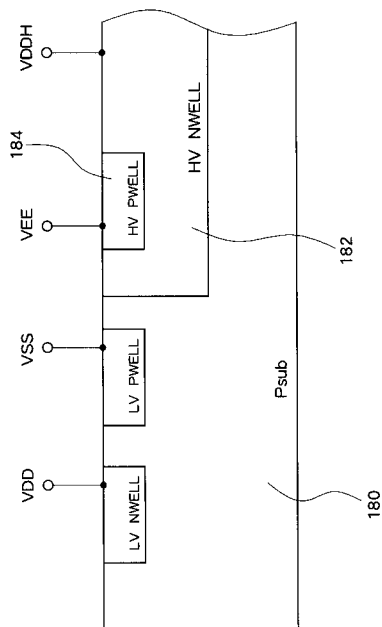
【図 7】



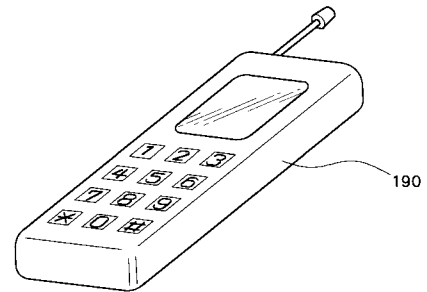
【図 8】



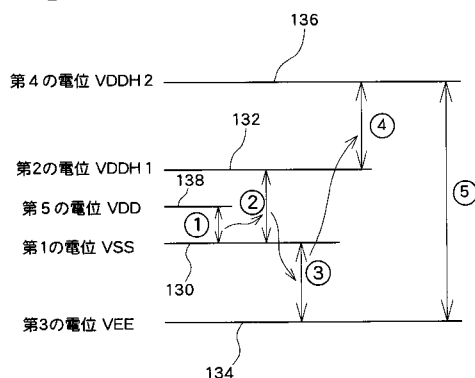
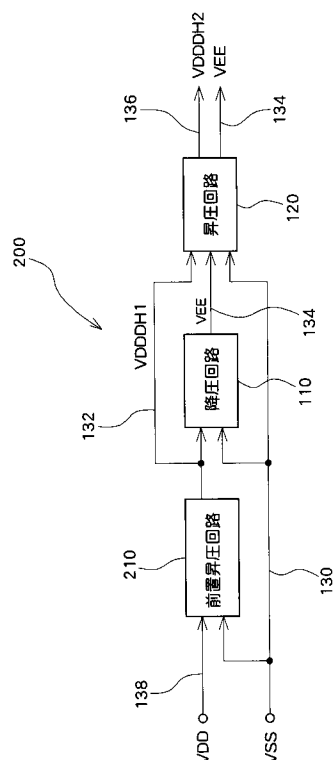
【図 9】



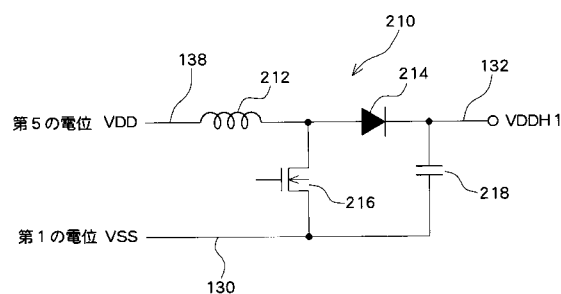
【図 10】



【图 1 2】



【 例 1 3 】



【 0 0 1 8 】

【 0 0 2 7 】

図 1 は、液晶表示装置の一例を示している。一対の基板の一方には、横方向に延びる複数本の走査線 10 が形成され、他方の基板には縦方向に延びる複数本のデータ線 20 が形成され、両基板間に液晶 30 が封入される。一方の基板上の複数の画素領域 40 の各々には、一端が走査線 10 に接続され、他端が液晶 30 に接続される画素スイッチとして例えば

薄膜ダイオード（TFD）50が形成されている。この薄膜ダイオード50として、例えばMIM（金属－絶縁膜－金属）素子を用いることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

その後、第1のクロック信号CK1の電位がHIGHとなると、第1のスイッチングトランジスタ116がオフする。このとき、コイル112に蓄えられた電荷が第1のキャパシタ118に移動するまで電流I（L）が流れる（図6参照）。コイル112には、電流I（L）の流れを妨げる方向に誘起起電力が生ずるため、この誘起起電力により、第1の電源線130の第1の電位（VSS）を基準として負極性となる降圧電位（反転昇圧電位）VEEが第3の電源線134に現われる。ダイオード114は、電流I（L）が流れる期間にのみ導通して、ノードN1の電位を第3の電位VEEに設定するが（図6参照）、それ以外の時には非導通となり、電流I（L）の逆電流は生じない。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

（電源回路の断面構造）

図5に示す素子のうち、コイル112と、第1～第3のキャパシタ118，125，126の各素子とが走査線ドライバIC60の外付け部品となり、それ以外の素子は半導体基板上に形成することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

前置昇圧回路210は、スイッチングレギュレータまたはチャージポンプのいずれかにて構成することができる。図13は、前置昇圧回路210を構成するスイッチングレギュレータの一例を示す回路図である。このスイッチングレギュレータ210は、インダクタ素子（コイル）212、ダイオード214、スイッチングトランジスタ216及びキャパシタ218を有する。コイル212の一端は第5の電源線138に接続されている。ダイオード214のアノードがコイル212の他端に接続され、ダイオード214のカソードは第2の電源線132に接続されている。スイッチングトランジスタ216はN型トランジスタであり、そのソースが第1の電源線130に接続され、そのドレインが、コイル212とダイオード214との間のノードに接続されている。キャパシタ218は第1の電源線130と第2の電源線132との間に接続されている。

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/822	G O 9 G 3/36	5 H 7 3 0
H O 1 L 27/04	H O 2 M 3/07	
H O 2 M 3/07	H O 1 L 27/04	G

F ターム(参考) 5C006 BB17 BC03 BF34 BF46 FA47 FA51
5C080 AA10 BB05 DD26 DD28 FF11 JJ02 JJ03 JJ04 JJ06 KK47
5F038 BB01 BG03 BG05 CD02 CD04 CD16 DF01 DF08 EZ12 EZ20
5H730 AA15 AS01 AS04 AS05 AS19 BB02 BB13 BB86 DD04 EE62
ZZ11 ZZ15

专利名称(译)	电源电路，使用其的驱动器IC，液晶显示装置和电子装置		
公开(公告)号	JP2005261129A	公开(公告)日	2005-09-22
申请号	JP2004070988	申请日	2004-03-12
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	矢島秀彦		
发明人	矢島 秀彦		
IPC分类号	G02F1/1345 G02F1/133 G09G3/20 G09G3/36 G09G5/00 H01L21/822 H01L27/04 H02M3/07 H02M3/155		
CPC分类号	H01L27/0629 G09G3/3696 H01L21/761 H02M2001/0006		
FI分类号	H02M3/155.U G02F1/133.520 G02F1/1345 G09G3/20.611.A G09G3/20.612.D G09G3/36 H02M3/07 H01L27/04.G		
F-TERM分类号	2H092/GA32 2H092/GA40 2H092/GA59 2H092/JA03 2H092/JB22 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC02 2H093/NC37 2H093/ND54 5C006/BB17 5C006/BC03 5C006/BF34 5C006/BF46 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK47 5F038/BB01 5F038/BG03 5F038/BG05 5F038/CD02 5F038/CD04 5F038/CD16 5F038/DF01 5F038/DF08 5F038/EZ12 5F038/EZ20 5H730/AA15 5H730/AS01 5H730/AS04 5H730/AS05 5H730/AS19 5H730/BB02 5H730/BB13 5H730/BB86 5H730/DD04 5H730/EE62 5H730/ZZ11 5H730/ZZ15 2H193/ZA12 2H193/ZF02		
代理人(译)	井上 一		
其他公开文献	JP4075830B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种适用于IC的电源电路，同时降低产生大电压的过程成本。电源电路（100）在后级具有降压电路（110）和升压电路（120）。降压电路110连接到提供第一电势VSS的第一电源线130和提供第二电势VDD并具有第一电势VSS作为参考的第二电源线132和第一电源线130。基于第二电势与第二电势之间的差（VDD-VSS）而降低的第三负电势VEE被提供给第三电源线134。基于第一电势和第三电势（VSS-VEE）之间的差（以第二电势VDD为基准），升压电路120连接到第一至第三电源线130至134。升压的正第四电势VDDH被提供给第四电源线136。降压电路110由开关调节器组成。[选择图]图4

