

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-264481

(P2004-264481A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20
H05B 33/08

F I

G09G 3/36
G02F 1/133 575
G09G 3/20 622D
G09G 3/20 622K
G09G 3/20 623U

テーマコード(参考)

2H093
3K007
5C006
5C080

審査請求 未請求 請求項の数 6 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2003-53731 (P2003-53731)

(22) 出願日 平成15年2月28日(2003.2.28)

(71) 出願人 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(74) 代理人 100083552

弁理士 秋田 収喜

(72) 発明者 田中 昌広

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72) 発明者 武田 伸宏

千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

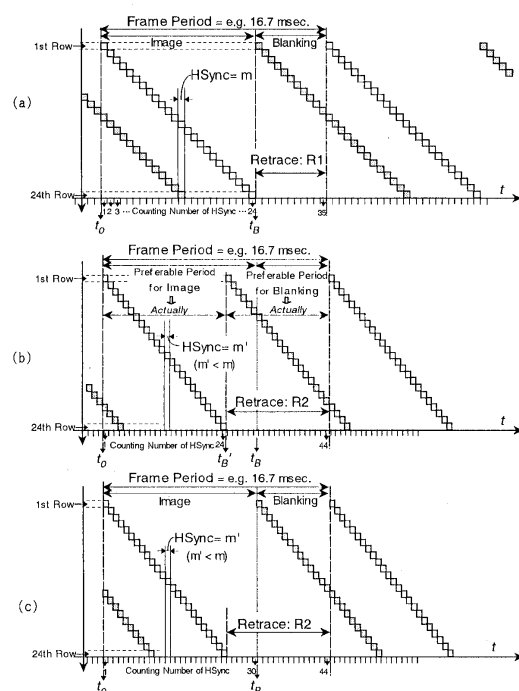
【課題】映像データの変更があっても、表示信号の表示期間とブランキング・データの表示期間の比率が予め設定した比率と異なるようなことをなくす。

【解決手段】動画を映像させる際にその画像を鮮明化させるため、表示信号を順次供給するデータ駆動回路から該表示信号の供給開始から所定時間後にいわゆるブランキング・データをも順次供給するようにしたものであって、

1フレーム期間当りのブランキング・データによる表示の比率を設定する手段を備えるとともに、前記映像データに含まれる1フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記ブランキング・データによる表示開始時を決定する手段を備えることを特徴とする表示装置。

【選択図】 図12

図12



【特許請求の範囲】

【請求項 1】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) 出力する第 1 の工程と、

10

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された (Y × N) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

20

1 フレーム期間当りの前記第 2 の工程による表示の比率を設定する手段を備えるとともに、

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とする表示装置。

【請求項 2】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

30

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

40

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された (Y × N) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

1 フレーム期間当りの前記第 1 の工程による表示の比率を設定する手段を備えるとともに、

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とする表示装置。

【請求項 3】

50

前記第 1 の工程における前記表示信号の 1 回の出力に呼応して前記第 1 選択工程で選択される前記画素行の行数：Y は 1 であり、該第 1 の工程での表示信号の出力回数：N は 4 以上であり、前記第 2 の工程における前記表示信号の 1 回の出力に呼応して前記第 2 選択工程で選択される前記画素行の行数：Z は 4 以上であり、且つ該第 2 の工程での表示信号の出力回数：M は 1 である請求項 1、2 のうちいずれかに記載の表示装置。

【請求項 4】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備え、

10

前記画素アレイは前記第 1 の方向に沿う仮想の線を境界に区分され、これら区分された各アレイは前記走査駆動回路およびデータ駆動回路によって独立に駆動されるものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を前記画素アレイのうち一方のアレイに少なくとも 1 回出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を前記画素アレイのうち他方のアレイに少なくとも 1 回出力する第 2 の工程とが並行してなされ、

20

前記走査駆動回路は、前記第 1 の工程において少なくとも 1 ライン毎に前記一方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において少なくとも 1 ライン毎に前記他方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが並行してなされ、

1 フレーム期間当りの前記第 2 の工程による表示の比率を設定する手段を備えるとともに、

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とする表示装置。

30

【請求項 5】

第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備え、

前記画素アレイは前記第 1 の方向に沿う仮想の線を境界に区分され、これら区分された各アレイは前記走査駆動回路およびデータ駆動回路によって独立に駆動されるものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

40

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を前記画素アレイのうち一方のアレイに少なくとも 1 回出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を前記画素アレイのうち他方のアレイに少なくとも 1 回出力する第 2 の工程とが並行してなされ、

前記走査駆動回路は、前記第 1 の工程において少なくとも 1 ライン毎に前記一方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において少なくとも 1 ライン毎に前記他方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが並行してなされ、

50

1 フレーム期間当りの前記第 1 の工程による表示の比率を設定する手段を備えるとともに、前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とする表示装置。

【請求項 6】

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段は前記表示制御回路に組み込まれていることを特徴とする請求項 1、2、4、5 のいずれかに記載の表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえばアクティブ・マトリクス型の液晶表示装置あるいはエレクトロルミネセンス・アレイ等の表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の表示装置は、たとえば x 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が y 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路を備えて構成される。

20

【0003】

そして、このような構成において、それに動画を映像させる際にその画像を鮮明化させるため、表示信号を順次供給するデータ駆動回路から該表示信号の供給開始から所定時間後にいわゆるブランキング・データをも順次供給するようにし、画面の全域を複数のフレームに亘って黒表示させることが試みられている。

【0004】

この場合、画素アレイへの表示信号の書込みの進行とブランキング・データの書込みの進行は時間経過に対して略同様に進行することから、前記表示信号の供給開始からブランキング・データの供給開始に至る時間を設定することにより、表示信号の表示期間とブラン

30

【0005】

【発明が解決しようとする課題】

しかし、上述した表示装置において、表示信号の供給開始からブランキング・データの供給開始に至る時間は該表示装置に入力される映像データに含まれる水平同期信号のパルス数に対応させたものであり、表示信号の表示期間とブランキング・データの表示期間の比率を設定した後において、映像データをたとえばテレビジョン受像機等からのそれに変更させた場合にその水平同期信号の周期が変更されることになる。

【0006】

このため、表示信号の表示期間とブランキング・データの表示期間の比率が予め設定した

40

【0007】

比率と異なってくるという不都合が生じた。本発明は、このような事情に基づいてなされたものであり、その目的は映像データの変更があっても、表示信号の表示期間とブランキング・データの表示期間の比率が予め設定した比率と異なるようなことのない表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】

50

手段 1 .

本発明による表示装置は、たとえば、第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) 出力する第 1 の工程と、

10

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された (Y × N) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

1 フレーム期間当りの前記第 2 の工程による表示の比率を設定する手段を備えるとともに

20

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とするものである。

【 0 0 1 0 】

手段 2 .

本発明による表示装置は、たとえば、第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備えたものであって、

30

映像データがその水平走査周期ごとにその 1 ラインずつ入力され、前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を画素アレイに N 回 (N は 2 以上の自然数) する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を画素アレイに M 回 (M は N より小さい自然数) 出力する第 2 の工程とが交互に繰り返され、

前記走査駆動回路は、前記第 1 の工程において前記複数の画素行を Y 行 (Y は N / M より小さい自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

40

前記第 2 の工程において前記複数の画素行の前記第 1 選択工程で選択された (Y × N) 行以外を Z 行 (Z は N / M 以上の自然数) 毎に前記画素アレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが交互に繰り返され、

1 フレーム期間当りの前記第 1 の工程による表示の比率を設定する手段を備えるとともに

前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とするものである。

【 0 0 1 1 】

50

手段 3 .

本発明による表示装置は、たとえば、手段 1、2 のいずれかの構成を前提とし、前記第 1 の工程における前記表示信号の 1 回の出力に呼応して前記第 1 選択工程で選択される前記画素行の行数：Y は 1 であり、該第 1 の工程での表示信号の出力回数：N は 4 以上であり、前記第 2 の工程における前記表示信号の 1 回の出力に呼応して前記第 2 選択工程で選択される前記画素行の行数：Z は 4 以上であり、且つ該第 2 の工程での表示信号の出力回数：M は 1 であることを特徴とするものである。

【 0 0 1 2 】

手段 4 .

本発明による表示装置は、たとえば、第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備え、

前記画素アレイは前記第 1 の方向に沿う仮想の線を境界に区分され、これら区分された各アレイは前記走査駆動回路およびデータ駆動回路によって独立に駆動されるものであって

、映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を前記画素アレイのうち一方のアレイに少なくとも 1 回出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を前記画素アレイのうち他方のアレイに少なくとも 1 回出力する第 2 の工程とが並行してなされ、

前記走査駆動回路は、前記第 1 の工程において少なくとも 1 ライン毎に前記一方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 1 選択工程と、

前記第 2 の工程において少なくとも 1 ライン毎に前記他方のアレイの一端から他端に向けて前記第 2 方向沿いに順次選択する第 2 選択工程とが並行してなされ、

1 フレーム期間当りの前記第 2 の工程による表示の比率を設定する手段を備えるとともに

、前記映像データに含まれる 1 フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第 2 の工程による表示開始時を決定する手段を備えることを特徴とするものである。

【 0 0 1 3 】

手段 5 .

本発明による表示装置は、たとえば、第 1 方向沿いに並ぶ複数の画素を夫々含む複数の画素行が該第 1 方向に交差する第 2 方向沿いに並設される画素アレイ、該複数の画素行の夫々を走査信号にて選択する走査駆動回路、該複数の画素行の該走査信号にて選択された少なくとも 1 行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び該画素アレイの表示動作を制御する表示制御回路を備え、

前記画素アレイは前記第 1 の方向に沿う仮想の線を境界に区分され、これら区分された各アレイは前記走査駆動回路およびデータ駆動回路によって独立に駆動されるものであって

、映像データがその水平走査周期ごとにその 1 ラインずつ入力され、

前記データ駆動回路は、前記映像データの 1 ライン毎にこれに対応する表示信号を順次一定期間毎に生成し且つ該表示信号を前記画素アレイのうち一方のアレイに少なくとも 1 回出力する第 1 の工程と、

前記画素の輝度を前記第 1 工程における該画素のそれ以下にする表示信号を前記一定期間に生成し且つ該表示信号を前記画素アレイのうち他方のアレイに少なくとも 1 回出力する第 2 の工程とが並行してなされ、

前記走査駆動回路は、前記第1の工程において少なくとも1ライン毎に前記一方のアレイの一端から他端に向けて前記第2方向沿いに順次選択する第1選択工程と、前記第2の工程において少なくとも1ライン毎に前記他方のアレイの一端から他端に向けて前記第2方向沿いに順次選択する第2選択工程とが並行してなされ、

1フレーム期間当りの前記第1の工程による表示の比率を設定する手段を備えるとともに、前記映像データに含まれる1フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第2の工程による表示開始時を決定する手段を備えることを特徴とするものである。

【0014】

10

手段6 .

本発明による表示装置は、たとえば、手段1、2、4、5のいずれかの構成を前提とし、前記映像データに含まれる1フレーム期間の水平同期信号のパルス数を計測し、この計測値に基づく前記比率に対応する前記水平同期信号のパルスによって前記第2の工程による表示開始時を決定する手段は前記表示制御回路に組み込まれていることを特徴とするものである。

【0015】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0016】

20

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0017】

第1の実施例

本発明による表示装置及びその駆動方法の第1の実施例を図1乃至図7を参照して説明する。本実施例では、アクティブ・マトリクス型の液晶表示パネル(Active Matrix-type Liquid Crystal Display Panel)を画素アレイ(Pixels-Array)に用いた表示装置(液晶表示装置)を引き合いに出すが、その基本的な構造や駆動方法はエレクトロルミネセンス・アレイ(Electroluminescence Array)や発光ダイオード・アレイ(Light Emitting Diode Array)を画素アレイとして用いた表示装置にも適用され得る。

30

【0018】

図1は、本発明による表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した画素アレイ内の走査信号線G1の選択タイミングを示すタイミング・チャートである。図2は、表示装置に備えられた表示制御回路(タイミング・コントローラ)への映像データの入力(入力データ)とこれからの映像データの出力(ドライバ・データ)のタイミングを示すタイミング・チャートである。図3は、本発明による表示装置の本実施例における概要を示す構成図(ブロック図)であり、これに示された画素アレイ101とその周辺の詳細の一例は図9に示される。先述の図1及び図2のタイミング・チャートは、図3に示された表示装置(液晶表示装置)の構成に基づいて描かれている。図4は、本実施例における表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した走査信号線選択タイミングの別の例を示すタイミング・チャートであり、表示信号の出力期間にシフトレジスタ型走査ドライバ(Shift-register type Scanning Driver)から出力される走査信号線で走査信号線の4本を選択し、これらの走査信号線の夫々に対応する画素行に表示信号を供給する。図5は、表示制御回路104(図3参照)に備えられたライン・メモリ回路(Line-Memory Circuit)105に含まれる4つのライン・メモリ毎に4ライン分の映像データを1ラインずつ書込み(Write)し、且つ夫々のライン・メモリから読み出して(Read-Out)、データ・ドライバ(映像信号駆動回路)

40

50

に転送するタイミングを示すタイミング・チャートである。図6は、本発明による表示装置の駆動方法に係り、その画素アレイでの本実施例による映像データ及びブランキング・データの表示タイミングを示し、これに則り本実施例における表示装置（液晶表示装置）を駆動したときの画素の輝度応答（画素に対応する液晶層の光透過率の変動）を図7に示す。

【0019】

はじめに、図3を参照して本実施例における表示装置100の概要を説明する。この表示装置100は、画素アレイ101としてWXGAクラスの解像度を有する液晶表示パネル（以下、液晶パネルと記す）を備える。WXGAクラスの解像度を有する画素アレイ101は、液晶パネルに限らず、その画面内に水平方向に1280ドットの画素を並べてなる画素行が垂直方向に768ライン並設されていることに特徴づけられる。本実施例における表示装置の画素アレイ101は、既に図9を参照して説明されたそれと概ね同じであるが、その解像度ゆえ、画素アレイ101の面内には768ラインのゲート線10と1280ラインのデータ線12とが夫々並設される。また、画素アレイ101には、その各々が前者のいずれか一つで伝送される走査信号で選択されて後者のいずれか一つから表示信号を受ける983040個の画素PIXが二次元的に配置され、これらにより画像が生成される。画素アレイがカラー画像を表示する場合は、各画素はカラー表示に用いられる原色の数に応じて水平方向に分割される。例えば、光の三原色（赤、緑、青）に応じたカラー・フィルタを備える液晶パネルでは、上述のデータ線12の数は3840ラインに増やされ、その表示画面に含まれる画素PIXの総数も上述の値の3倍となる。

10

20

【0020】

本実施例で画素アレイ101として用いられる前記液晶パネルを更に詳細に説明すれば、これに含まれる画素PIXの各々はスイッチング素子SWとして薄膜トランジスタ（Thin Film Transistor, TFTと略される）を備える。また、各画素はこれに供給される表示信号が増大するほど高い輝度を示す所謂ノーマリ黒表示モード（Normally Black-displaying Mode）で動作する。本実施例の液晶パネルのみならず、上述のエレクトロルミネセンス・アレイや発光ダイオード・アレイの画素もノーマリ黒表示モードで動作する。ノーマリ黒表示モードで動作する液晶パネルにおいては、図9の画素PIXに設けられた画素電極PXにデータ線12からスイッチング素子SWを通して印加される階調電圧と、液晶層LCを挟んで画素電極PXと対向する対向電極CTに印加される対向電圧（基準電圧、コモン電圧ともよばれる）との電位差が大きくなるほど、この液晶層LCの光透過率が上昇し、画素PIXの輝度を高める。換言すれば、この液晶パネルの表示信号である階調電圧は、その値が対向電圧の値から離れるほど、表示信号を増大させる。

30

【0021】

図3に示された画素アレイ（TFT型の液晶パネル）101には、図9に示される画素アレイ101と同様に、これに設けられたデータ線（信号線）12に表示データに応じた表示信号（階調電圧, Gray Scale Voltage, or Tone Voltage）を与えるデータ・ドライバ（表示信号駆動回路）102と、これに設けられたゲート線（走査線）10に走査信号（電圧信号）を与える走査ドライバ（走査信号駆動回路）103-1, 103-2, 103-3とが夫々設けられる。本実施例では、走査ドライバを画素アレイ101の所謂垂直方向沿いに3つに分割したが、その個数はこれに限定されず、またこれらの機能を集約させた一つの走査ドライバに置き換えてもよい。

40

【0022】

表示制御回路（タイミング・コントローラ, Timing Controller）104は、データ・ドライバ102に上述の表示データ（ドライバ・データ, Driver Data）106及びこれに応じた表示信号出力を制御するタイミング信号（データ・ドライバ制御信号, Data Driver Control Signal）107を、走査ドライバ103-1, 103-2, 103-3の夫々に走査クロック信号（Scanning Clock Signal）112及び走査開始信号（Scanning S

50

t a r t S i g n a l) 1 1 3 を 夫 々 転 送 する。表示制御回路 1 0 4 は、走査ドライバ 1 0 3 - 1 , 1 0 3 - 2 , 1 0 3 - 3 に、その夫々に応じた走査状態選択信号 (S c a n - C o n d i t i o n S e l e c t i n g S i g n a l) 1 1 4 - 1 , 1 1 4 - 2 , 1 1 4 - 3 を 転 送 するが、その機能については後述する。走査状態選択信号は、その機能からして表示動作選択信号 (D i s p l a y - O p e r a t i o n S e l e c t i n g S i g n a l) と 同 じ と 記 される。

【 0 0 2 3 】

表示制御回路 1 0 4 は、テレビジョン受像機、パーソナル・コンピュータ、DVDプレーヤ等、表示装置 1 0 0 の外部の映像信号源からこれに入力される映像データ (映像信号) 1 2 0 及び映像制御信号 1 2 1 を受ける。表示制御回路 1 0 4 の内部又はその周辺には映像データ 1 2 0 を一時的に格納するメモリ回路が設けられるが、本実施例ではライン・メモリ回路 1 0 5 が表示制御回路 1 0 4 に内蔵される。映像制御信号 1 2 1 は、映像データの伝送状態を制御する垂直同期信号 (V e r t i c a l S y n c h r o n i z i n g S i g n a l) V S Y N C , 水平同期信号 (V e r t i c a l S y n c h r o n i z i n g S i g n a l) H S Y N C , ドット・クロック信号 (D o t C l o c k S i g n a l) D O T C L K , 及びディスプレイ・タイミング信号 (D i s p l a y T i m i n g S i g n a l) D T M G を含む。表示装置 1 0 0 に 1 画面の映像を生成させる映像データは、垂直同期信号 V S Y N C に呼応して (同期して) 表示制御回路 1 0 4 に入力される。換言すれば、映像データは垂直同期信号 V S Y N C により規定される周期 (垂直走査期間、フレーム期間とも呼ばれる) 毎に上記映像信号源から表示装置 1 0 0 (表示制御回路 1 0 4) に逐次入力され、このフレーム期間毎に 1 画面の映像が入れ代わり立ち代わり画素アレイ 1 0 1 に表示される。1 フレーム期間における映像データは、これに含まれる複数のライン・データ (L i n e D a t a) を上述の水平同期信号 H S Y N C で規定される周期 (水平走査期間とも呼ばれる) で分けて表示装置に順次入力される。換言すれば、フレーム期間毎に表示装置に入力される映像データの各々は複数のライン・データを含み、これにより生成される 1 画面の映像はライン・データ毎に抛る水平方向の映像を水平走査期間毎に垂直方向に順次並べて生成される。1 画面の水平方向に並ぶ画素の各々に対応したデータは、上記ライン・データの各々を上記ドット・クロック信号で規定される周期で識別される。

【 0 0 2 4 】

映像データ 1 2 0 及び映像制御信号 1 2 1 は陰極線管 (C a t h o d e R a y T u b e) を用いた表示装置にも入力されるため、その電子線を水平走査期間毎及びフレーム期間毎に走査終了位置から走査開始位置に掃引する時間を要する。この時間は映像情報の伝送においてデッド・タイム (D e a d T i m e) となるため、これに対応する映像情報の伝送に寄与しない帰線期間 (R e t r a c i n g P e r i o d) と呼ばれる領域が映像データ 1 2 0 にも設けられる。映像データ 1 2 0 において、この帰線期間に対応する領域は、上述のディスプレイ・タイミング信号 D T M G により映像情報の伝送に寄与する他の領域と識別される。

【 0 0 2 5 】

一方、本実施例にて記されるアクティブ・マトリクス型の表示装置 1 0 0 は、そのデータ・ドライバ 1 0 2 で 1 ラインの映像データ (上述のライン・データ) 分の表示信号を生成し、これらを走査ドライバ 1 0 3 によるゲート線 1 0 の選択に呼応させて画素アレイ 1 0 1 に並設された複数のデータ線 (信号線) 1 2 へ一斉に出力する。このため、理論的には帰線期間を挟むことなく水平走査期間から次の水平走査期間へライン・データの画素行への入力が続けられ、フレーム期間から次のフレーム期間へ映像データの画素アレイへの入力も続けられる。このため、本実施例の表示装置 1 0 0 では、表示制御回路 1 0 4 によるメモリ回路 (ライン・メモリ) 1 0 5 からの 1 ライン分の映像データ (ライン・データ) 毎の読み出しを、上述の水平走査期間 (1 ライン分の映像データのメモリ回路 1 0 5 への格納に宛がわれる) に含まれる帰線期間を縮めて生成された周期に則り行う。この周期は、後述する画素アレイ 1 0 1 への表示信号の出力間隔にも反映されるため、以降、画素ア

10

20

30

40

50

レイ動作の水平期間又は単に水平期間と記す。表示制御回路104は、この水平期間を規定する水平クロックCL1を生成し、上述のデータ・ドライバ制御信号107の一つとしてデータ・ドライバ102に転送する。本実施例では、1ライン分の映像データをメモリ回路105に格納する時間(上述の水平走査期間)に対して、これをメモリ回路105から読み出す時間(上述の水平期間)を縮めることで、1フレーム期間毎に画素アレイ101にブランキング信号を入力する時間を捻出する。

【0026】

図2は、表示制御回路104によるメモリ回路105への映像データ入力(格納)とこれからの出力(読み出し)の一例を示すタイミング・チャートである。垂直同期信号VSYNCのパルス間隔で規定されるフレーム期間毎に表示装置に入力される映像データは、入力データの波形に示される如く、これに含まれる複数のライン・データ(1ラインの映像データ)L1, L2, L3, ...毎に帰線期間を夫々含めて、水平同期信号HSYNCに呼応して(同期して)表示制御回路104によりメモリ回路105に順次入力される。表示制御回路104は、上述の水平クロックCL1又はこれに類似するタイミング信号に則りメモリ回路105に格納されたライン・データL1, L2, L3, ...を出力データの波形に示される如く、順次読み出す。このとき、メモリ回路105から出力されるライン・データL1, L2, L3, ...の夫々を時間軸沿いに隔てる帰線期間は、メモリ回路105に入力されるライン・データL1, L2, L3, ...の夫々を隔てるそれより、時間軸沿いに縮められる。このため、N回(Nは2以上の自然数)のライン・データのメモリ回路105への入力に要する期間とこれらのライン・データのメモリ回路105からの出力に要する期間(N回のライン・データ出力期間)との間には、メモリ回路105からライン・データをM回(MはNより小さい自然数)出力し得る時間が生じる。本実施例では、このMライン分の映像データをメモリ回路105から出力せしめる言わば余剰時間で画素アレイ101に別の表示動作を行わせる。

10

20

【0027】

なお、映像データ(図2では、これに含まれるライン・データ)は、データ・ドライバ102に転送される前に一旦メモリ回路105に格納されるため、その格納される期間に応じた遅延時間において表示制御回路104により読み出される。メモリ回路105としてフレーム・メモリを用いた場合、この遅延時間は1フレーム期間に相当する。映像データが30Hzの周波数で表示装置に入力されるとき、その1フレーム期間は約33ms(ミリ秒)であるため、表示装置のユーザは映像データの表示装置への入力時刻に対するその画像の表示時刻の遅れを知覚し得ない。しかしながら、上述のメモリ回路105として、フレーム・メモリに代えて複数のライン・メモリを表示装置100に設けることにより、この遅延時間を縮め且つ表示制御回路104又はその周辺の回路構造を簡素にし又はその寸法の増大を抑えることができる。

30

【0028】

メモリ回路105として、複数のライン・データを格納するライン・メモリを用いた表示装置100の駆動方法の一例を図5を参照して説明する。この一例による表示装置100の駆動では、表示制御回路104へのNライン分の映像データ入力期間とこれからのNライン分の映像データ出力期間(Nラインの映像データに夫々応じた表示信号をデータ・ドライバ102から逐次出力する期間)との間に生じる上記余剰時間にて、既に画素アレイに保持された表示信号(一つ前のフレーム期間に画素アレイに入力された映像データ)をマスクする表示信号(以下、これをブランキング信号と記す)をM回書込む。この表示装置100の駆動方法では、データ・ドライバ102によりNラインの映像データの各々から表示信号を逐次生成し且つこれを水平クロックCL1に呼応させて順次(合計N回)画素アレイ101に出力する第1の工程と、上述のブランキング信号を水平クロックCL1に呼応させて画素アレイ101にM回出力する第2の工程とが繰り返される。この表示装置の駆動方法の更なる説明は図1を参照して後述されるが、図5においては上記Nの値を4とし、Mの値を1とする。

40

【0029】

50

図5に示すように、メモリ回路105はデータの書込みと読み出しとを互いに独立して行える4つのライン・メモリ1~4を備え、水平同期信号HSYNCに同期して表示装置100に順次入力される1ライン毎の映像データ120はこれらのライン・メモリ1~4の一つに順繰りに格納される。換言すれば、メモリ回路105は4ライン分のメモリ容量を有する。例えば、メモリ回路105による4ライン分の映像データ120の取得期間(Acquisition Period)Tinでは、4ライン分の映像データW1, W2, W3, W4がライン・メモリ1からライン・メモリ4に順次入力される。この映像データの取得期間Tinは、映像制御信号121に含まれる水平同期信号HSYNCのパルス間隔で規定される水平走査期間の4倍に相当する時間に亘る。しかしながら、この映像データの取得期間Tinがライン・メモリ4への映像データの格納により終了する前に、この期間にライン・メモリ1、ライン・メモリ2、及びライン・メモリ3に格納された映像データは表示制御回路104により映像データR1, R2, R3として順次読み出される。これにより、4ライン分の映像データW1, W2, W3, W4の取得期間Tinが終了するや否や、次の4ライン分の映像データW5, W6, W7, W8のライン・メモリ1~4への格納が開始できる。

10

20

30

40

50

【0030】

上述の説明では、映像データの1ライン毎に付された参照符号をライン・メモリへの入力時とこれからの出力時にて、例えば前者のW1に対して後者のR1というように変えている。これは、1ライン毎の映像データが上述の帰線期間を含み、これがライン・メモリ1~4のいずれかから上記水平同期信号HSYNCより周波数の高い水平クロックCL1に呼応して(同期して)読み出されるとき、これに含まれる帰線期間が縮められることを反映する。従って、例えばライン・メモリ1に入力される1ライン分の映像データ(以下、ライン・データ)W1の時間軸に沿う長さ比べて、これがライン・メモリ1から出力されるときライン・データR1の時間軸に沿う長さは図5に示される如く短い。ライン・データのライン・メモリへの入力からこれよりの出力に到る期間にて、このライン・データに含まれる映像情報(例えば、画面の水平方向沿いに1ラインの映像を生成する)を加工しなくとも、その時間軸沿いの長さは上述の如く圧縮される。従って、ライン・メモリ1~4からの4ラインの映像データR1, R2, R3, R4の出力の終了時刻とライン・メモリ1~4からの4ラインの映像データR5, R6, R7, R8の出力の開始時刻との間には上述の余剰時間Texが生じる。

【0031】

ライン・メモリ1~4から読み出された4ラインの映像データR1, R2, R3, R4は、ドライバ・データ106としてデータ・ドライバ102に転送され、夫々に応じた表示信号L1, L2, L3, L4が生成される(次に読み出される4ラインの映像データR5, R6, R7, R8についても同様に表示信号L5, L6, L7, L8が生成される)。これらの表示信号は、図5の表示信号出力のアイ・ダイアグラム(Eye Diagram)に示される順序で、上述の水平クロックCL1に呼応して画素アレイ101に夫々出力される。従って、メモリ回路105に少なくとも上記Nラインの容量を有するライン・メモリ(又はその集合体)を含ませることにより、或るフレーム期間に表示装置に入力される映像データの1ラインを、このフレーム期間内で画素アレイに入力することが可能となり、表示装置の映像データ入力に対する応答速度も高まる。

【0032】

一方、図5から明らかなように、上述の余剰時間Texはライン・メモリから1ラインの映像データを上述の水平クロックCL1に呼応して出力させる時間に相当する。本実施例では、この余剰時間Texを利用して画素アレイに別の表示信号を1回出力する。本実施例による別の表示信号は、これが供給される画素の輝度をその供給前の輝度以下に落とす所謂ブランキング信号Bである。例えば、1フレーム期間前に比較的高い階調(モノクロ画像表示の場合、白又はこれに近い明るい灰色)で表示された画素の輝度は、ブランキング信号Bによりこれより低くなる。一方、1フレーム期間前に比較的低い階調(モノクロ画像表示の場合、黒又はこれに近いCharcoal Grayのような暗い灰色)で表

示された画素の輝度は、ブランキング信号 B の入力後も殆ど変わらない。このブランキング信号 B は、フレーム期間毎に画素アレイに生成された画像を一旦暗い画像（ブランキング画像）に置き換える。このような画素アレイの表示動作により、ホールド型の表示装置においても、フレーム期間毎にこれに入力される映像データに応じた画像表示をインパルス型表示装置におけるそのように行える。

【0033】

先述の N ラインの映像データを画素アレイに順次出力する第 1 の工程とブランキング信号 B を画素アレイに M 回出力する第 2 の工程とを繰り返す表示装置の駆動方法をホールド型の表示装置に適用することにより、このホールド型表示装置による画像表示をインパルス型の表示装置のように行うことができる。この表示装置の駆動方法は、図 5 を参照して説明した少なくとも N ライン分の容量を備えたライン・メモリをメモリ回路 105 として備えた表示装置のみならず、例えば、このメモリ回路 105 をフレーム・メモリに置き換えた表示装置にも適用できる。

10

【0034】

このような表示装置の駆動方法について、更に図 1 を参照して説明する。上述した第 1 及び第 2 の工程による表示装置の動作は、図 3 の表示装置 100 におけるデータ・ドライバ 102 による表示信号の出力を規定するが、これに呼応する走査ドライバ 103 による走査信号の出力（画素行の選択）は次のように記される。以下の説明にて、ゲート線（走査信号線）10 に印加され且つこのゲート線に対応する画素行（ゲート線沿いに並ぶ複数の画素 PIX）を選択する「走査信号」は、図 1 に示すゲート線 G1, G2, G3, ... の夫々に印加される走査信号が High 状態となる走査信号のパルス（ゲート・パルス）を指す。図 9 に示されるような画素アレイにおいては、画素 PIX に設けられたスイッチング素子 SW は、これに接続されたゲート線 10 を通してゲート・パルスを受けることにより、データ線 12 から供給される表示信号をこの画素 PIX に入力させる。

20

【0035】

上述の第 1 の工程に対応する期間では、N ラインの映像データに対応する表示信号の出力毎に、ゲート線の Y ラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ 103 から走査信号が N 回出力される。このような走査信号の印加は、上記表示信号の出力毎にゲート線の Y ライン置きに画素アレイ 101 の一端（例えば、図 3 における上端）からその他端（例えば、図 3 における下端）に向けて順次行われる。このため、第 1 の工程では（Y × N）ラインのゲート線に相当する画素行が選択され、その各々に映像データから生成された表示信号が供給される。図 1 は、N の値を 4 とし、Y の値を 1 としたときの表示信号の出力タイミング（データ・ドライバ出力電圧のアイ・ダイヤグラム参照）とこれに呼応するゲート線（走査線）の夫々に印加される走査信号の波形を示し、この第 1 工程の期間は、データ・ドライバ出力電圧 1 ~ 4, 5 ~ 8, 9 ~ 12, ..., 513 ~ 516, ... の各々に対応する。データ・ドライバ出力電圧 1 ~ 4 に対して G1 から G4 のゲート線に走査信号が順次印加され、次のデータ・ドライバ出力電圧 5 ~ 8 に対して G5 から G8 のゲート線に走査信号が順次印加され、更なる時間経過の後のデータ・ドライバ出力電圧 513 ~ 516 に対して G513 から G516 のゲート線に走査信号が順次印加される。即ち、走査ドライバ 103 から走査信号出力は、画素アレイ 10

30

40

【0036】

一方、上述の第 2 の工程に対応する期間では、ブランキング信号として上述した表示信号の M 回の出力毎に、ゲート線の Z ラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ 103 から走査信号が M 回出力される。走査ドライバ 103 からの走査信号の 1 回の出力に対し、この走査信号が印加されるゲート線（走査線）の組み合わせは特に限定されないが、第 1 の工程で画素行に供給された表示信号をこれに長く保持させることや、データ・ドライバ 102 に掛かる負荷を軽減することを鑑みれば

50

、表示信号の出力毎に走査信号をゲート線のZライン置きに順次印加するとよい。第2工程におけるゲート線への走査信号の印加は、第1工程のそれと同様に画素アレイ101の一端からその他端に向けて順次行われる。このため、第2の工程では(Z×M)ラインのゲート線に相当する画素行が選択され、その各々にブランキング信号が供給される。図1は、Mの値を1とし、Zの値を4としたときの上記第1の工程の夫々に続く第2の工程の各々におけるブランキング信号Bの出力タイミングとこれに呼応するゲート線(走査線)の夫々に印加される走査信号の波形を示す。G1からG4のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では1回のブランキング信号B出力に対してG257からG260に到る4本のゲート線に走査信号が、G5からG8のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のブランキング信号B出力に対してG261からG264に到る4本のゲート線に走査信号が、G513からG516のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のブランキング信号B出力に対してG1からG4に到る4本のゲート線に走査信号が、夫々印加される。

10

【0037】

上述のように第1の工程では4本のゲート線の各々に走査信号を順次印加し、第2の工程では4本のゲート線に一齐に走査信号を印加するため、例えばデータ・ドライバ102からの表示信号出力に呼応して、走査ドライバ103の動作を夫々の工程に合わせる必要がある。先述したように本実施例で用いられる画素アレイはWXGAクラスの解像度を有し、768ラインのゲート線がこれに並設される。一方、第1の工程で順次選択される4本のゲート線群(例えば、G1からG4)とこれに続く第2の工程で選択される4本のゲート線群(例えばG257からG260)とは、画素アレイ101におけるゲート線10のアドレス番号が増える方向に沿い252本のゲート線にて離間される。従って、画素アレイに並設された768ラインのゲート線をその垂直方向(又は、データ線の延伸方向)に沿い、256ライン毎に3つの群に分割し、夫々の群毎に走査ドライバ103からの走査信号の出力動作を独立して制御する。このため、図3に示す表示装置では、画素アレイ101沿いに3つの走査ドライバ103-1, 103-2, 103-3を配置し、夫々からの走査信号の出力動作を走査状態選択信号114-1, 114-2, 114-3で制御する。例えば、第1の工程でゲート線G1~G4を、これに続く第2の工程でゲート線G257~G260を夫々選択する場合、走査状態選択信号114-1は走査ドライバ103-1に、走査クロックCL3の連続する4パルスに対するゲート線を1ラインずつ順次選択する走査信号出力と、これに続く走査クロックCL3の1パルスに対する走査信号の出力休止とを繰り返す走査状態を指示する。一方、走査状態選択信号114-2は走査ドライバ103-2に、走査クロックCL3の連続する4パルスに対する走査信号の出力休止と、これに続く走査クロックCL3の1パルスに対する4ラインのゲート線への走査信号出力とを繰り返す走査状態を指示する。また、走査状態選択信号114-3は走査ドライバ103-3に輸入される走査クロックCL3を無効にし、これによる走査信号出力を休止させる。夫々の走査ドライバ103-1, 103-2, 103-3には、走査状態選択信号114-1, 114-2, 114-3による上述の2つの指示に対応する2つの制御信号伝達網が備えられる。

20

30

40

【0038】

一方、図1に示される走査開始信号FLMの波形は、時刻t1とt2とで夫々立ち上がる2つのパルスを含む。上記第1の工程による一連のゲート線選択動作は時刻t1に生じる走査開始信号FLMのパルス(Pulse 1と記す、以下、第1パルス)に呼応して、上記第2の工程による一連のゲート線選択動作は時刻t2に生じる走査開始信号FLMのパルス(Pulse 2と記す、以下、第2パルス)に呼応して、夫々開始される。走査開始信号FLMの第1パルスは、1フレーム期間の映像データの表示装置への入力開始(上記垂直同期信号VSYNCのパルスで規定される)にも呼応する。従って、走査開始信号FLMの第1パルス及び第2パルスは、フレーム期間毎に繰り返して生じる。さらに、走査開始信号FLMの第1パルスとこれに続く第2パルスの間隔と、この第2パルスとこ

50

れに続く（例えば、次のフレーム期間の）第1パルス）との間隔とを調整することにより、1フレーム期間にて画素アレイに映像データに基づく表示信号を保持する時間を調整できる。換言すれば、走査開始信号FLMに生じる第1パルスと第2パルスとを含めたパルス間隔は、2つの異なる値（時間幅）を交互に取りえる。一方、この走査開始信号FLMは、表示制御回路（タイミング・コントローラ）104で発生される。以上のことから、上記走査状態選択信号114-1, 114-2, 114-3は表示制御回路104において走査開始信号FLMを参照して生成できる。

【0039】

図1に示される映像データを1ライン毎に画素アレイへ4回書込む毎にブランキング信号を画素アレイへ1回書込む動作は、図5を参照して説明したように4ライン分の映像データを表示装置に入力する時間内に完結する。また、これに呼応して、走査信号を画素アレイへ5回出力する。このため、画素アレイの動作に要する水平期間は映像制御信号121の水平走査期間の4/5となる。このようにして、1フレーム期間に表示装置に入力される映像データ（これに基づく表示信号）とブランキング信号との画素アレイ内の全画素への入力は、この1フレーム期間にて完結する。

10

【0040】

図1に示したブランキング信号は、表示制御回路104又はその周辺回路で擬似的な映像データ（以下、ブランキング・データ）を生成し、これをデータ・ドライバ102に転送して、データ・ドライバ102内で生成させても、予めデータ・ドライバ102にブランキング信号を生成させる回路を設け、表示制御回路104から転送される水平クロックCL1の特定のパルスに応じてブランキング信号を画素アレイ101に出力させてもよい。前者の場合、表示制御回路104又はその周辺にフレーム・メモリを設け、これに格納されるフレーム期間毎の映像データからブランキング信号を強めるべき画素（この映像データにより高い輝度で表示される画素）を表示制御回路104により特定させ、画素に応じて暗さの異なるブランキング信号をデータ・ドライバ102に生成させるブランキング・データを生成させてもよい。後者の場合は、データ・ドライバ102にて水平クロックCL1のパルス数をカウントさせ、そのカウント数に応じて画素を黒又はこれに近い暗い色（例えば、Charcoal Grayのような色）に表示させる表示信号を出力させる。液晶表示装置の一部は、画素の輝度を定める複数の階調電圧を表示制御回路（タイミング・コンバータ）104にて生成する。このような液晶表示装置においては、複数の階調電圧をデータ・ドライバ102にて転送し、データ・ドライバ102により映像データに応じた階調電圧を選択させ且つ画素アレイに出力させるが、同様にして、データ・ドライバ102による水平クロックCL1のパルスに応じた階調電圧の選択でブランキング信号を発生させてもよい。

20

30

【0041】

図1に示された本発明による画素アレイへの表示信号の出力方法（Outputting Manner）及びこれに呼応する夫々のゲート線（走査線）への走査信号の出力方法は、入力される走査状態選択信号114に応じて複数のゲート線に同時に走査信号を出力する機能を有する走査ドライバ103を備えた表示装置を駆動するに好適である。一方、走査ドライバ103-1, 103-2, 103-3の夫々に上述の如く複数の走査線へ同時に走査信号を出力させることなく、走査クロックCL3のパルス毎にゲート線（走査線）の1ライン毎に走査信号を順次出力させても本実施例による画像表示動作を行うことができる。このような走査ドライバ103の動作により、4ラインの映像データを1ラインずつ画素行の1つに順次入力する（映像データが4回出力される上記第1工程）毎にブランキング・データを別の画素行の4つに入力する（ブランキング・データが1回出力される上記第1工程）ことを繰り返す本実施例の画像表示動作は、図4に示される表示信号と走査信号との夫々の出力波形で説明される。

40

【0042】

図4を参照して説明される表示装置の駆動方法は、図1と同様に図3に示された表示装置が参照される。走査ドライバ103-1, 103-2, 103-3の各々は、走査信号を

50

出力する端子を256個備える。換言すれば、各走査ドライバ103は最大256ラインのゲート線に走査信号を出力できる。一方、画素アレイ101（例えば、液晶表示パネル）には768ラインのゲート線10とその夫々に対応する画素行が設けられる。このため、3つの走査ドライバ103-1, 103-2, 103-3は画素アレイ101の垂直方向（これに設けられたデータ線12の延伸方向）に沿う一辺に順次並ぶ。走査ドライバ103-1はゲート線群G1~G256に、走査ドライバ103-2はゲート線群G257~G512に、走査ドライバ103-3はゲート線群G513~G768に走査信号を夫々出力し、表示装置100の全画面（画素アレイ101の全域）における画像表示を制御する。図1を参照して説明された駆動方法が適用される表示装置と図4を参照して以下に説明される駆動方法が適用される表示装置とは、以上の走査ドライバ配置を有することで共通する。また、走査開始信号FLMの波形が映像データを画素アレイに入力する一連の走査信号出力を開始させる第1パルスとブランキング・データを画素アレイに入力する一連の走査信号出力を開始させる第2パルスとフレーム期間毎に含むことで、図1を参照して説明された表示装置の駆動方法と図4を参照して説明されるそれとは共通する。さらに、走査ドライバ103が上記走査開始信号FLMの第1パルス及び第2パルスの夫々を走査クロックCL3で取り込み、その後、走査クロックCL3に呼応して走査信号を出力すべき端子（又は端子群）を映像データ又はブランキング・データの画素アレイへの取り込み（Acquisition）に応じて順次シフトすることでも、図1の信号波形に拠る表示装置の駆動方法と図4の信号波形に拠るそれとは共通する。

10

20

30

40

50

【0043】

しかし、図4を参照して説明される本実施例の表示装置の駆動方法では、走査状態選択信号114-1, 114-2, 114-3の役割が図1を参照して説明されたそれらと相違する。図4には、走査状態選択信号114-1, 114-2, 114-3の夫々の波形がDISP1, DISP2, DISP3として示される。走査状態選択信号114は、まず、その各々が制御する領域（例えば、DISP2の場合、ゲート線群G257~G512に対応する画素群）に適用される動作条件に応じて、この領域における走査信号の出力動作を決める。図4において、データ・ドライバ出力電圧が4ラインの映像データに応じた表示信号L513~L516の出力を示す期間（表示信号L513~L516が出力される上記第1工程）では、これらの表示信号が入力される画素行に対応したゲート線G513~G516に走査ドライバ103-3から走査信号が印加される。このため、走査ドライバ103-3に転送される走査状態選択信号114-3は、走査クロックCL3に呼応して（1回のゲート・パルス出力毎に）ゲート線G513~G516の1ライン毎に順次走査信号を出力する所謂1ライン毎のゲート線選択を行う。これによりゲート線G513に対応する画素行に表示信号L513が、次いでゲート線G514に対応する画素行に表示信号L514が、さらにゲート線G515に対応する画素行に表示信号L515が、最後にゲート線G516に対応する画素行に表示信号L516が夫々1水平期間（水平クロックCL1のパルス間隔で規定される）に亘り供給される。

【0044】

一方、この表示信号L513~L516が水平期間毎に（水平クロックCL1のパルスに呼応して）順次出力される第1工程に続く上記第2工程では、この第1工程に対応する4水平期間に続く1水平期間にブランキング信号Bが出力される。本実施例では、表示信号L516出力と表示信号L517出力との間に出力されるブランキング信号Bをゲート線群G5~G8に対応する画素行の夫々に供給する。このため、走査ドライバ103-1は、このブランキング信号Bの出力期間にゲート線G5~G8の4ライン全てに走査信号を印加する所謂4ライン同時のゲート線選択を行わねばならない。しかしながら、図4に拠る画素アレイの表示動作では、上述の如く、走査ドライバ103は走査クロックCL3に呼応して（その1回のパルスに対して）1本のゲート線のみへの走査信号印加を開始するが、複数のゲート線には走査信号印加開始しない。換言すれば、走査ドライバ103は複数のゲート線の走査信号パルスを同時に立ち上げない。

【0045】

このため、走査ドライバ103-1に転送される走査状態選択信号114-1は、走査信号を印加すべきゲート線のZラインの少なくとも(Z-1)ラインにブランキング信号Bの出力前に走査信号を印加し、且つ走査信号の印加時間(走査信号のパルス幅)を水平期間の少なくともN倍の期間に延ばすように走査ドライバ103-1を制御する。この変数Z、Nは、上述の映像データを画素アレイに書き込む第1工程及びブランキング・データを画素アレイに書き込む第2工程の説明で記した第2工程におけるゲート線の選択数：Z、及び第1工程における表示信号の出力回数：Nである。例えば、ゲート線G5には表示信号L514の出力開始時刻から、ゲート線G6には表示信号L515の出力開始時刻から、ゲート線G7には表示信号L516の出力開始時刻から、ゲート線G8には表示信号L516の出力終了時刻(これに続くブランキング信号B出力開始時刻)から水平期間の5倍の期間に亘って走査信号が夫々印加される。換言すれば、走査ドライバ103によるゲート線群G5~G8のゲート・パルスの夫々の立ち上がり時刻は、走査クロックCL3に呼応させて1水平期間毎に順次ずらされるも、夫々のゲート・パルスの夫々の立ち下がり時刻を立ち上がり時刻のN水平期間以降に遅らせることで、上記ブランキング信号出力期間にゲート線群G5~G8のゲート・パルスの全てを立ち上がった(図4ではHighの)状態にする。このようにゲート・パルスの出力を制御する上で、走査ドライバ103にシフトレジスタ動作機能を含ませることが望ましい。なお、対応する画素行にブランキング信号が供給されるゲート線G1~G12のゲート・パルスに示されたハッチング領域については後述する。

【0046】

これに対し、この期間(表示信号L513~L516が出力される上記第1工程)及びこれに続く第2工程の間に、走査ドライバ103-2から走査信号を受けるゲート線群G257~G512の夫々に対応する画素行には表示信号が供給されない。このため、走査ドライバ103-2に転送される走査状態選択信号114-2は、この第1工程及び第2工程に亘る期間にて走査クロックCL3を走査ドライバ103-2に対して無効(Ineffective for the Scanning Driver 103-2)にする。このような走査状態選択信号114による走査クロックCL3の無効化は、これが転送される走査ドライバ103から走査信号が出力される領域内の画素群に表示信号やブランキング信号を供給する場合においても所定のタイミングで適用してもよい。図4には、走査ドライバ103-1での走査信号出力に応じた走査クロックCL3の波形が示される。この走査クロックCL3のパルスは、表示信号やブランキング信号の出力間隔を規定する水平クロックCL1のパルスに呼応して生じるものの、表示信号L513、L517、...の出力開始時刻にはパルスが生じない。このように表示制御回路104から走査ドライバ103に転送される走査クロックCL3を特定の時刻にて無効にする動作を、走査状態選択信号114で行うことができる。走査ドライバ103に対する走査クロックCL3の部分的な無効化は、これに応じた信号処理経路を走査ドライバ103に組み込み、この信号処理経路の動作を走査ドライバ103に転送される走査状態選択信号114で開始させてもよい。なお、図4には示されないが、映像データの画素アレイへの書込みを制御する走査ドライバ103-3もブランキング信号Bの出力開始時刻にて走査クロックCL3に対して不感となる。これにより、ブランキング信号Bの出力による第2工程に続く第1工程で映像データに拠る表示信号が供給される画素行に走査ドライバ103-3がブランキング信号を誤って供給することが防げる。

【0047】

次に、走査状態選択信号114は、夫々が制御する領域にて順次生成される走査信号のパルス(ゲート・パルス)を、これがゲート線に出力される段階で無効にする。この機能は、図4による表示装置の駆動方法にて、ブランキング信号を画素アレイに供給する走査ドライバ103内での信号処理に、これに転送された走査状態選択信号114を関与させる。図4に示される3つの波形DISP1、DISP2、DISP3は、走査ドライバ103-1、103-2、103-3の夫々の内部における信号処理に關与する走査状態選択信号114-1、114-2、114-3を示し、これがLow-levelにあるとき

ゲート・パルスの出力を有効にする。また、走査状態選択信号 114 - 1 の波形 DISP 1 は、上述の第 1 工程による画素アレイへの表示信号出力期間中にて High - level となり、この期間内に走査ドライバ 103 - 1 で生じるゲート・パルスの出力を無効にする。

【0048】

例えば、表示信号 L513 ~ L516 が画素アレイに供給される 4 水平期間にてゲート線 G1 ~ G7 に夫々応じた走査信号に生じるゲート・パルスは、この期間に High - level となる走査状態選択信号 DISP 1 により、夫々の出力をハッチングされたように無効にされる。これにより、或る期間にてブランキング信号を供給すべき画素行に映像データに拠る表示信号が誤って供給されることを防ぎ、これらの画素行によるブランキング表示（これらの画素行に表示されていた映像の消去）を確実にを行い、また、映像データに拠る表示信号自体の強度の損失を防ぐ。また、表示信号 L513 ~ L516 を出力する 4 水平期間と表示信号 L517 ~ L520 を出力する次の 4 水平期間との間のブランキング信号 B を出力する 1 水平期間にて、走査状態選択信号 DISP 1 は Low - level となる。これにより、この期間にゲート線 G5 ~ G8 に夫々応じた走査信号に生じるゲート・パルスは、一斉に画素アレイに出力され、この 4 ラインのゲート線に応じた画素行を同時に選択して、その各々にブランキング信号 B を供給する。

【0049】

以上のように、図 4 による表示装置の表示動作では、走査状態選択信号 114 により、これが転送される走査ドライバ 103 の動作状態（上記第 1 工程及び上記第 2 工程のいずれかによる動作状態、又は、これらのいずれにも拠らない非動作状態）のみならず、その動作状態に応じて走査ドライバ 103 で生成されたゲート・パルスの出力の有効性も決められる。なお、これらの走査状態選択信号 114 による走査ドライバ 103（これからの走査信号出力）の一連の制御は、画素アレイへの映像データに拠る表示信号書込み及びブランキング信号書込みのいずれに対しても走査開始信号 FLM に呼応してゲート線 G1 に対する走査信号出力から開始される。図 4 には、走査開始信号 FLM の上記第 2 パルスに呼応して、走査状態選択信号 DISP 1 により順次シフトする走査ドライバ 103 によるゲート線のライン選択動作（4 ライン同時選択動作）を主に示す。図 4 には示されないものの、これによる表示装置の動作にて、走査ドライバ 103 によるゲート線の 1 ライン毎選択動作も走査開始信号 FLM の第 1 パルスに呼応させて順次シフトする。このため、図 4 における表示装置の動作でもフレーム期間毎に走査開始信号 FLM で 2 種類の画素アレイの走査を 1 度ずつ開始させる必要があり、走査開始信号 FLM の波形には第 1 パルスとこれに続く第 2 パルスとが現われる。

【0050】

以上に述べた図 1 及び図 4 による表示装置の駆動方法のいずれにおいても、画素アレイ 101 の一辺沿いに並ぶ走査ドライバ 103 及びこれに送られる走査状態選択信号 114 の数は図 3 や図 9 を参照して説明した画素アレイ 101 の構造を変えずに変更可能であり、3 つの走査ドライバ 103 に分担させた夫々の機能を一つの走査ドライバ 103 にまとめてもよい（例えば、走査ドライバ 103 内部を上記 3 つの走査ドライバ 103 - 1, 103 - 2, 103 - 3 の夫々に応じた回路セクションに分ける）。

【0051】

図 6 は、本実施例の表示装置による画像表示タイミングを連続する 3 つのフレーム期間に亘り示すタイミング・チャートである。各フレーム期間の冒頭にて、1 番目の走査線（上記ゲート線 G1 に相当）からの画素アレイへの映像データ書込みが走査開始信号 FLM の第 1 パルスにより開始され、この時刻から時間： t_1 が経過した後、この 1 番目の走査線からの画素アレイへのブランキング・データ書込みが走査開始信号 FLM の第 2 パルスにより開始される。さらに、走査開始信号 FLM の第 2 パルスの発生時刻から時間： t_2 が経過した後、次のフレーム期間に表示装置に入力される映像データの画素アレイへの書込みが走査開始信号 FLM の第 1 パルスにより開始される。なお、本実施例においては、図 6 に示された時間： t_1' は時間： t_1 と同じであり、時間： t_2' は時間：

10

20

30

40

50

t 2と同じである。画素アレイへの映像データ書込みの進行とブランキング・データ書込みのそれとは、双方が1水平期間にて選択するゲート線のライン数(前者1ライン、後者4ライン)が相違するも、時間経過に対して略同様に進行する。このため、画素アレイにおける走査線の位置に依らず、その夫々に対応する画素行が映像データに抛る表示信号を保持する期間(これを受ける時間を含めて概ね上記時間: t 1に亘る)とこの画素行がブランキング信号を保持する期間(これを受ける時間を含めて概ね上記時間: t 2に亘る)とは画素アレイの垂直方向に亘り概ね一様となる。換言すれば、画素アレイにおける画素行間(垂直方向沿い)の表示輝度のばらつきが抑えられる。本実施例では、図6に示すように画素アレイにおける映像データの表示期間とブランキング・データの表示期間とに、1フレーム期間の67%と33%とを夫々割り当て、これに応じた走査開始信号FLMのタイミング調整した(上記時間 t 1と t 2とを調整した)が、この走査開始信号FLMのタイミングの変更により、映像データの表示期間とブランキング・データの表示期間とは適宜変更され得る。

10

【0052】

このような、図6に抛る画像表示タイミングで表示装置を動作させたときの、画素行の輝度応答の一例を図7に示す。この輝度応答は、図3の画素アレイ101としてWXGAクラスの解像度を有し且つノーマリ黒表示モードで動作する液晶表示パネルを用い、映像データとして画素行を白く表示する表示オンデータを、ブランキング・データとして画素行を黒く表示する表示オフデータを夫々書き込む。従って、図7の輝度応答は、この液晶表示パネルの画素行に対応する液晶層の光透過率の変動を示す。図7に示すように画素行(これに含まれる各画素)は1フレーム期間にて、まず映像データに応じた輝度に応答し、その後、黒輝度に応答する。液晶層の光透過率はこれに印加される電界の変動に対して比較的緩く応答するも、その値は図7から明らかなようにフレーム期間毎に映像データに対応する電界及びブランキング・データに対応する電界のいずれにも十分に応答する。従って、フレーム期間に画面(画素行)に生成された映像データによる画像は、この画像がフレーム期間内に画面(画素行)から十分に消去されて、インパルス型の表示装置と同様な状態で表示される。このような映像データによる画像のインパルス型の応答により、これに生じる動画ぼやけを低減することが可能となる。このような効果は、画素アレイの解像度を変更しても、図2に示すドライバ・データの水平期間における帰線期間の割合を変更しても同様に得られる。

20

30

【0053】

以上に述べた本実施例では、上述の第1工程で映像データの1ライン毎に生成される表示信号を画素アレイに4回順次出力し且つその夫々をゲート線の1ラインに相当する画素行に順次供給し、これに続く第2工程でブランキング信号を画素アレイに1回順次出力し且つこれをゲート線の4ラインに相当する画素行に供給した。しかし、第1工程における表示信号の出力回数: N(この値は、画素アレイに書き込まれるライン・データの数にも相当する)は4に限られず、第2工程におけるブランキング信号の出力回数: Mは1に限られない。また、第1工程にて1回の表示信号出力に対して走査信号(選択パルス)が印加されるゲート線のライン数: Yは1に限られず、第2工程にて1回のブランキング信号出力に対して走査信号が印加されるゲート線のライン数: Zは4に限られない。これらの因子N, Mは、 $M < N$ なる条件を満たす自然数であり且つNは2以上である条件を満たすことが要請される。また、因子Yは N/M より小さい自然数であること、因子Zは N/M 以上の自然数であることが夫々要請される。また、N回の表示信号出力とM回のブランキング信号出力とを行う1周期をNラインの映像データが表示装置に入力される期間内に完結させる。換言すれば、画素アレイの動作における水平期間の $(N+M)$ 倍の値を、映像データの表示装置への入力における水平走査期間のN倍の値以下にする。前者の水平期間は水平クロックCL1のパルス間隔で、後者の水平走査期間は映像制御信号の一つである水平同期信号HSYNCのパルス間隔で夫々規定される。

40

【0054】

このような画素アレイの動作条件によれば、Nラインの映像データが表示装置に入力され

50

る期間 T_{in} にデータ・ドライバ 102 から $(N + M)$ 回の信号出力、即ち上述の第 1 工程及びこれに続く第 2 工程からなる 1 周期の画素アレイ動作を行う。このため、この 1 周期にて表示信号出力及びブランキング信号出力の各々に割り当てられる時間（以下、 $T_{invention}$ ）は、期間 T_{in} に N ラインの映像データに応じた表示信号を順次出力するときの 1 回の信号出力に要する時間（以下、 T_{prior} ）の $(N / (N + M))$ 倍に減少する。しかしながら、上述のように因子 M は N より小さい自然数であるため、本発明による上記 1 周期での各信号を出力期間 $T_{invention}$ は上記 T_{prior} の $1/2$ 以上の長さ確保できる。即ち、画素アレイへの映像データへの書込みの観点では、上述の特開 2001-166280 号公報に記載された技法に対する上述の SID 01 Digest, pages 994-997 に記載された技法の利点を得られる。

10

【0055】

さらに、本発明では、上記期間 $T_{invention}$ にて画素にブランキング信号を供給することにより、この画素の輝度を素早く低下させる。このため、SID 01 Digest, pages 994-997 に記載された技法に比べて、本発明に依れば 1 フレーム期間における各画素行の映像表示期間とブランキング表示期間とが明瞭に分かれ、動画ぼやけも効率的に低減される。また、本発明ではブランキング信号の画素への供給を $(N + M)$ 回毎に間欠的に行うものの、1 回のブランキング信号出力に対して Z ラインのゲート線に対応する画素行にこれを供給することにより、画素行間に生じる映像表示期間とブランキング表示期間との比率のばらつきを抑える。さらに、ブランキング信号出力毎に対して走査信号をゲート線の Z ライン置きに順次印加すれば、データ・ドライバ 102 からのブランキング信号の 1 回の出力に対する負荷も、このブランキング信号が供給される画素行数の制限により軽減される。

20

【0056】

従って、本発明による表示装置の駆動は、図 1 乃至 7 を参照して説明した上述の N を 4、 M を 1、 Y を 1、及び Z を 4 にした例に限られず、上述の条件を満たす限りにおいて、ホールド型の表示装置の駆動全般に汎く適用し得る。例えば、インタレース方式で映像データをフレーム期間毎に奇数ライン又は偶数ラインのいずれか一方を表示装置に入力する場合、奇数ライン又は偶数ラインの映像データを 1 ライン毎に走査信号をゲート線の 2 ライン毎に順次印加し、これらに対応する画素行に表示信号を供給してもよい（この場合、少なくとも上記因子 Y は 2 となる）。また、本発明による表示装置の駆動では、その水平クロック $CL1$ の周波数を水平同期信号 $HSYNC$ のそれの $((N + M) / N)$ 倍（上述の図 1 や図 4 の例では 1.25 倍）にしたが、水平クロック $CL1$ の周波数をこれ以上に高め、そのパルス間隔を詰めて画素アレイの動作マージンを確保してもよい。この場合、表示制御回路 104 やその周辺にパルス発振回路を設け、これにより発生される映像制御信号に含まれるドット・クロック $DOTCLK$ より周波数の高い基準信号を参照して水平クロック $CL1$ の周波数を高めてもよい。

30

【0057】

以上のべた夫々の因子は、 N を 4 以上の自然数にするとよく、また、因子 M を 1 にするとよい。また、因子 Y を M と同じ値にするとよく、因子 Z を N と同じ値にするとよい。

【0058】

第 2 の実施例

本実施例においても、上述の第 1 の実施例と同様に図 3 の表示装置に図 2 のタイミングで入力された映像データを、図 1 又は図 4 に示す波形で表示信号及び走査信号をデータ・ドライバ 102 から出力し且つ図 6 に示す表示タイミングに則り表示するが、図 1 や図 4 に示す映像データに拠る表示信号の出力に対するブランキング信号の出力タイミングを図 8 に示す如く、フレーム期間毎に変える。

【0059】

画素アレイとして液晶表示パネルを用いる表示装置において、図 8 に示す本実施例のブランキング信号の出力タイミングは、このブランキング信号が供給された液晶表示パネルのデータ線に生じる信号の波形鈍りの影響を分散する効果を奏し、これにより画像の表示品

50

質を高める。図 8 には、水平クロック $CL1$ のパルスの夫々に対応する期間 $Th1$, $Th2$, $Th3$, ... が横方向に順次並び、これらの期間のいずれかでデータ・ドライバ 102 から出力される映像データの 1 ライン毎の表示信号 m , $m+1$, $m+2$, $m+3$, ... 及びブランキング信号 B を含むアイ・ダイアグラムが連続するフレーム期間 n , $n+1$, $n+2$, $n+3$, ... 毎に縦方向に順次並ぶ。ここで示す表示信号 m , $m+1$, $m+2$, $m+3$ は特定のラインの映像データに限定させず、例えば図 1 の表示信号 $L1$, $L2$, $L3$, $L4$ にも、表示信号 $L511$, $L512$, $L513$, $L514$ にも対応し得る。

【0060】

第 1 の実施例にて述べた要領で画素アレイに映像データを 4 回書込むごとにブランキング・データを 1 回書込む場合、図 8 に示す画素アレイへのブランキング・データの印加を上記期間 $Th1$, $Th2$, $Th3$, $Th4$, $Th5$, $Th6$, ... における 4 期間置きに並ぶ期間のいずれかの群 (例えば、期間 $Th1$, $Th6$, $Th12$, ... の群) から別の群 (例えば、期間 $Th2$, $Th7$, $Th13$, ... の群) へフレーム毎に順次変化させる。例えば、フレーム期間 n では m 番目のライン・データを画素アレイに入力する (これに拠る表示信号を m 番目の画素行に印加する) 前にブランキング・データを画素アレイに入力し (ゲート線の所定の 4 ラインに相当する画素行に印加し)、フレーム期間 $n+1$ では m 番目のライン・データの画素アレイへの入力後且つ ($m+1$) 番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。 ($m+1$) 番目のライン・データの画素アレイへの入力は、 m 番目のライン・データのそれに倣い、 ($m+1$) 番目のライン・データに拠る表示信号を ($m+1$) 番目の画素行に印加する。以降の各ライン・データの画素アレイへの入力も、このライン・データに拠る表示信号をこれと同じアドレス (順番) を持つ画素行に印加する。

【0061】

フレーム期間 $n+2$ では、 ($m+1$) 番目のライン・データの画素アレイへの入力後且つ ($m+2$) 番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。続くフレーム期間 $n+3$ では、 ($m+2$) 番目のライン・データの画素アレイへの入力後且つ ($m+3$) 番目のライン・データの画素アレイへの入力前に上述のブランキング・データの画素アレイへの入力を行う。以下、このようなライン・データとブランキング・データとの画素アレイへの入力を、ブランキング・データのそのタイミングを 1 水平期間毎にずらしながら繰り返し、フレーム期間 $n+4$ にてフレーム期間 n によるライン・データとブランキング・データとの画素アレイへの入力パターンに戻る。これら一連の動作の繰り返しで、ブランキング信号のみならずライン・データに拠る表示信号が画素アレイのデータ線の夫々に出力されたときの、データ線の延伸方向沿いに生じるこれらの信号波形の鈍りの影響を一様に分散して、画素アレイに表示される画像の品質を高める。

【0062】

一方、本実施例でも、第 1 の実施例と同様に図 6 に拠る画像表示タイミングで表示装置を動作させることができるが、上述のように画素アレイへのブランキング信号の印加タイミングがフレーム期間毎にシフトされるため、ブランキング信号による画素アレイの走査を開始させる走査開始信号 FLM の第 2 パルスの発生時刻もフレーム期間に応じて変位する。このような走査開始信号 FLM の第 2 パルス発生タイミングの変動に応じて、図 6 のフレーム期間 1 に示される時間: $t1$ がこれに続くフレーム期間 2 にて時間: $t1$ より短い (又は長い) 時間: $t1'$ となり、フレーム期間 1 に示される時間: $t2$ がこれに続くフレーム期間 2 にて時間: $t2$ より長い (又は短い) 時間: $t2'$ となる。図 8 に示される一対のフレーム期間 n と $n+1$ や別の一対のフレーム期間 $n+3$ と $n+4$ に見られるライン・データ m に拠る表示信号での画素アレイの走査開始時刻の「ずれ」を考慮すれば、本実施例において、走査開始信号 FLM のパルス間隔に応じた 2 つの時間間隔: $t1$, $t2$ の少なくとも一方がフレーム期間に応じて変動する。

【0063】

以上のように、フレーム期間毎にブランキング信号の出力期間を時間軸方向沿いにシフト

させる本実施例による表示装置の駆動方法に則り、図6に示す画像表示タイミングに倣う表示動作を行う場合、その走査開始信号の設定に若干の変更を要するが、これに依り得られる効果は図7に示した第1の実施例におけるそれと何ら遜色がない。従って、本実施例においても映像データに応じた画像をインパルス型の表示装置におけるそれと略同様にし、ホールド型の表示装置に表示できる。また、ホールド型の画素アレイより、動画像をその輝度は損なうことなく且つこれに生じる動画ぼやけを低減して表示することも可能となる。本実施例においても、1フレーム期間における映像データの表示期間とブランキング・データの表示期間との比率を、走査開始信号FLMのタイミングの調整(例えば、上述のパルス間隔： t_1 、 t_2 の配分)により適宜変更できる。また、本実施例による駆動方法の表示装置への適用範囲も、第1の実施例のそれと同様に、画素アレイ(例えば、液晶表示パネル)の解像度により制限されない。さらに、本実施例による表示装置は第1の実施例によるそれと同様に、水平クロックCL1に規定される水平期間に含まれる帰線期間の比率を適宜変更することで、上記第1工程における表示信号の出力回数： N や第2工程にて選択されるゲート線のライン数： Z を増やせ又は減らせる。

10

【0064】

第3の実施例

上述の第1の実施例にて説明したように、映像データ書込みおよびブランキング・データ書込みは、それぞれ、走査開始信号FLMの第1パルスおよび第2パルスによって開始される(図6参照)。

【0065】

すなわち、各フレーム期間の冒頭にて、1番目の走査線(ゲート線GLに相当)からの画素アレイへの映像データ書込みは走査開始信号FLMの第1パルスより開始され、この時刻から時間： t_1 が経過した後、この1番目の走査線から画素アレイへのブランキング・データ書込みは走査開始信号FLMの第2パルスより開始される。さらに、走査開始信号FLMの第2パルスの発生時刻から時間： t_2 が経過した後、次のフレーム期間に表示装置に入力される映像データの画素アレイへの書込みが走査開始信号FLMの第1パルスにより開始される。

20

【0066】

そして、前記開始走査信号FLMのタイミングを調整(上記時間 t_1 と t_2 との調整)でき、これにより、映像データの表示期間とブランキング・データの表示期間を変更することも上述した通りである。

30

【0067】

この場合、各フレーム期間の冒頭に走査開始信号FLMの第1パルスを生成し、またフレーム期間(時間)は特定されることから、上記時間 t_1 と t_2 との調整において、 t_1 に相当する情報を入力させれば足りる。

【0068】

すなわち、各フレーム期間の冒頭から映像データに含まれる水平同期信号HSYNCのパルスをカウントし、 t_1 に対応するカウント値を得た場合に走査開始信号FLMの第2パルスを生成させればよい。その後、次のフレーム期間の冒頭には走査開始信号FLMの第1パルスが生成され、この第1パルスはその手前で生成された走査開始信号FLMの第2パルスの生成時から t_2 後に生成されているからである。

40

【0069】

しかし、外部の映像信号源からの映像データとしては、たとえばテレビジョン受像機、パーソナル・コンピュータ、DVDプレーヤ等があり、この映像データが変更された場合に、それに含まれる水平同期信号HSYNCの周期も変化し、たとえばその周期が小さくなる場合、予め設定されている t_1 に相当する情報に基づいて、フレーム期間の冒頭から水平同期信号HSYNCのパルス該 t_1 に対応するカウント値をカウントしても、該カウント値は実際の時間に対応したものでなく、走査開始信号FLMの第2パルスは予め設定されている t_1 に相当する情報よりも速めに生成されることになる。このため、フレーム期間中のブランキング・データの表示期間が長くなってしまふという不都合が生じる

50

ことになる。

【0070】

この実施例では、このような不都合を解消する表示装置を提供するもので、映像データの変更があっても、映像データの表示期間とプランキング・データの表示期間の比率が変更されないものを提供することにある。

【0071】

まず、図10は、この実施例で適用されるたとえば液晶表示装置の構成を概念的に示したブロック図である。

【0072】

本実施例の液晶表示装置は、液晶表示モジュール(Liquid Crystal Display Module)とも呼ばれ、図10に示す如く、液晶表示パネル(表示パネル)100'を含む表示素子部、タイミング・コントローラ(Timing Controller)110'と呼ばれる回路を含む表示制御部、及びバックライト・システム(又はフロントライト・システム)118'を含む光源部という3つのセクションに分けられる。

【0073】

表示素子部は、表示パネルの面に複数の画素を2次元的に配置してなる画素アレイを備え、この画素アレイに表示装置(表示モジュール)に入力された画像情報を表示する。液晶表示装置に代表されるフラット・パネル・ディスプレイ(Flat Panel Display)の多くでは、表示パネル100'が画素アレイと等価であるとみなされる。表示装置の雰囲気から画素アレイに入射する光を各画素で反射させて画像表示する反射型の液晶表示装置や、画素アレイ内の各画素に発光領域を設け、その発光現象により画像表示するエレクトロルミネセンス・アレイ(Electroluminescence Display Array)や電界放射型表示素子(Field Emission-type Display Element)では、この表示素子部(画素アレイ)で表示装置に入力された画像情報をそのユーザに見せる(可視化する)ことができる。しかし、本実施例の液晶表示装置は所謂「透過型」であるため、上記光源部からの光で画素アレイを照射しない限り、表示装置のユーザは画素アレイに表示される画像を見れない。

【0074】

本実施例による液晶表示装置では、その表示パネル100'(ユーザから見た「画面」)が画素アレイA(画面の上側)101'と画素アレイB(画面の下側)102'とを含む。それぞれの画素アレイ101', 102'には、図10の横方向(第1の方向)沿いに延び且つ縦方向(第1の方向に交差する第2の方向)沿いに並ぶ複数の走査信号線と、縦方向沿いに延び且つ横方向沿いに並ぶ複数の映像信号線とが設けられている。これらの信号線の具体的な配置及び機能は、図11を参照して後述し、図10での表示は省略する。

【0075】

表示パネル100'の画面(画像表示領域)は、2つの画素アレイ101', 102'を縦方向(走査信号線の並設方向、又は映像信号線の延伸方向)沿いに並べて形成される。例えば、画面の垂直解像度:M(Mは自然数)の表示パネル100'では、画素アレイA(上側画素アレイ)101'の画像表示領域に1番目からN番目(Nは上記のMより小さい自然数)までのN本の走査信号線が、画素アレイB(下側画素アレイ)102'の画像表示領域に(N+1)番目からM番目までの(M-N)本の走査信号線が、夫々並設される。例えば、XGA級の精細度の表示パネル100'(M=768)にて、1番目から400番目までの400本の走査信号線(画素行)を画素アレイ101'の画像表示領域に、401番目から768番目までの368本の走査信号線(画素行)を画素アレイ102'の画像表示領域に設ける。なお、ここに記した走査信号線の数は、夫々の画素アレイの画像表示領域周縁に配置した所謂ダミー走査信号線を含まない。

【0076】

画素アレイ101', 102'の夫々の画像表示領域には、映像信号線が例えば同じ本数で並設されるが、用途に応じてはいずれかの画素アレイの映像信号線数を他のそれより少

なくしても、多くしてもよい。双方の画素アレイの画像表示領域に同数の映像信号線を設けた場合、画素アレイAの映像信号線と画素アレイBの映像信号線とは、譬え同じ番地（例えば、図10の左端を基準として）に位置しても電氣的に分離されている。

【0077】

上述のように、本実施例の表示パネル100'は、言わば個別に表示パネルの機能を備えた2つの画素アレイ101'、102'を備えるため、画素アレイ101'、102'の各々には上記映像信号線に画像信号を出力する映像信号駆動回路と、この画像信号が入力される画素行をこれに対応した上記走査信号線に走査信号を出力して選択する走査信号駆動回路とが個別に設けられる。画素アレイA（上側画素アレイ）101'には、上記1番目からN番目の走査信号線に対応するN本の画素行を選択する（走査信号線に選択信号を入力する）走査信号駆動回路103'と、これにより選択された画素行に含まれる画素の夫々に画像信号を供給する映像信号駆動回路105'、106'が設けられている。画素アレイB（下側画素アレイ）102'には、上記（N+1）番目からM番目の走査信号線に対応する（M-N）本の画素行を選択する走査信号駆動回路104'と、これにより選択された画素行に含まれる画素の夫々に画像信号を供給する映像信号駆動回路107'、108'が設けられている。

10

【0078】

表示制御部は、タイミング制御回路（タイミング・コンバータ）110'とこれから上記走査信号駆動回路103'、104'及び上記映像信号駆動回路105'～108'に到る信号供給バス（Signal Supply Bus Line）111'～116'を含む。本実施例の液晶表示装置では、例えばコンピュータのCPU（Central Processing Unit）、テレビジョン装置の受信機、DVD（Digital Versatile Disc）のデコーダ（Decoder）等から転送される画像情報（映像情報）をタイミング制御回路110'で受信し、これをタイミング制御回路110'（又はその周辺回路）にて表示パネル100'での画像表示に適した画像データ（映像データ）に変換して信号供給バス113'～116'に通し、映像信号駆動回路105'～108'へ転送する。タイミング制御回路110'が液晶表示装置の外部から受ける上記画像情報には、画像データやこれを伝送するタイミング信号（表示装置から見て「外部クロック」とも呼ぶ）が含まれる。

20

【0079】

タイミング制御回路110'は、これから出力される画像データを上記映像信号駆動回路105'～108'の各々に設けられたラッチ回路にラッチするタイミングを制御するクロック（ラッチクロック）、映像信号駆動回路105'～108'にてラッチされた画像データを画素アレイAや画素アレイBの画素（画素行）に供給するタイミングを制御するクロック（走査クロック）、及び画素アレイA及び画素アレイBにおける表示画像を更新するタイミングを制御するクロック（フレーム開始信号）というような表示制御信号も生成する。このため、タイミング制御回路110'は、表示制御回路とも呼ばれる。上記走査クロック及び上記フレーム開始信号は信号供給バス111'、112'を通して走査信号駆動回路103'、104'へ転送され、上記ラッチクロックは信号供給バス113'～116'を通して映像信号駆動回路105'～108'へ転送される。走査クロックやフレーム開始信号は、必要に応じて映像信号駆動回路105'～108'にも転送するとよい。

30

40

【0080】

本実施例では、画素アレイA（上側画素アレイ）101'に設けた2つの映像信号駆動回路（A1、A2）105'、106'とタイミング制御回路110'とを信号供給バス113'、114'で個別に接続し、画素アレイB（下側画素アレイ）102'に設けた2つの映像信号駆動回路（B1、B2）107'、108'とタイミング制御回路110'とを信号供給バス115'、116'で個別に接続する。このため、表示パネルに入力すべき画像データは、タイミング制御回路110'から、その画像表示領域に含まれる全画素数の1/4毎に信号供給バス113'～116'の夫々を通して、映像信号駆動回路1

50

05' ~ 108' の夫々に並行して転送される。また、上述のようにラッチクロックも信号供給バス113' ~ 116' を通して映像信号駆動回路105' ~ 108' に夫々転送される。従って、本実施例の表示装置では、表示パネル100' の画面（画像表示領域）全体での画像形成に必要な画像データが、例えば1フレーム期間の1/4ほどの時間で表示制御部から表示素子部へ高速で転送できる。

【0081】

このようにして本実施例の画素アレイAに設けた2つの映像信号駆動回路A1, A2及び画素アレイBに設けた2つの映像信号駆動回路B1, B2に並行して取り込まれた画像データは、走査信号駆動回路A, B(103', 104')から画素アレイA, B(101', 102')への並行した走査信号入力に呼応して、それぞれの画素行に画像信号として順次供給される。走査信号の画素アレイA, B(101', 102')への入力に応じて、画素アレイAに配置された画素行の少なくとも1本と画素アレイBに配置された画素行の少なくとも1本とが選択されるため、表示パネル100'には4つの映像信号駆動回路A1, A2, B1, B2(105', 106', 107', 108')から同時に画像信号が入力される。このため、表示制御部から表示素子部へ高速転送された画像データは、表示素子部にて即座に表示画像に変換される。従って、本実施例の液晶表示装置では、これに1フレーム期間で入力される画像情報を、その1/4の時間で液晶表示パネル100'の全域に表示することもできる。

【0082】

光源部は、例えば冷陰極蛍光ランプ(Cold Cathode Fluorescent Lamp)を光源として備えた光源ユニット118'、この光源を駆動する(点灯電力を生成する)インバータ回路109'、及びこのインバータ回路109'から光源ユニット118'に駆動電力を供給する電源線119'を含む。上記冷陰極蛍光ランプの如き光源は、表示パネル100'に対向させて配置しても、導光板(図示せず)を通して表示パネル100'に光を照射するように配置してもよい。

【0083】

本実施例では、この光源部における光源(例えば、冷陰極蛍光ランプ)を上記タイミング制御回路110'にて生成される表示制御信号に応じて間欠的に駆動し、又はその点灯輝度を変調する。そのため、光源の点灯輝度を調整するインバータ回路109'とタイミング制御回路110'とは信号供給バス117'にて接続され、タイミング制御回路110'から供給される制御信号に応じて光源の輝度を制御する。タイミング制御回路110'からインバータ回路109'に送られる制御信号は、このインバータ回路109'の制御のためにタイミング制御回路110'で生成しても、又は既にタイミング制御回路110'で生成された上述の走査クロックやフレーム開始信号に置き換えてもよい。従って、光源部の点灯タイミング又は点灯輝度の変調も表示制御部により制御される。

【0084】

図11は、本実施例のアクティブ・マトリクス型の液晶表示装置の画像表示領域をなす画素アレイ101', 102'の内部等価回路を示す。画素アレイ101', 102'のいずれにも、薄膜トランジスタ(Thin Film Transistor, 以後TFTとも称する)201、液晶容量203、並びにこれに印加される電界を保持する容量成分(保持容量)202を備えた複数の画素が2次元的に配列される。

【0085】

画素アレイA, B(101', 102')の夫々には、本実施例の表示装置における表示素子部の説明にて述べたように、表示画面の横方向(第1方向)沿いに延び且つ縦方向(第1の方向に交差する第2の方向)沿いに複数本の走査信号線205が並設される。本実施例では、図10に示す表示パネル100'の画像表示領域にm本(mは2以上の偶数)の走査信号線が配置され、図11に示す如く、これらの走査信号線の(m/2)本が表示パネル100'の画面上側の画像表示を担う画素アレイA(101')に、その残りの(m/2)本が表示パネル100'の画面下側の画像表示を担う画素アレイB(102')に夫々設けられる。よって、表示パネル100'の画像表示領域の上端に位置する1番目

10

20

30

40

50

の走査信号線からその下端に位置する m 番目の走査信号線 205 のうち、1 番目から $(m/2)$ 番目に到る $(m/2)$ 本は画素アレイ A (101') に並設され、その夫々は AG (1) から AG ($m/2$) に到るアドレスが順次付されて識別される。また、表示パネル 100' の画像表示領域の下半分に配置される $(m/2 + 1)$ 番目から画面下端の m 番目は画素アレイ B (102') に並設され、その夫々は BG ($m/2$) から BG (1) に到るアドレスが順次付されて識別される。画素アレイ A (101') の走査信号線 : AG (1) 乃至 AG ($m/2$) には図 10 の走査信号駆動回路 A (103') から走査信号 (電圧信号) が印加され、画素アレイ B (102') の走査信号線 : BG ($m/2$) 乃至 BG (1) には図 10 の走査信号駆動回路 B (104') から走査信号 (電圧信号) が印加される。

10

【0086】

一方、画素アレイ A, B (101', 102') の夫々には、本実施例の表示装置における表示素子部の説明にて述べたように、表示画面の縦方向 (上記第 2 の方向) 沿いに延び且つ横方向 (上記第 1 の方向) 沿いに複数本の映像信号線 204 が並設される。本実施例では、図 10 に示す表示パネル 100' の画像表示領域に n 本 (n は 2 以上の自然数) の映像信号線が配置され、図 11 に示す如く、これらの映像信号線は、画素アレイ A (101') 及び画素アレイ B (102') に個別に設けられる。画素アレイ A (101') に並設される n 本の映像信号線 204 には、図 10 に示す表示パネル 100' の画像表示領域左端から AD (1) から AD (n) に到るアドレスが順次付され、画素アレイ B (102') に並設される n 本の映像信号線 204 にもこの画像表示領域左端から BD (1) から BD (n) に到るアドレスが順次付される。画素アレイ A に設けられた映像信号線 AD (x) (x は、1 乃至 n の範囲にある任意の自然数) と画素アレイ B に設けられた映像信号線 BD (x) とは、ともに表示パネルの画像表示領域の左端から x 番目の映像信号線として機能するが、互いに電氣的に分離される。従って、映像信号線 AD (x) と映像信号線 BD (x) とに異なる電圧を同時に印加することができる。画素アレイ A (101') の映像信号線 AD (1) 乃至 AD (n) のうち、本実施例では図示せざるも映像信号線 AD (1) 乃至 AD ($n/2$) には図 10 の映像信号駆動回路 A1 (105') から、映像信号線 AD ($n/2 + 1$) 乃至 AD (n) には図 10 の映像信号駆動回路 A2 (106') から、映像信号が夫々供給される。また、画素アレイ B (101') の映像信号線 BD (1) 乃至 BD ($n/2$) 乃至 BD (n) のうち、本実施例では図示せざるも映像信号線 BD (1) 乃至 BD ($n/2 + 1$) 乃至 BD (n) には図 10 の映像信号駆動回路 B1 (107') から、映像信号線 BD ($n/2 + 1$) 乃至 BD (n) には図 10 の映像信号駆動回路 B2 (108') から、映像信号が夫々供給される。

20

30

【0087】

図 11 にて、画素アレイ 101', 102' に二次元的に設けられた画素は、映像信号線 204 を通して供給される映像信号を各々に設けられた上記薄膜トランジスタ 201 のドレイン領域で受け、この薄膜トランジスタ 201 のゲート電極に走査信号線 205 から選択電圧 (例えば、ゲート選択パルスとも呼ばれる電圧パルス) が印加されることにより、この映像信号に応じた電圧を液晶容量 203 に印加する。このため、画素アレイ 101', 102' にそれぞれ配置された画素群は、これに映像信号を供給する映像信号線 204 毎に n 本の画素列 (Pixels Column) を形成し、また、これを走査信号にて選択する走査信号線 205 毎に $(m/2)$ 本の画素行 (Pixels Row) を形成する。従って、図 10 に示す表示パネル 100' には、その縦方向 (上記第 2 の方向) 沿いに m 本の画素行が並び、その横方向 (上記第 1 の方向) 沿いに n 本の画素列が並び、言わば「 $m \times n$ のマトリクス・アレイ」が形成される。これらの画素行及び画素列に応じて各画素に設けられた液晶容量 203 は表示パネル 100' の面内に二次元的に配置され、表示パネル 100' 面内の光透過率は液晶容量 203 のそれぞれへの印加電圧 (映像信号) により画素毎に所定の値に設定される。

40

【0088】

薄膜トランジスタ 201 は、それぞれの画素の液晶容量 203 (換言すれば、この画素に

50

対応する液晶層)が示す光透過率を制御する能動素子(Active Element)であり、この能動素子は表示パネル100'に応じてダイオード等にも置き換えられる。この能動素子は、画素行の選択に関することから、スイッチング素子とも呼ばれる。薄膜トランジスタ201は、そのソース領域とドレイン領域との間に設けられたチャンネル(Channel)の電荷の移動を、ゲートからチャンネルに電界を印加して制御する電界効果型トランジスタの構造を持つ。従って、薄膜トランジスタ201を備えた画素を二次元的に配置してなる表示装置において、そのドレイン領域に画素信号を供給する映像信号線をドレイン線、この映像信号線へ画像信号を出力する映像信号駆動回路をドレイン駆動回路、そのゲート(ゲート電極)に走査信号を印加する走査信号線をゲート線、この走査信号線へ走査信号を出力する走査信号駆動回路をゲート駆動回路とも呼ぶ。なお、図10において、映像信号駆動回路105', 106', 107', 108'はドレイン駆動回路A1, A2, B1, B2としても記され、走査信号駆動回路103', 104'はゲート駆動回路A, Bとしても記される。

【0089】

画像信号は、図10に示す映像信号駆動回路105'~108'の各々において、これに転送された画像データに基づき、画素の各々の表示輝度に応じた階調電圧(Gray Scale Voltage)を選択して各画素に対応した映像信号線に出力される。図11に示される液晶容量203の薄膜トランジスタ201とは反対側には、コモン線(Common Line)206が接続され、液晶容量203の一端に印加される階調電圧に対して基準電圧(Reference Voltage)をその他端に印加する。

【0090】

本実施例において、図11に示す等価回路を備えた画素アレイ101', 102'は、表示パネル100'に備えられた一つの液晶層内に並設される。図11には、画素アレイ101'の等価回路と画素アレイ102'の等価回路とが個別に示されるが、これに応じて液晶層を画素アレイ毎に分割する必要はない。表示パネル100'の製造工程を簡略にし、また表示パネルによる表示画像の品質を確保する上では、一つの液晶表示パネル内に画素アレイ101', 102'の夫々の等価回路に応じた2つの電極及び配線群を形成することが推奨される。本実施例にて、以下に述べる表示パネル100'は、特に断わりのない限り画素アレイ101', 102'の夫々の等価回路が形成された一つの液晶表示パネルとして形成される。

【0091】

なお、図11に示す等価回路は、電界効果型トランジスタを能動素子として有する液晶表示装置であれば、IPS(In Plane Switching)、TN(Twisted Nematic)、MVA(Multi-domain Vertical Alignment)、OCB(Optical Compensated Birefringence)などのスイッチング・モードに関係なく適用され得る。また、図11に示す薄膜トランジスタ201は、そのチャンネル層をa-Si(非晶質シリコン)、p-Si(多結晶シリコン)、及びシリコンの擬似単結晶(Pseudo Single Crystal)のいずれで形成してもよい。

【0092】

図12は、このような構成からなる液晶表示装置において、その画像表示タイミングを連続する2つのフレーム期間に亘り示すタイミング・チャートで、図6に対応した図となっている。図12の場合、画素アレイへの映像データ書込みの進行とブランキング・データ書込みの進行とをライン毎に示したデータによって示している。

【0093】

そして、適用された液晶表示装置は、前述したように、その表示パネル100'の画面がそれぞれ独立に書込みを行なうことのできる画素アレイA(上側画素アレイ)と画素アレイB(下側画素アレイ)から構成されているために、ある時点における映像データ書込みとブランキング・データ書込みが同時に行なわれるようになっている。

【0094】

10

20

30

40

50

すなわち、図12(a)において、映像データの変更前であって、映像データの表示期間とブランキング・データの表示期間との調整が適切になされている場合に、おいて、まず、各フレーム期間の冒頭にて、画素アレイA側の1番目の走査線(1st Row)からの画素アレイへの映像データ書込みが図示しない走査開始信号FLMの第1パルスにより開始される。この際に、予め設定されている次のブランキング・データの書込みまでの時間(図6に示す t_1)に相当する水平同期信号HSYNCのパルスがカウントされる。なお、1番目の走査線(1st Row)からの画素アレイへの映像データ書込みがなされる時点で、画素アレイB側におけるあるラインへのブランキング・データの書込みが前のフレーム期間から引き続きなされるようになっている。

【0095】

10

1番目の走査線(1st Row)からの画素アレイへの映像データ書込みから、予め設定されている次のブランキング・データの書込みまでの時間(図6に示す t_1)に相当する水平同期信号HSYNCのパルス数は図12(a)の場合、便宜上たとえば24となっており、それまで映像データ書込みは24番目の走査線(24th Row)に至るまで順次なされる。そして、水平同期信号HSYNCのパルスのカウント値が24となった次の時点でブランキング・データの書込みが開始される。そして、このブランキング・データの書込みはそのまま続行されるが当該フレーム期間においては水平同期信号HSYNCのパルス数が前記の24からさらにカウントされた値35(説明の便宜上設定された値)に至るまでなされることになる。

【0096】

20

このことから、図12(a)に示す画像表示タイミングにおいて、映像データの表示期間とブランキング・データの表示期間の比は24:(35-24)となっており、ブランキング・データの表示期間は1フレーム期間において約35%に割り当てられていることになる。

【0097】

図12(b)は、入力される映像データの変更があつて、図12(a)の場合よりも該映像データに含まれる水平同期信号HSYNCの周期が短くなってしまった場合を示している。同様に、フレーム期間の冒頭にて、画素アレイA側の1番目の走査線(1st Row)からの画素アレイへの映像データ書込みは、次のブランキング・データの書込みまでの時間(図6に示す t_1)に相当する水平同期信号HSYNCのパルスのカウント値(24)まで続行され、それに続く次の時点からブランキング・データの書込みが開始され、このブランキング・データの書込みは当該フレーム期間において、水平同期信号HSYNCのパルス数が前記の24からさらにカウントされた値44(説明の便宜上設定された値)までなされることになる。このことは、映像データの表示期間とブランキング・データの表示期間の比は24:(44-24)となつてしまい、1フレーム期間においてブランキング・データの表示期間は増加することになる。

30

【0098】

本実施例では、このような不都合に鑑み、たとえ映像データの水平同期信号HSYNCの周期が変更されても、ブランキング・データの書込みの開始時期を的確に定めるようにし、これにより映像データの表示期間とブランキング・データの表示期間の比を設定された値どおりにするようにするものである。

40

【0099】

すなわち、入力される映像データの1フレーム期間の水平同期信号HSYNCのパルス数を計測し、その計測数から予め設定された1フレーム期間当りのブランキング・データの表示期間の比率に前記計測数を乗算した値を引いて得られる値を、映像データ書込みからブランキング・データ書込みまでの前記水平同期信号HSYNCのパルス数とするようにしている。この値は、図6に示す時間 t_1 に対応する値となっている。

【0100】

図12(c)は、水平同期信号HSYCが図12(b)と同様な周期をもって入力されている場合を示す画像表示タイミングのタイミング・チャートである。該水平同期信号HS

50

YCの1フレーム期間におけるパルス数は図12(b)の場合と同様に44である。そして、予め設定された1フレーム期間当りのブランキング・データの表示期間の比率は、図12(a)にて示したように $(35 - 24) / 35$ である。

【0101】

これから、次式(1)を得ることができ、この値は映像データ書込みからブランキング・データ書込みまでの前記水平同期信号HSYNCのパルス数であり、30となる。

【0102】

【数1】 $44 - 44 \times \{ (35 - 24) / 35 \} \dots \dots (1)$

このように映像データ書込みから前記水平同期信号HSYNCのパルス数が30になった時点以降からブランキング・データ書込みを行なうことにより、1フレーム期間当りのブランキング・データの表示期間の比率は、たとえ水平同期信号HSYNCの周期が変わっても不変とすることができる。

【0103】

上述のように、1フレーム期間当りの水平同期信号HSYNCのパルス数と予め設定された1フレーム期間当りのブランキング・データの表示期間の比率に基づいて、ブランキング・データの書込み開始時点を演算する手段は電子回路で構成することができ、この電子回路はたとえば前記表示制御回路104に組み込まれて形成される。

【0104】

なお、上述した実施例では、ブランキング・データの書込み開始時点は予め設定された1フレーム期間当りのブランキング・データの表示期間の比率に基づいて算出したものであるが、必ずしもこれに限定されることはなく、予め設定された1フレーム期間当りの映像データの表示期間の比率に基づいて算出するようにしてもよいことはいうまでもない。

【0105】

第4の実施例

第3の実施例で示した表示装置は、その表示パネル100'の画面がそれぞれ独立に書込みを行なうことのできる画素アレイA(上側画素アレイ)と画素アレイB(下側画素アレイ)から構成されたものである。

【0106】

しかし、このような構成でなくても、たとえば第1の実施例で示した表示装置においても、第3の実施例に示した構成を適用できることはいうまでもない。図13(a)、(b)、(c)はこのような表示装置に適用させた場合の画像表示タイミングのタイミング・チャートで、それぞれ図12(a)、(b)、(c)に対応した図となっている。

【0107】

第1の実施例に示した表示装置は、ブランキング・データ書込みにおいて1水平期間にて選択するゲート線のライン数が複数(たとえば4個)であり、この場合には映像データ書込みがなされないように構成されている。図13(a)、(b)、(c)において図12(a)、(b)、(c)と異なる部分はこの部分のみで他は全く同様となっている。

【0108】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0109】

【発明の効果】

以上説明したことから明らかとなるように、本発明による表示装置によれば、映像データの変更があっても、表示信号の表示期間とブランキング・データの表示期間の比率が予め設定した比率と異なるようなことがなくなる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の駆動方法の第1実施例として説明される表示信号の出力タイミングとこれに呼応する走査線の駆動波形を示す図。

【図2】本発明による液晶表示装置の駆動方法の第1実施例として説明される表示制御回路(タイミング・コントローラ)への映像データの入力波形(入力データ)とこれからの

10

20

30

40

50

出力波形（ドライバ・データ）とのタイミングを示す図。

【図 3】本発明による液晶表示装置の概要を示す構成図。

【図 4】本発明による液晶表示装置の駆動方法の第 1 実施例として説明される表示信号の出力期間に走査線の 4 ラインを同時に選択する駆動波形を示す図。

【図 5】本発明による液晶表示装置に備えられた複数個（例えば、4 個）のライン・メモリの夫々への映像データの書込み（Write）とこれからの読出し（Read Out）との夫々のタイミングを示す図。

【図 6】本発明による液晶表示装置の駆動方法の第 1 実施例におけるフレーム期間毎（連続する 3 つのフレーム期間の各々）の画素表示タイミングを示す図。

【図 7】本発明による液晶表示装置を図 6 に示す画素表示タイミングに則り駆動したときの、表示信号への輝度応答（画素に対応する液晶層の光透過率変動）を示す図。 10

【図 8】本発明による液晶表示装置の駆動方法の第 2 実施例として説明されるゲート線 G1、G2、G3、... に対応する画素行の夫々へ供給される表示信号（映像データによる m、m+1、m+2、... とブランキング・データによる B）の連続する複数のフレーム期間 m、m+1、m+2、... に亘る変化を示す図。

【図 9】アクティブ・マトリクス型の表示装置に備えられる画素アレイの一例の概略図。

【図 10】本発明による他の液晶表示装置の概要を示す構成図。

【図 11】アクティブ・マトリクス型の表示装置に備えられる画素アレイの他の例の概略図。

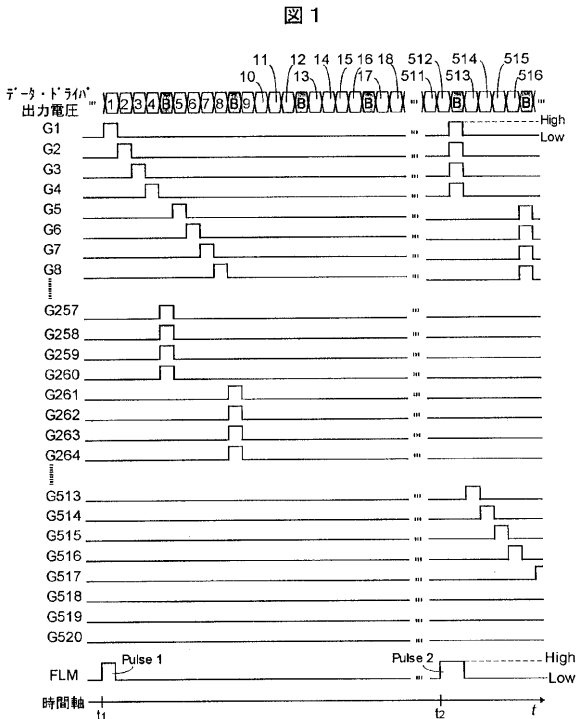
【図 12】図 10 に示す表示装置における画像表示タイミングを連続する 2 つのフレーム期間に亘り示すタイミング・チャート。 20

【図 13】図 3 に示す表示装置における画像表示タイミングを連続する 2 つのフレーム期間に亘り示すタイミング・チャート。

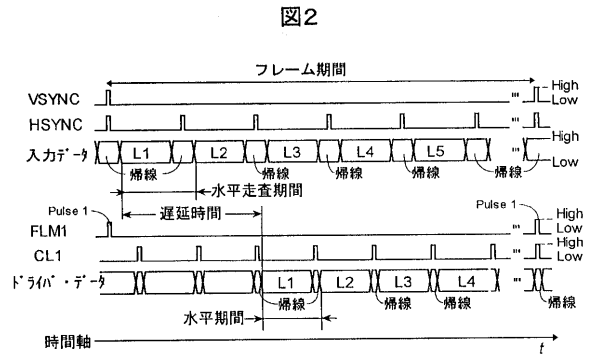
【符号の説明】

100 ... 表示装置（液晶表示装置）、101 ... 画素アレイ（TFT 型液晶表示パネル）、
 102 ... データ・ドライバ、103 ... 走査ドライバ、104 ... 表示制御回路（タイミング・コントローラ）、105 ... ライン・メモリ回路、106 ... ドライバ・データ、107 ...
 データ・ドライバ制御信号群、103'、104' ... 走査信号駆動回路、105'、106'
 '、107'、108' ... 映像信号駆動回路、109' ... インバータ回路、120 ... 映像データ、121 ... 映像制御信号群（垂直同期信号、水平同期信号、ドット・クロック等 30
 ）、CL3 ... 走査クロック。

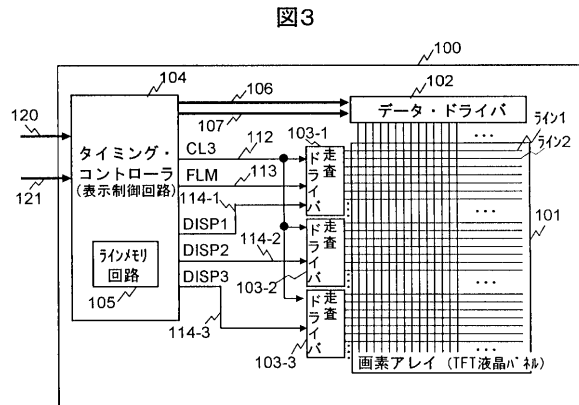
【 図 1 】



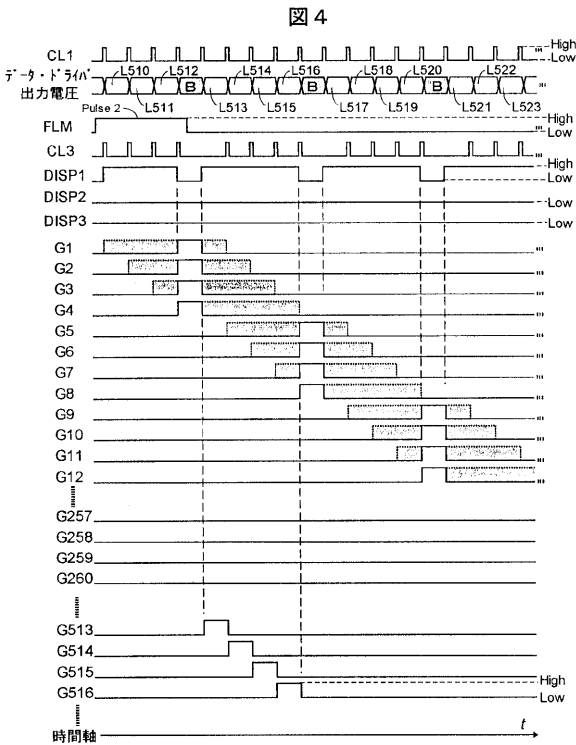
【 図 2 】



【 図 3 】



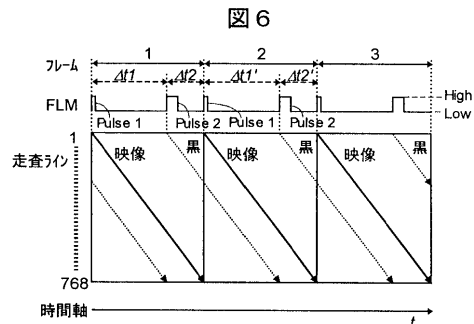
【 図 4 】



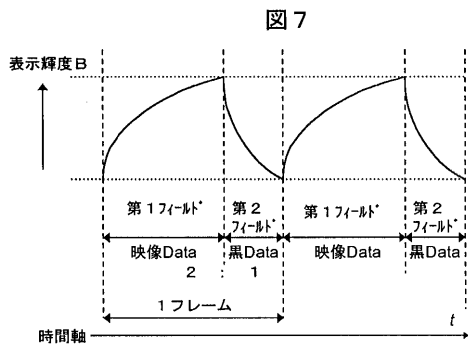
【 図 5 】



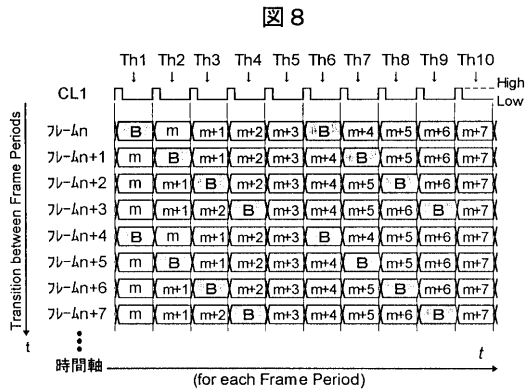
【 図 6 】



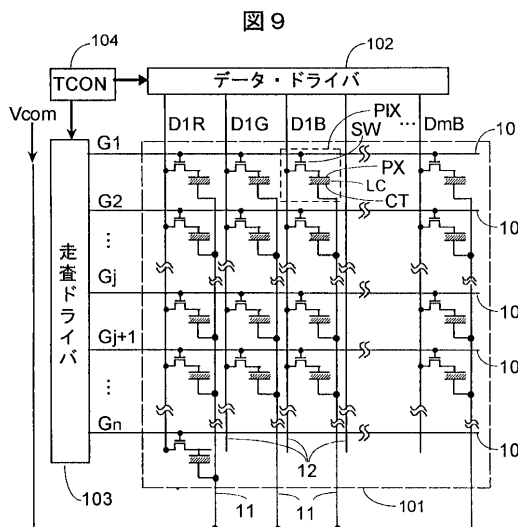
【 図 7 】



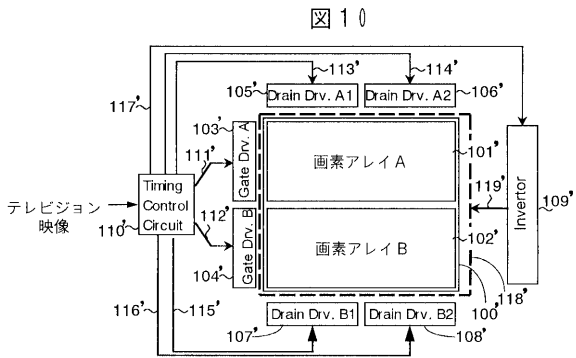
【 図 8 】



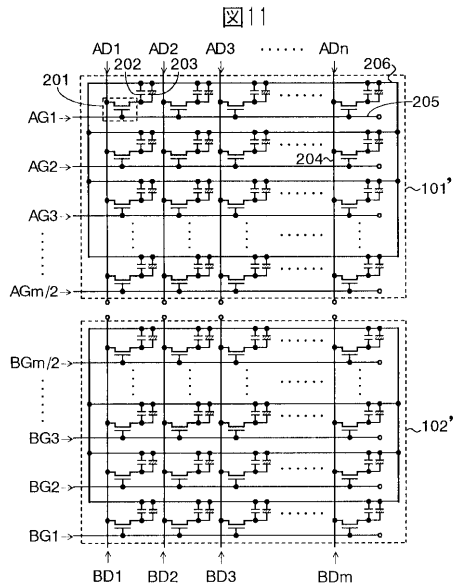
【 図 9 】



【 図 10 】

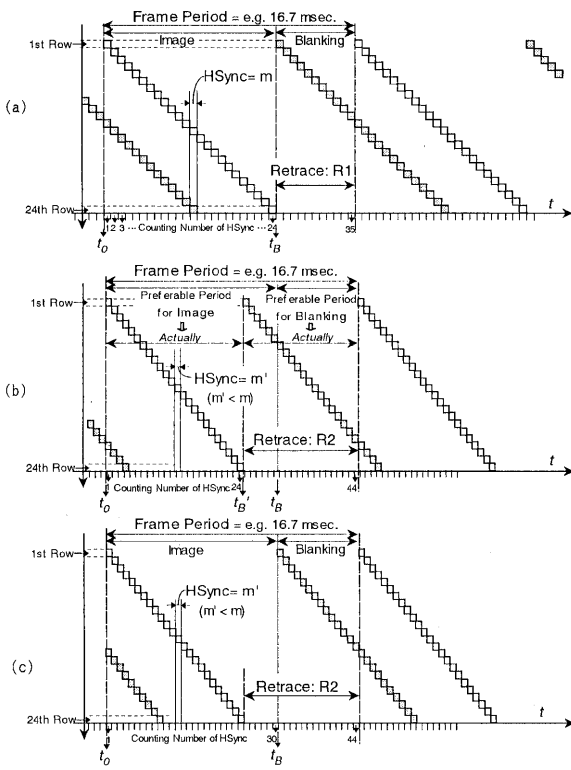


【 図 11 】



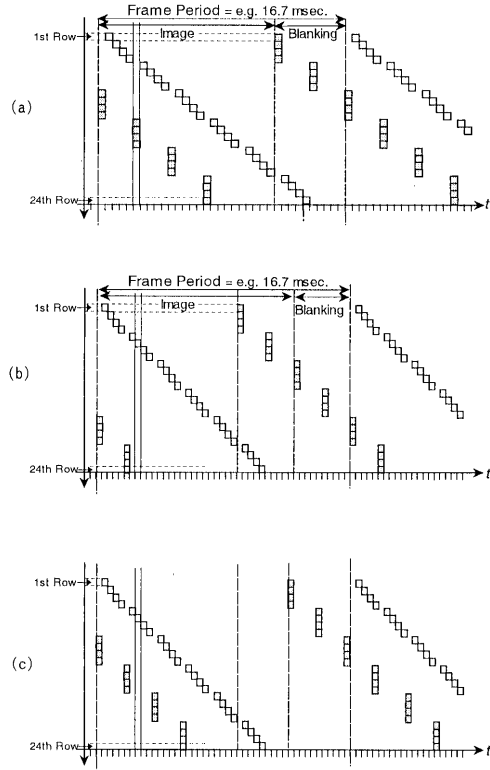
【 図 1 2 】

図 12



【 図 1 3 】

図 13



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 6 0 V

H 0 5 B 33/08

Fターム(参考) 2H093 NA43 NC10 NC12 NC13 NC27 NC49 ND04 NH15

3K007 AB17 BA06 GA00

5C006 AC22 AF42 AF59 AF71 BB16 BC03 BC11 BF22

5C080 AA10 BB05 DD07 EE19 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004264481A	公开(公告)日	2004-09-24
申请号	JP2003053731	申请日	2003-02-28
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	日立显示器有限公司 日立设备工程有限公司		
[标]发明人	田中昌広 武田伸宏		
发明人	田中 昌広 武田 伸宏		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00 H05B33/08		
CPC分类号	G09G5/006 G09G2300/08 G09G2310/0221 G09G2310/0251 G09G2310/062		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.622.D G09G3/20.622.K G09G3/20.623.U G09G3/20.660.V H05B33/08 G09G3/20.612.L G09G3/20.650.J		
F-TERM分类号	2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC27 2H093/NC49 2H093/ND04 2H093/NH15 3K007/AB17 3K007/BA06 3K007/GA00 5C006/AC22 5C006/AF42 5C006/AF59 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF22 5C080/AA10 5C080/BB05 5C080/DD07 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H093/NC34 2H193/ZA04 2H193/ZF22 2H193/ZF36 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04		
其他公开文献	JP4357188B2		
外部链接	Espacenet		

摘要(译)

解决的问题：即使改变视频数据，也要防止显示信号的显示周期与消隐数据的显示周期之比与预设比率不同。 解决方案：为了在显示运动图像时使图像清晰，还从数据驱动电路中顺序提供了所谓的消隐数据，该数据驱动电路从开始提供显示信号起经过了预定时间后就依次提供了显示信号。 做完了 除了提供一种设置每帧周期的空白数据显比例的方法外，用于测量视频数据中包括的一帧周期中的水平同步信号的脉冲数，并基于该测量，通过与该比率相对应的水平同步信号的脉冲来确定消隐数据的显示开始时间的装置 一种显示装置，包括： [选择图]图12

